



UNIVERSIDAD NACIONAL DEL SUR

TESIS DE DOCTOR EN INGENIERÍA

MICROCONVERTIDORES DE PRÓXIMA GENERACIÓN

PARA ENERGÍA FOTOVOLTAICA

Ing. Jonatan Gabriel Ceci

BAHÍA BLANCA

ARGENTINA

2017



Prefacio

Esta Tesis se presenta como parte de los requisitos para optar al grado Académico de Doctor en Ingeniería, de la Universidad Nacional del Sur y no ha sido presentada previamente para la obtención de otro título en esta Universidad u otra. La misma contiene los resultados obtenidos en investigaciones llevadas a cabo en el ámbito del Departamento de Ingeniería Eléctrica y de Computadoras durante el período comprendido entre el 4/09/2012 y el 28/04/2017, bajo la dirección del Dr. Alejandro Oliva, Profesor Adjunto, Área 3, Electrónica y del Dr. Pablo Mandolesi, Profesor Adjunto, Área 3, Electrónica.

Ing. JONATAN GABRIEL CECI

Departamento de Ingeniería Eléctrica y de Computadoras

UNIVERSIDAD NACIONAL DEL SUR



UNIVERSIDAD NACIONAL DEL SUR
Secretaria General de Posgrado y Educación Continua

La presente Tesis ha sido aprobada el / /,
mereciendo la calificación de(.....).



*Il est un agent puissant, obeissant, rapide,
facile, qui se plie à tous les usages et
qui règne en maître à mon bord.
Tout se fait par lui.
Il m'éclaire, il m'échauffe, il est l'âme
de mes appareils mécaniques.
Cet agent, c'est l'électricité.*

por Jules Verne, Veinte mil leguas de viaje submarino (1869).

Gracias...

A mis directores, que me dieron la oportunidad de perseguir mi sueño, y me guiaron para alcanzar mi objetivo.

A mis compañeros e investigadores del IIIE, que me escucharon hablar mil veces sobre lo mismo, nuestras discusiones me sirvieron para superar los obstáculos que aparecían en el camino.

A mis amigos, que me apoyaron cuando me faltaba un poco de ánimo o algo no marchaba como yo deseaba.

A mi familia, en especial a mis abuelos, por simplemente compartir un mate, una charla y un abrazo.

A mis padres, les debo la vida, soy el resultado de los grandes valores que me enseñaron y de su amor incondicional.

A ella, todo es posible con ella.



Resumen

La adopción de fuentes de energía renovables avanza cada vez más rápido en todo el mundo porque permiten reducir el impacto ambiental y es una herramienta para intentar superar la crisis energética que sufren varios países. Los sistemas compuestos por elementos fotovoltaicos (FV) ofrecen ventajas muy atractivas, pero debido a la baja eficiencia en la conversión de la energía solar a eléctrica es imperativo contar con técnicas eficientes para aprovechar la potencia generada. En esta Tesis se estudia y propone una técnica de conversión de energía, denominada Arquitectura de Convertidores en Escalera (ACE) que permite maximizar la potencia extraída de varios elementos FV conectados en serie. El trabajo de esta Tesis se divide en dos partes: el estudio del diseño de la arquitectura para maximizar la potencia extraída de cada elemento FV, y el desarrollo de una estrategia de control para la ACE.

El diseño de los convertidores que componen a la arquitectura se enfoca en estudiar una metodología para seleccionar los componentes pasivos que conforman el filtro de entrada de un convertidor conmutado. El objetivo es determinar el filtro mínimo que permite una utilización eficiente de la energía disponible en un elemento FV. El análisis realizado se comprueba mediante ensayos de laboratorio. Si la ACE se construye a partir de celdas solares es posible eliminar los problemas que impactan la generación eléctrica en un panel solar, como en el caso del sombreado parcial. Por ejemplo, un panel solar que se encuentra parcialmente sombreado puede perder hasta el 33 % de la potencia disponible, cuando una sola celda está completamente sombreada.

El controlador propuesto es implementado en un procesador digital de señales en tiempo real. La estrategia desarrollada permite manipular el punto de operación de

cada elemento FV en forma individual, para desplazar el sistema completo hacia el punto de máxima potencia. Mediante ensayos de laboratorio se comprobó el desempeño del controlador. La eficiencia del sistema completo utilizando el controlador se contrasta con la que se obtiene cuando sólo se utilizan diodos de derivación (esquema tradicional).

Abstract

The adoption of renewable energy sources is increasing faster and faster around the world, because they reduce the environmental impact and is a tool to try to overcome the energy crisis that several countries suffer. The systems made up of photovoltaic (PV) elements offer very attractive advantages, but due to the low efficiency in the conversion of solar energy into electric energy it is imperative to have efficient techniques to harvest most of the generated power. In this thesis we study and propose an energy conversion technique, called Ladder Converters Architecture (LCA or ACE in spanish) that allows maximizing the power extracted from several FV elements connected in series. The work of this thesis is divided into two parts: the study of the architecture design to maximize the power extracted from each PV element, and the development of a control strategy for the LCA.

The design of the converters that make up the architecture focuses on studying how to select the passive components that form the input filter of a switched converter. The objective is to determine the minimum filter that allows an efficient use of the available energy from a PV element. The former analysis is verified by laboratory experiments. If the LCA is built from solar cells it is possible to eliminate the problems that impact the electric generation in a solar panel, such as partial shading. A solar panel that is partially shaded, when a single cell is completely shaded for example, may lose up to 33 % of the available power.

The proposed controller is implemented on a digital signal processor in real time. The developed strategy allows manipulating the operating point of each PV element individually, to move the entire system to the point of maximum power. The perfor-

mance of the controller was checked by laboratory experiments. The efficiency of the complete system using the controller is contrasted with that obtained when only bypass diodes (traditional scheme) are used.

Índice general

1. Introducción	1
1.1. Elementos Fotovoltaicos	3
1.1.1. Modelo Eléctrico	7
1.1.2. Problemas en la Generación Fotovoltaica	9
1.1.3. Efecto del Rizado en la Extracción de Potencia	11
1.2. Antecedentes	12
1.3. Objetivos de la Tesis	19
1.4. Organización de la Tesis	21
2. Arquitectura en Escalera	23
2.1. Descripción de la Arquitectura	25
2.2. Operación Ideal	29
2.3. Comparación entre Topologías	33
2.4. Pérdida de Potencia por Rizado	38
2.5. Diseño del Filtro Pasivo	43
2.5.1. Convertidor <i>Buck</i>	46
2.5.2. Convertidor <i>Boost</i>	49
2.5.3. Convertidor en Escalera <i>Buck-Boost</i>	53
2.5.4. Convertidor en Escalera <i>Ćuk</i>	55
2.6. Simulaciones	59
2.7. Discusión sobre el Filtro Mínimo	64

3. Validación del Diseño del Filtro Pasivo	67
3.1. Medición del Efecto del Rizado	69
3.1.1. Fuente de Corriente	71
3.1.2. Fuente de Tensión	74
3.2. Configuración de Medición	77
3.2.1. Impedancia del Módulo Fotovoltaico	80
3.2.2. Verificación Experimental del Efecto del Rizado	84
3.3. Convertidor <i>Boost</i> en Cascada	85
3.3.1. Ensayo del Convertidor <i>Boost</i>	89
3.4. Convertidor en Escalera <i>Ćuk</i>	91
3.4.1. Ensayo del CE <i>Ćuk</i>	96
3.4.2. Medición de la Extracción con Diodos y con la ACE	99
3.5. Método para Determinar el Filtro Mínimo	101
4. Estrategia de Control	103
4.1. Análisis de la Arquitectura en Escalera	105
4.2. Algoritmo de SPMP	109
4.2.1. Objetivo de Control	110
4.2.2. Estrategia de Control	111
4.2.3. Controlador	118
4.3. Consideraciones Prácticas	119
4.3.1. Controlador de Tiempo Discreto	119
4.3.2. Optimización Robusta	120
4.4. Simulación: Algoritmo de SPMP	122
4.5. Extensión a Múltiples Celdas Solares	124
4.5.1. Controlador para Múltiples Celdas	127
4.6. Simulación: Controlador Extendido	128
4.7. Comparación con otras Estrategias	134

5. Validación de la Estrategia de Control	137
5.1. Implementación de una ACE	139
5.2. Algoritmo de Control	141
5.3. Diseño del Prototipo	143
5.3.1. Convertidores Ćuk y Fuentes de Corriente	144
5.3.2. Medición y Adaptación de Señales	145
5.4. Simulación con Parámetros Reales	149
5.5. Experimentos	152
5.5.1. Ensayo de los Módulos Fotovoltaicos	152
5.5.2. Ensayo del Controlador para Radiación Constante	154
5.5.3. Ensayo del Controlador para Radiación Variable	158
5.5.4. Comparación entre Diodos de Derivación y la ACE	159
6. Conclusiones y trabajo futuro	165
6.1. Conclusiones	165
6.2. Trabajo Futuro	169
Bibliografía	171

Capítulo 1

Introducción

La necesidad mundial de utilizar fuentes de energía renovables es innegable. Existen diversas fuentes de energía renovable, cada una con diferentes ventajas y desafíos al intentar generar electricidad. La conversión de la radiación solar en electricidad puede realizarse mediante: concentradores de potencia solar (CPS) y elementos fotovoltaicos (FV). Las plantas térmicas CPS utilizan varios espejos que enfocan la radiación electromagnética del sol en una torre con el fin de producir vapor de agua, que luego se utiliza para impulsar una turbina y generar electricidad. En cambio, los elementos FV convierten la radiación solar directamente en energía eléctrica a través del efecto fotoeléctrico, observado por primera vez por Heinrich Hertz alrededor de 1890. Desde 1950, cuando aparecieron las primeras celdas solares de silicio, la tecnología FV ha avanzado considerablemente brindando potencia a satélites (aplicación exclusiva en sus inicios) y hasta dispositivos portátiles modernos.

La generación de energía eléctrica utilizando elementos FV es una de las fuentes de energía renovable más prometedoras disponibles en la actualidad. Las instalaciones en tierra en lugares remotos, aislados de la red eléctrica son ideales para el aprovechamiento de la energía solar, donde otras fuentes de electricidad son casi inviables. El desafío principal que enfrenta la industria FV es lograr que la energía solar alcance costos competitivos comparada con otras fuentes de energía más convencionales (como las centrales térmicas). Para incentivar la utilización de esta fuente de energía reno-

vable, muchos gobiernos proporcionan subsidios, reducen impuestos, y utilizan tarifas de inyección a la red. Los desarrollos a nivel mundial en el área de la energía solar persiguen un mismo propósito: que el costo de la energía solar sea competitivo con la electricidad generada a partir de combustibles fósiles, para eliminar la dependencia de subsidios estatales.

Durante las últimas décadas, el desempeño de la tecnología FV ha mejorado al mismo tiempo que los costos de producción han disminuido, permitiendo que las plantas FV se vuelvan económicamente competitivas para las instalaciones conectadas a la red eléctrica. Como resultado, al final del 2015 la capacidad de potencia FV del mundo superó los 229 GW de potencia de pico [1]. La tecnología FV se ha vuelto una solución realmente global para generar energía.

Los sistemas FV son atractivos porque pueden integrarse a las estructuras de edificios, colocarse en techos o asentarse con soportes al suelo; además son silenciosos, no producen emisiones durante la generación eléctrica, tienen una vida útil extensa (la mayoría de los fabricantes ofrecen al menos 25 años de garantía para sus productos FV [2]), no requieren partes móviles que se desgastan, y son la única fuente de energía alternativa que puede colocarse en cualquier lugar del planeta e incluso fuera de este. Actualmente, las plantas de generación FV son económicamente competitivas para su conexión a la red eléctrica en algunos países, principalmente como consecuencia del incremento en el desempeño de los paneles FV y la reducción de los costos de fabricación durante la última década. El mercado residencial, en cambio, está impulsado principalmente por las atractivas tarifas de inyección a la red. En Argentina, a pesar de que se han sancionado leyes para promover la utilización de energía FV a nivel residencial, aún no existe un marco regulatorio apropiado que permita la utilización de generación distribuida. El interés y la inversión en la generación eléctrica FV, aunque relegado en algunos países, tiene buenos prospectos de crecimiento. Argentina necesita diversificar su matriz de generación para poder de esa manera no sólo reducir la contaminación, sino además reducir la enorme inversión del gobierno para sostener la importación de energía.

Sin embargo, los sistemas de generación FV no son perfectos, abriendo la oportunidad para investigaciones que permitan mejorar cualquiera de las etapas del sistema. El dispositivo básico de un sistema FV es la celda FV. Un módulo FV está conformado, típicamente, por un arreglo de celdas FV conectadas en serie. La potencia disponible en los terminales de un panel FV puede utilizarse para alimentar directamente algunas cargas o conectarse a baterías. Sin embargo, cuando se desea suministrar potencia a cargas más complejas (la red eléctrica, por ejemplo) siempre se requiere un convertidor de potencia (cc–cc o cc–ca) que regule la tensión y corriente de la fuente FV.

La operación de un módulo FV (o cualquier subconjunto de celdas FV, en general) resulta afectada por desajustes en las características eléctricas de cada elemento básico. Estos desajustes pueden clasificarse en desajustes internos y externos. Los primeros son consecuencia de imperfecciones en las celdas, provocadas por la variabilidad en la fabricación (presente en cualquier dispositivo semiconductor), el envejecimiento no uniforme o las impurezas en los cristales de silicio. Por otro lado, los desajustes externos están provocados por fuentes fuera del módulo FV, como los gradientes térmicos, la suciedad, la irradiación no uniforme (sombras), o las pérdidas en las interconexiones. Estos efectos llevan a que la potencia de salida quede determinada por la celda FV más débil. En la literatura especializada se pueden consultar técnicas para mitigar los distintos desajustes presentes en un sistema FV [3,4].

El sombreado parcial es una situación particular de irradiación que resulta cuando un objeto obstruye la radiación electromagnética sobre una fracción de la superficie activa de un módulo FV (o conjunto de celdas FV). Este fenómeno es una de las principales causas de pérdida de potencia, sobre todo en las instalaciones FV residenciales [5–11].

1.1. Elementos Fotovoltaicos

Una celda FV es básicamente un diodo semiconductor de gran área cuya juntura p – n expuesta absorbe la energía de los fotones y la convierte directamente en electri-

cidad. Un módulo FV consiste, típicamente, de numerosas celdas FV conectadas en una cadena serie porque para la mayoría de las aplicaciones la tensión de una celda (aproximadamente 0,5 V) es insuficiente. Existen diversas tecnologías y materiales con propiedades FV, cada uno con características diferentes. Las celdas solares monocristalinas, policristalinas, de película fina, y multijuntura son algunas de las tecnologías que se encuentran en desarrollo hoy en día; aunque hay otras muy interesantes como las celdas Perovskite que no poseen el límite de eficiencia de Shockley-Queisser¹. Las primeras tres se pueden encontrar en forma comercial, ensambladas en un módulo FV (compuesto por 72 celdas típicamente) o en forma individual, mientras que las celdas multijunturas se encuentran en prototipos de laboratorio o se utilizan en aplicaciones espaciales debido a su gran eficiencia de conversión pero elevado costo de fabricación. Las celdas monocristalinas y policristalinas son las más frecuentemente elegidas en las instalaciones FV en todo el mundo, principalmente porque las celdas de película fina son menos eficientes para niveles de costo similares, lo que resulta en un mayor área por Watt. La diferencia en los costos de fabricación también está relacionada al proceso de fabricación y los materiales involucrados. Las celdas monocristalinas y policristalinas, por ejemplo se construyen con procesos tradicionales de semiconductores. La Fig. 1.1 resume los avances en la fabricación de celdas FV según la eficiencia de conversión alcanzada en ensayos de laboratorio. Las celdas de silicio tienen eficiencias de conversión que rondan el 25 %, por lo cual resulta imprescindible aprovechar al máximo la potencia generada por cada celda en sistemas comerciales.

El comportamiento eléctrico en los terminales de un elemento FV se caracteriza mediante una curva de corriente-tensión ($I-V$) como la mostrada en la Fig. 1.2 construida para un módulo JAM5(R) 72-205 compuesto por 72 celdas. No sólo la radiación (G) influye sobre la característica eléctrica de un elemento FV, sino que la temperatura ambiente (T_a) también modifica la curva $I-V$, como se aprecia en la Fig. 1.2. La corriente de cortocircuito es influenciada casi exclusivamente por la radiación incidente. En

¹El límite de eficiencia de Shockley-Queisser establece la eficiencia teórica máxima de una celda solar que utiliza una única juntura $p-n$ para recolectar energía. De acuerdo a este límite, calculado por William Shockley y Hans-Joachim Queisser en 1961, la máxima eficiencia de conversión solar está alrededor del 33,7 % asumiendo una banda de 1,34 eV.

Best Research-Cell Efficiencies

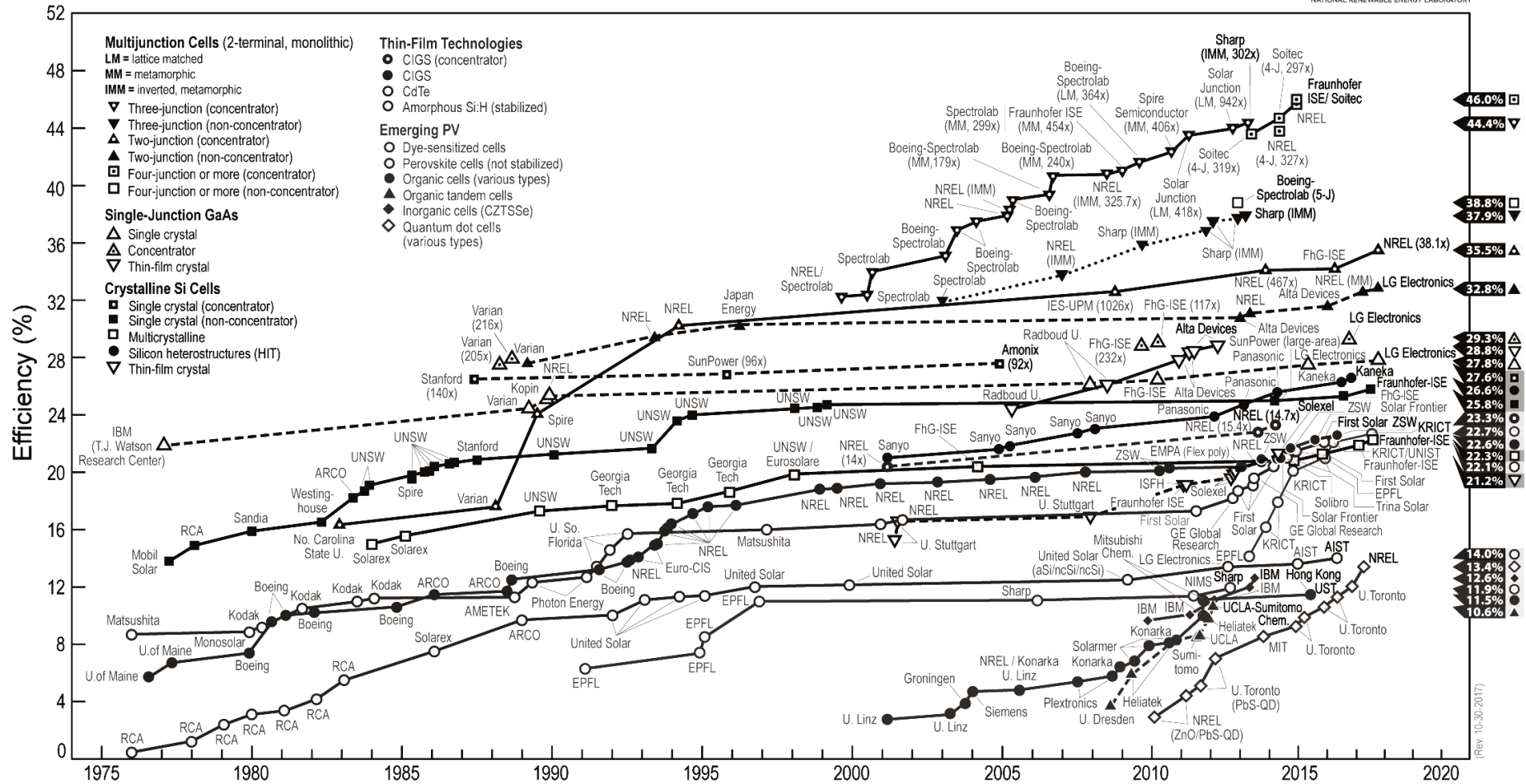


Figura 1.1: Mejores eficiencias en las celdas de investigación, compilado por el National Renewable Energy Laboratory (NREL) de EE.UU.

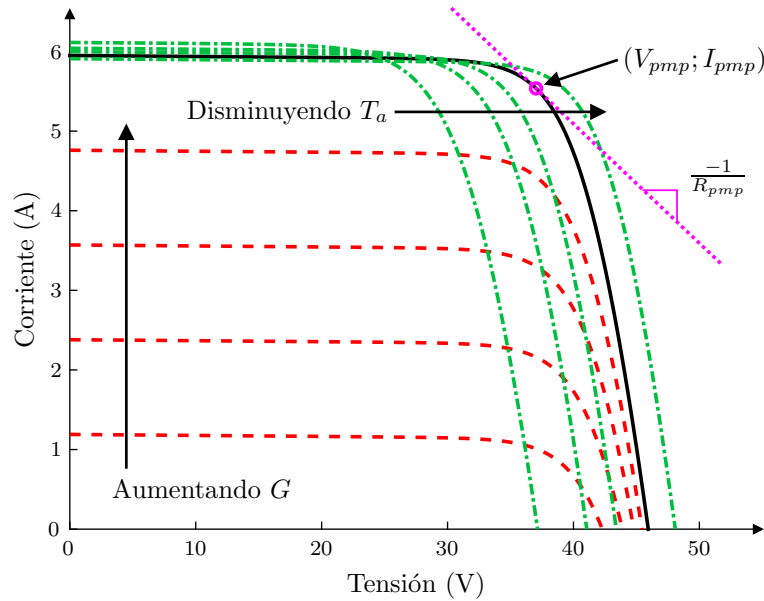


Figura 1.2: Característica I–V de un módulo FV monocristalino JAM5(R) 72-205 para distintas condiciones de radiación (G) y temperatura ambiente (T_a).

cambio, la tensión de circuito abierto depende principalmente de la temperatura ambiente, y en menor medida de la radiación. Para construir esta curva se consideró que tanto la radiación que recibe el módulo como la temperatura ambiente son uniformes.

La característica de cualquier elemento FV posee un punto sobresaliente, denominado punto de máxima potencia (PMP), marcado en la Fig. 1.2 con sus coordenadas $(V_{pmp}; I_{pmp})$ en el plano I–V. Al igual que la tensión de circuito abierto y la corriente de cortocircuito, la ubicación del PMP también se ve influenciada por la variación de G y T_a . Entonces, para obtener la potencia más alta de cualquier elemento FV las condiciones ambientales ideales corresponden a un día soleado y frío. La característica de la Fig. 1.2 contempla sólo el comportamiento cuasiestático de un elemento FV.

La función de los convertidores conmutados conectados entre la carga y los elementos FV es asegurar que el módulo opere siempre en la cercanía del PMP, además de proporcionar los niveles de tensión y corriente adecuados para la carga. Existen muchos algoritmos de control especialmente diseñados para realizar el seguimiento del PMP (SPMP), es decir forzar a un convertidor a extraer la máxima potencia de un dispositivo FV, varios de estos algoritmos pueden encontrarse en [9, 12–21].

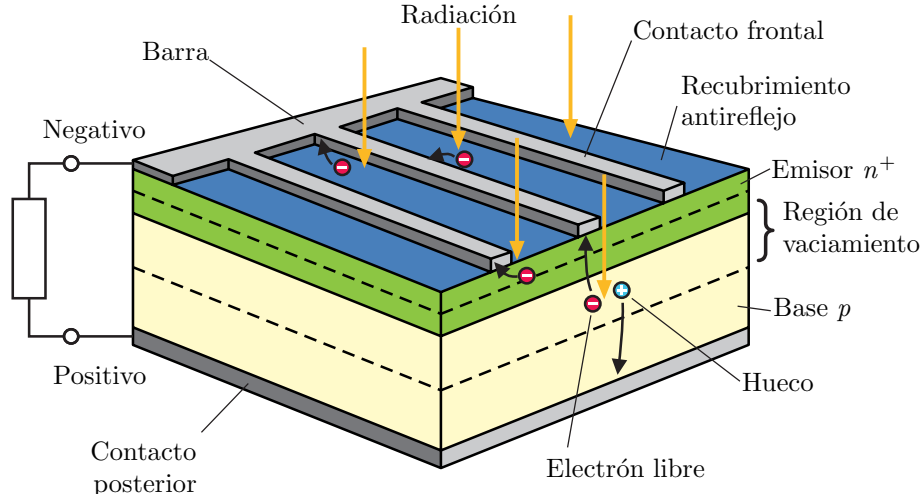


Figura 1.3: Estructura de una celda FV convencional.

1.1.1. Modelo Eléctrico

Las celdas FV de silicio se construyen a partir de una fina capa de substrato de Si o una fina película de Si conectada a dos terminales eléctricos. La Fig. 1.3 ilustra la estructura básica de una celda FV. Uno de los lados de la capa de Si está dopado para formar una juntura $p-n$, mientras que una fina grilla metálica se coloca en la cara del semiconductor expuesta a la radiación electromagnética [22].

De la estructura básica se extiende que a excepción de la capacidad de generar electricidad, una celda FV se asemeja a un diodo de juntura $p-n$. El circuito eléctrico más simple y más efectivo para modelar el comportamiento de una estructura FV es el modelo de un único diodo con parámetros concentrados [23–31], que puede observarse en la Fig. 1.4 y está descrito por la siguiente expresión matemática

$$i_{fv} = I_g - I_s \left(e^{\left(\frac{v_{fv} - R_s i_{fv}}{N_s a V_{th}} \right)} - 1 \right) - \frac{v_{fv} - R_s i_{fv}}{R_p}, \quad (1.1)$$

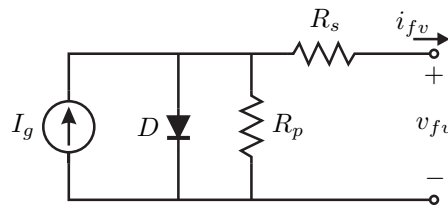


Figura 1.4: Modelo de un único diodo para una estructura FV.

donde I_g es la corriente fotoeléctrica generada, I_s es la corriente de saturación del diodo, N_s es el número de celdas conectadas en serie, $V_{th} = kT/q$ es la tensión térmica a la temperatura de la juntura (k es la constante de Boltzmann, q es el valor absoluto de la carga de un electrón, T es la temperatura de la juntura en grados Kelvin), a es la constante de idealidad del diodo (tiene un valor entre 1 y 2), R_s es la resistencia serie equivalente (que resulta de la suma de varias resistencias estructurales), y R_p es la resistencia paralela equivalente (debido a la corriente de fuga de la estructura $p-n$). Algunos autores han propuesto modelos más complejos compuestos por dos diodos [32–35], que permiten obtener mejor precisión teniendo en cuenta efectos como la recombinación de los portadores. El modelo de un único diodo es una solución de compromiso razonable entre simpleza y precisión. En [36–38] se utilizan simplificaciones del modelo en (1.1), eliminando alguna o ambas resistencias equivalentes, argumentando que generalmente la resistencia serie es baja y la resistencia paralela es alta. En general, al modelar un módulo FV mediante (1.1) se asume que no existe desajuste entre los parámetros de las celdas que lo componen.

Debido a que los fabricantes sólo proporcionan algunos datos experimentales acerca del comportamiento eléctrico de los dispositivos FV, mucho esfuerzo ha sido destinado para ajustar (1.1) a los datos experimentales de manera confiable [26, 31, 35, 39, 40]. Un modelo confiable y preciso es de especial importancia cuando se estudian efectos de segundo orden. Todas las hojas de datos para módulos FV incluyen: la corriente de cortocircuito (I_{sc}), la corriente en el PMP (I_{pmp}), la tensión de circuito abierto (V_{oc}), la tensión del PMP (V_{pmp}), el coeficiente de temperatura de V_{oc} (K_V), el coeficiente de temperatura de I_{sc} (K_I), y la máxima potencia experimental ($P_{max,e}$). Estos datos corresponden a la operación del módulo bajo las condiciones estándar de testeo (CET) que contemplan 25 °C de temperatura de celda, 1000 W/m² de radiación, y una velocidad de viento de 1 m/s. En [26] los autores proponen un método para ajustar los parámetros del modelo de único diodo a partir de la información en las hojas de datos. El algoritmo propone ajustar R_s y R_p con la premisa de que existe un único conjunto de resistencias que garantiza que la máxima potencia medida ($P_{max,m}$) a la salida del modelo, sea

igual a $P_{max,e}$. El algoritmo utiliza el método de Newton-Raphson para resolver la ecuación trascendental (1.1). Los modelos obtenidos a través del algoritmo de [26] se utilizan en esta Tesis para estudiar el comportamiento de un módulo FV y realizar las simulaciones del Capítulo 2.

1.1.2. Problemas en la Generación Fotovoltaica

Como en cualquier dispositivo semiconductor, existen desajustes entre las características eléctricas de distintas celdas solares, incluso entre aquellas provenientes del mismo proceso de fabricación. Estos desajustes internos se acentúan con el envejecimiento y la degradación no uniforme de las celdas. Los fabricantes realizan un proceso de clasificación de las celdas solares de acuerdo a su potencia nominal, para luego construir cada módulo con celdas pertenecientes a la misma clase. Sin embargo, el desajuste igual estará presente y los fabricantes ofrecen en general una tolerancia de 0% a +5% en la potencia generada por sus módulos FV. La celda que produce menor potencia dentro del grupo se utiliza como referencia, dando origen a la tolerancia de 0%. Entonces, incluso en módulos nuevos algo de potencia es sacrificada al conectar las celdas en serie.

Los desajustes originados por fuentes externas, como el sombreado parcial o el gradiente térmico, pueden resultar en una pérdida de potencia elevada. El sombreado parcial es en general la fuente de desajuste más problemática, y que más impacta sobre la potencia disponible en un módulo FV. Si una celda en una cadena de elementos FV en serie recibe menos radiación, generará menos corriente que las restantes, dando lugar a dos escenarios posibles dependiendo de la carga conectada:

- Si la tensión de carga es alta (cerca de V_{oc} del conjunto), la celda menos irradiada limita la corriente de todas las celdas provocando que estas generen menos potencia.
- Si la tensión de carga es baja, las celdas más irradiadas fuerzan la circulación de más corriente en la celda sombreada, provocando que la tensión de esta se

invierta y disipe potencia en vez de generarla.

Es importante que un módulo FV no opere en el segundo escenario porque la disipación de potencia puede provocar la destrucción de las celdas sombreadas. Para proteger las celdas sombreadas (y la integridad del módulo en general) y reducir la pérdida de potencia, los fabricantes siempre equipan sus módulos FV con diodos de derivación. Estos diodos se conectan en paralelo con una subcadena de celdas en serie, y previenen que las celdas sombreadas funcionen con tensión inversa cortocircuitando la subcadena a la que pertenece la celda sombreada. Así, el resto de las celdas del módulo puede operar en forma normal. Por ejemplo, un módulo de 72 celdas en serie, subdividido en tres subcadenas de 24 celdas cada una, cuenta con tres diodos de derivación.

La activación de uno de los diodos conserva la integridad del módulo pero como consecuencia deforma la curva I-V característica, dando lugar a la aparición de múltiples PMP locales (Fig. 1.5). El diodo de derivación se activa cuando el módulo opera en la zona de menor tensión, alrededor de 20 V en la figura. La aparición de múltiples PMP deteriora el desempeño de la mayoría de los algoritmos de SPMP. Los algoritmos más simples y más populares como el perturbar-observar o conductancia incremental

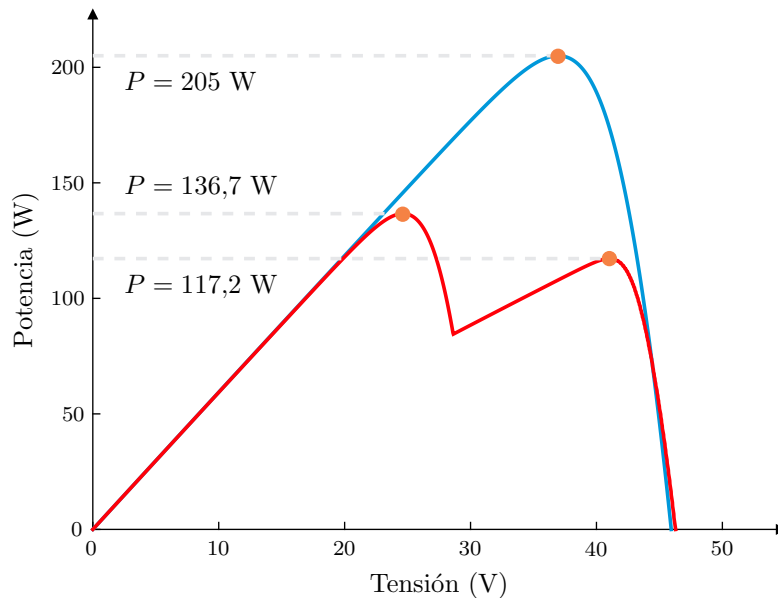


Figura 1.5: Comparación entre la salida de un módulo FV con radiación uniforme (—) y cuando una única celda FV está sombreada (—) provocando la activación de uno de los diodos de derivación. Por efecto del diodo aparecen múltiples PMP (●) locales.

no son capaces de discernir entre un PMP local y el PMP global [12, 13, 16]. Más aún, por el efecto de una única celda sombreada la potencia disponible del módulo (en el PMP global) se reduce un 33,3 %, en el ejemplo de la Fig. 1.5.

1.1.3. Efecto del Rizado en la Extracción de Potencia

El modelo matemático (1.1) es trascendental, lo que significa que no existe una solución cerrada si sólo se utilizan funciones tradicionales, y por lo tanto debe resolverse en forma numérica. Utilizando la Función-W de Lambert es posible transformar (1.1) en una ecuación no lineal que representa la corriente del elemento FV en función de su tensión [24, 41]. La expresión resultante es explícita pero el valor de la Función-W de Lambert se obtiene de una expansión en serie que también debe resolverse en forma numérica. Por lo tanto, excepto por la posibilidad de implementar esta ecuación explícita con una función lineal a tramos en línea, no hay una ventaja real en evaluar la Función-W de Lambert en vez de resolver (1.1) usando un método de Newton-Raphson, por ejemplo.

El PMP de cc de un elemento FV está caracterizado por una resistencia equivalente, como se observa en la Fig. 1.2 y determinada por

$$R_{pmp} = \frac{V_{pmp}}{I_{pmp}}, \quad (1.2)$$

donde R_{pmp} es la inversa de la pendiente de la recta tangente al PMP en el plano I-V.

Si una resistencia de valor exactamente igual a R_{pmp} se conecta directamente en los terminales del elemento FV, la máxima potencia disponible será transferida a la carga. Sin embargo, cuando la potencia generada por un módulo FV se necesita para alimentar una carga más compleja, un convertidor de potencia es indispensable. Los convertidores conmutados permiten transformar cualquier carga (idealmente) en una carga adecuada para el elemento FV, es decir en R_{pmp} . Como consecuencia de la conmutación, los convertidores perturban el sistema agregando rizado en las tensiones/corrientes de la carga y de la fuente. Generalmente, esta situación no supone un gran problema para

los diseñadores, dado que los efectos de segundo orden en el desempeño ocasionados por el rizado pueden despreciarse. Sin embargo, cuando la fuente de potencia está lejos de ser ideal, como ocurre con un elemento FV, el rizado en la tensión/corriente resulta relevante pues impacta negativamente en el nivel de potencia extraída.

La potencia que puede extraerse de un elemento FV es menor que la potencia máxima de cc cuando hay rizado en la tensión/corriente en los terminales. La potencia instantánea se reduce más rápidamente para tensiones (corrientes) mayores que V_{pmp} (I_{pmp}), como se aprecia en la Fig. 1.6(a) (Fig. 1.6(b)).

Como resultado de la naturaleza asimétrica de la característica de un elemento FV, la posición del “verdadero” PMP (potencia máxima media) se desplaza cuando hay rizado en la tensión/corriente y es distinto del PMP de cc. Para elementos FV conectados a un sistema que se comporta como una fuente de tensión desde los terminales de entrada, el “verdadero” PMP se mueve a un valor menor de tensión media. Este comportamiento se ilustra en la Fig. 1.6(a) (Fig. 1.6(b)), donde una fuente de tensión (corriente) con rizado del 30 % (20 %) del valor de cc se utiliza para extraer potencia de un módulo FV. El valor de la tensión (corriente) de rizado se expresa como un porcentaje de la tensión (corriente) de cc de la fuente. La curva característica de potencia media en función de la tensión (corriente) media es el resultado del efecto del rizado.

Este efecto que provoca la reducción de la potencia máxima disponible es inevitable, y su intensidad también depende de la radiación y la temperatura ambiente del elemento FV. Aunque en las simulaciones el análisis puede hacerse utilizando fuentes de tensión o corriente como carga, un elemento FV se comporta básicamente como una fuente de corriente variable con la tensión según 1.1. Entonces, resulta más intuitivo utilizar los resultados obtenidos para la fuente de tensión.

1.2. Antecedentes

Las estructuras de conversión (o arquitecturas) típicas utilizadas para recolectar la potencia generada por un único elemento o un arreglo de elementos FV e inyectarla

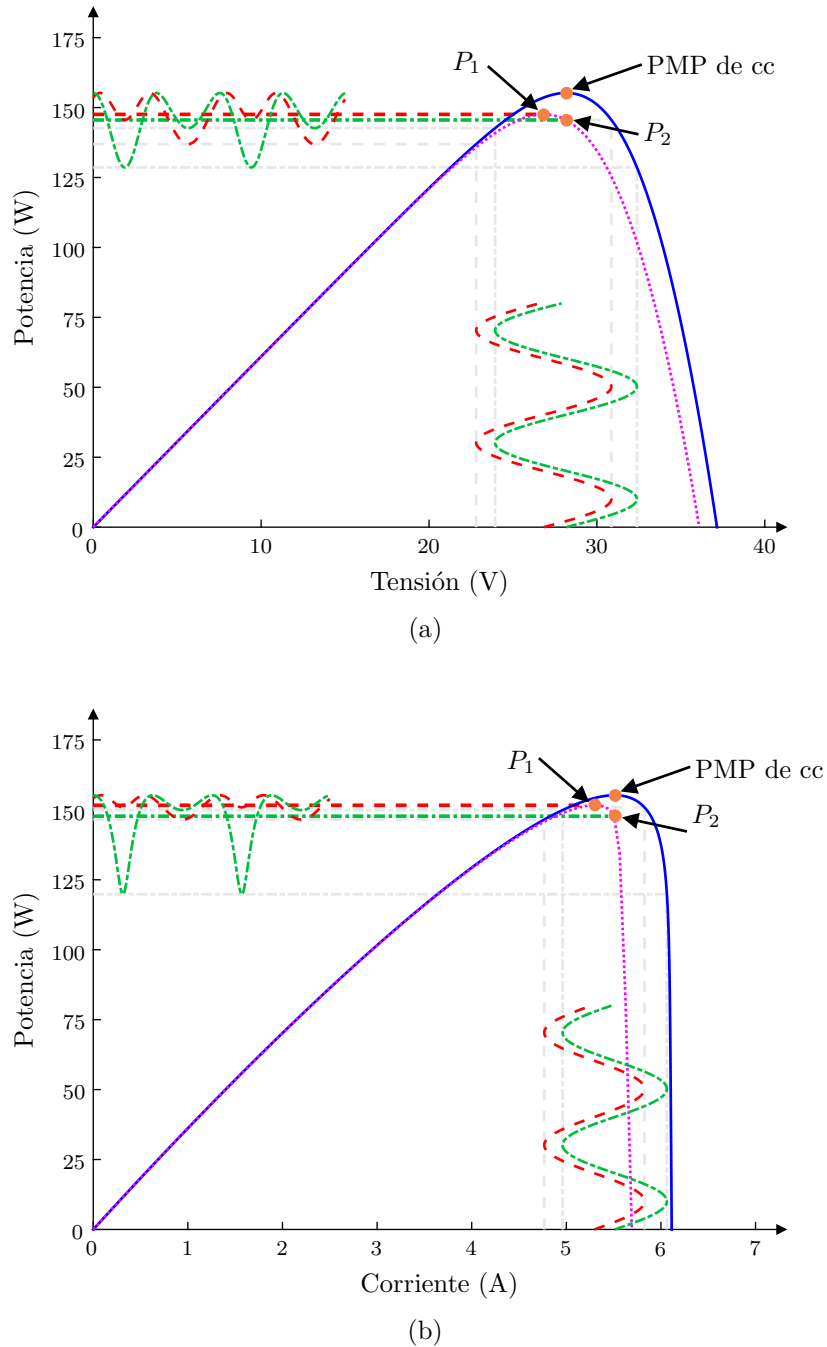


Figura 1.6: Desplazamiento del PMP por efecto del rizado al conectar una fuente de (a) tensión o de (b) corriente. La potencia media obtenida al operar (---) en el verdadero PMP es P_1 , y la potencia media que resulta al operar (- - -) en el PMP de cc es P_2 . La curva (—) es la característica de cc del módulo FV, y el trayecto (- · -) es la curva P-V media con rizado.

a la red eléctrica (o convertirla a ca para una red aislada) pueden dividirse en tres categorías, mostradas en la Fig. 1.7: sistema FV serie con un inversor central [42], convertidores cc-cc en cascada con un inversor central [43], e inversor integrado al

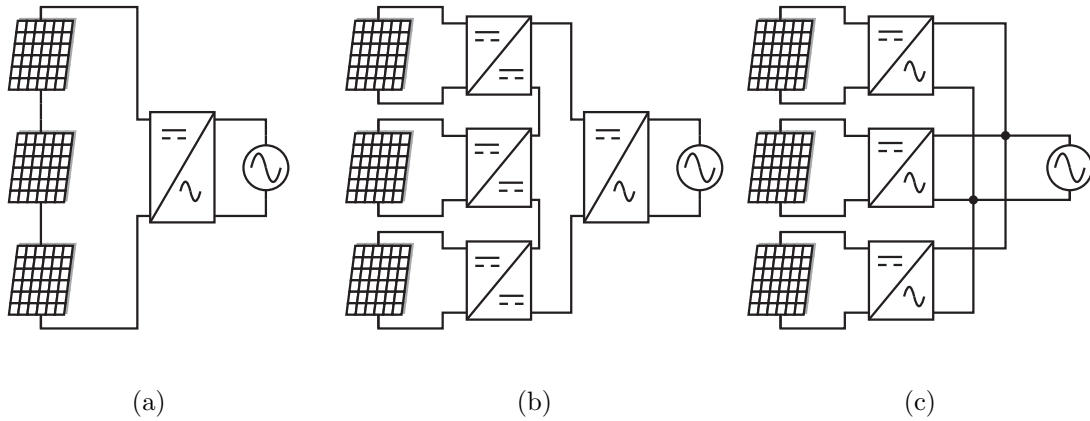


Figura 1.7: Arquitecturas típicas para la recolección de energía FV y posterior inyección a la red eléctrica. (a) Inversor central. (b) Convertidores cc-cc en cascada. (c) Microinversores.

módulo FV (microinversor) [44–46]. El inversor puede tener distintas implementaciones, al igual que los convertidores cc-cc, y puede estar compuesto por una o dos etapas de conversión. En el caso más típico de dos etapas, la primera se encarga de implementar el algoritmo de SPMP mientras que la última etapa controla la inyección de potencia a la red eléctrica.

En la primera arquitectura, varios módulos se conectan en serie para elevar la tensión antes de conectarse a un inversor central, esta es la estructura más común en las plantas de generación FV instaladas en lugares alejados de complejos urbanos. La eficiencia del inversor puede ser elevada, resultando en una estrategia efectiva de extracción cuando la corriente de los PMP de los elementos FV está emparejada. El impacto del sombreado parcial en esta clase de arquitectura es alto, al igual que otras fuentes de desajuste [47].

La arquitectura que utiliza convertidores cc-cc antes del inversor central permite subsanar en parte el problema de desajuste entre los distintos elementos FV. Cada convertidor implementa su propio algoritmo de SPMP y entrega una tensión variable y regula la corriente a una referencia establecida por el controlador central. La eficiencia de los convertidores de cc-cc debe ser elevada. La potencia de esta arquitectura y la primera puede escalarse colocando más elementos FV en serie o en paralelo.

La última arquitectura, conocida como microinversores, actúa directamente sobre

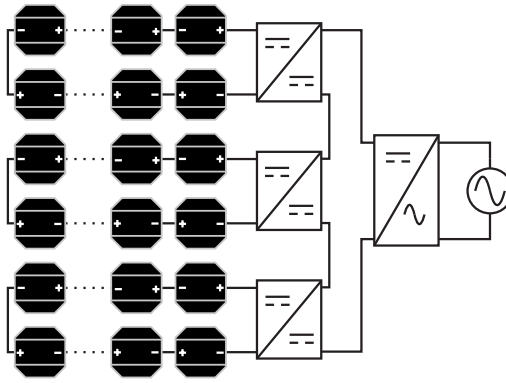


Figura 1.8: Estructura con optimizadores de cc-cc para un módulo FV dividido en tres submódulos.

un único módulo FV y es la estructura de conversión preferida en instalaciones residenciales por su fácil instalación, mantenimiento y escalabilidad. Al utilizar un único módulo FV para recolectar energía solar, los efectos de desajuste interno son menores que para las otras estructuras. A diferencia de la estructura con convertidores de cc-cc distribuidos, los microinversores funcionan en forma individual. De esta forma, una instalación residencial puede contar con 10 módulos FV cada uno con su propio microinversor, evitando lo que se conoce como único punto de falla. El punto débil es que la eficiencia global puede resultar menor que para las arquitecturas anteriores.

Algunos autores han propuesto una estructura de convertidores de cc-cc integrados al módulo (optimizadores de cc-cc o CIM), Fig. 1.8 [10, 48–54], similar a la estructura de convertidores en cascada pero conectados a submódulos en vez de a un módulo completo. El convertidor que se conecta a la salida del sistema es un microinversor pero que no implementa funciones de SPMP. La subdivisión del algoritmo de SPMP permite efectivamente incrementar la potencia extraída, al acotar aún más el impacto negativo provocado por el desajuste comparado a la utilización de las otras arquitecturas mencionadas. También se podría extender esta arquitectura a nivel de celda, es decir, colocando un convertidor con su propio algoritmo de SPMP por cada celda solar que compone al sistema. A pesar de que esto eliminaría por completo los problemas asociados al desajuste, cada convertidor de potencia necesita ser muy eficiente en la conversión para no agregar pérdidas de inserción considerables que degraden la eficiencia del sistema más allá de la potencia recuperada por la estructura distribuida. Por

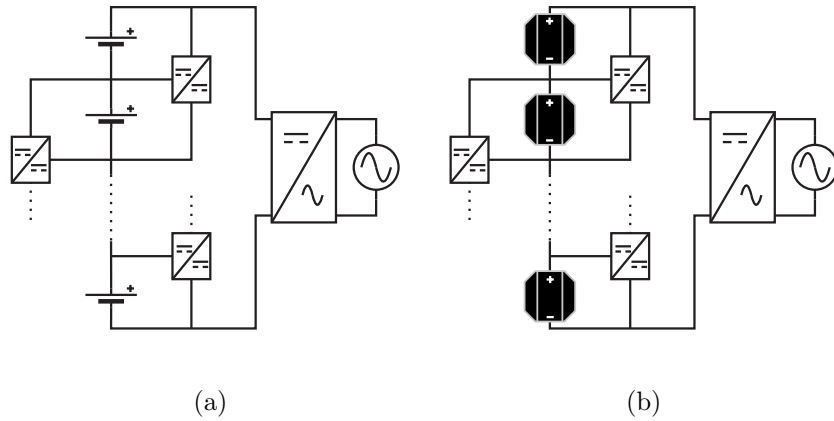


Figura 1.9: Arquitectura para el balanceo de la energía de los elementos en un arreglo serie. (a) Arreglo de celdas de batería. (b) Arreglo de celdas FV.

otro lado, en [55] los autores proponen un esquema para modificar las interconexiones entre las celdas de un módulo FV en forma dinámica. En síntesis, es un proceso de agrupado de las celdas para reducir el efecto de las fuentes de desajuste externas, pero carece de la capacidad de deshacerse de los efectos negativos ocasionados por el sombreado parcial.

Para superar las limitaciones de la estructura de cc-cc distribuidos, los esfuerzos de investigación recientes están orientados al procesamiento diferencial de la potencia. La técnica de procesamiento diferencial de potencia no es nueva, y tiene sus orígenes en aplicaciones de balanceo de la carga en baterías de múltiples celdas electroquímicas [56, 57]. La premisa del procesamiento diferencial implica un sistema en el cual varios elementos independientes se conectan en serie a un convertidor global (Fig. 1.9). Los convertidores de balanceo (diferenciales) interactúan con el sistema en los nodos intermedios de la conexión serie, y la tarea que desempeña esta arquitectura depende exclusivamente de la aplicación. En el caso de una batería, por ejemplo, el objetivo es que la carga de todas las celdas sea uniforme. La capacidad o la impedancia (entre otras) no es en general igual en todas las celdas de una batería, lo que provoca desbalances en el nivel de carga de cada una durante la carga o la descarga.

En aplicaciones FV, los convertidores derivan el exceso de corriente producido por los elementos FV más irradiados para lograr que cada uno opere en su PMP. Si todas

las celdas producen el mismo nivel de corriente, no circulará corriente a través de los convertidores, y por lo tanto pueden apagarse para reducir la pérdida de potencia por inserción. La ventaja notable de esta arquitectura es que el camino principal para el flujo de energía es a través de la conexión serie, mientras que los convertidores procesan sólo la diferencia de potencia entre las celdas, incrementando la eficiencia de conversión efectiva. Varias técnicas de procesamiento diferencial de potencia para aplicaciones FV pueden encontrarse en la literatura: ecualizador de potencia [3, 58], paralelo virtual [59], circuito de control de generación (CCG) [60,61], retorno de energía [51,62], balanceadores FV [63], y convertidores en escalera (CE o de derivación activa) [53, 54, 64–70].

La arquitectura de CE (ACE) es el foco de estudio de esta Tesis. Esta técnica de procesamiento diferencial proporciona más flexibilidad en el control de la conmutación de cada convertidor comparada con las técnicas de ecualización de potencia y CCG. Además, el nivel de tensión y corriente de cada componente es menor comparado con el requerido para implementar las técnicas de balanceo de FV y paralelo virtual. Resulta importante destacar que aún utilizando convertidores de eficiencia moderada se puede obtener un sistema con eficiencia elevada de conversión, pues el rendimiento de los CE no impacta en forma directa en la salida.

La mayoría de los CE se implementan con convertidores que tienen elementos de almacenamiento de energía magnéticos y eléctricos. Los convertidores a capacitores conmutados, que son un caso particular del anterior, también se utilizan para implementar una arquitectura en escalera [38, 54, 70–74]. Una característica atractiva de los convertidores a capacitores conmutados es justamente la ausencia de componentes magnéticos, resultando más compactos y más factibles de integrar [68, 73, 74]. Además, como se muestra en [75–77] la capacidad de difusión parásita de un elemento FV puede ser considerable (en el orden de algunos μF). Esta capacidad, que depende de la tecnología de la celda y del área de la misma, hace que sea posible implementar la ACE con convertidores a capacitores conmutados utilizando la capacidad de difusión intrínseca de cada elemento FV. Sin embargo, la inhabilidad de esta clase de convertidores de

alcanzar una ganancia de conversión arbitraria es una limitación importante para lograr el SPMP. Más aún, al elevar la frecuencia de conmutación por encima de los MHz las inductancias parásitas de las conexiones pueden ser considerables, agregando un elemento magnético al convertidor a capacitores conmutados.

Algunas de las implementaciones de CE confían en el ajuste de las características de los elementos FV adyacentes para reducir la complejidad del control del sistema [78–80], que en la práctica es garantizada por los fabricantes luego de un proceso de clasificación. Sin embargo, la degradación no uniforme luego de la exposición a condiciones reales inevitablemente generará pérdidas por desajuste [4]. Para garantizar el SPMP bajo todas las condiciones de operación posible, estrategias locales utilizando un controlador proporcional integral (PI) [53] y un algoritmo de perturbar-observar [67] se han reportado en los últimos años. La mayoría de la literatura acerca de CE estudia los requerimientos de control para alcanzar el PMP utilizando sólo tres submódulos FV en serie [50, 60, 80, 81]. Como el funcionamiento de cada convertidor en la arquitectura en escalera no es independiente de los restantes, la complejidad del controlador y el esfuerzo computacional crece rápidamente con el número de elementos FV manejados. En [82] se describe la utilización de CE Ćuk para controlar la corriente instantánea en cada elemento FV, maximizando la potencia extraída en forma individual. El controlador está diseñado para manejar un número arbitrario de elementos; pero requiere el conocimiento de la radiación instantánea en cada uno de ellos que se obtiene mediante una celda auxiliar.

En [52] se propone una estrategia para controlar varios submódulos FV conectados en serie, mediante una ACE, utilizando intercambio de información entre convertidores adyacentes. El convertidor central (o microinversor), necesario para alcanzar la operación en el PMP para cada submódulo, tiene su propio algoritmo de control. Esta estrategia requiere que los convertidores diferenciales alcancen su objetivo de control (maximizar la tensión) entre las actualizaciones del controlador externo. El algoritmo está basado en la estrategia de perturbar-observar para alcanzar el PMP global, y requiere varias iteraciones para lograr la convergencia como consecuencia de no medir

las corrientes de celda. Cada convertidor debe almacenar una medición del efecto de la perturbación de los restantes sobre una tensión en particular. Esto puede derivar en un incremento de la memoria necesaria en el microcontrolador que realiza las operaciones al aumentar el número de CE comandados.

La estrategia de [81] también permite controlar una ACE compuesta por varios elementos FV. Los autores proponen controlar la tensión diferencial entre dos elementos FV adyacentes en vez de la tensión absoluta de cada elemento. Un algoritmo de perturbar-observar calcula una referencia de tensión diferencial y un integrador se utiliza para ajustar esa diferencia de tensión en cada par de elementos FV en forma independiente. Al igual que la estrategia de [52], el algoritmo no tiene control sobre el convertidor central y la estrategia de SPMP de la ACE debe rastrear entre las perturbaciones del algoritmo de SPMP del convertidor central. Para esta estrategia el integrador tiene que converger entre perturbaciones del SPMP de la ACE.

1.3. Objetivos de la Tesis

El objetivo general de la Tesis es desarrollar una técnica de conversión de potencia que permita mitigar los problemas asociados principalmente al sombreado parcial, y eventualmente a otras fuentes de desajuste, ideada en principio para instalaciones residenciales, pero que puede adaptarse a sistemas de mayor potencia.

El foco se ubica en la arquitectura de convertidores en escalera. La situación óptima ante el desajuste FV, envejecimiento no uniforme o sombreado parcial es lograr que cada celda FV opere tan cerca como sea posible de su PMP, es decir, con diferentes niveles de tensión y corriente. La arquitectura se implementa mediante convertidores conmutados de topología *Ćuk*, que necesita filtros pasivos de menor tamaño para obtener el mismo rendimiento que la topología más tradicional (*buck-boost*).

Diseñar un convertidor no es una tarea trivial, y para este tipo de arquitectura generalmente se desea utilizar convertidores de bajo volumen y bajas pérdidas. Reducir el volumen de un convertidor implica reducir los valores de los componentes pasivos

y/o incrementar la frecuencia de conmutación. Sin embargo, emprender esa tarea sin alguna herramienta que estudie el impacto de esas variaciones en la eficiencia del sistema resulta en una labor engorrosa de prueba y error. En esta Tesis se propone un método que permite seleccionar los valores de los componentes pasivos para los CE, para asegurar una eficiencia de extracción de potencia mínima. Esta eficiencia está definida como la razón entre la potencia media real obtenida a la salida de un elemento FV y la potencia de cc-cc disponible en sus terminales. El rizado de conmutación es clave, porque deteriora severamente el proceso de extracción de potencia. Por lo tanto, para alcanzar el objetivo de eficiencia de extracción se establece un límite máximo en el rizado, que puede relacionarse con la elección de los componentes pasivos.

Ningún diseño de una arquitectura de conversión de potencia está completo sin una estrategia de control específica. La estrategia novedosa propuesta en esta Tesis para alcanzar el SPMP en cada elemento FV no utiliza información sobre la radiación ni sobre los parámetros de los elementos FV conectados. Además, para reducir el esfuerzo computacional cuando se comandan varios CE se propone una extensión de la arquitectura y del controlador.

Los resultados teóricos alcanzados para el método de diseño del filtro pasivo y para el controlador se corroboran mediante simulaciones, y finalmente son validados mediante experimentos en condiciones controladas de laboratorio.

Las contribuciones de esta Tesis son el método de diseño del filtro pasivo de un convertidor conmutado utilizado en aplicaciones FV, con especial interés en los CE, y el desarrollo de una estrategia de control novedosa para la ACE implementada con convertidores *Ćuk* que permite extraer la máxima potencia de un número arbitrario de celdas, manteniendo una carga computacional baja comparada con otras estrategias existentes. La técnica del diseño del filtro puede aplicarse a cualquier convertidor conmutado y no está limitada a las topologías analizadas en esta Tesis. La eficiencia de la ACE se compara con la conexión tradicional que utiliza diodos de derivación, para demostrar las ventajas de la primera.

1.4. Organización de la Tesis

El Capítulo 2 presenta un análisis detallado sobre el funcionamiento de la arquitectura de convertidores en escalera, que permite el SPMP en forma individual para los elementos FV que componen un arreglo serie (por ejemplo, las celdas FV en un módulo). Primero se presenta la arquitectura y las implementaciones básicas que pueden encontrarse en la literatura. Luego, se estudian las ventajas que esta arquitectura ofrece, especialmente la posibilidad de alcanzar el PMP en cada elemento FV procesando una fracción de la potencia generada. A continuación se compara mediante simulaciones la operación de la implementación más tradicional de la ACE, utilizando convertidores de tipo *buck-boost*, y la implementación con convertidores Ćuk. El análisis de los efectos del rizado sobre la potencia extraída de un elemento FV permite establecer un nexo entre el requerimiento de eficiencia de extracción de potencia y el filtro pasabajos pasivo incluido en un convertidor conmutado. Varias topologías que permiten recolectar potencia FV son analizadas, y se incluyen simulaciones para validar el análisis teórico desarrollado.

Las mediciones experimentales presentadas en el Capítulo 3 se utilizan para comprobar los resultados del Capítulo 2. En primer lugar, se introduce el esquema de medición utilizado, detallando los circuitos y elementos de medición empleados. Luego, se describen en detalle los circuitos auxiliares requeridos y los convertidores conmutados utilizados. Las mediciones experimentales se realizan primero sobre un convertidor *boost* diseñado para extraer potencia de un módulo FV en cascada, bajo condiciones ambientales controladas. Por último, se comprueba el límite propuesto para los componentes pasivos de un CE Ćuk.

En el Capítulo 4 se estudia el problema de controlar la ACE, donde el funcionamiento de todos los convertidores está vinculado. Primero se analizan las ecuaciones dinámicas de un sistema de orden reducido, compuesto por tres celdas FV conectadas en serie. A partir de estas ecuaciones que modelan el comportamiento de la arquitectura, se propone una estrategia de control para comandar todos los convertidores involucrados. Después de mejorar el controlador para tener en cuenta algunos aspectos

prácticos, se introduce un esquema de control para el caso de varias celdas FV conectadas en serie. Finalmente, se presentan los resultados de simulación para un sistema completo conformado por 72 celdas solares (módulo de 200 W).

El desempeño experimental de la estrategia de control para la ACE se discute en el Capítulo 5. Se presentan los circuitos principales y auxiliares utilizados, y se describe la implementación de la estrategia en un microcontrolador. Finalmente, se presentan las mediciones obtenidas para una ACE conectada a tres módulos FV y se determina la factibilidad del controlador.

Por último, en el Capítulo 6 se presentan las conclusiones de la investigación realizada durante el desarrollo de esta Tesis y se proponen algunas tareas de investigación futuras.

Capítulo 2

Arquitectura de Convertidores en Escalera

Los arreglos FV están compuestos típicamente por varios elementos conectados en serie. En un esquema de conexión serie la tensión de cada elemento es independiente, pero la corriente a través de ellos debe ser la misma. En la práctica, incluso si todas las partes del sistema se comportaran perfectamente, la potencia de salida de un arreglo FV se verá afectada fundamentalmente por el desajuste entre las corrientes del PMP de cada elemento. Estos desajustes pueden ser ocasionados por suciedad en el arreglo, errores de procesamiento, o sombreado parcial, entre otras fuentes. Para resolver estos problemas y lograr que cada elemento opere en su PMP se propone utilizar una arquitectura de convertidores en escalera, conformada por varios convertidores conmutados distribuidos en todo el arreglo serie. La arquitectura es conocida [65,67,69,83–86] pero, como con la mayoría de los convertidores, no existen reglas claras acerca del diseño de todos los componentes (especialmente los pasivos).

El capítulo está dedicado a estudiar el funcionamiento de la ACE y proponer una metodología para obtener un diseño funcional a la aplicación deseada. La eficiencia global de una estructura de recolección de potencia FV se puede dividir en tres partes: eficiencia de conversión (dominada por las pérdidas de conmutación, las de conducción, y las de comando), eficiencia del algoritmo de SPMP y eficiencia de extracción de

potencia. La última se define como la relación entre la potencia media en los terminales de un elemento FV respecto de la máxima potencia de cc disponible para un conjunto de condiciones ambientales específicas, suponiendo que el algoritmo de SPMP posee precisión infinita. En tal caso, la potencia no extraída dependerá exclusivamente de las oscilaciones no deseadas (rizado) en la tensión y corriente del elemento FV, originadas por la conmutación.

En la Sección 2.1 se describe la estructura de una ACE y se presenta un ejemplo simple para compararla con un arreglo FV tradicional y con otra estructura que intenta mitigar los problemas asociados a las fuentes de desajuste externo (optimizadores de cc-cc). Además, se presentan las topologías de convertidores que se pueden utilizar para implementar la arquitectura y se demuestra en forma simple la ventaja respecto a la estructura con optimizadores de cc-cc.

En la Sección 2.2 se explica el funcionamiento de la ACE, utilizando sólo ecuaciones con variables de cc y asumiendo que los convertidores conmutados son ideales. El análisis se realiza para una ACE implementada con dos convertidores de tipo *buck-boost*, que se conectan a tres módulos FV.

La Sección 2.3 analiza las distintas señales de estado estacionario de la ACE implementada con convertidores *buck-boost* y con convertidores *Ćuk*. Las simulaciones realizadas permiten contrastar las formas de onda en los distintos componentes para cada implementación y determinar el rizado introducido por cada implementación en estado estacionario. Se concluye que los componentes pasivos del convertidor *Ćuk* están sometidos a menos estrés de corriente y tensión que los correspondientes al convertidor *buck-boost*. La utilización de la ACE provoca que un conjunto de elementos FV se comporte como un único elemento FV, con mayor capacidad de generación de potencia bajo un esquema de radiación arbitrario.

En la Sección 2.4 se analiza el efecto que genera el rizado introducido por los convertidores, como consecuencia inevitable de la conmutación. El rizado provoca que la potencia verdaderamente útil disminuya, es decir reduce la eficiencia de extracción y por lo tanto es de interés minimizar su impacto. Para estudiar este efecto se modeló un

módulo FV y se simuló la extracción de potencia utilizando fuentes de tensión ideales que actúan como sumideros de corriente. La pérdida de potencia debe ser ocasionada sólo por el efecto del rizado para poder evaluar correctamente el resultado de la simulación. Un algoritmo basado en el método de bisección fue desarrollado para maximizar la potencia extraída ante la presencia del rizado.

La Sección 2.5 establece una relación entre la pérdida de potencia provocada por el rizado en un elemento FV y los componentes pasivos de un convertidor conmutado. Primero se estudia la pérdida en la extracción de potencia utilizando convertidores en cascada y luego se extiende el análisis a la ACE. Para estudiar este efecto se modela la interfaz de un convertidor conmutado conectada a un elemento FV en las cercanías del PMP, despreciando el efecto de la capacidad parásita. El impacto del rizado sobre la potencia extraída es menor cuando se tiene en cuenta la capacidad del elemento FV, pues se suma a la capacidad externa agregada por la ACE. Por lo tanto, el peor caso es considerar que esta capacidad es despreciable¹. El resultado es una ecuación que permite determinar los valores mínimos de los componentes pasivos para garantizar una determinada eficiencia de extracción.

Finalmente, la Sección 2.6 presenta la validación del método de diseño mediante simulaciones para cuatro topologías de convertidores, dos convertidores en cascada con un módulo FV y dos implementaciones de la ACE conectada a dos módulos FV; y en la Sección 2.7 se discuten algunos aspectos extras respecto a la selección del filtro mínimo.

2.1. Descripción de la Arquitectura

En la Fig. 2.1(a) se observa un esquema simplificado de la ACE que permite balancear el funcionamiento de varios elementos FV conectados en serie (módulos, subcadenas, o celdas). Los convertidores en esta arquitectura tienen como objetivo lograr que cada elemento FV funcione en su PMP, cuando el nivel de radiación no es uniforme entre las superficies activas de los elementos por ejemplo.

¹En el Capítulo 3 se presentan mediciones experimentales para comprobar este fenómeno.

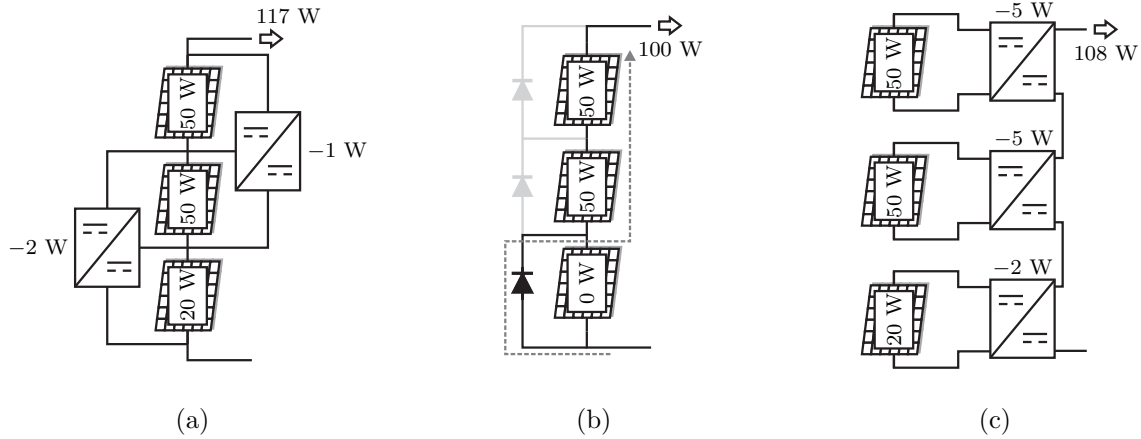


Figura 2.1: Extracción de potencia ante sombreado parcial: (a) ACE, (b) diodos de derivación, y (c) optimizadores de cc-cc.

Cuando todos los elementos del arreglo serie presentan características eléctricas idénticas y son irradiados en forma uniforme, los convertidores permanecen inactivos permitiendo que toda la corriente circule directamente a través de los elementos FV. Sólo una fracción de la potencia generada por cada elemento es procesada por los convertidores cuando están activos, mientras que la mayor parte de la potencia circula a través de los elementos FV.

La Fig. 2.1 muestra un ejemplo donde se compara el funcionamiento de una conexión serie tradicional de tres subcadenas FV en un mismo módulo que incluye tres diodos de derivación, con el funcionamiento de la ACE y de la estructura con optimizadores de cc-cc aplicadas a la misma serie de subcadenas. En el ejemplo, la potencia disponible en la subcadena inferior es de 20 W, mientras que las otras dos pueden entregar hasta 50 W, para lograr un total de $P_{disp} = 120$ W. Con el esquema tradicional (Fig. 2.1(b)) la máxima potencia de salida es de 100 W y se obtiene cuando el diodo en paralelo con la subcadena inferior se polariza en directa. Los optimizadores de cc-cc (Fig. 2.1(c)) permiten maximizar la potencia de cada subcadena en forma individual, pero al procesar toda la potencia recolectada la eficiencia de los convertidores (90% en el ejemplo) impacta directamente en la potencia de salida máxima. El resultado es una potencia de salida de 108 W. En cambio, con la ACE (Fig. 2.1(a)) cada panel entrega la máxima potencia disponible y sólo una fracción de la potencia es procesada

por los convertidores de cc-cc. Cuando la ACE funcionando, emula la situación en la que cada subcadena entrega $P_{disp}/3 = 40$ W. Entonces, como dos subcadenas generan más de 40 W se transfiere el exceso de potencia a través de los convertidores hacia la subcadena inferior. El convertidor superior procesa sólo 10 W, mientras que el segundo procesa la potencia excedente de los dos módulo más irradiados (20 W), en conjunto la ACE procesa sólo el 25 % de la potencia disponible. Por lo tanto, la potencia máxima de salida con la ACE para el ejemplo es 117 W, y la opción que permite extraer más potencia.

En la Fig. 2.1 se aprecia que la eficiencia de los convertidores no impacta directamente sobre la eficiencia global del sistema al utilizar la ACE, posibilitando la implementación con convertidores más económicos (menos eficientes) pero que igualmente permitan obtener una eficiencia global elevada. Considere un sistema similar al de la Fig. 2.1(a), pero ahora con n_{sub} subcadenas en serie, entonces la potencia total disponible puede escribirse como

$$P_{disp} = \sum_{i=1}^{n_{sub}} (P_{sub,i}^{pmp}) , \quad (2.1)$$

donde $P_{sub,i}^{pmp}$ es la máxima potencia disponible en la subcadena i -ésima. La potencia extraída (P_{extr}) se define como la potencia que efectivamente aparece en los terminales de salida de las subcadenas en serie, la cual es siempre menor o igual a la potencia disponible. Entonces, se puede definir la eficiencia de extracción como

$$\eta_{extr} = \frac{P_{extr}}{P_{disp}}. \quad (2.2)$$

La potencia que puede extraerse con los CE puede calcularse como

$$P_{extr} = \eta_{pmp} \times \eta_{ce} \times P_{disp}, \quad (2.3)$$

donde η_{pmp} es la eficiencia del algoritmo de SPMP, y sabiendo que los convertidores sólo procesan una porción λ_{ce} de la potencia de diferencia con eficiencia η_c , la eficiencia

de los convertidores en escalera resulta

$$\eta_{ce} = 1 - \lambda_{ce} \times (1 - \eta_c). \quad (2.4)$$

Entonces, utilizando CE con eficiencia $\eta_c = 0,9$ (90 %) y asumiendo que procesan un $\lambda_{ce} = 0,25$ (25 %) de la potencia y $\eta_{pmp} = 0,99$ (99 %), la eficiencia de extracción resulta $\eta_{extr} \approx 0,965$ (96,5 %). La eficiencia resultante sigue siendo mayor que para el esquema tradicional con diodos de derivación ($\eta_{extr} \approx 83$ %) para el ejemplo de la Fig. 2.1.

El concepto de procesamiento diferencial de la potencia puede aplicarse en cualquier nivel: módulo a módulo, subcadena a subcadena, o celda a celda; siendo este último el caso de interés para esta Tesis. Operando a nivel de celda esta arquitectura es capaz de prácticamente eliminar los problemas asociados al sombreado parcial, u otras fuentes de desajuste de las características eléctricas entre las celdas (variabilidad en la construcción, envejecimiento, suciedad, etc.).

Ciertas restricciones se aplican sobre las topologías de convertidores que pueden utilizarse para implementar la arquitectura en escalera: estructura simétrica, salida de polaridad opuesta a la entrada, transferencia bidireccional de potencia, y capacidad de elevar y reducir la tensión. Estas propiedades necesarias limitan la variedad de topologías existentes que pueden utilizarse: *buck-boost* (Fig. 2.2(a)), *flyback* (Fig. 2.2(b)), *Ćuk* (Fig. 2.2(c)), y sus versiones entrelazadas. Además, los convertidores deben ser sincrónicos para asegurar que operen en modo de conducción continua ante cualquier condición de carga, incrementando también la eficiencia del convertidor. Las topologías con transformadores no serán analizadas en esta Tesis.

La ACE presenta mayor ventaja sobre otras estructuras de conversión en ambientes con esquemas de sombreado complejos, por lo tanto es útil en ambientes urbanos donde el sombreado parcial es la fuente más importante de pérdida de potencia. En plantas de generación de gran capacidad que se instalan en zonas aisladas esta arquitectura pierde interés, a menos que la pérdida de potencia provocada por otras fuentes de desajuste sea importante.

Esta arquitectura no es capaz por si sola de extraer la máxima potencia de un

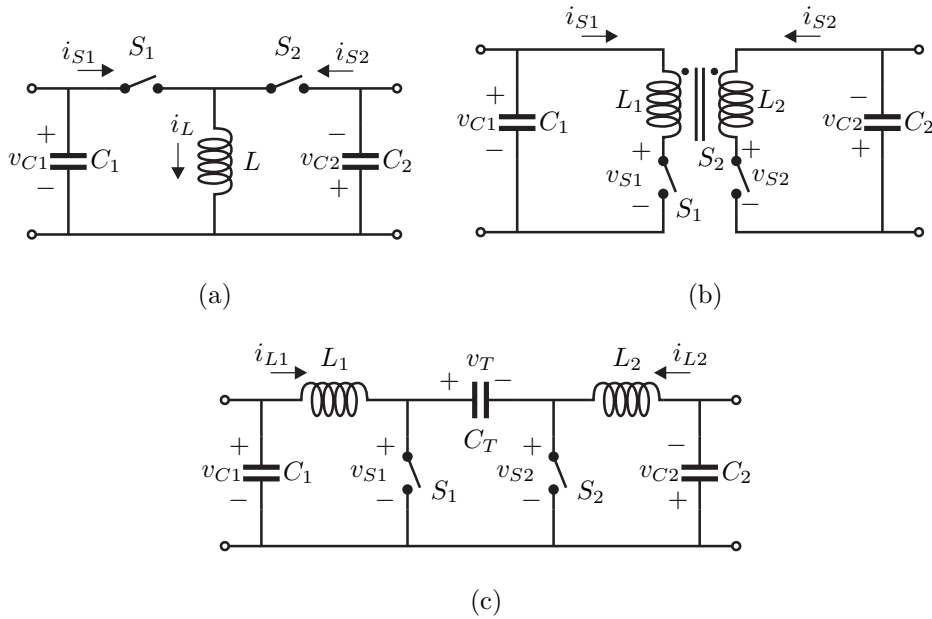


Figura 2.2: Topologías de convertidores para la arquitectura en escalera. (a) Topología *buck-boost*. (b) Topología *flyback*. (c) Topología *Ćuk*.

arreglo serie de elementos. Un módulo FV con CE conectados entre cadenas de celdas adyacentes se comportará como un nuevo módulo que siempre presenta un único punto de máxima potencia, visto desde los terminales del módulo. La etapa de conversión siguiente (convertidor de SPMP) o el mismo inversor tienen la tarea de ajustar los niveles de corriente y tensión del módulo balanceado para asegurarse de extraer la máxima potencia. Por lo tanto, al momento de seguir el punto de máxima potencia es necesario controlar tanto los CE como el funcionamiento de la etapa de conversión siguiente.

2.2. Operación Ideal

El propósito de la ACE es lograr que la potencia en los terminales de salida sea la suma directa de la potencia que genera cada elemento interno. Suponga que los convertidores utilizados son ideales, es decir que no introducen pérdidas de conducción o de conmutación y que sólo el comportamiento de las componentes de cc de las tensiones y corrientes es de interés. Además, tenga en cuenta que la corriente media por los capacitores en estado estacionario tiene que ser nula. Entonces, las ecuaciones

en los nodos de los elementos FV de la Fig. 2.3 pueden escribirse como

$$\begin{aligned}
 0 &= I_{fv1} - I_{S1} - I_0, \\
 0 &= I_{fv2} + I_{L1} - I_{fv1} - I_{S3}, \\
 0 &= I_{fv3} + I_{L2} - I_{fv2} - I_{S2}, \\
 0 &= I_0 - I_{fv3} - I_{S4},
 \end{aligned} \tag{2.5}$$

donde I_{fvi} es la corriente media del i -ésimo elemento FV, y las corrientes de cc por los inductores son

$$\begin{aligned}
 I_{L1} &= I_{S1} + I_{S2}, \\
 I_{L2} &= I_{S3} + I_{S4},
 \end{aligned} \tag{2.6}$$

donde I_{Sm} es la corriente media por la llave m . La relación de conversión de tensión de cc para cada uno de estos convertidores ideales resulta

$$\begin{aligned}
 \frac{V_{fv2}}{V_{fv1}} &= \frac{D_1}{1 - D_1}, \\
 \frac{V_{fv3}}{V_{fv2}} &= \frac{D_2}{1 - D_2},
 \end{aligned} \tag{2.7}$$

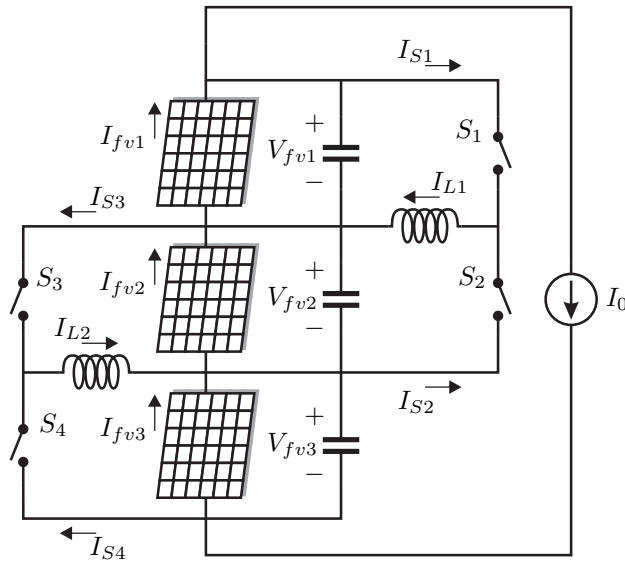


Figura 2.3: Arquitectura en escalera implementada con convertidores *buck-boost*.

donde V_{fvi} es la tensión media del i -ésimo elemento FV, D_1 y D_2 son los ciclos de trabajo de los convertidores en estado estacionario. Por la ley de conservación de la energía, la potencia de entrada a un convertidor sin pérdidas debe ser igual a la de salida, entonces

$$\begin{aligned} V_{fv1}I_{S1} &= V_{fv2}I_{S2}, \\ V_{fv2}I_{S3} &= V_{fv3}I_{S4}. \end{aligned} \tag{2.8}$$

Reemplazando (2.7) en (2.8) resulta

$$\begin{aligned} I_{S1}(1 - D_1) &= D_1I_{S2}, \\ I_{S3}(1 - D_2) &= D_2I_{S4}. \end{aligned} \tag{2.9}$$

Luego, de (2.6) y usando (2.9) se obtiene

$$\begin{aligned} I_{S1} &= D_1I_{L1}, \\ I_{S2} &= (1 - D_1)I_{L1}, \\ I_{S3} &= D_2I_{L2}, \\ I_{S4} &= (1 - D_2)I_{L2}. \end{aligned} \tag{2.10}$$

La tensión media de salida (en la fuente I_0) es directamente la suma de las tensiones de los elementos FV del arreglo, $V_0 = V_{fv1} + V_{fv2} + V_{fv3}$. Con (2.5) y (2.10), la corriente media de salida se puede expresar de varias formas

$$\begin{aligned} I_0 &= I_{fv1} - D_1I_{L1}, \\ I_0 &= I_{fv2} + (1 - D_1)I_{L1} - D_2I_{L2}, \\ I_0 &= I_{fv3} + (1 - D_2)I_{L2}, \end{aligned} \tag{2.11}$$

y utilizando (2.11) en el cálculo de la potencia media de salida se obtiene

$$\begin{aligned}
 P_0 &= V_0 I_0 = (V_{fv1} + V_{fv2} + V_{fv3}) I_0, \\
 P_0 &= V_{fv1} I_{fv1} - D_1 V_{fv1} I_{L1} + V_{fv2} I_{fv2} + (1 - D_1) V_{fv2} I_{L1} \\
 &\quad - D_2 V_{fv2} I_{L2} + V_{fv3} I_{fv3} + (1 - D_2) V_{fv3} I_{L2}, \\
 P_0 &= V_{fv1} I_{fv1} + V_{fv2} I_{fv2} + V_{fv3} I_{fv3}. \tag{2.12}
 \end{aligned}$$

De esta última expresión resulta claro que la operación de la arquitectura en escalera permite obtener a la salida la suma de la potencia extraída de cada elemento FV ($P_{fvi} = V_{fvi} I_{fvi}$). Sin embargo, (2.12) no asegura que la potencia de cada elemento corresponda a la de su PMP. Se puede demostrar que comandando los ciclos de trabajo de los convertidores y la corriente I_0 es posible extraer la máxima potencia de cada elemento ante cualquier condición de desajuste, y de que esa combinación es única [67].

Una característica importante de la arquitectura es que evita la aparición de múltiples máximos en la curva de potencia en función de la tensión en los terminales de salida ante condiciones de generación no uniforme. La presencia de más de un máximo se atribuye a los diodos de derivación que se colocan para evitar la destrucción de uno o más elementos en un módulo FV por calentamiento excesivo, como se explicó en el Capítulo 1. De la curva de potencia en función de la tensión de un elemento FV (Fig. 2.4) se observa que el punto de máxima potencia (punto crítico) se halla para la condición $dP/dV = 0$. Además, para que este punto sea un máximo $d^2P/dV^2 < 0$. Entonces, para el caso de estudio la derivada de la potencia puede escribirse como

$$\begin{aligned}
 \frac{dP_0}{dV_0} &= \frac{dP_{fv1}}{dV_0} + \frac{dP_{fv2}}{dV_0} + \frac{dP_{fv3}}{dV_0}, \\
 &= \frac{dP_{fv1}}{dV_{fv1}} \frac{dV_{fv1}}{dV_0} + \frac{dP_{fv2}}{dV_{fv2}} \frac{dV_{fv2}}{dV_0} + \frac{dP_{fv3}}{dV_{fv3}} \frac{dV_{fv3}}{dV_0}, \\
 &= \alpha_1 \frac{dP_{fv1}}{dV_{fv1}} + \alpha_2 \frac{dP_{fv2}}{dV_{fv2}} + \alpha_3 \frac{dP_{fv3}}{dV_{fv3}},
 \end{aligned}$$

donde $\alpha_i = dV_{fvi}/dV_0 > 0 \forall D_1, D_2 \in [0; 1)$ son constantes en estado estacionario. Luego,

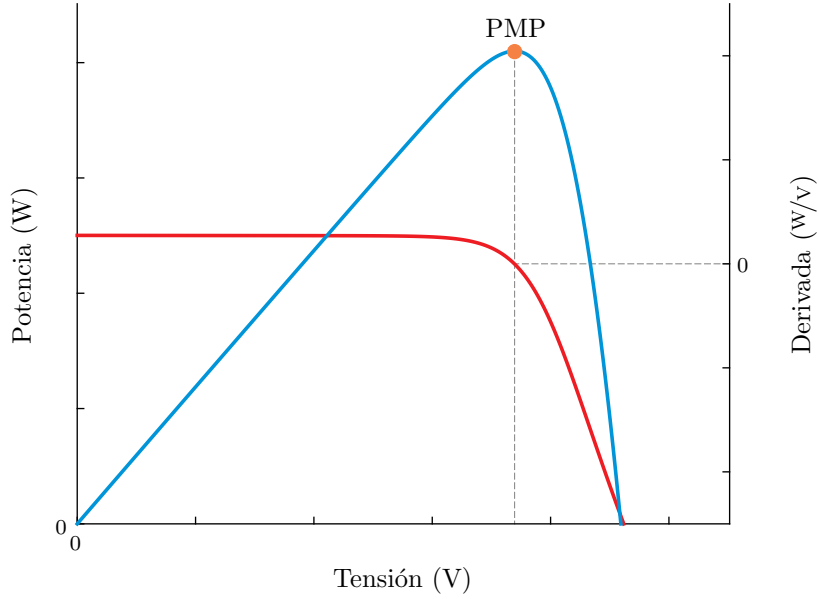


Figura 2.4: Potencia vs. tensión (—) de un elemento FV irradiado uniformemente (módulo, subcadena, celda), y la derivada primera de la curva característica (—).

la derivada segunda resulta

$$\frac{d^2 P_0}{dV_0^2} = (\alpha_1)^2 \frac{d^2 P_{fv1}}{dV_{fv1}^2} + (\alpha_2)^2 \frac{d^2 P_{fv2}}{dV_{fv2}^2} + (\alpha_3)^2 \frac{d^2 P_{fv3}}{dV_{fv3}^2}.$$

Como no hay diodos de derivación dentro de los elementos FV $d^2 P_{fvi}/dV_{fvi}^2 < 0$, la derivada segunda será siempre negativa. Por lo tanto, cualquier punto crítico tiene que ser un máximo y tiene que ser único, pues para que exista otro máximo en una curva suave tendría que existir al menos un mínimo, es decir que la derivada segunda debería ser positiva en algún punto.

2.3. Comparación entre Topologías

El análisis de la sección anterior permite entender el funcionamiento de cc en estado estacionario de la arquitectura en escalera implementada con convertidores *buck-boost*. Una implementación usando convertidores Ćuk (Fig. 2.5) resultaría en la misma expresión (2.12). En las Fig. 2.6 y Fig. 2.7 se pueden apreciar las señales temporales en estado estacionario correspondientes a algunos componentes para cada topología, cuando la radiación en el Módulo 2 es la mitad de la que reciben los Módulos 1 y 3.

En el resto de la Tesis, la componente de cc de una señal de tensión v_{fv} en el tiempo (por ejemplo para un elemento FV) se representa como V_{fv} y su componente de ca como \tilde{v}_{fv} . Esta notación también se aplica a las señales de corriente i_{fv} en el tiempo con componentes I_{fv} y \tilde{i}_{fv} . Se ven algunas diferencias claves, sobre todo en las formas de onda de la tensión y la corriente del módulo FV, donde unas son triangulares y las otras sinusoidales. La señal d_1 indica el estado de la llave S_1 , y d_2 hace lo mismo para la llave S_3 . Las señales de conmutación para las llaves S_2 y S_4 son complementarias a las de S_1 y S_3 , respectivamente.

La corriente de salida y el ciclo de trabajo son iguales en cada caso, y se eligieron para lograr que cada módulo opere en las cercanías de su punto de máxima potencia sin utilizar un algoritmo de SPMP.

A partir de los parámetros del convertidor es posible estimar los valores del rizado en los capacitores y en los inductores adoptando algunas aproximaciones. En la Fig. 2.6 se aprecia que la corriente en el inductor del *buck-boost* tiene una forma de onda triangular, entonces mientras la llave S_1 está encendida ($0 \leq t < D_1 T_s$)

$$L_1 \frac{di_{L1}}{dt} = V_{fv1} \Rightarrow \Delta I_{L1} = \frac{V_{fv1} D_1}{f_s L_1},$$

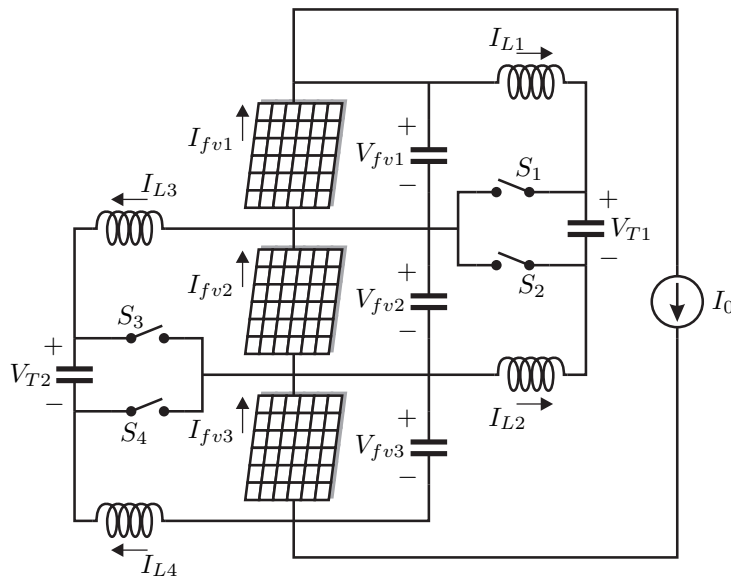


Figura 2.5: Arquitectura en escalera implementada con convertidores Cuk.

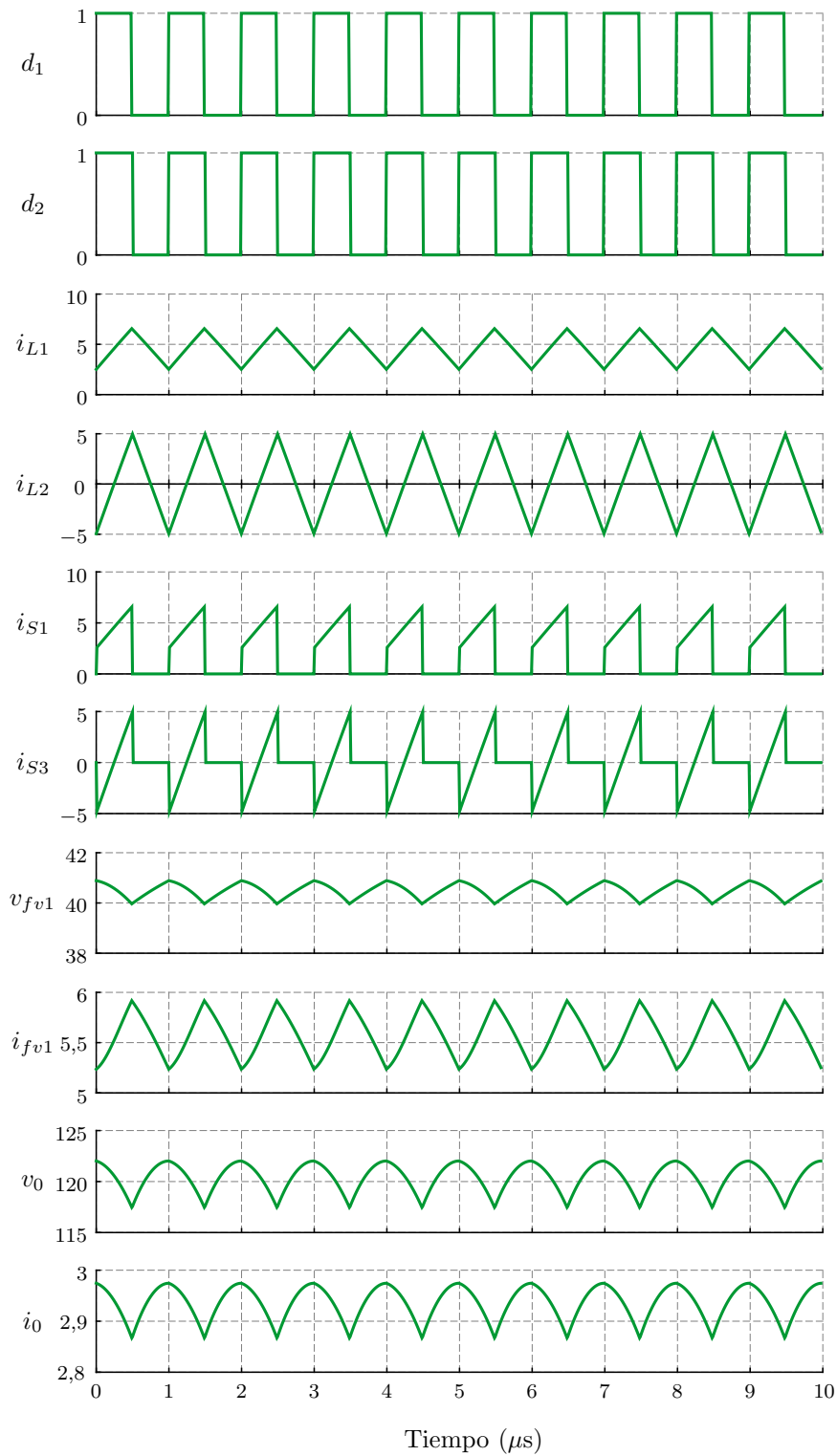


Figura 2.6: Formas de onda temporales para la ACE implementada con convertidores *buck-boost*.

donde V_{fv1} es la tensión media de operación del Módulo 1, y $f_s = 1/T_s$.

Por otra parte, la tensión de rizado en el capacitor de transferencia C_{T1} (Fig. 2.7)

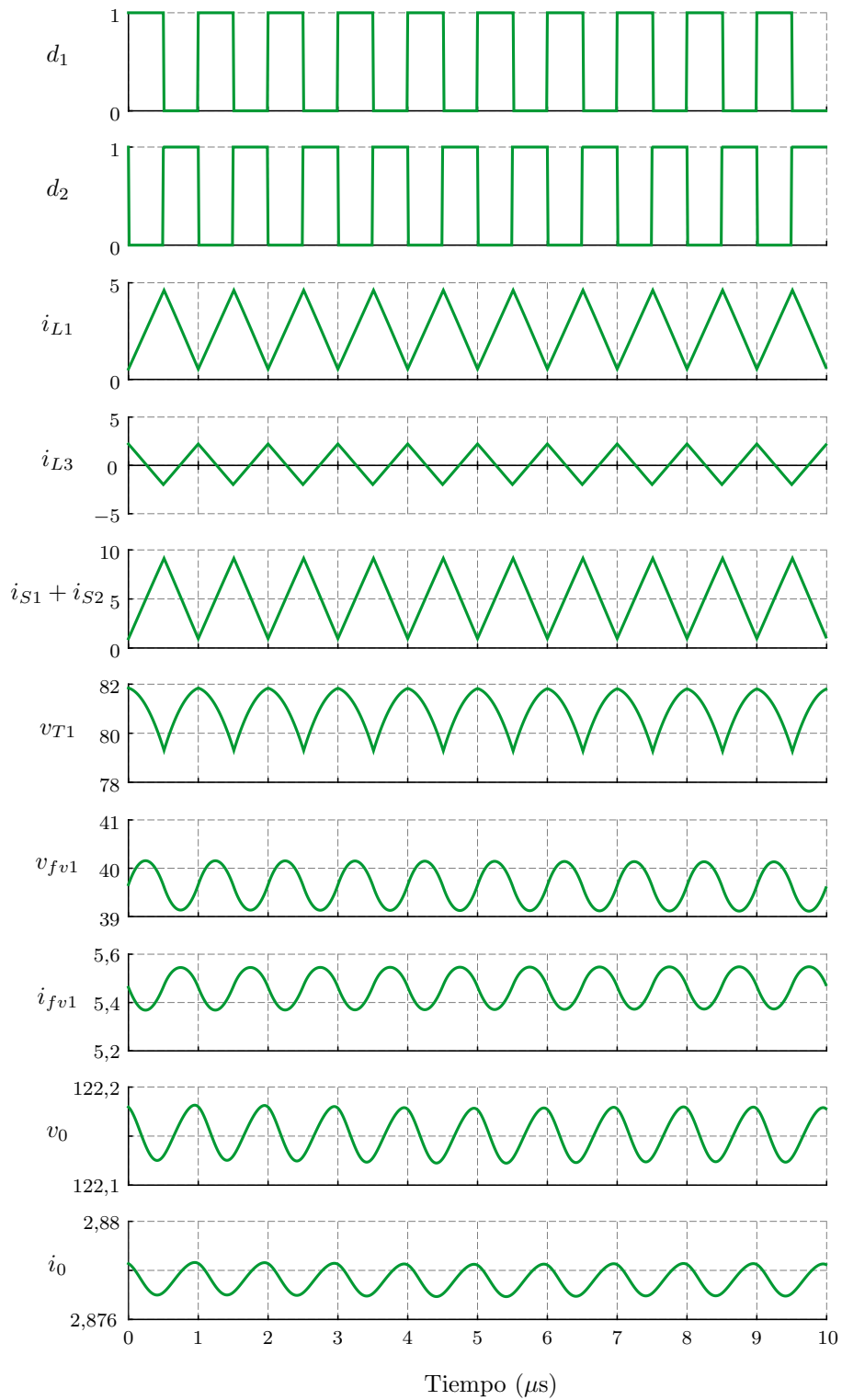


Figura 2.7: Formas de onda temporales para la ACE implementada con convertidores \acute{C} uk.

del \acute{C} uk se puede aproximar considerando que la corriente por el inductor L_2 tiene una forma de onda triangular con rizado ΔI_{L2} . Mientras la llave S_1 esta encendida

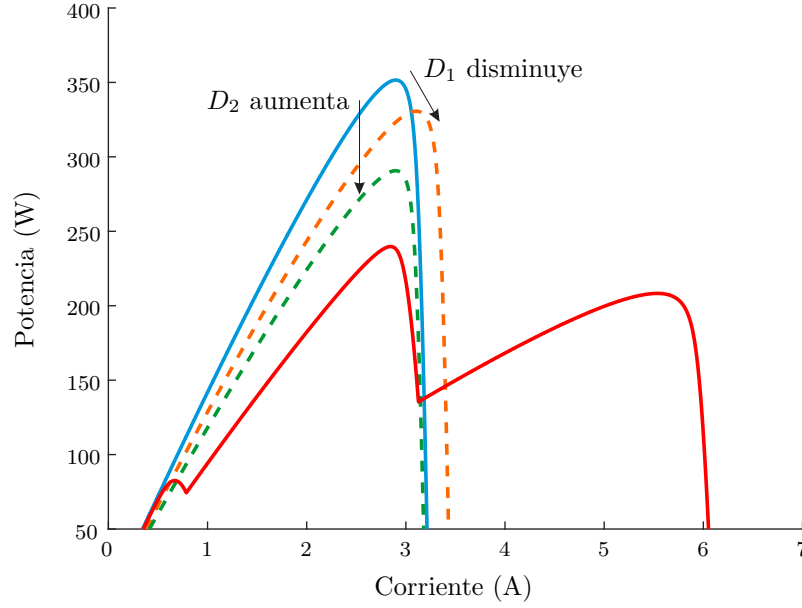


Figura 2.8: Potencia de salida para ciclos de trabajo constantes utilizando una ACE (—, - - -, - - -) implementada con convertidores *buck-boost*, y sólo diodos de derivación (—). Tres módulos FV con diferentes radiaciones se utilizaron para esta simulación.

($0 \leq t < D_1 T_s$) la corriente de L_2 circula a través de C_{T1} , entonces

$$i_{T1} = C_{T1} \frac{dv_{T1}}{dt},$$

$$\Delta V_{T1} = \frac{1}{C_{T1}} \int_0^{D_1 T_s} i_{T1} dt = \frac{1}{C_{T1}} \int_0^{D_1 T_s} i_{L2} dt,$$

$$\Delta V_{T1} = \frac{I_{L2} D_1}{f_s C_{T1}},$$

donde I_{L2} es la corriente media por L_2 . Esta última expresión pierde validez si el rizado en los inductores es mayor que la mitad de la corriente media.

Utilizando las simulaciones se puede ejemplificar la característica de un único PMP de esta arquitectura. La Fig. 2.8 muestra la curva de potencia de salida (P_0) en función de la corriente de salida (I_0) cuando los ciclos de trabajo se mantienen constantes, utilizando convertidores *buck-boost*. Además, se observa la aparición de múltiples PMP locales en la curva de potencia de salida para el mismo esquema de radiación cuando se conectan sólo los diodos de derivación. La característica de P_0-I_0 obtenida para la ACE es independiente de la topología de convertidor elegida. La potencia extraída de cada elemento FV es máxima para una combinación particular de ciclos de trabajo

que depende del convertidor central, en este caso modelado como una simple fuente de corriente. En la Fig. 2.8 se observa cómo cambia la ubicación del PMP al disminuir D_1 y también al aumentar D_2 desde las condiciones que permiten alcanzar la máxima potencia. El desafío de control consiste en encontrar el máximo de la función multivariable cuyo dominio corresponde al espacio definido por los ciclos de trabajo y la corriente de salida.

2.4. Pérdida de Potencia por Rizado

Suponiendo que el algoritmo de control implementado en un convertidor conmutado puede encontrar con precisión el PMP, la diferencia entre la máxima potencia disponible en un elemento FV y la potencia extraída es una consecuencia del rizado de tensión presente a la entrada del convertidor. Por lo tanto, si el sistema bajo análisis (formado por los elementos FV y convertidores de potencia) tiene como requerimiento una eficiencia de extracción alta, resulta esencial determinar cuánto rizado puede tolerar un elemento FV antes de que la eficiencia de extracción caiga por debajo de un límite preestablecido (99 % en el caso de esta Tesis).

Para estudiar la pérdida de potencia originada por el rizado se utiliza un modelo eléctrico de un elemento FV, desarrollado como se describe en el Capítulo 1 usando el método en [26], excitado con una fuente de tensión que posee una componente de cc (V_{cc}) y una componente de rizado triangular/sinusoidal, cuya magnitud (v_{rizado}) es un porcentaje (ΔV_{rizado}) de V_{cc} . Este escenario emula el impacto sobre la potencia extraída, de la tensión de rizado presente a la entrada de un convertidor conmutado, que es proporcional al punto de operación de estado estacionario. El módulo FV elegido para este análisis es el modelo JAM5(R)72-205 de silicio monocristalino, cuyas características se resumen en la Tabla 2.1. El punto de operación en estado estacionario coincide con el PMP, y debido a que este depende fuertemente de la radiación (G) y de la temperatura ambiente (T_a), se espera que el rizado máximo tolerado también varíe con las condiciones de operación.

Tabla 2.1: Características de los módulos FV utilizados para el análisis.

Parámetros del Módulo FV	#1 JAM5(R)72-205	#2 PM200M00	#3 JW-G2350	#4 WSP-250M6	#5 E19-320	#6 ZT-210S
Corriente nominal de cortocircuito, I_{scn}	5,95 A	8,76 A	8,18 A	8,89 A	6,24 A	5,82 A
Tensión nominal de circuito abierto, V_{ocn}	45,94 V	30,4 V	37,2 V	37,39 V	64,8 V	48,15 V
Corriente en el PMP, I_{pmp}	5,55 A	8,37 A	7,4 A	8,38 A	5,86 A	5,21 A
Tensión en el PMP, V_{pmp}	36,94 V	23,9 V	31,8 V	29,92 V	54,7 V	40,28 V
Máxima potencia pico de salida, P_{max}	205 W	200 W	235 W	250 W	320 W	210 W
Coefficiente de Tensión con la Temperatura, K_v	-0,34 %/°C	-0,3 %/°C	-0,32 %/°C	-0,34 %/°C	-176,6 mV/°C	-1,9 mV/°C
Coefficiente de Corriente con la Temperatura, K_i	0,049 %/°C	0,06 %/°C	0,036 %/°C	0,06 %/°C	3,5 mA/°C	0,03 %/°C
Número de celdas en serie, N_s	72	48	60	60	96	72
Temperatura normal de funcionamiento de celda, NOCT	45 °C	46 °C	46 °C	44,7 °C	46 °C	47 °C

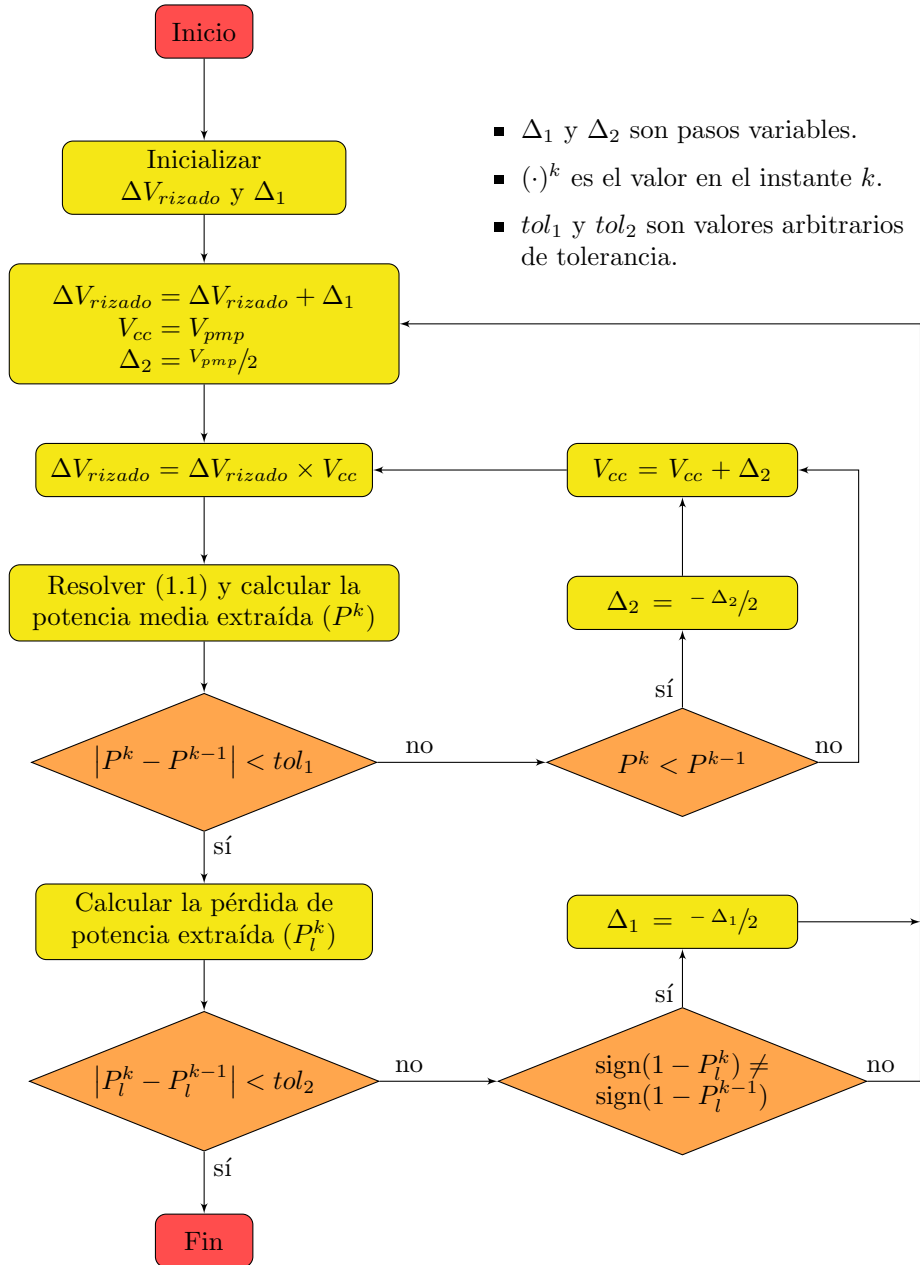


Figura 2.9: Diagrama del algoritmo para determinar el porcentaje de rizado necesario para obtener un 1 % de pérdida de potencia extraída.

El algoritmo para determinar el porcentaje de rizado necesario para perder un 1 % de la potencia disponible de cc se evaluó para una matriz de condiciones de operación. La matriz se generó con $G \in [100 \text{ W/m}^2, 1000 \text{ W/m}^2]$ y $T_a \in [-20 \text{ }^\circ\text{C}, 50 \text{ }^\circ\text{C}]$. Un diagrama para clarificar la operación del algoritmo, basado en un método de búsqueda binaria, puede observarse en la Fig. 2.9.

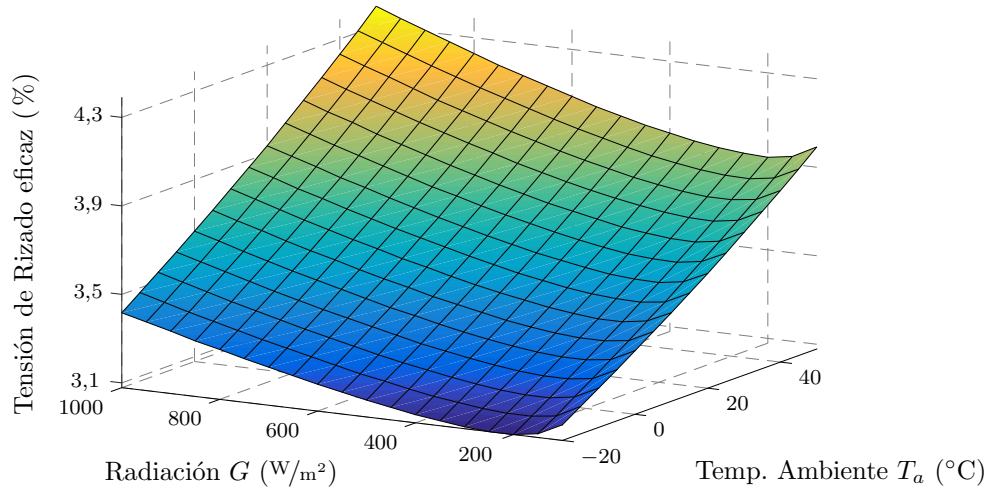
Para cada punto de la matriz se conoce el PMP de cc, y por lo tanto V_{cc} se inicializa a V_{pmp} y ΔV_{rizado} a un porcentaje fijo. Luego, se calcula la corriente de salida del elemento

FV y se computa la potencia media extraída. Manteniendo ΔV_{rizado} , V_{cc} se modifica sucesivamente para incrementar la potencia extraída hasta que la diferencia entre los resultados de dos iteraciones consecutivas caiga dentro de una banda de tolerancia. Luego de alcanzar la condición anterior, ΔV_{rizado} se reduce (o incrementa) si la pérdida de potencia extraída pasó de ser menor a mayor que 1% (y viceversa), teniendo en cuenta la pérdida de potencia obtenida en la iteración previa. Luego, se repite el primer paso del algoritmo inicializando V_{cc} a V_{pmp} y v_{rizado} se actualiza a $\Delta V_{\text{rizado}} \times V_{cc}$. Este proceso continúa hasta que la pérdida de potencia obtenida alcance un entorno del 1% de la potencia disponible de cc. Finalmente, se guarda el valor de ΔV_{rizado} y el algoritmo avanza al siguiente elemento de la matriz.

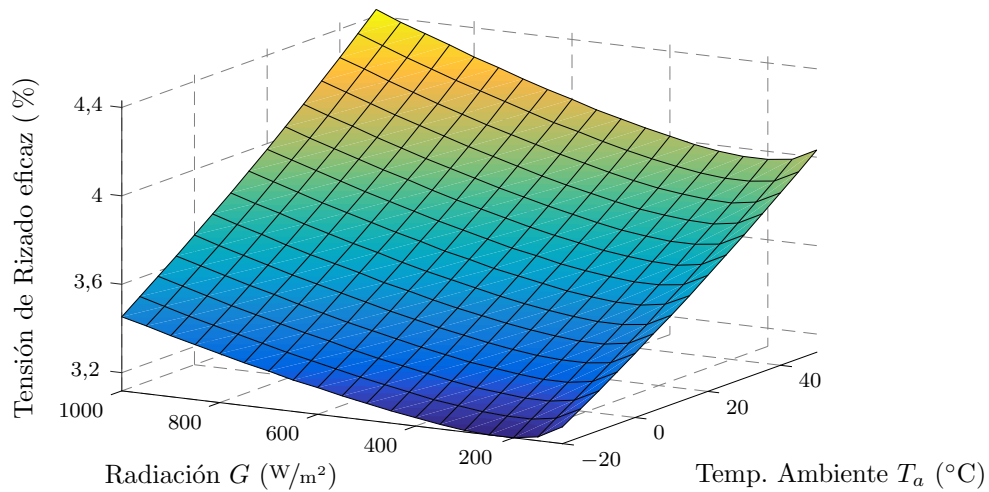
Seis módulos FV comerciales de silicio cristalino y de distintos fabricantes fueron evaluados con este algoritmo. Las características eléctricas de cada uno de ellos se resumen en la Tabla 2.1. Los resultados para el módulo #1 de la Tabla 2.1 se muestran en la Fig. 2.10. Una tensión de rizado sinusoidal con un valor eficaz de 3,4% es equivalente a un valor de tensión pico a pico de 9,62%. Incrementar el porcentaje de rizado más allá de los valores de la superficie provocaría una mayor pérdida de potencia extraída, y consecuentemente reduciría aún más la eficiencia global del sistema. El análisis se desarrolla con una tensión de rizado cuya componente fundamental es igual a la frecuencia de conmutación ($f_s = 500$ kHz); sin embargo, los resultados de la Fig. 2.10 no dependen de la frecuencia porque el modelo del panel no incluye el efecto de la capacidad parásita. Los resultados para los módulos restantes son similares a los obtenidos para el módulo #1, y no se muestran aquí por claridad.

La capacidad parásita puede ser importante dependiendo del tipo de elemento FV utilizado, como fue demostrado en [75–77]. Sin embargo, esta capacidad parásita en realidad ayuda a reducir la pérdida de potencia provocada por la tensión de rizado, entonces el peor caso es despreciar el efecto de esta capacidad. El efecto positivo de la capacidad parásita en la potencia extraída es comprobado mediante mediciones en el Capítulo 3.

El objetivo de este capítulo es encontrar un límite para la combinación de com-



(a)



(b)

Figura 2.10: Tensión de rizado eficaz para obtener una pérdida de potencia de 1% en un módulo FV JAM5(R)72-205. (a) Fuente de tensión triangular. (b) Fuente de tensión sinusoidal.

ponentes pasivos (filtro pasabajo) que deben utilizarse en un convertidor conmutado para cumplir con un requerimiento de eficiencia de extracción. En [36,37] los autores analizaron el efecto del rizado u otras componentes de oscilación sobre la eficiencia de extracción de potencia para convertidores conectados en cascada con arreglos FV. El análisis presentado en esos trabajos utiliza un modelo simplificado de los módulos FV para determinar la pérdida de potencia y en ninguno de los casos se determina claramente el filtro mínimo requerido para lograr una eficiencia de extracción específica.

2.5. Diseño del Filtro Pasivo

Al diseñar cualquier convertidor de potencia la primer tarea es establecer las especificaciones del sistema: rangos de tensión y corriente a la entrada y a la salida, potencia máxima, rizado máximo en los terminales, entre otras dependiendo de la aplicación. En un sistema de extracción de potencia FV las primeras se obtienen fácilmente de las características del módulo FV (o arreglo, subcadena, etc.) bajo CET y de las características de la carga. En cambio, el máximo rizado permitido en los terminales típicamente se escoge en forma arbitraria para despreciar su efecto en el desempeño del convertidor.

Idealmente, la entrada/salida de un convertidor no debería presentar rizado de tensión ni de corriente. Sin embargo, para lograr este resultado sería necesario un capacitor infinitamente grande e ideal o una inductancia de características similares, dependiendo de la estructura del convertidor. En la práctica, cuando se desea atenuar el rizado hasta un nivel despreciable, por ejemplo $< 1\%$ del valor nominal de la tensión o corriente, se utilizan componentes pasivos de valores grandes, resultando en un convertidor de mayor volumen y costo que otro con menor nivel de atenuación. Esta situación implica una relación de compromiso que debe ser resuelta por el diseñador del convertidor. Al diseñar cualquier tipo de filtro es importante conocer las características de la señal que intenta filtrarse. Los filtros pasivos de entrada y salida en todo convertidor de cc-cc son pasabajos, y la frecuencia principal a filtrar corresponde con la frecuencia de conmutación del convertidor, que es la componente fundamental de la forma de onda del rizado.

Una amplia variedad de convertidores pueden utilizarse para extraer potencia de un panel solar, cada uno con sus ventajas y limitaciones. Para analizar cómo diseñar el filtro pasivo de un convertidor de extracción de potencia FV se comienza estudiando las topologías básicas de convertidores para luego extrapolar el análisis al diseño de los filtros de los convertidores utilizados en la arquitectura en escalera. Los convertidores básicos estudiados son el convertidor *buck* y el *boost*, esquematizados en la Fig. 2.11. A pesar que estas topologías no se pueden utilizar para la arquitectura en

escalera el análisis realizado es extrapolable a otras estructuras de convertidores que sí son apropiadas para implementar la ACE (Fig. 2.12), como se verá más adelante. La tensión/corriente de rizado que se propaga al elemento FV depende de la topología del convertidor, la carga y las condiciones de operación. El ciclo de trabajo en estado estacionario del convertidor conmutado es una función de la ubicación del verdadero PMP, y por lo tanto depende de la radiación y la temperatura ambiente.

Un modelo de pequeña señal resulta útil para determinar las características del rizado en los terminales del elemento FV. Este modelo está conformado por una única resistencia R_{pmp}^* que modela el elemento FV en un entorno del verdadero PMP (y es distinta de R_{pmp} que corresponde al PMP de cc), más la interfaz del convertidor de potencia que se está analizando. La Fig. 2.13 muestra un ejemplo del modelo de pequeña señal para un convertidor *buck* junto con un gráfico de la componente de ca de la fuente de corriente. La amplitud de la fuente de corriente del modelo se calcula con el ciclo de trabajo medio del convertidor D y de la carga efectiva R_{carga} .

Para cualquier convertidor, el filtro pasivo en los terminales de entrada previene que gran parte del rizado alcance al elemento FV (R_{pmp}^*). La función de transferencia del filtro puede combinarse con la representación en serie de Fourier compleja de la

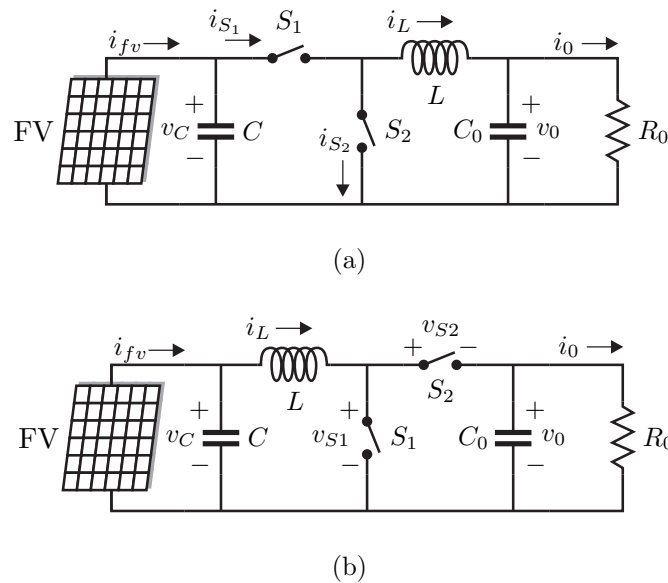


Figura 2.11: Esquemáticos de los convertidores básicos analizados. (a) Convertidor *buck*. (b) Convertidor *boost*.

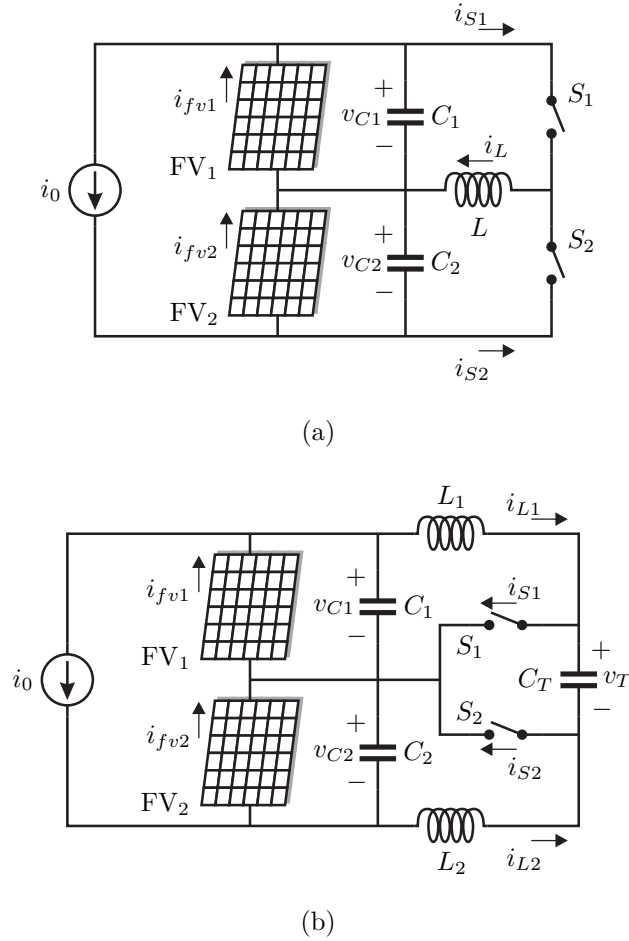


Figura 2.12: Esquemáticos de los CE analizados. (a) Convertidor *buck-boost*. (b) Convertidor *Ćuk*.

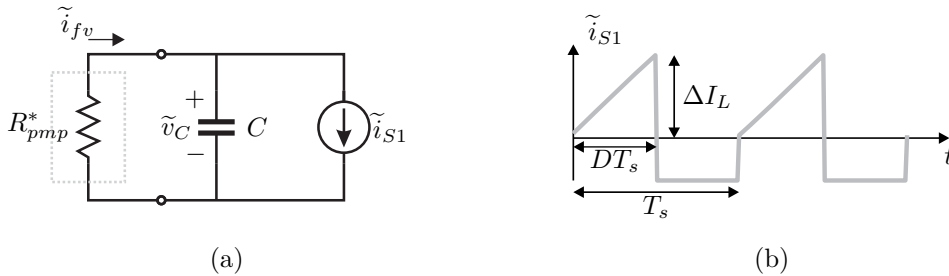


Figura 2.13: Interfaz de un *buck*. (a) Modelo de pequeña señal. La resistencia representa al elemento FV operando en el verdadero PMP. (b) Componente alterna de la corriente en S_1 .

señal de la fuente en la interfaz (\tilde{i}_{S1} en el ejemplo de la Fig. 2.13), para obtener el valor eficaz de la tensión de rizado $V_{fv,rms}$ en los terminales del elemento. Mediante la identidad de Parseval se establece una relación entre el valor eficaz de una señal periódica y su representación en serie de Fourier compleja. Entonces, para el caso del

convertidor *buck* se puede escribir

$$\frac{V_{fv,rms}}{V_{pmp}} = \frac{1}{V_{pmp}} \sqrt{\sum_{\substack{k=-\infty \\ k \neq 0}}^{\infty} |H_{buck}(kf_s)|^2 |p_k|^2}, \quad (2.13)$$

donde p_k son los coeficientes de la serie de Fourier compleja de la señal de la fuente de corriente, $H_{buck}(kf_s)$ es la función de transferencia del filtro pasabajos del convertidor evaluada en $s = j2\pi kf_s$, V_{pmp} es la tensión del PMP, y $V_{fv,rms}$ es el valor eficaz del rizado en el elemento FV. Es importante notar que (2.13) depende indirectamente y en forma no lineal de la radiación y temperatura ambiente del elemento FV a través de los coeficientes p_k .

De (2.13) parece posible calcular un filtro que permita limitar la tensión de rizado que llega al elemento FV, y consecuentemente limitar la pérdida en la potencia extraída. Reemplazando el término izquierdo en (2.13) con los resultados del algoritmo de la Sección anterior, y luego despejando $H(kf_s)$ se obtiene una expresión para el filtro que resulta en una pérdida de potencia del 1%. La expresión resultante para $H(kf_s)$ dependerá de la radiación y de la temperatura ambiente, y entonces es posible pensar que podría existir un filtro mínimo capaz de satisfacer el objetivo de eficiencia de extracción para todo el rango de condiciones de operación. Esta solución corresponderá al filtro con la frecuencia de corte más baja, es decir, aquel para el cual la tensión de rizado en los terminales está por debajo o es igual a los puntos de borde de la superficie en la Fig. 2.10(b), en todo el dominio de evaluación. A continuación se analiza cómo obtener el filtro mínimo para distintas topologías de convertidores conectados a elementos FV.

2.5.1. Convertidor *Buck*

El modelo de pequeña señal para la interfaz del convertidor *buck* de la Fig. 2.11(a) se observa en la Fig 2.13 junto con la forma de onda de la fuente de corriente \tilde{i}_{S1} . Esta

corriente puede expresarse de la siguiente forma

$$\tilde{i}_{S1} = \begin{cases} \frac{\Delta I_L}{DT_s} \left(t - \frac{DT_s}{2} \right) + (1-D)I_L & 0 \leq t < DT_s \\ -DI_L & DT_s \leq t < T_s \end{cases}, \quad (2.14)$$

donde I_L es la componente de cc de la corriente del inductor, y ΔI_L representa la amplitud pico a pico del rizado. La expresión (2.14) es válida siempre y cuando la forma de onda de la corriente en el inductor no cambie respecto de la gráfica en la Fig. 2.13(b).

La función de transferencia del filtro pasabajos en la Fig. 2.13(a) resulta

$$\frac{V_{fv}(s)}{I_{S1}(s)} = H_{buck}(s) = \frac{1/C}{s + 1/CR_{pmp}^*}. \quad (2.15)$$

La respuesta espectral del filtro puede aproximarse (para las frecuencias de interés) como una función monótonamente decreciente, dado que la frecuencia de corte ($f_c = 1/2\pi CR_{pmp}$) será más baja que la frecuencia de conmutación (f_s) a fin de proporcionar la atenuación requerida. Entonces

$$f_c < f_s \Rightarrow |H_{buck}(kf_s)| \simeq \frac{|H_{buck}(f_s)|}{k}, \quad (2.16)$$

y reemplazando en (2.13) resulta

$$\frac{V_{fv,rms}}{V_{pmp}} = \frac{1}{V_{pmp}} |H_{buck}(f_s)| \sqrt{\sum_{\substack{k=-\infty \\ k \neq 0}}^{\infty} \frac{|p_k|^2}{k^2}}, \quad (2.17)$$

donde

$$|H_{buck}(f_s)| = \frac{f_c R_{pmp}^*}{\sqrt{f_s^2 + f_c^2}}. \quad (2.18)$$

Por lo tanto, la atenuación del filtro en f_s es

$$A_{buck} = \left| \frac{1}{H_{buck}(f_s)} \right| = \frac{1}{V_{pmp}} \frac{\sqrt{\sum_k \frac{|p_k|^2}{k^2}}}{\frac{V_{fv,rms}}{V_{pmp}}}, \quad (2.19)$$

y de (2.18)

$$A_{buck} = \frac{\sqrt{f_s^2 + f_c^2}}{f_c R_{pmp}^*} \Rightarrow f_c \sqrt{\left(A_{buck}^2 (R_{pmp}^*)^2 - 1 \right)} = f_s. \quad (2.20)$$

Reemplazando f_c en (2.20) se obtiene la capacidad C como una función de f_s , R_{pmp}^* , y A_{buck} que depende de L , G y T_a . Entonces

$$C = g_{buck}(L, G, T_a) = \frac{1}{2\pi f_s R_{pmp}^*} \sqrt{\left(A_{buck}^2 (R_{pmp}^*)^2 - 1 \right)}. \quad (2.21)$$

La capacidad de borde es entonces

$$C_{borde} = \text{máx}\{g_{buck}(L_{borde}, G, T_a)\}, \quad (2.22)$$

donde L_{borde} es un conjunto arbitrario de inductancias. La combinación de L_{borde} y C_{borde} resulta en el filtro mínimo necesario para la topología *buck*.

La Fig. 2.14 muestra las curvas de borde resultantes en el plano $L - C$ para los módulos FV de la Tabla 2.1. La capacidad de borde se encuentra para 1000 W/m² y -20 °C para todos los módulos FV analizados. La suma infinita en (2.19) se aproxima sumando todas las componentes armónicas en el rango $k \in [-100, -1] \cup [1, 100]$. Para garantizar que la pérdida de potencia extraída utilizando un módulo FV específico sea menor al 1 % de la potencia disponible, se deben escoger los pares $L - C$ que se ubican por encima de la curva de borde correspondiente.

Observando la Fig. 2.14, al aumentar la inductancia la capacidad de borde se vuelve prácticamente constante. Incrementar la inductancia provoca una reducción de ΔI_L en \tilde{i}_{S1} . Superado un cierto valor de inductancia, la forma de onda del rizado es prácticamente cuadrada (el rizado en la corriente del inductor es despreciable frente al valor medio); así, incrementos adicionales de la inductancia no alterarán la capacidad re-

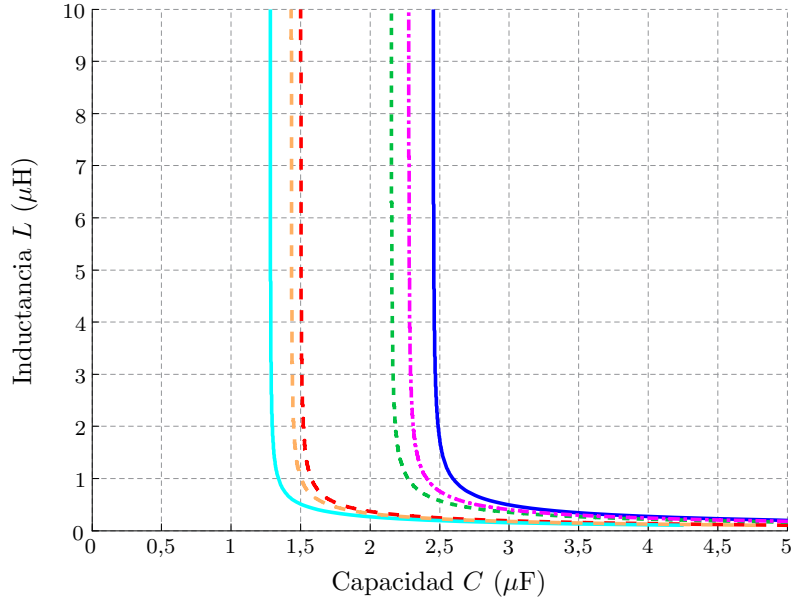


Figura 2.14: Curvas de borde para la topología *buck* (Fig. 2.11(a)) conectada a diferentes módulos FV de la Tabla 2.1: #1 (—), #2 (—), #3 (---), #4 (---), #5 (—) y #6 (---).

querida. Por el contrario, ΔI_L aumenta al reducir la inductancia; y por lo tanto, más capacidad será necesaria para alcanzar el requerimiento de eficiencia de extracción. En la Fig. 2.14 se aprecia que el filtro necesario también depende del módulo FV elegido. Caracterizando correctamente los módulos es posible diseñar un filtro que tenga un desempeño aceptable para un determinado grupo de módulos.

2.5.2. Convertidor *Boost*

El modelo de pequeña señal para el convertidor *boost* de la Fig. 2.11(b) y la forma de onda de la fuente de tensión en la interfaz se aprecian en la Fig. 2.15. La expresión

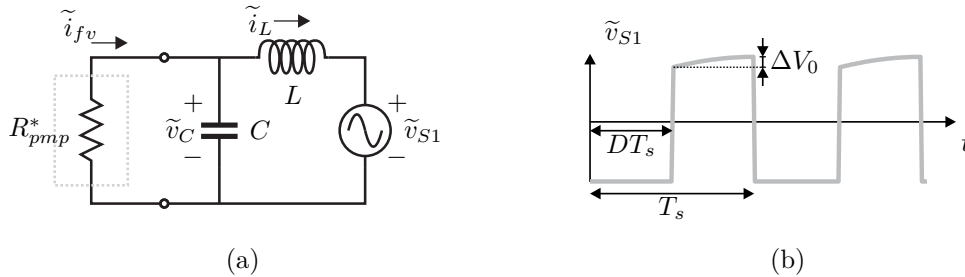


Figura 2.15: Interfaz de un *boost*. (a) Modelo de pequeña señal. La resistencia representa al elemento FV operando en el verdadero PMP. (b) Tensión en S_1 .

para \tilde{v}_{S1} resulta compleja de generalizar cuando no se desprecia el rizado en el capacitor de salida. Una primera aproximación razonable para \tilde{v}_{S1} se obtiene considerando que durante la conexión de la llave S_2 la tensión crece en forma cuadrática y que el vértice de la parábola se ubica en $t = T_s$ (Fig. 2.15(b)). Entonces

$$\tilde{v}_{S1} = \begin{cases} -\left(V_0 + D\frac{\Delta V_0}{6}\right)(1-D) & 0 \leq t < DT_s \\ DV_0 - \frac{\Delta V_0(t - T_s)^2}{(1-D)^2 T_s^2} + \frac{\Delta V_0(2 + D^2)}{6} & DT_s \leq t < T_s \end{cases}, \quad (2.23)$$

donde V_0 es la componente de cc de la tensión del capacitor de salida, y ΔV_0 representa la amplitud pico a pico del rizado. Si el rizado en la tensión de salida es considerable, la aproximación pierde validez cuando la polaridad de la corriente por la inductancia se invierte durante un período; es decir si el rizado en la corriente del inductor es mayor que el doble de la corriente media.

Para esta topología el filtro pasabajos es de segundo orden con la siguiente función de transferencia

$$\frac{V_{fv}(s)}{V_{S1}(s)} = H_{boost}(s) = \frac{1/LC}{s^2 + (1/CR_{pmp}^*)s + 1/LC}. \quad (2.24)$$

Utilizando la identidad de Parseval, la relación entre los coeficientes q_k de la serie de Fourier compleja para $\tilde{v}_{S1}(t)$ y el valor eficaz de esta señal puede escribirse

$$\frac{V_{fv,rms}}{V_{pmp}} = \frac{1}{V_{pmp}} \sqrt{\sum_{\substack{k=-\infty \\ k \neq 0}}^{\infty} |H_{boost}(kf_s)|^2 |q_k|^2}. \quad (2.25)$$

Similar al caso anterior, una respuesta espectral aproximada ayuda a determinar una solución global para el filtro dependiendo del módulo FV elegido. La frecuencia de corte ($f_c = 1/2\pi\sqrt{LC}$) es menor que la frecuencia de conmutación (f_s) y mayor que $f_0 = 1/2\pi CR_{pmp}^*$, luego

$$f_c < f_s \Rightarrow |H_{boost}(kf_s)| \simeq \frac{|H_{boost}(f_s)|}{k^2}, \quad (2.26)$$

y reemplazando en (2.25) resulta

$$\frac{V_{fv,rms}}{V_{pmp}} = \frac{1}{V_{pmp}} |H_{boost}(f_s)| \sqrt{\sum_{\substack{k=-\infty \\ k \neq 0}}^{\infty} \frac{|q_k|^2}{k^4}}; \quad (2.27)$$

donde

$$|H_{boost}(f_s)| = \frac{f_c^2}{\sqrt{(f_c^2 - f_s^2)^2 + f_0^2 f_s^2}}. \quad (2.28)$$

Por lo tanto, la atenuación del filtro en f_s es

$$A_{boost} = \left| \frac{1}{H_{boost}(f_s)} \right| = \frac{1}{V_{pmp}} \sqrt{\sum_k \frac{|q_k|^2}{k^4}} \frac{V_{fv,rms}}{V_{pmp}}, \quad (2.29)$$

y de (2.28)

$$A_{boost} \simeq \frac{\sqrt{(f_c^2 - f_s^2)^2}}{f_c^2} \Rightarrow f_c^2 (1 + A_{boost}) \simeq f_s^2. \quad (2.30)$$

Reemplazando f_c en (2.30) se obtiene LC como una función de f_s y A_{boost} que depende de C_0 , G y T_a . Entonces

$$LC \simeq g_{boost}(C_0, G, T_a) = \frac{(A_{boost} + 1)}{4\pi^2 f_s^2}. \quad (2.31)$$

La combinación LC de borde se obtiene calculando el máximo de (2.31), para satisfacer la atenuación a la frecuencia de conmutación

$$(LC)_{borde} = \text{máx}\{g_{boost}(C_{0-borde}, G, T_a)\}. \quad (2.32)$$

donde $C_{0-borde}$ es un conjunto arbitrario de capacidades.

La Fig. 2.16 muestra las curvas de borde resultantes en el plano C_0 - LC para los elementos FV de la Tabla 2.1. La combinación LC de borde se encuentra para -20 °C de temperatura ambiente para todos los módulos FV analizados, y diferentes valores de radiación. La suma infinita en (2.29) se aproxima sumando todas las componentes armónicas en el rango $k \in [-100, -1] \cup [1, 100]$. En la Fig. 2.17 se muestran las curvas

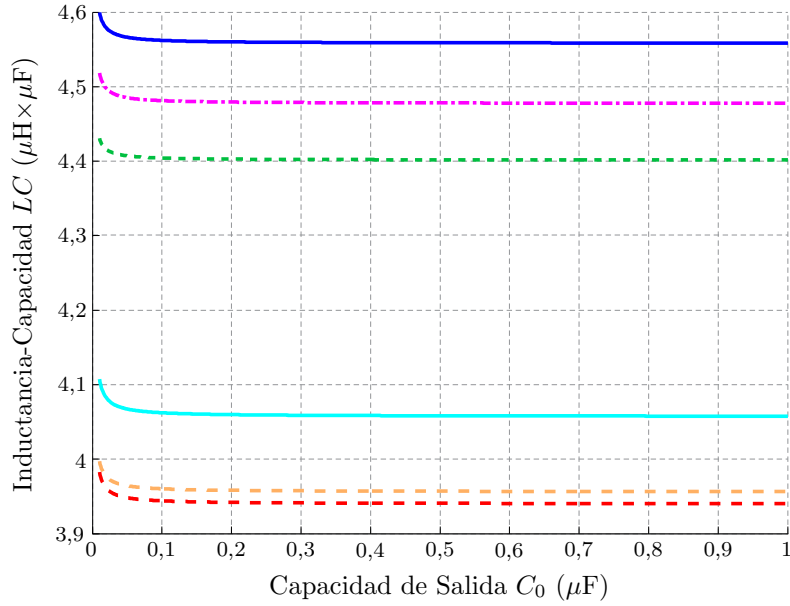


Figura 2.16: Curvas de borde para la topología *boost* (Fig. 2.11(b)) conectada a diferentes módulos FV de la Tabla 2.1: #1 (—), #2 (—), #3 (---), #4 (---), #5 (—) y #6 (---).

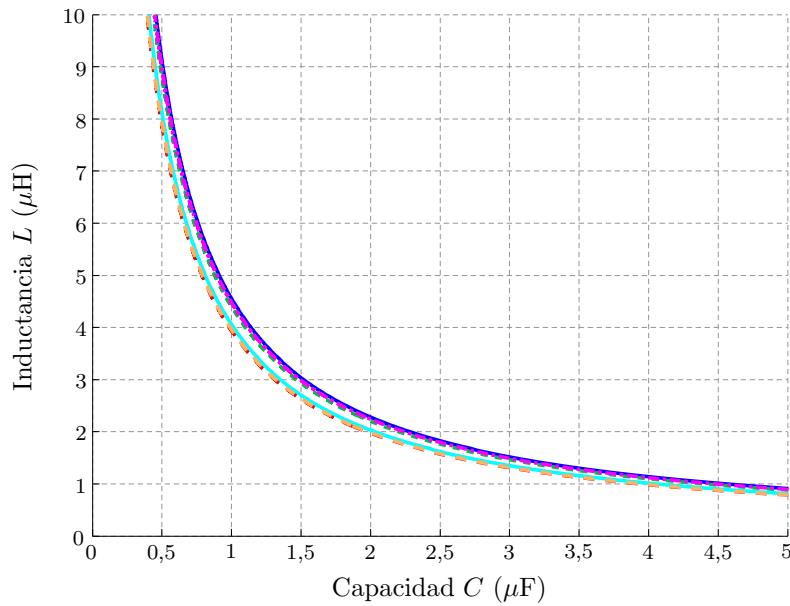


Figura 2.17: Curvas de borde para la topología *boost* (Fig. 2.11(b)) conectada a diferentes módulos FV de la Tabla 2.1 cuando $C_0 = 1 \mu\text{F}$: #1 (—), #2 (—), #3 (---), #4 (---), #5 (—) y #6 (---).

de borde en el plano $L - C$, para un valor de capacidad de salida fijo. Para garantizar que la pérdida de potencia extraída utilizando un módulo FV específico sea menor al 1% de la potencia disponible, se deben escoger los pares $L - C$ que se ubican por encima de la curva de borde correspondiente.

Observando la Fig. 2.16, se ve que al aumentar la capacidad de salida la combinación LC de borde se vuelve prácticamente constante. Al incrementar la capacidad de salida, ΔV_0 en \tilde{v}_{S1} disminuye y la forma de onda resulta prácticamente cuadrada. Por lo tanto, incrementos adicionales de la capacidad de salida no alterarán la combinación LC requerida. En cambio, cuando la capacidad de salida se reduce, ΔV_0 aumenta rápidamente y como consecuencia una combinación LC más grande debe seleccionarse para alcanzar el requerimiento de eficiencia de extracción.

2.5.3. Convertidor en Escalera *Buck-Boost*

La interfaz del CE *buck-boost* es idéntica a la del convertidor *buck*, Fig. 2.13. La forma de onda de la fuente de corriente de la interfaz también se conserva, entonces la expresión (2.14) para la corriente de la fuente es válida y por lo tanto, el resultado debería ser similar al obtenido para la topología *buck*.

Si en la Fig. 2.12(a) se reemplaza el convertidor *buck-boost* con el modelo de la interfaz correspondiente resulta la Fig. 2.18, donde cada fuente de corriente depende de las características del convertidor y de las condiciones de operación de los elementos FV adyacentes modelados mediante las resistencias R_{pmp1}^* y R_{pmp2}^* . En lo que sigue se asume que el rizado en la corriente de salida (\tilde{i}_0) es despreciable y no impacta en el cálculo del filtro.

La forma de onda de la fuente de corriente \tilde{i}_{S1} conectada al primer elemento FV

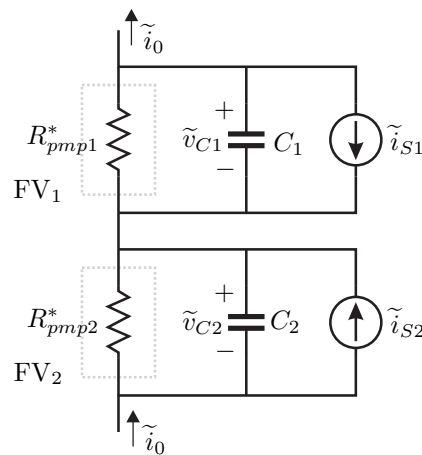


Figura 2.18: Diagrama simplificado para CE tipo *buck-boost*.

(Fig. 2.18) resulta

$$\tilde{i}_{S1} = \begin{cases} \frac{\Delta I_L}{DT_s} \left(t - \frac{DT_s}{2} \right) + (1 - D)I_L & 0 \leq t < DT_s \\ -DI_L & DT_s \leq t < T_s \end{cases}, \quad (2.33)$$

donde I_L es la corriente media del inductor, mientras que ΔI_L representa la amplitud pico a pico del rizado. La diferencia con el resultado para el convertidor *buck* en cascada se encuentra en el cálculo de la corriente I_L . La corriente media que circula por la inductancia en estado estacionario es directamente la diferencia entre las corrientes de los PMP de los elementos FV (I_{fv}^{pmp}) adyacentes al convertidor: $I_L = I_{fv1}^{pmp} - I_{fv2}^{pmp}$.

El resto de los cálculos son exactamente iguales que para el caso del convertidor *buck* en cascada. Por lo tanto, la capacidad del filtro resulta

$$C = g_{bb}(L, G_1, G_2, T_a) = \frac{1}{2\pi f_s R_{pmp}^*} \sqrt{\left(A_{bb}^2 (R_{pmp}^*)^2 - 1 \right)}, \quad (2.34)$$

donde A_{bb} se obtiene como en (2.19).

La capacidad de borde es entonces

$$C_{borde} = \text{máx}\{g_{bb}(L_{borde}, G_1, G_2, T_a)\}, \quad (2.35)$$

donde L_{borde} es un conjunto arbitrario de inductancias. Es importante notar que la capacidad de borde depende de las condiciones de radiación de los dos elementos FV, a través de la corriente media de la inductancia. La temperatura ambiente se considera uniforme para ambos elementos durante este análisis.

La Fig. 2.19 muestra las curvas de borde resultantes en el plano $L - C$ para los elementos FV de la Tabla 2.1. Las condiciones de operación para hallar esta capacidad de borde varían con los valores de inductancia utilizados. La suma infinita en (2.19) se aproxima sumando todas las componentes armónicas en el rango $k \in [-100, -1] \cup [1, 100]$. Para garantizar que la pérdida de potencia extraída utilizando un módulo FV específico sea menor al 1% de la potencia disponible, se deben escoger los pares $L - C$

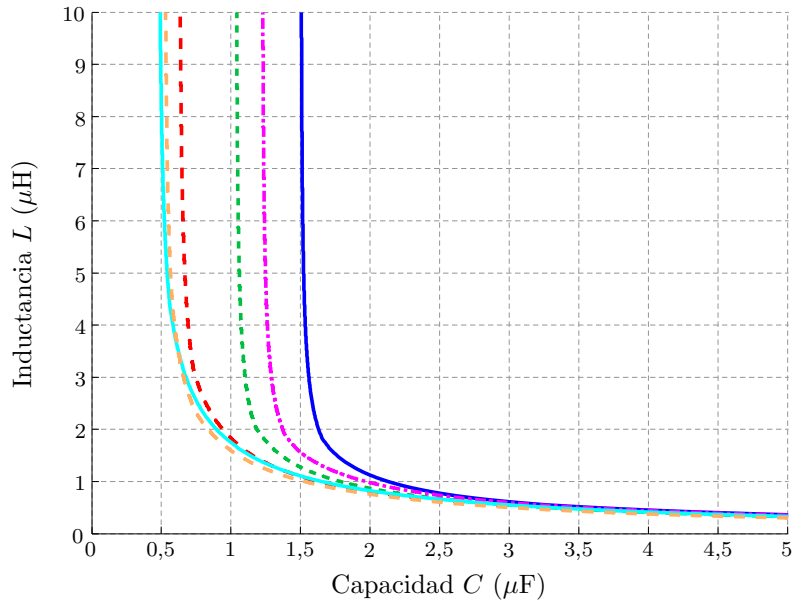


Figura 2.19: Curvas de borde para el CE *buck-boost* (Fig. 2.12(a)) conectada a diferentes módulos FV de la Tabla 2.1: #1 (—), #2 (—), #3 (---), #4 (---), #5 (—) y #6 (---).

que se ubican por encima de la curva de borde correspondiente.

La extensión de este cálculo para un número mayor de elementos no es simple a causa de la interacción entre los convertidores. Reemplazar los convertidores por sus interfaces sigue siendo válido, pero el cálculo de la corriente media en cada inductor dependerá de las corrientes del PMP de todos los elementos y de los ciclos de trabajo de todos los convertidores. El sistema de múltiples dimensiones resultantes puede resolverse mediante cálculos numéricos; sin embargo este caso no es de interés para la Tesis y no se analiza en más detalle.

2.5.4. Convertidor en Escalera Ćuk

La interfaz del CE Ćuk es idéntica a la de un convertidor *boost*, Fig. 2.15. La forma de onda de la fuente de corriente de la interfaz también se conserva, y puede expresarse como en (2.23).

Sustituyendo el convertidor Ćuk de la Fig. 2.12(b) por el modelo de la interfaz correspondiente se obtiene el diagrama de la Fig. 2.20, donde cada fuente de tensión depende de las características del convertidor y de las condiciones de operación de los

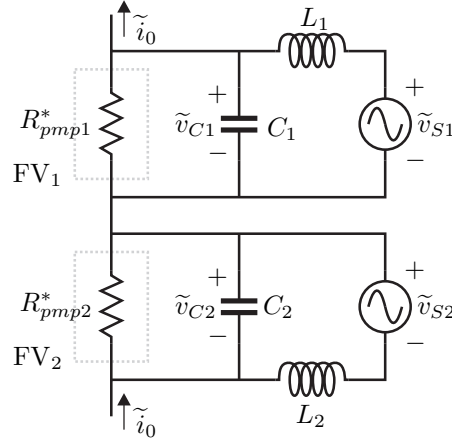


Figura 2.20: Diagrama simplificado para CE tipo Cuk.

elementos FV adyacentes modelados mediante las resistencias R_{pmp1}^* y R_{pmp2}^* . En lo que sigue se supone que el rizado en la corriente de salida (\tilde{i}_0) es despreciable y no impacta en el cálculo del filtro.

La forma de onda de la fuente de tensión \tilde{v}_{S1} conectada al primer elemento FV (Fig. 2.20) resulta

$$\tilde{v}_{S1} = \begin{cases} - \left(V_T + D \frac{\Delta V_T}{6} \right) (1 - D) & 0 \leq t < DT_s \\ DV_T - \frac{\Delta V_T (t - T_s)^2}{(1 - D)^2 T_s^2} + \frac{\Delta V_T (2 + D^2)}{6} & DT_s \leq t < T_s \end{cases}, \quad (2.36)$$

donde V_T es la componente de cc de la tensión del capacitor de transferencia C_T , y ΔV_T representa la amplitud pico a pico del rizado. La diferencia con el resultado para el convertidor *boost* en cascada se encuentra en el cálculo de la tensión V_T . La tensión media en estado estacionario en el capacitor de transferencia es directamente la suma de las tensiones de los elementos FV (V_{fv}^{pmp}) adyacentes al convertidor: $V_T = V_{fv1}^{pmp} + V_{fv2}^{pmp}$.

El resto de los cálculos son exactamente iguales que para el caso del convertidor *boost* en cascada. Por lo tanto, el filtro resulta,

$$LC \simeq g_{cuk}(C_T, G_1, G_2, T_a) = \frac{(A_{cuk} + 1)}{4\pi^2 f_s^2}, \quad (2.37)$$

donde A_{cuk} se obtiene como en (2.29).

La combinación LC de borde resulta

$$(LC)_{borde} = \text{máx}\{g_{cuk}(C_{T-borde}, G_1, G_2, T_a)\}, \quad (2.38)$$

donde $C_{T-borde}$ es un conjunto arbitrario de capacidades. Es importante notar que la combinación LC de borde depende de las condiciones de radiación de los dos elementos FV, a través de la tensión media en el capacitor de transferencia. La temperatura ambiente se considera uniforme para ambos elementos durante este análisis.

La Fig. 2.21 muestra las curvas de borde resultantes en el plano C_T-LC para los elementos FV de la Tabla 2.1. La combinación LC de borde se encuentra para -20 °C de temperatura ambiente para todos los módulos FV analizados, y diferentes combinaciones de valores de radiación en los módulos. La suma infinita en (2.29) se aproxima sumando todas las componentes armónicas en el rango $k \in [-100, -1] \cup [1, 100]$. En la Fig. 2.22 se muestran las curvas de borde en el plano $L - C$, para un valor de capacidad de salida fijo. Para garantizar que la pérdida de potencia extraída utilizando un módulo FV específico sea menor al 1 % de la potencia disponible, se deben escoger los pares $L - C$ que se ubican por encima de la curva de borde correspondiente.

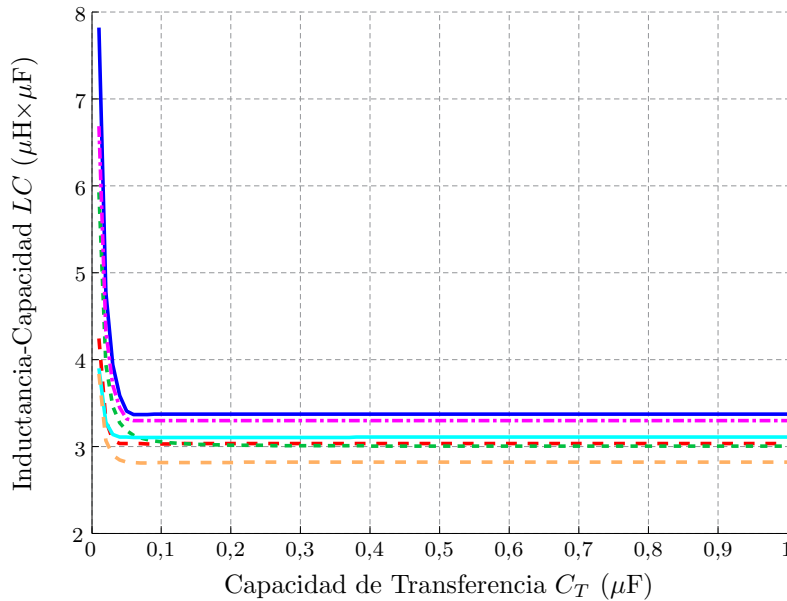


Figura 2.21: Curvas de borde para el CE Ćuk (Fig. 2.12(b)) conectada a diferentes módulos FV de la Tabla 2.1: #1 (— —), #2 (—), #3 (· · ·), #4 (· · ·), #5 (· · ·) y #6 (— —).

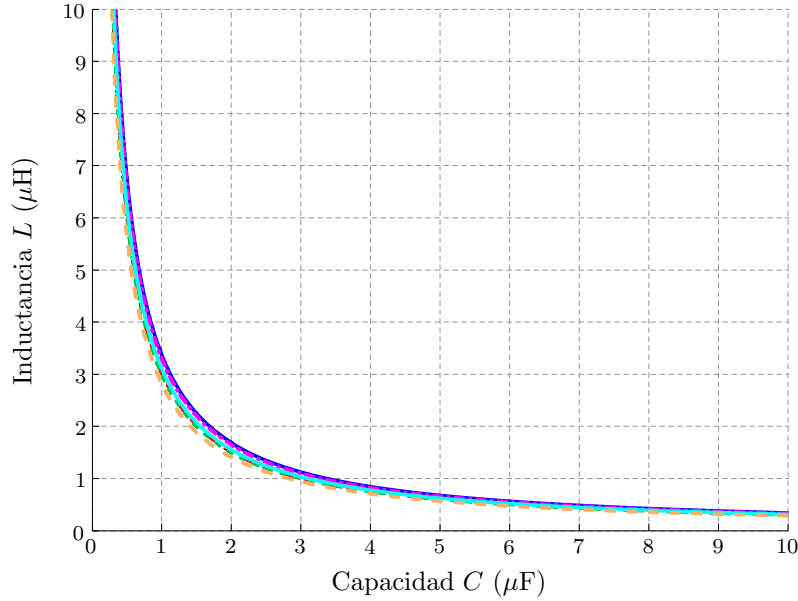


Figura 2.22: Curvas de borde para el CE Ćuk (Fig. 2.12(b)) conectada a diferentes módulos FV de la Tabla 2.1 cuando $C_T = 1 \mu\text{F}$: #1 (---), #2 (—), #3 (---), #4 (— · —), #5 (—) y #6 (— · —).

La interacción entre varios convertidores en una misma ACE es inevitable. En el caso de la topología Ćuk, sin embargo, la extensión del cálculo del filtro mínimo es más simple que para la topología *buck-boost*. Observe la Fig. 2.23 donde los convertidores Ćuk ya han sido reemplazados por sus respectivos modelos de pequeña señal, al igual que los elementos FV modelados por R_{pmp1}^* , R_{pmp2}^* y R_{pmp3}^* . La fórmula para las fuentes de tensión de las interfaces sigue siendo (2.36), con las tensiones de los capacitores de transferencia calculadas como la suma de las tensiones de los PMP de los elementos FV (V_{fv}^{pmp}) adyacentes en estado estacionario: $V_{T1} = V_{fv1}^{pmp} + V_{fv2}^{pmp}$ y $V_{T2} = V_{fv2}^{pmp} + V_{fv3}^{pmp}$.

Los capacitores C_1 y C_3 están conectados a una única interfaz, y por lo tanto (2.38) es aplicable para calcular el filtro mínimo. En cambio, el capacitor C_2 está conectado a dos interfaces. Si los convertidores operan con ciclos de trabajo del 50 %, una diferencia de fase de 180° entre las señales de conmutación de los convertidores permitiría eliminar completamente la corriente en el capacitor. Ante ciclos de trabajo distintos, una diferencia de fase de 180° igualmente reduce la corriente en el capacitor, aunque no la elimina completamente. Como consecuencia, la componente de rizado que debe filtrar el capacitor C_2 será menor o igual a la del capacitor C_1 o C_3 . Por lo

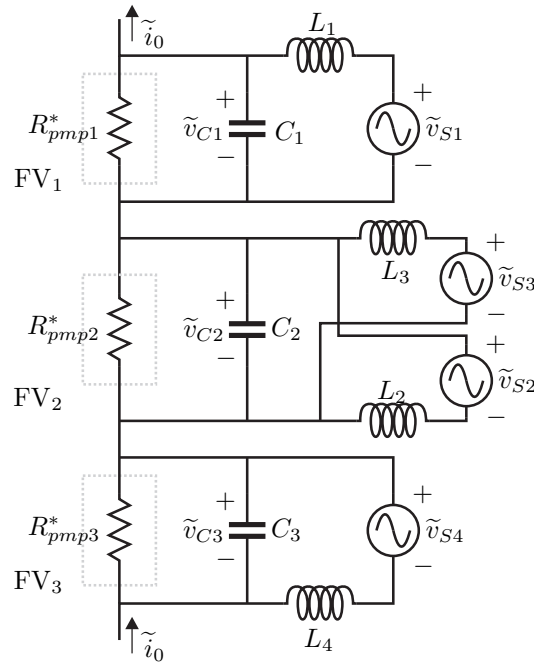


Figura 2.23: Análisis de la interacción entre dos CE Cúk.

tanto, el capacitor C_2 calculado a partir de (2.38) estará algo sobre dimensionado, pero igualmente sirve como aproximación inicial.

2.6. Simulaciones

Para validar las expresiones (2.22), (2.32), (2.35) y (2.38) se realizaron varias simulaciones temporales con cada una de las estructuras descritas en la Sección 2.5. Cada simulación realizada en MATLAB[®] SIMULINK[®], representa el escenario requerido para obtener el filtro mínimo para cada topología. Para los convertidores *buck* y *boost* las cargas resistivas se eligieron para mantener $D \in (0; 1)$, mientras el controlador sigue al PMP de cada módulo FV. Las llaves semiconductoras, los capacitores y los inductores son ideales; es decir, no disipan potencia porque sólo interesa la pérdida de potencia extraída. En cambio, para los CE el ciclo de trabajo depende de la relación entre las tensiones de los elementos FV. En este caso, los módulos tienen tensiones similares y por lo tanto el ciclo de trabajo será cercano al 50 %.

Las Fig. 2.24, 2.25, 2.26, y 2.27 comparan las curvas de 1 % de pérdida de potencia que resultan de las simulaciones con las curvas de borde calculadas para cada topo-

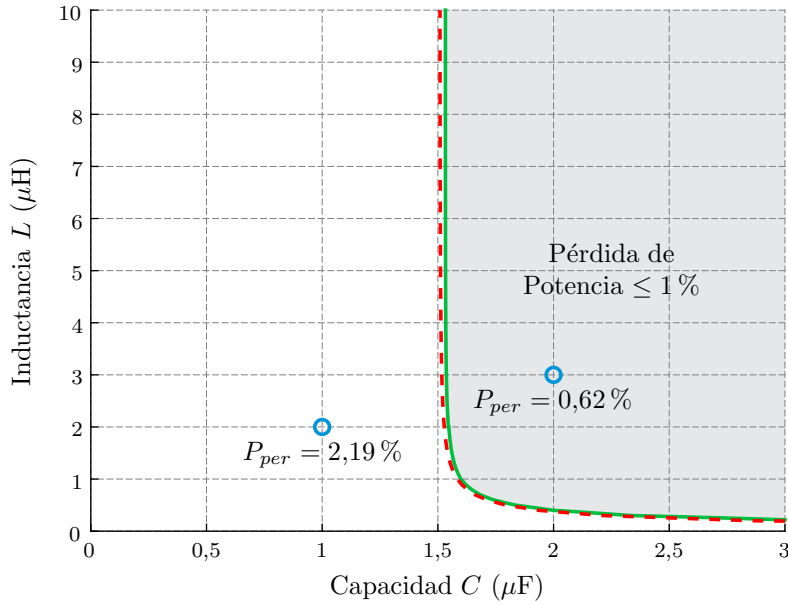


Figura 2.24: Comparación de la curva de 1% de pérdida de potencia (—) obtenida de la simulación de un convertidor *buck* (Fig. 2.11(a)), y el resultado de (2.22) (- -).

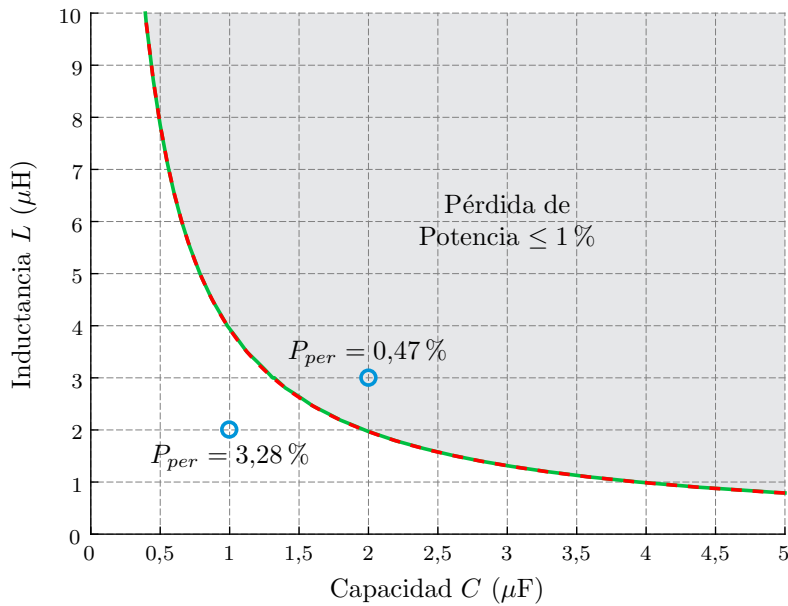


Figura 2.25: Comparación de la curva de 1% de pérdida de potencia (—) obtenida de la simulación de un convertidor *boost* (Fig. 2.11(b)), y el resultado de (2.32) (- -).

logía. Todas las simulaciones se realizaron utilizando el módulo #1 de la Tabla 2.1.

Durante estas simulaciones el ciclo de trabajo está controlado por un algoritmo de SPMP basado en el método de conductancia incremental. Los detalles del algoritmo no son de interés en este punto, y es suficiente saber que el sistema maximiza la potencia de cada elemento FV.

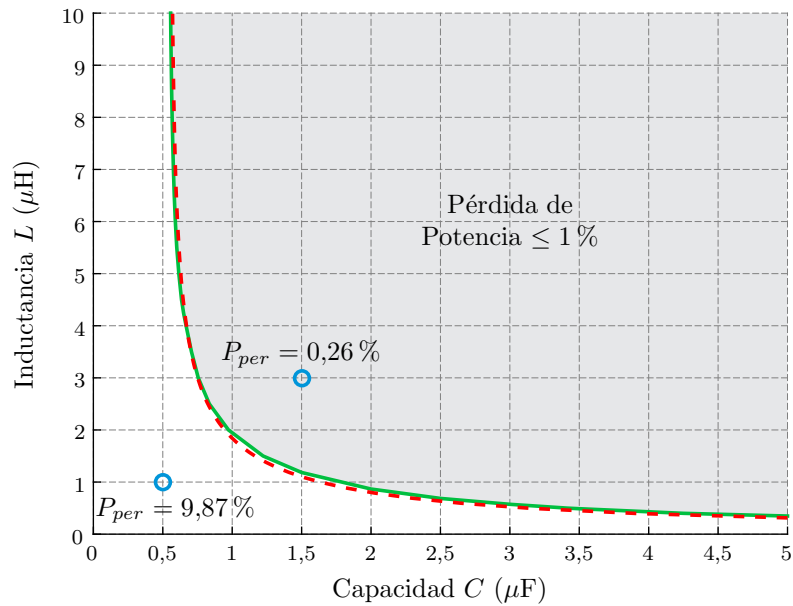


Figura 2.26: Comparación de la curva de 1% de pérdida de potencia en el Módulo 1 (—) obtenida de la simulación de un CE *buck-boost* (Fig. 2.12(a)), y el resultado de (2.35) (- -).

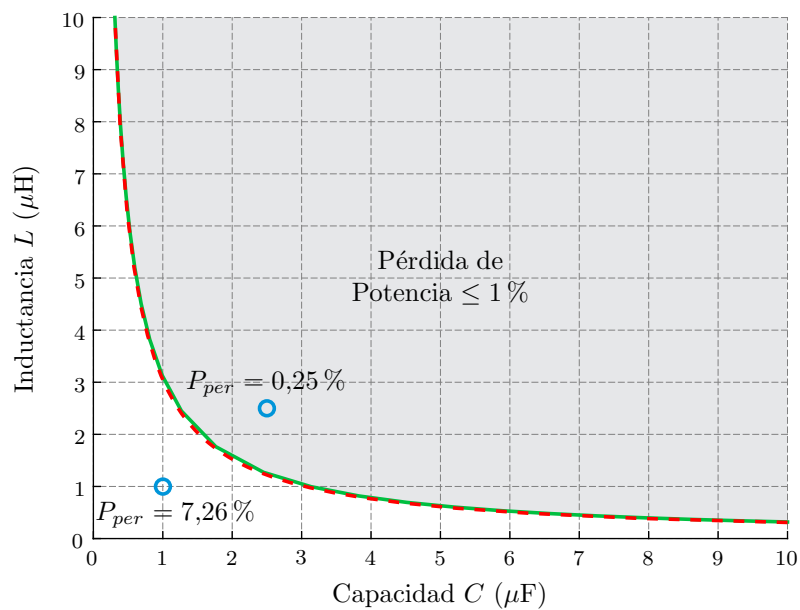


Figura 2.27: Comparación de la curva de 1% de pérdida de potencia en el Módulo 1 (—) obtenida de la simulación de un CE $\acute{C}uk$ (Fig. 2.12(b)), y el resultado de (2.38) (- -).

El límite de pérdida de potencia extraída igual a 1% se obtiene comparando la potencia media recolectada del módulo en estado estacionario en cada simulación con la potencia disponible de cc (que sólo depende de las condiciones de operación). Todos los conjuntos $L - C$ dentro de la región sombreada exhibirán una pérdida de potencia

extraída $\leq 1\%$. Para el convertidor *buck* $C_o = 10 \mu\text{F}$, para el convertidor *boost* $C_o = 1 \mu\text{F}$, y para el convertidor *Ćuk* $C_T = 1 \mu\text{F}$.

Dos conjuntos particulares de $L - C$ están marcados en las Fig. 2.24, 2.25, 2.26, y 2.27; uno dentro y el otro fuera de la región sombreada. La información de estado estacionario del punto de operación para cada uno de estos filtros se utiliza para calcular la pérdida de potencia extraída. La tensión y corriente en los terminales del módulo para cada uno de los puntos pueden apreciarse en las Fig. 2.28 y 2.29 para dos de las topologías estudiadas, y se observa claramente cómo cambia el nivel de rizado al modificar el conjunto $L - C$.

Las curvas de borde no se encuentran necesariamente para las condiciones de mínima radiación en el módulo; en cambio, dependen de las características de la carga y del módulo FV. Las Fig. 2.30, 2.31, 2.32 y 2.33 muestran la variación de la pérdida de potencia extraída con la radiación, cuando la temperatura ambiente es constante y para dos conjuntos $L - C$ diferentes. Para las ACE se mantuvo constante el nivel de radiación sobre FV_1 y se varió la radiación incidente sobre el segundo módulo. Diseñar el convertidor siempre para la mínima radiación de interés puede resultar en un sistema incapaz de respetar la cota de 1% de pérdida de potencia extraída para niveles de radiación mayores.

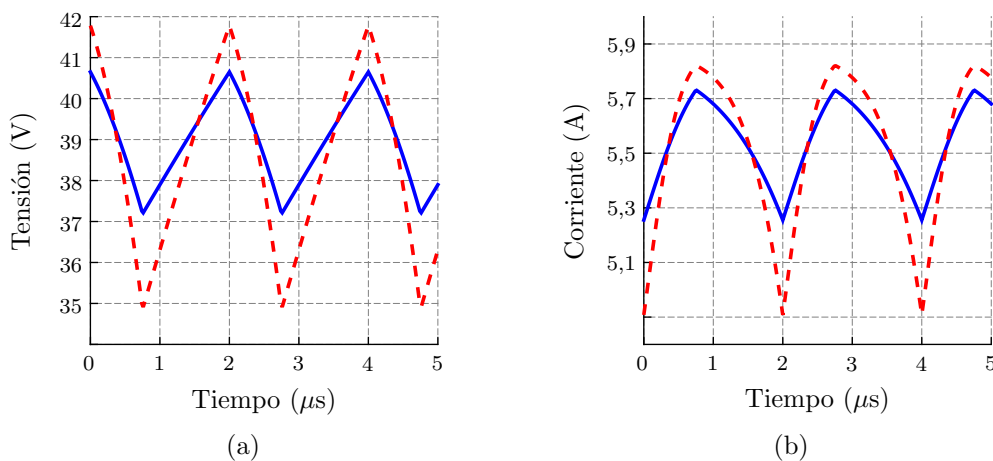


Figura 2.28: Tensión y corriente FV con el convertidor *buck* (Fig. 2.11(a)) simulado con diferentes filtros de entrada de $L - C$: $[C = 2 \mu\text{F}; L = 3 \mu\text{H}]$ (—) y $[C = 1 \mu\text{F}; L = 2 \mu\text{H}]$ (- -).

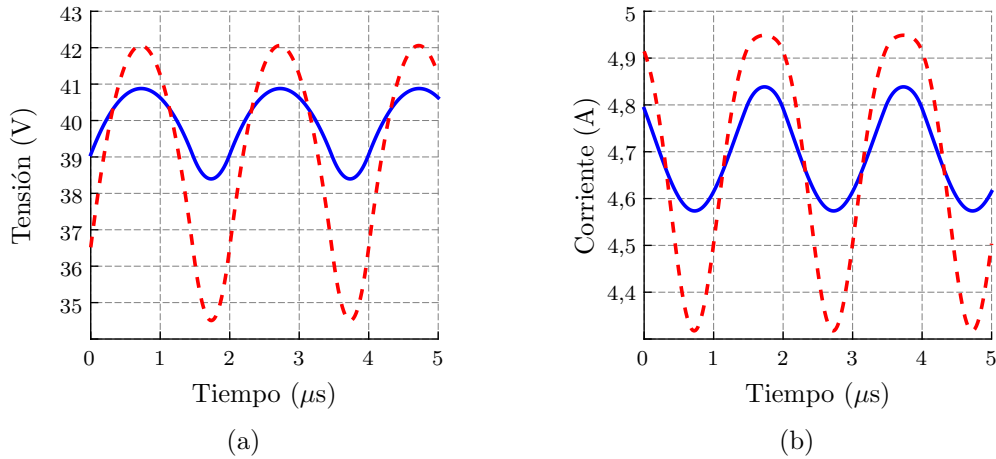


Figura 2.29: Tensión y corriente FV con el convertidor *boost* simulado con diferentes filtros de entrada de $L-C$: $[C = 2 \mu\text{F}; L = 3 \mu\text{H}]$ (—) y $[C = 1 \mu\text{F}; L = 2 \mu\text{H}]$ (- -). La capacidad de salida es $1 \mu\text{F}$.

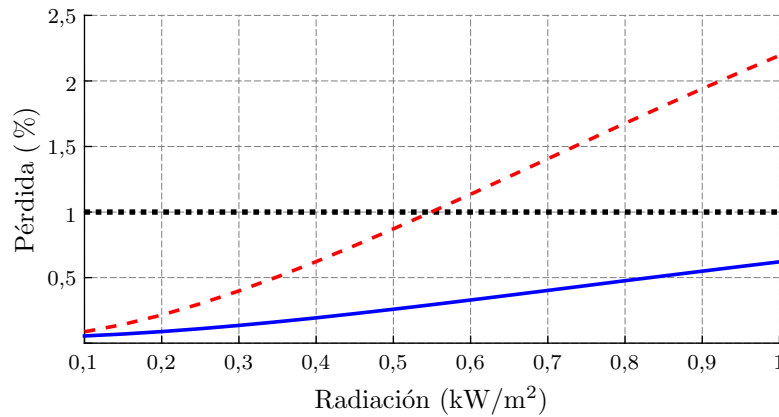


Figura 2.30: Pérdida de potencia extraída utilizando un convertidor *buck* para el SPMP, cuando $[C = 2 \mu\text{F}; L = 3 \mu\text{H}]$ (—) y $[C = 1 \mu\text{F}; L = 2 \mu\text{H}]$ (- -). La capacidad de salida es $10 \mu\text{F}$.

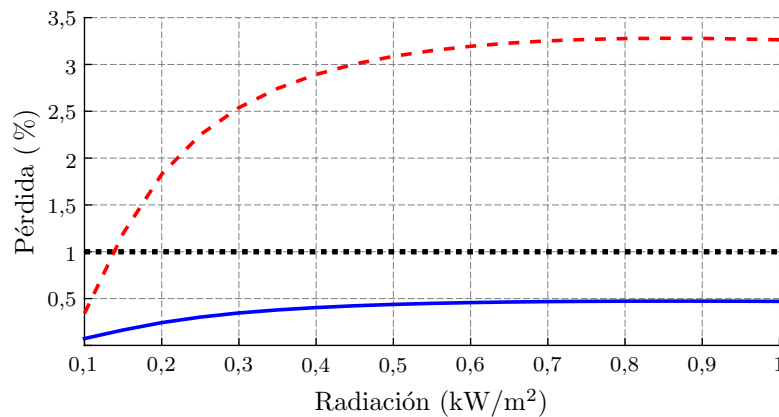


Figura 2.31: Pérdida de potencia extraída utilizando un convertidor *boost* para el SPMP, cuando $[C = 2 \mu\text{F}; L = 3 \mu\text{H}]$ (—) y $[C = 1 \mu\text{F}; L = 2 \mu\text{H}]$ (- -). La capacidad de salida es $1 \mu\text{F}$.

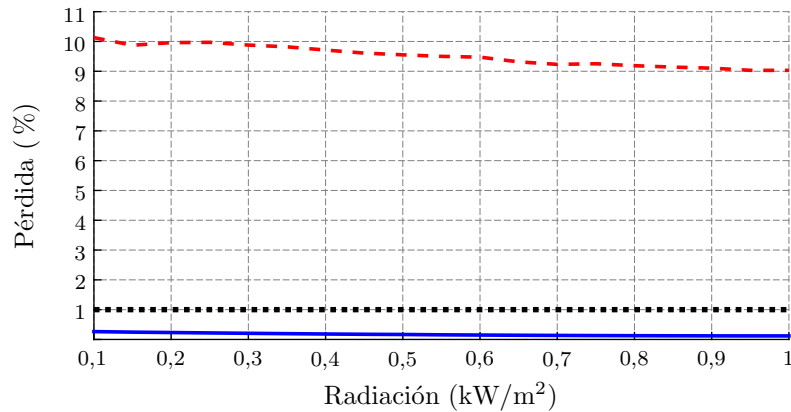


Figura 2.32: Pérdida de potencia extraída en el Módulo 2 utilizando un CE *buck-boost* para el SPMP, cuando $[C = 1,5 \mu\text{F}; L = 3 \mu\text{H}]$ (—) y $[C = 0,5 \mu\text{F}; L = 1 \mu\text{H}]$ (- -). La radiación sobre el Módulo 1 se mantuvo constante en 1000 W/m^2 variando la radiación del Módulo 2.

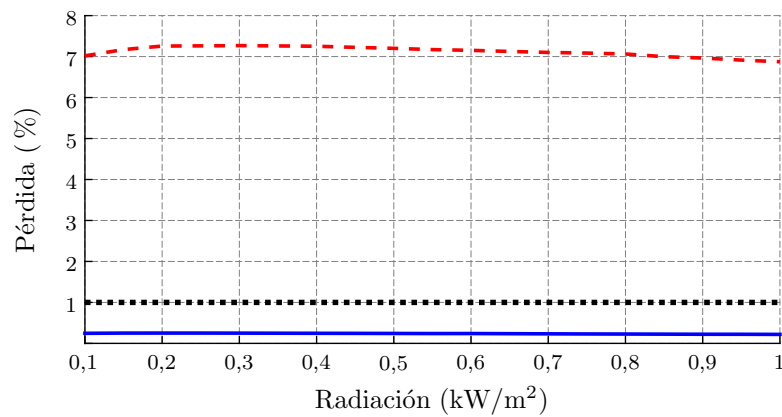


Figura 2.33: Pérdida de potencia extraída en el Módulo 2 utilizando un CE Cuk para el SPMP, cuando $[C = 2,5 \mu\text{F}; L = 2,5 \mu\text{H}]$ (—) y $[C = 1 \mu\text{F}; L = 1 \mu\text{H}]$ (- -). La radiación sobre el Módulo 1 se mantuvo constante en 200 W/m^2 variando la radiación del Módulo 2.

2.7. Discusión sobre el Filtro Mínimo

La existencia de un límite mínimo para los componentes pasivos no implica que el diseñador debe utilizar directamente los valores de borde. La elección del valor final dependerá también de otras consideraciones. Por ejemplo, los transistores soportan una máxima corriente de pico repetitivo, si se supera este límite establecido por el fabricante, las características del transistor pueden degradarse e incluso puede resultar en la destrucción de la llave semiconductor. Es posible limitar la corriente de pico a través de las llaves exigiendo un valor mínimo de inductancia, que no dependiera de la capacidad, y por lo tanto se observaría como una línea paralela al eje de las abscisas

en el plano $L - C$.

Para eliminar completamente los problemas asociados al sombreado parcial y otras fuentes de desajustes podría implementarse una ACE de varios elementos, donde cada uno de los elementos sea una celda FV. En las simulaciones realizadas cada elemento FV es un módulo completo de 72 celdas. Si en cambio se utilizara una única celda, la tensión de operación del elemento disminuye a $\approx 0,5$ V pero el nivel de corriente se mantiene inalterado. En ese caso, la capacidad mínima en paralelo con el elemento FV para la ACE implementada con convertidores *buck-boost* se incrementa proporcionalmente, mientras que en el caso de los convertidores *Ćuk* permanece prácticamente constante Fig. 2.34.

El rizado en la topología *buck-boost* es proporcional a la corriente que se mantiene constante al cambiar el módulo FV por una celda, y por lo tanto el producto $A_{bb}^2 (R_{pmp}^*)^2$ permanece prácticamente inalterado. La capacidad mínima (2.34) para el *buck-boost* es inversamente proporcional a R_{pmp}^* , y al disminuir la tensión también disminuye R_{pmp}^* , resultando en un incremento de la capacidad requerida. En cambio, para el convertidor *Ćuk* el rizado es proporcional al nivel de tensión, y por lo tanto el filtro mínimo prácticamente no resulta afectado por la reducción en la tensión de

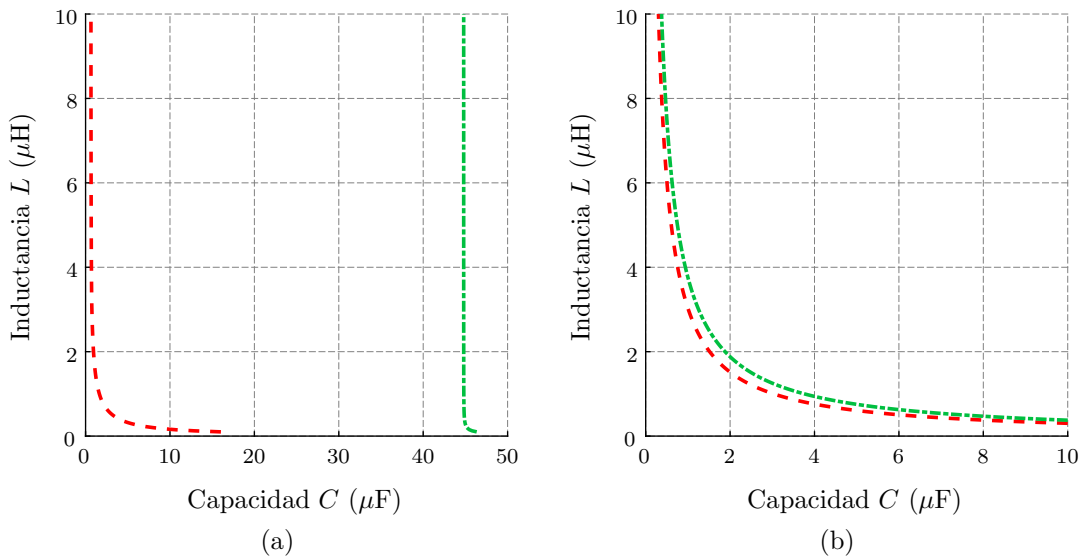


Figura 2.34: Comparación entre el filtro mínimo para la ACE implementada con convertidores (a) *buck-boost* y (b) *Ćuk* ($C_T = 1 \mu\text{F}$), cuando los elementos FV son módulos como el #1 (---) o simplemente celdas de ese módulo (-.-).

operación. Hay un pequeño incremento debido a que el rizado en el C_T es proporcional a la corriente, y como esta última no cambia tampoco lo hace el rizado. Por lo tanto, este rizado será relativamente más grande al reducir la tensión (sin cambiar el capacitor de transferencia) e incrementará levemente la capacidad requerida.

La correlación que se observa entre los resultados de las simulaciones y los obtenidos con las ecuaciones sirven como un primer paso de validación. Para poder asegurar que el cálculo del filtro mínimo utilizando las ecuaciones propuestas es correcto, resulta indispensable medir el efecto del rizado y la existencia del límite mínimo para distintos convertidores. Los ensayos experimentales necesarios son presentados en el capítulo siguiente.

Capítulo 3

Diseño y Ensayo de Prototipos para Validar el Diseño del Filtro Pasivo

La validación del funcionamiento de un sistema compuesto por elementos FV puede realizarse de dos formas distintas: en condiciones controladas de laboratorio, o en condiciones reales exponiendo el sistema a la radiación solar. La medición en condiciones ambientales reales es un requisito para demostrar que una arquitectura de recolección de energía FV se desempeña correctamente. Sin embargo, incluso en un día despejado y soleado, pueden detectarse variaciones en la potencia generada por un sistema FV a causa de las variaciones de temperatura. Por otra parte, las mediciones en condiciones controladas de laboratorio permiten repetir los experimentos, sostener las condiciones de operación para ensayar otros aspectos de la arquitectura o emular esquemas de obstrucción de la radiación para analizar el desempeño del algoritmo de SPMP.

Todas las mediciones presentadas en este capítulo se realizaron en el laboratorio, manteniendo la temperatura ambiente y la radiación del elemento FV en forma indirecta. El propósito del capítulo es comprobar las expresiones (2.32) y (2.38), que determinan un límite en el diseño del filtro pasivo para convertidores *boost* en cascada y CE Ćuk, respectivamente. Los ensayos de laboratorio se centraron sólo en estas topologías por dos motivos:

- La topología *boost* es de las más utilizadas para extraer potencia de un elemento

FV. Además, como se demostró en el Capítulo 2, el diseño del filtro pasivo para el convertidor *boost* en cascada es similar al diseño del filtro para un CE *Ćuk*.

- El CE *Ćuk* permite utilizar un filtro pasivo más pequeño que prácticamente permanece inalterado al cambiar la tensión de operación, comparado con el CE *buck-boost*. Además, el estrés de corriente sobre los capacitores también es menor. Por otra parte, el algoritmo de SPMP propuesto y presentado en el Capítulo 4 que permite reducir la complejidad del controlador para manejar múltiples elementos FV sólo se puede aplicar a la ACE implementada con convertidores *Ćuk*.

Por lo tanto, las mediciones experimentales de las topologías restantes analizadas en el Capítulo 2 no agregan información relevante al propósito de esta Tesis, y se analizaron sólo para comparar la implementación típica de una ACE que utiliza convertidores *buck-boost* con la topología *Ćuk* elegida en esta Tesis.

En el Capítulo 1 se presentó un modelo basado en la información presente en la hoja de datos del elemento FV de interés, que luego se utilizó en las simulaciones del Capítulo 2. El módulo FV disponible para realizar las mediciones necesarias para validar el diseño del filtro es un Solartec KS3T [87] conformado por 36 celdas en serie, y con potencia máxima de 3 W y corriente de cortocircuito máxima de 210 mA. Debido a que el fabricante omite algunos datos, como la variación de la corriente con la temperatura, no es posible construir el modelo (1.1) y consecuentemente no se puede ejecutar el algoritmo de la Fig. 2.9 para determinar el impacto del rizado en la potencia extraída.

Existen dos formas de realizar las mediciones requeridas ante esta dificultad: 1) ensayar el módulo FV para distintas radiaciones y luego construir un modelo que permita analizar el efecto del rizado en la extracción de potencia, o directamente 2) medir la potencia que se extrae para distintos niveles de radiación cuando existe rizado en los bornes del módulo. La segunda opción es elegida para validar (2.32) y (2.38), pues es la opción más directa y permite evitar los errores que pudiesen devenir de la construcción del modelo. Además, el modelo eléctrico del Capítulo 1 no tiene en cuenta los efectos originados por las capacidades parásitas de las celdas FV que componen al módulo

pues está basado en mediciones de cc (o de muy baja frecuencia). En cambio, midiendo directamente la potencia extraída es posible observar el efecto de la impedancia dinámica del módulo. La Sección 3.2 presenta la metodología a seguir para registrar el impacto del rizado en la extracción de potencia de un elemento FV arbitrario.

En la Sección 3.3 se presenta un convertidor *boost* diseñado para extraer potencia de un elemento FV. El diseño es simple y no está optimizado para ser eficiente en la zona de operación, pues la eficiencia del convertidor no impacta sobre la eficiencia de extracción. A partir de las mediciones del efecto del rizado se evalúa (2.32). Luego, la potencia obtenida en bornes del módulo para diversos filtros de entrada se utiliza para estimar la ubicación de los filtros mínimos que resultan en 99 % de eficiencia de extracción. El resultado coincide con (2.32) para el convertidor *boost* en cascada con un módulo FV.

La Sección 3.4 estudia el caso de un convertidor *Ćuk* utilizado en un ACE. El proceso es similar al de la Sección 3.3: se registra la pérdida de potencia extraída para diversos filtros y luego se estima la ubicación del filtro mínimo, que coincide con los resultados de (2.38).

Finalmente, en la Sección 3.5 se resume el método para diseñar un convertidor cc-cc que permita extraer el 99 % de la potencia de un (o más) elemento FV en todo el rango de condiciones de operación determinado.

3.1. Medición del Efecto del Rizado

Medir el impacto del rizado de tensión en la potencia extraída de un módulo FV requiere contar con el elemento FV de interés y con una fuente de tensión arbitraria (para forzar el nivel de rizado) que pueda funcionar como sumidero de corriente. El objetivo es encontrar la tensión de rizado eficaz requerida para extraer un 99 % de la potencia disponible de cc, ante ciertas condiciones de operación. Entonces, es necesario registrar la curva I-V estática y la potencia en los terminales del elemento FV para distintos niveles de rizado, manteniendo las condiciones de operación. A partir del PMP

de cc y de la máxima potencia alcanzada con rizado se calcula la potencia extraída.

Para simplificar las mediciones, la radiación recibida por el módulo FV se emula mediante una fuente de corriente constante en paralelo con el módulo completamente sombreado. Esta metodología fue propuesta en [88] donde la fuente de corriente está conformada por una fuente de tensión limitada en corriente en serie con un inductor de gran tamaño. En cambio, aquí se utiliza una fuente de corriente lineal con suficiente ancho de banda, diseñada para tal fin. Una vez resuelta la polarización del módulo FV, se necesita una fuente de excitación para forzar una señal de tensión en los terminales y que además actúe como sumidero para la corriente proveniente del emulador FV (módulo original más la fuente de corriente y una resistencia serie para medir i_{fv}). Debido a que la tensión de excitación que se requiere posee una componente fundamental a la frecuencia de conmutación (100 kHz para los convertidores en esta Tesis), no es posible utilizar una carga electrónica en modo tensión para el ensayo. Las cargas activas disponibles poseen entradas de modulación con un ancho de banda de 10 kHz. El diagrama completo del circuito de medición se observa en la Fig. 3.1, donde I_{FC} es la fuente de corriente del emulador, v_{FT} es la fuente de tensión externa capaz de drenar corriente, y R_C es la resistencia para medir i_{fv} .

Cuando se usa este método para emular la radiación solar sobre un elemento FV es importante que éste se encuentre completamente aislado de fuentes externas de radiación que pudiesen provocar la generación de corriente no controlada (condición de sombreado completo). Entonces, recordando el modelo de un único diodo (Fig. 1.4)

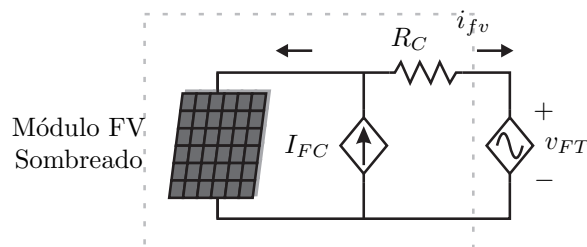


Figura 3.1: Diagrama del circuito de medición para evaluar el efecto del rizado en la extracción de potencia. Los componentes que conforman el emulador FV están enmarcados. El módulo FV se encuentra completamente sombreado para que la única fuente de corriente sea I_{FC} .

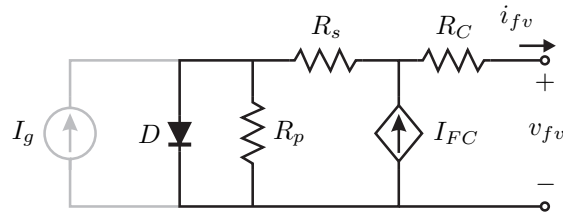


Figura 3.2: Esquemático del emulador FV. Al sombrear el módulo desaparece la fuente de corriente fotoeléctrica.

la combinación del elemento FV completamente sombreado más la fuente de corriente resulta como se aprecia en la Fig. 3.2. Es de esperar que el circuito de la Fig. 3.2 no presente exactamente la misma característica I–V del elemento FV original. Sin embargo, el comportamiento equivalente es más que suficiente al considerar que el objetivo de las mediciones es caracterizar un elemento FV, sin importar cuál. Además de bloquear toda la radiación que pudiese llegar al módulo FV utilizado, es indispensable mantener la temperatura ambiente en un rango acotado. Debido a que la corriente máxima del módulo Solartec KS3T es baja, las variaciones de temperatura pueden introducir errores de medición severos.

La corriente que proviene del emulador FV se mide mediante una resistencia en serie (R_C , Fig. 3.2) y un circuito que amplifica la señal de tensión sobre esta resistencia. La medición de corriente y de tensión en los bornes del emulador FV debe realizarse con un ancho de banda adecuado, para poder observar correctamente el rizado en las señales y calcular la potencia media extraída. A pesar que la tensión de excitación utilizada es sinusoidal, la no linealidad del elemento FV provoca la aparición de nuevas componentes frecuenciales en la corriente. A continuación se describen los circuitos eléctricos auxiliares utilizados para emular la radiación solar y excitar el elemento FV.

3.1.1. Fuente de Corriente

El circuito propuesto para la fuente de corriente se observa en la Fig. 3.3. Esta implementación permite obtener una impedancia de salida alta (alrededor de 100 k Ω) a la frecuencia de conmutación elegida para los convertidores (100 kHz), sin tener que recurrir a un inductor de gran volumen. El amplificador operacional actúa para regular

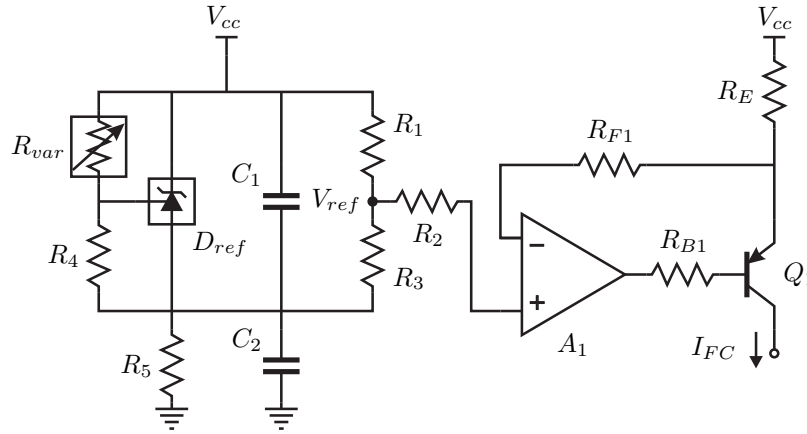


Figura 3.3: Esquemático de la fuente de corriente utilizada para emular el efecto de la radiación sobre un elemento FV.

la tensión en el emisor del transistor *pn*p al valor de referencia del terminal positivo, pues la realimentación impone $v_d \approx 0$. La referencia de tensión D_{ref} se conecta en forma flotante respecto de la tierra para que las variaciones de la fuente de alimentación no modifiquen la corriente que circula por R_E . El transistor Q_1 debe poseer el ancho de banda necesario, además de manejar la corriente máxima requerida. El valor de la corriente I_{FC} es ajustable mediante la resistencia variable R_{var} (implementada con un potenciómetro), que modifica la tensión de referencia proporcionada por D_{ref} . El diseño del circuito para la referencia puede encontrarse en la hoja de datos del TL431 de Texas Instruments.

La impedancia de salida es uno de los parámetros más importantes para una fuente de corriente, pues básicamente establece cuánto se asemeja la fuente construida a una fuente ideal (impedancia infinita en todo el ancho de banda). Una forma simple de incrementar la impedancia de salida de una fuente de corriente es agregando un inductor en serie a la salida. Sin embargo, la impedancia del inductor crece con la frecuencia hasta alcanzar la frecuencia de resonancia donde la capacidad parásita de las espiras domina el comportamiento, transformándose en una impedancia capacitiva. Si el inductor no se diseña con cuidado la frecuencia de resonancia puede resultar baja, y si esto ocurre por debajo de la frecuencia de interés, el agregado del inductor resulta en una disminución de la impedancia de la fuente. Otra forma de incrementar la impedancia es utilizando una configuración *cascode*. La impedancia proporcionada

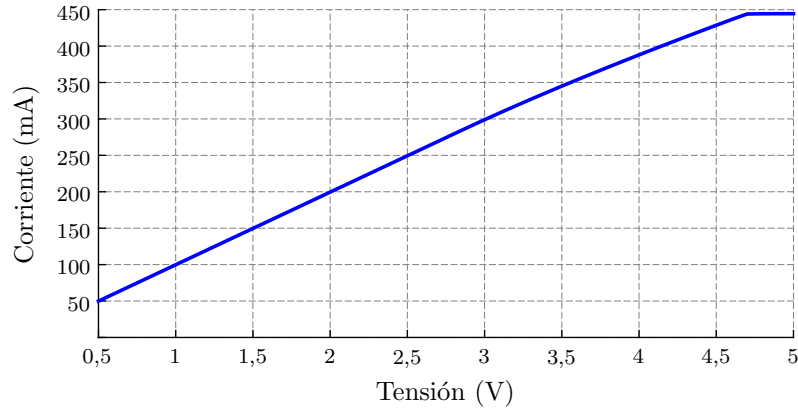


Figura 3.4: Ajuste de I_{FC} con la tensión de referencia (V_{ref}), modificando la resistencia variable (R_{var}). El transistor utilizado soporta una corriente máxima de 500 mA.

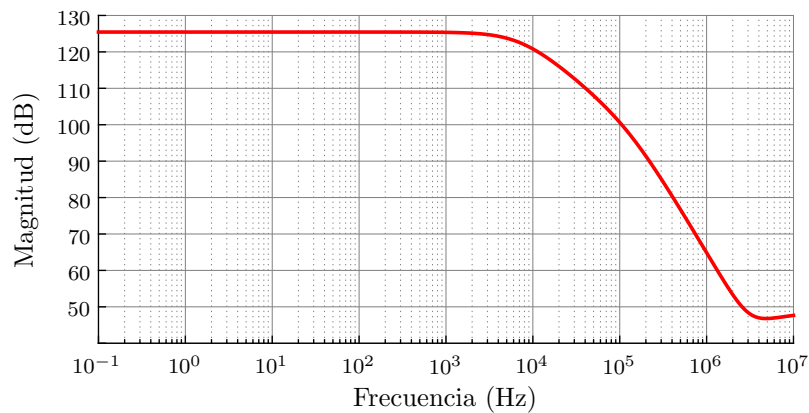


Figura 3.5: Magnitud de la impedancia de la fuente de corriente. La frecuencia de corte se ubica en $\approx 7,24$ kHz.

por la fuente es suficiente para la aplicación de interés, y por lo tanto no fue necesario ninguna de esas técnicas.

El funcionamiento de la fuente de corriente fue caracterizado mediante simulaciones. La Fig. 3.4 muestra la variación de la corriente de salida con la tensión de referencia para la configuración establecida. La pendiente de esta recta puede modificarse cambiando la resistencia R_E o la ganancia del lazo del amplificador operacional. En la Fig. 3.5 se puede apreciar la magnitud de la impedancia de salida del circuito, mientras que en la Fig. 3.6 se observa la respuesta medida ante un escalón de tensión en la salida. La ubicación de la frecuencia de corte de la impedancia (≈ 70 kHz) está dominada por los parásitos del transistor elegido, y es menor que la frecuencia de operación. La impedancia de salida comienza a disminuir antes de la frecuencia de operación (frecuencia de conmutación). Sin embargo, la impedancia obtenida será

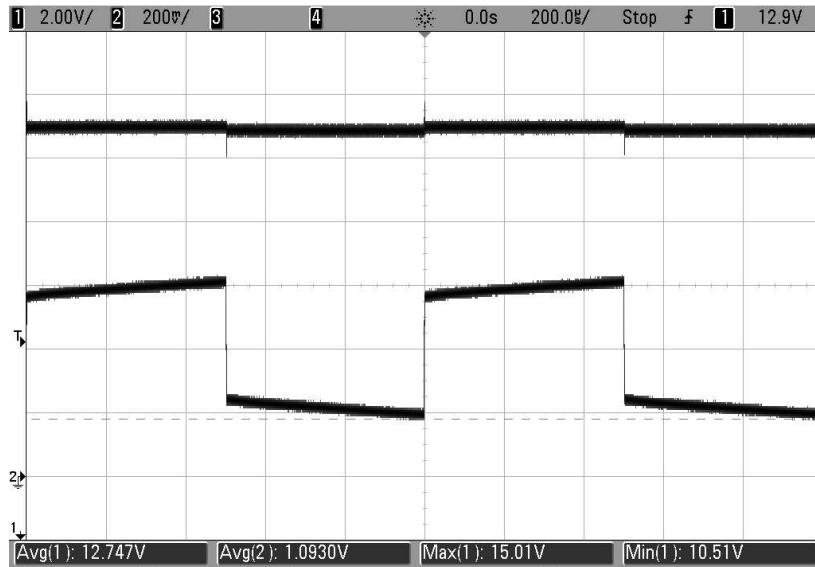


Figura 3.6: Respuesta de la fuente de corriente I_{FC} (Canal 2, arriba) ante un cambio escalonado en la tensión de salida (Canal 1, abajo).

suficiente mientras que la impedancia del módulo FV sea menor a la frecuencia de interés, debido a que la fuente de corriente y el módulo están conectados en paralelo. El escalón de tensión utilizado en el ensayo de la Fig 3.6 se implementó mediante una carga electrónica con velocidad de respuesta limitada. La corriente I_{FC} de la fuente permanece prácticamente inalterada, con una variación < 4 mA en el valor de estado estacionario para un escalón de $\approx 4,5$ V en la tensión de salida. Al aplicar el escalón se observa un pequeño sobre pico en I_{FC} que se extingue rápidamente.

3.1.2. Fuente de Tensión

El circuito de la Fig. 3.7 es una fuente de tensión que drena corriente de una carga conectada en sus terminales. El circuito replica a la salida una señal de referencia proporcionada por un generador externo. Desde el generador se puede controlar el valor medio y el rizado en la tensión de salida. El amplificador operacional, en condiciones normales de operación, impone una tensión diferencial $v_d \approx 0$, por lo tanto la tensión en el emisor de Q_2 puede expresarse como:

$$v_{E2} = \frac{R_{F2} + R_6}{R_6} v_+, \quad \text{si } R_{F2} = R_6 \Rightarrow v_{E2} = 2v_+,$$

cuando la frecuencia de la señal de entrada (v_G) está por debajo de la frecuencia de corte del capacitor. Si la frecuencia de la señal de entrada es suficientemente elevada tal que el capacitor se comporte como un corto, toda la corriente de la realimentación circulará a través de este resultando en una realimentación unitaria $v_{E2} = v_+$. El capacitor agrega un polo y un cero en la función de transferencia de lazo cerrado. Considerando que el ancho de banda del amplificador es suficientemente grande, la función de transferencia de lazo cerrado es aproximadamente inversa a la función de transferencia de la realimentación formada por R_{F2} , R_6 y C_3 . Entonces

$$A_{FT}(s) = \frac{A(s)}{1 + \beta(s)A(s)} \approx \frac{1}{\beta(s)} = \frac{R_6 + R_{F2} (sC_3 (R_{F2} \parallel R_6) + 1)}{R_6 (sC_3 R_{F2} + 1)},$$

y con $R_{F2} = R_6$ se reduce a

$$A_{FT}(s) \approx \frac{(sC_3 R_{F2} + 2)}{(sC_3 R_{F2} + 1)}.$$

Por lo tanto, el capacitor introduce un polo de lazo cerrado en

$$f_p = \frac{1}{2\pi C_3 R_{F2}},$$

y un cero de lazo cerrado en $f_c = 2f_p$.

En la Fig. 3.8 se puede apreciar una simulación de la magnitud de la ganancia

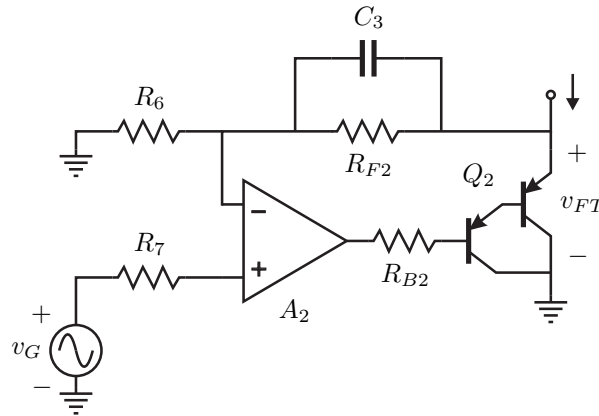


Figura 3.7: Fuente de tensión para excitar el módulo FV controlada mediante un generador externo.

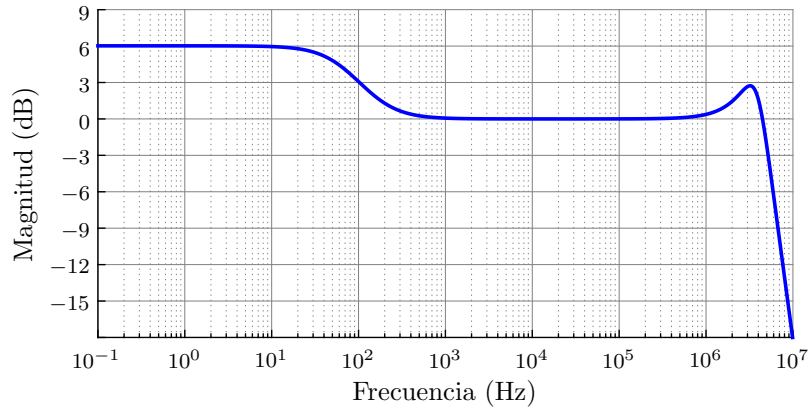


Figura 3.8: Magnitud de la ganancia de la fuente de tensión. El pico de ganancia por encima de 1 MHz está provocado por el corte del amplificador operacional y los parásitos del transistor Darlington (TIP127 de ST Microelectronics).

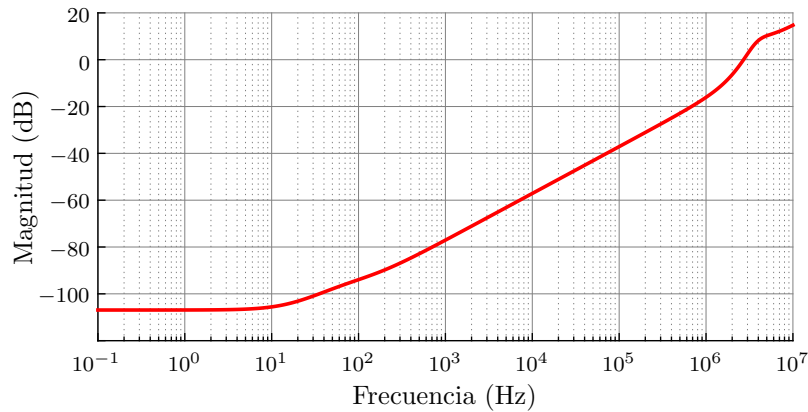


Figura 3.9: Magnitud de la impedancia de salida de la fuente de tensión.

de lazo cerrado del circuito ($|A_{FT}(s = j2\pi f)|$), con un polo de lazo cerrado ubicado en $f_p \approx 72,34$ Hz y el correspondiente cero en $f_c \approx 144,69$ Hz. El corte superior de la ganancia de lazo cerrado depende de la respuesta en frecuencia del amplificador y del transistor Darlington Q_2 . El transistor Q_2 se utiliza para reducir la corriente que necesita inyectar el operacional y para incrementar la capacidad de drenar corriente de la fuente. La impedancia de salida de la fuente (Fig. 3.9) es relativamente baja a la frecuencia de interés ($14 \text{ m}\Omega @ 100 \text{ kHz}$) y por lo tanto debería desempeñarse correctamente. En la Fig. 3.10 se presenta el resultado de una medición de la tensión de salida cuando el generador inyecta una señal sinusoidal a la entrada. La componente de alterna tiene una frecuencia fundamental de 100 kHz, que no es amplificada por la fuente. La componente de continua de la tensión de salida, en cambio, es el doble del valor que entrega el generador.

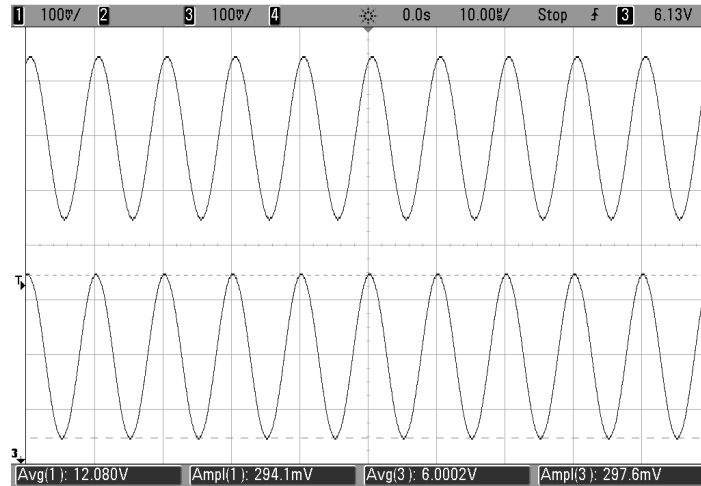


Figura 3.10: Tensión del generador v_G (Canal 3, arriba) y tensión de la fuente v_{FT} (Canal 1, abajo).

3.2. Configuración de Medición

Todas las señales de tensión se midieron utilizando un osciloscopio Agilent MSO7104A de 1 GHz de ancho de banda, y el generador que se conecta a la entrada de la fuente de tensión diseñada es un Agilent 33220A. La fuente de alimentación elegida para todos los circuitos es el modelo GPD-3303S de GW Instek. Para tener mayor control sobre la señal inyectada a la fuente de tensión y facilitar la captura de las formas de onda resultantes se conectaron todos los instrumentos a una PC. La configuración de los instrumentos y recopilación de datos del osciloscopio se realizó mediante varias rutinas programadas en MATLAB[®] para cada ensayo.

La disposición de los circuitos e instrumentos de medición se muestra en la Fig. 3.11. La salida del generador de señales se ajusta desde la PC, y para compensar los errores agregados por el mismo generador y el circuito de la fuente, posee un lazo de realimentación mediante la medición de la señal v_{FT} realizada por el osciloscopio. El osciloscopio toma datos de tres señales en forma simultánea: tensión del generador, corriente (a través de R_C) y tensión del emulador FV. Para atenuar el ruido de alta frecuencia, y aprovechando la velocidad de adquisición del osciloscopio, cada punto de medición se obtiene promediando m muestras sucesivas del mismo instante de tiempo. El valor de m se elige dependiendo del rango de tiempo que se desea capturar para limitar el retardo entre cada ciclo de medición. Por ejemplo, un rango de 5 s con $m = 8$

demora al menos 40 s en capturarse.

En la Fig. 3.12 se puede observar la medición de la característica I-V del módulo FV. La fuente de corriente entrega 100 mA y la tensión en los terminales del módulo ensayado tiene forma de onda triangular con una frecuencia fundamental de 10 Hz (permitiendo apreciar a simple vista en la pantalla del osciloscopio la característica I-V). Para obtener mayor detalle sólo se muestra medio ciclo de la señal triangular. Utilizar una frecuencia baja para la señal triangular hace posible desprestigiar el efecto de la capacidad parásita del elemento FV en la medición de la característica I-V. Cuando la capacidad parásita no es despreciable, la tensión mínima no coincide con la corriente

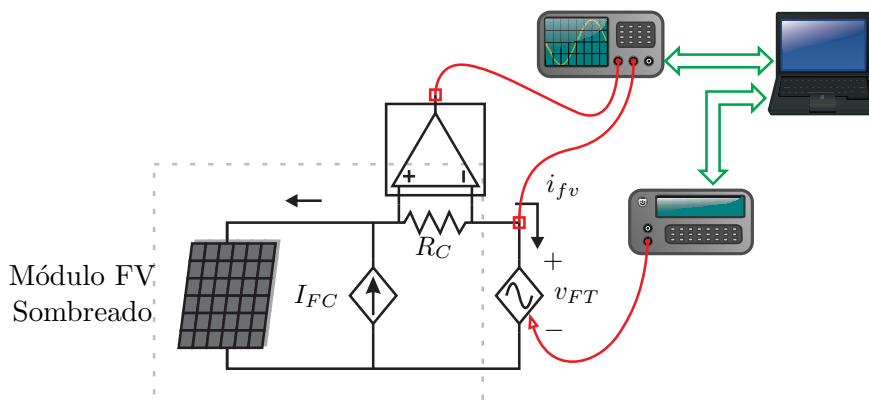


Figura 3.11: Medición del efecto del rizado sobre la potencia extraída de un módulo FV. Una PC controla los instrumentos y almacena los datos recolectados.

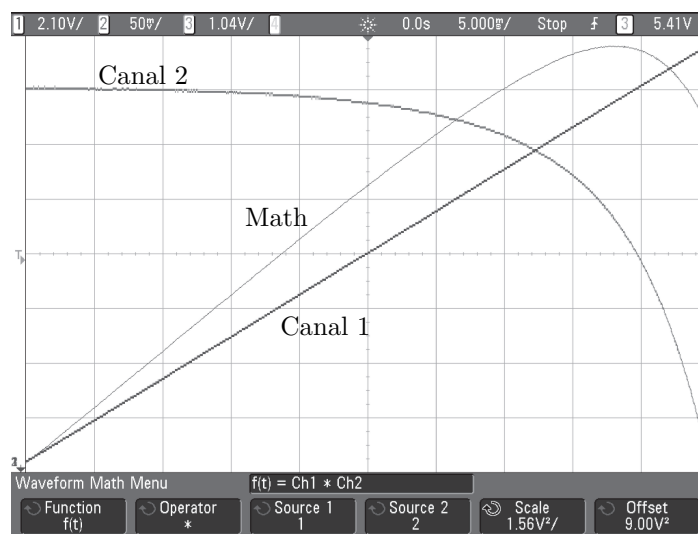


Figura 3.12: Característica I-V del módulo FV utilizado durante las mediciones: Canal 1 (v_{FT} , pos. 11 V), Canal 2 (I_{FC} , pos. 850 mV, 100 mA/V) y Math ($p_{FV} = v_{FT} i_{fv}$). En la curva de potencia se aprecia claramente la existencia de un único PMP.

máxima.

La Fig. 3.13 muestra las señales involucradas al forzar el rizado sobre el módulo FV con una tensión sinusoidal de 17 V de valor medio y 10 % de rizado, para dos frecuencias fundamentales distintas: 10 Hz y 100 kHz. La corriente de salida tiene una fase de 180° comparada con la tensión, para la medición de 10 Hz; en cambio, al aumentar la frecuencia de la señal de excitación la capacidad parásita se manifiesta alterando la forma de onda de la corriente e incrementando la potencia extraída. La eficiencia de extracción resultante para las mediciones de la Fig. 3.13 es: 98,5 % a 10 Hz, y 98,8 % a 100 kHz. El eje de las abscisas muestra el número de muestras y no el instante de tiempo para poder comparar dos señales de frecuencias tan disímiles. En la Fig. 3.14 se observa que el incremento en la potencia extraída es marginal porque la capacidad parásita es baja, como se mostrará en la próxima subsección.

En conclusión, a partir de las mediciones anteriores se puede afirmar que el peor caso de diseño es cuando el impacto de la capacidad parásita del módulo FV desaparece ($f \rightarrow 0$); es decir, cuando se utilice la característica I-V estática del elemento FV para encontrar el filtro mínimo. En ese caso, el filtro mínimo calculado estará sobredimensionado, pero igual se cumplirá con el objetivo de extracción de potencia. Las celdas de mayor potencia (mayor área) poseen capacidades parásitas más altas [75,76], siendo posible incluir capacitores más pequeños en el filtro o incluso no agregar ninguno. El efecto positivo de la capacidad parásita se ve disminuido por la resistencia serie del

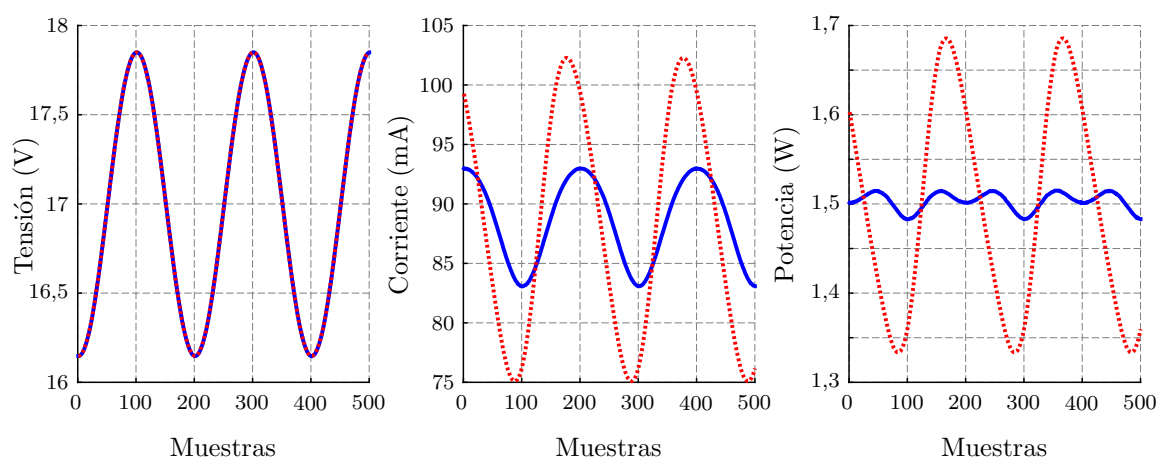


Figura 3.13: Comparación entre las señales observadas en los terminales del emulador FV al excitar con una señal sinusoidal de: 10 Hz (—), y 100 kHz (---).

elemento FV.

3.2.1. Impedancia del Módulo Fotovoltaico

Para que el emulador FV funcione correctamente la impedancia de la fuente de corriente debe ser mucho más grande que la de cualquier elemento conectado en paralelo, como se explica en la Fig. 3.1. La fuente de corriente se conecta en paralelo con el módulo FV sombreado, por lo tanto es necesario que la impedancia del módulo en las condiciones de operación sea mucho menor que la proporcionada por la fuente de corriente. La impedancia de un módulo fotovoltaico depende de las condiciones de operación, y para determinar si la dinámica del módulo FV prevalecerá una vez conectado al emulador es suficiente medir la impedancia en el entorno del punto de operación.

Para medir la impedancia del módulo se utilizó el instrumento E4980 de Agilent que es capaz de medir impedancia en el rango 20 Hz a 2 MHz, polarizando en tensión el elemento estudiado. La tensión de polarización para las mediciones del efecto del rizado es $\approx 16,8$ V. Esta medición puede realizarse directamente con el instrumento porque la corriente de polarización para el módulo FV Solartec KS3T es menor que la máxima corriente de cc que puede proporcionar el instrumento (20 mA). Como el módulo FV se utiliza siempre sombreado, la corriente que circula por el diodo (en el modelo eléctrico de la Fig. 3.2) depende sólo de la tensión aplicada.

El resultado de la medición de la magnitud y fase de la impedancia se muestra en

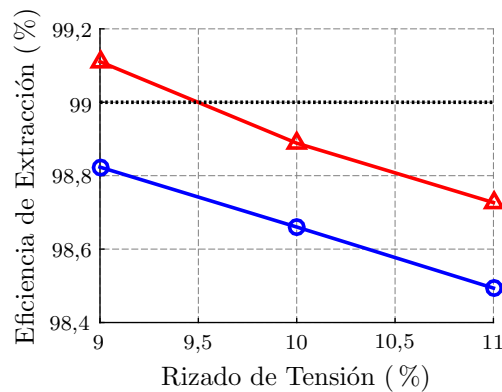


Figura 3.14: Eficiencia de extracción medida en los terminales del emulador FV al excitar con una señal sinusoidal de: 10 Hz (○), y 100 kHz (△). La línea (---) indica el 99 % de eficiencia de extracción.

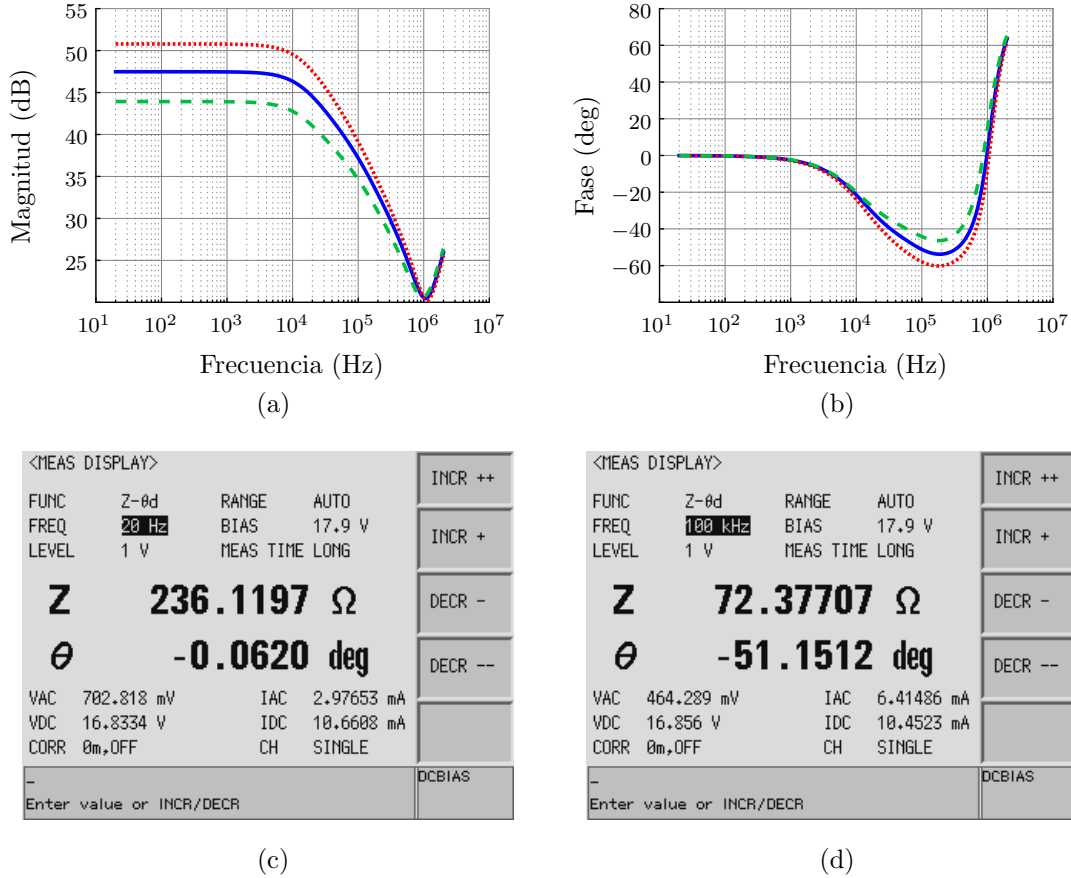


Figura 3.15: Medición de la impedancia del módulo FV Solartec KS3T completamente sombreado, para tensiones de polarización: 16 V (---), 16,8 V (—), y 17,6 V (- -). (a) Módulo y (b) Fase de la impedancia. Capturas de pantalla del instrumento E4980, para una excitación de (c) 20 Hz y (d) 100 kHz.

la Fig. 3.15, para tres tensiones de polarización: 16 V, 16,8 V, y 17,6 V. La gráfica de la impedancia en el dominio frecuencial presenta un comportamiento que se asemeja al de un circuito pasivo de 4 elementos (Fig. 3.16(a)-(b)), con una frecuencia de resonancia $f_r \approx 1$ MHz. En el modelo de pequeña señal para la impedancia, la resistencia paralela es el resultado de la combinación de la resistencia paralela estática (R_p , Fig. 3.2) y de la característica del diodo. La impedancia se expresa matemáticamente de la siguiente forma

$$Z(j2\pi f) = \left(R_s + \frac{R_{pz}}{1 + \alpha(f)} \right) + j \left(2\pi f L_s - \frac{2\pi f C_p R_{pz}^2}{1 + \alpha(f)} \right), \quad (3.1)$$

donde $\alpha(f) = (2\pi f)^2 C_p^2 R_{pz}^2$.

El mínimo valor de la impedancia (3.1) se encuentra a la frecuencia de resonancia; por lo tanto el circuito tiene una resonancia serie. Entonces, la resistencia R_s es

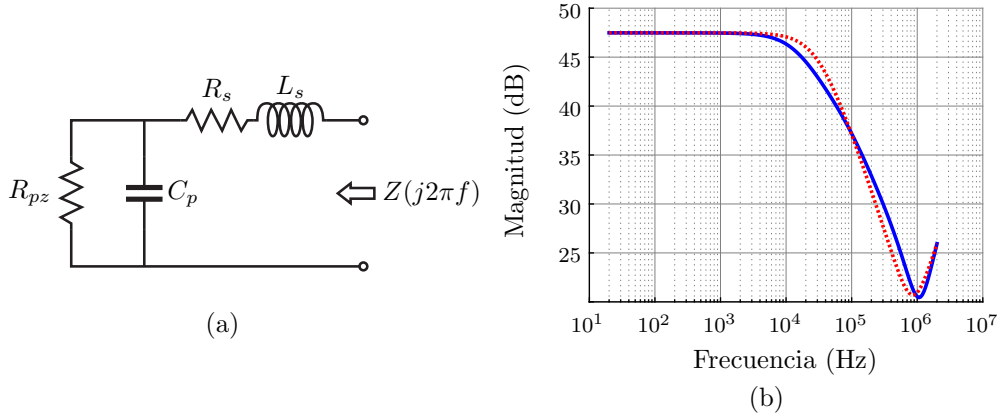


Figura 3.16: Impedancia del módulo FV. (a) Modelo equivalente. (b) Impedancia del módulo medida (—) y modelada (- - -) para una tensión de polarización de 16,8 V. La diferencia entre ambas curvas se debe a que el módulo está compuesto por varias capacidades e inductancias ligeramente distintas.

equivalente a la impedancia resonante

$$R_s = Z(j2\pi f_r),$$

donde

$$f_r = \frac{1}{2\pi} \frac{\sqrt{C_p R_{pz}^2 - L_s}}{C_p R_{pz} \sqrt{L_s}}.$$

A partir de las mediciones realizadas a 16,8 V se estima entonces que $R_s \approx 10,524 \Omega$. Este resultado permanece prácticamente inalterado ante cambios en la tensión de polarización, como se aprecia en la Fig. 3.15.

Cuando la frecuencia se aproxima a cero, (3.1) se reduce a una impedancia puramente resistiva

$$|Z(j2\pi f)| \Big|_{f \rightarrow 0} = R_{pz} + R_s.$$

Utilizando el valor de R_s calculado anteriormente, se puede aproximar R_{pz} de la medición realizada a la frecuencia más baja ($f_b = 20$ Hz), entonces

$$R_{pz} = |Z(j2\pi f)| - R_s \approx 226,067 \Omega.$$

Luego, en el rango de frecuencias medias, la capacidad C_p domina el comportamiento disminuyendo la impedancia con el aumento de la frecuencia. La expresión de

la impedancia a frecuencia media resulta

$$Z_{med}(j2\pi f) = \left(R_s + \frac{R_{pz}}{1 + \alpha(f)} \right) - j \left(\frac{2\pi f C_p R_{pz}^2}{1 + \alpha(f)} \right). \quad (3.2)$$

A partir de la expresión (3.2) y utilizando la medición a una frecuencia $f_x = 100$ kHz de interés, se obtiene

$$C_p = \frac{1}{2\pi f_x R_{pz}} \sqrt{\frac{(R_s + R_{pz})^2 - |Z_{med}(j2\pi f_x)|^2}{|Z_{med}(j2\pi f_x)|^2 - R_s^2}} \approx 22,13 \text{ nF}.$$

Más allá del punto de resonancia, el comportamiento de la impedancia queda dominado por L_s . El valor de esta inductancia serie se puede obtener resolviendo la expresión de la impedancia (3.1) y luego evaluando en una frecuencia $f_y = 2$ MHz superior a f_r , resultando

$$L_s = \frac{R_{pz}^2 C_p}{1 + \alpha(f_y)} + \frac{1}{2\pi f_y R_{pz} C_p} \sqrt{|Z(j2\pi f_y)|^2 - \left(\frac{R_{pz} + R_s + \alpha(f_y) R_s}{1 + \alpha(f_y)} \right)^2} \approx 1,62 \mu H.$$

En la Fig. 3.16(b) se compara la magnitud del modelo con la medición realizada a 16,8 V; donde se aprecia que el modelo aproxima bien en baja frecuencia y en la frecuencia f_x . La discrepancia entre el modelo y la curva medida se debe a que en realidad el módulo FV está compuesto por varias celdas modeladas con un circuito serie resonante. El modelo equivalente de cada celda puede ser ligeramente distinto, lo cual resulta en la aparición de polos y ceros cercanos entre sí, que permiten explicar la diferencia de pendiente entre el modelo y las mediciones. Comparando las Fig. 3.5 y 3.16(b) se aprecia que la impedancia del módulo FV es menor que la impedancia de la fuente de corriente; y por lo tanto, el comportamiento dinámico en las mediciones de la eficiencia de extracción estará dominado por el comportamiento del módulo ensayado.

Es interesante notar que si la capacidad mínima necesaria para cumplir con el objetivo de extracción de potencia es mucho más grande que C_p , es posible despreciar su efecto en las mediciones. Sin embargo, como se observó en la Fig 3.13 incluso una pequeña capacidad modifica considerablemente la forma de onda de la corriente. Por

otro lado, de la Fig. 3.15(a) y considerando el efecto observado en la Fig. 3.13 es posible afirmar que f_r es la frecuencia de conmutación óptima para extraer potencia con un convertidor.

3.2.2. Verificación Experimental del Efecto del Rizado

La Fig. 3.17 muestra cómo varía la potencia extraída del emulador FV bajo análisis cuando la corriente de polarización es de 100 mA, para distintas tensiones de excitación y variando el porcentaje de rizado. La curva se construye con la potencia media extraída y el valor de la tensión de cc aplicada. El generador proporciona una forma de onda sinusoidal de 100 kHz. Esta medición es independiente del convertidor utilizado para extraer potencia del módulo FV. Se aprecia claramente como crece el PMP al disminuir el porcentaje de rizado. La potencia máxima extraída sin rizado es 1,526 W.

La precisión limitada que tienen las mediciones y el ajuste del generador complican la determinación eficiente del valor de rizado que resulta en 1 % de pérdida de potencia extraída. En cambio, el proceso para encontrar el filtro límite (que es el filtro mínimo para la condición de polarización ensayada) comienza determinando la potencia extraída para algunos valores discretos de rizado, y luego seleccionando los dos valores que resulten en una eficiencia de extracción inmediatamente superior e inmediatamente inferior a 99 %. En la Fig. 3.17, el valor límite de rizado que resulta en un 99 % de eficiencia de extracción se encuentra entre 9 % y 10 % de la tensión de cc aplicada.

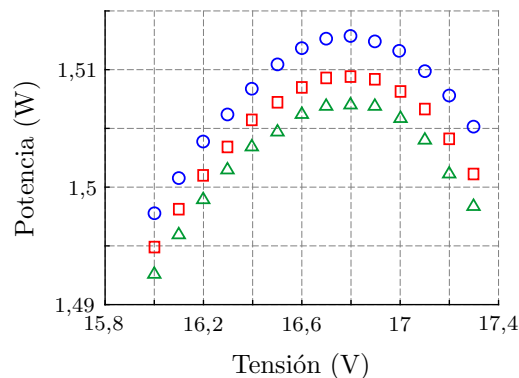


Figura 3.17: Potencia media extraída del emulador FV aplicando una tensión de rizado sinusoidal con componente de cc. El rizado es 9 % (○), 10 % (□), y 11 % (△) del valor de cc.

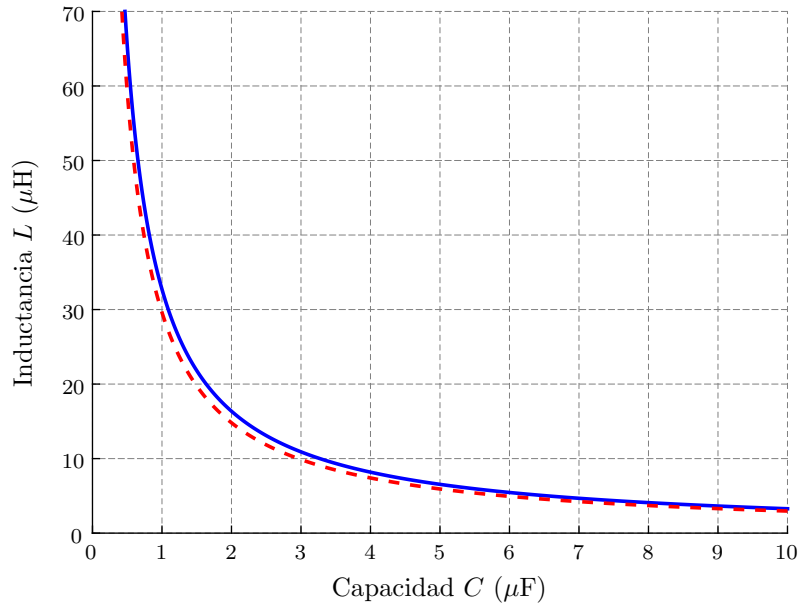


Figura 3.18: Curvas de borde para el convertidor *boost* en cascada para un rizado pico a pico de: 9 % (—, $P_{ext} \approx 99,1$), y 10 % (- - -, $P_{ext} \approx 98,9$).

3.3. Convertidor *Boost* en Cascada

Evaluando (2.31) en los dos valores de rizado obtenidos de la Fig. 3.17 que definen la región donde la eficiencia de extracción es del 99 %, resultan dos curvas límite para los componentes del filtro de un convertidor *boost* en cascada con un módulo FV (Fig. 3.18). La capacidad de salida es 10 μF y la resistencia de carga a la salida del convertidor es $\approx 300 \Omega$. Esta estimación del filtro mínimo sólo corresponde al emulador FV para una corriente de 100 mA, y no deviene de un proceso de optimización entre las distintas condiciones de operación como los resultados de la Fig. 2.17. Es posible evaluar las curvas de borde para diferentes corrientes y luego determinar las condiciones de peor caso. Sin embargo, para validar el método de diseño es suficiente con utilizar una corriente de polarización arbitraria. La región entre las curvas de borde de la Fig. 3.18 es reducida y no agrega una incertidumbre relevante en la determinación del filtro límite. En caso contrario, se debería acotar la región donde se ubica el rizado que resulta en un 99 % de eficiencia de extracción.

El diseño del convertidor para comprobar la validez de (2.31) no requiere de un proceso de optimización particular para la elección de las llaves y el circuito de comando. Ciertamente siempre es preferible que el convertidor tenga una eficiencia elevada;

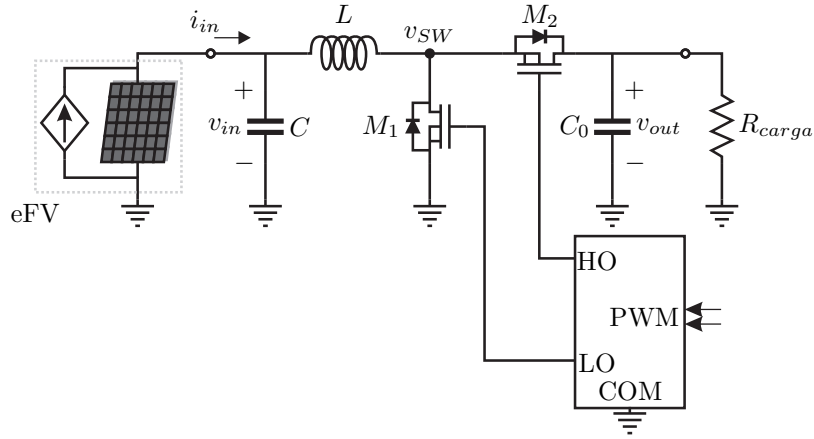


Figura 3.19: Esquemático del convertidor *boost* diseñado.

aunque ajustando el ciclo de trabajo es posible compensar las pérdidas del convertidor (hasta cierto límite) y lograr una relación de conversión determinada. En la Fig. 3.19 se observa el esquemático del convertidor *boost* conectado al emulador FV (eFV), comandado mediante las señales de PWM (*Pulse Width Modulation*, en inglés), y en la Tabla 3.1 se listan los componentes elegidos.

El prototipo diseñado se puede apreciar en la Fig. 3.20, donde se destacan los componentes pasivos que corresponden al filtro de entrada, C y L . El valor del filtro de entrada puede modificarse cambiando el inductor y la cantidad de capacitores en paralelo. El tamaño de los componentes pasivos en este caso es importante, en comparación con el tamaño de los componentes activos, porque se eligieron componentes cuyas características sean estables con la polarización. Los capacitores son de película de poliéster metalizada y su capacidad no cambia con la tensión de cc aplicada; mientras que los inductores tienen corrientes de saturación muy por encima de los picos de

Tabla 3.1: Lista de componentes para el convertidor *boost* en cascada.

Componente	Valor	Parte	Fabricante
C	$3 \times 1 \mu\text{F} + 9 \times 100 \text{ nF}$	B32529C0105/4	TDK
L	$22 \mu\text{H}$	B82477P4223	TDK
M_1, M_2	–	FDD390N15A	Fairchild
C_0	$10 \times 1 \mu\text{F}$	B32529C0105	TDK
R_{carga}	$3 \times 100 \Omega$	WCR500QP100	COSONIC
Circuito de Comando (<i>driver</i>)	–	LM5101A	Texas Instruments

corriente esperados. De esta forma la frecuencia de corte del filtro permanece inalterada durante la operación del convertidor.

Antes de construir el convertidor se realizó una simulación temporal para validar el funcionamiento, agregando los parásitos de las llaves semiconductoras y del filtro pasivo. También se incluye un modelo del circuito de comando pero no se consideran los parásitos que agrega la disposición de los componentes en la placa. La capacidad a la entrada es $2,45 \mu\text{F}$ ($2 \times 1 \mu\text{F} + 4 \times 100 \text{ nF}$), la inductancia es $12,14 \mu\text{H}$ y la capacidad a la salida es $9,8 \mu\text{F}$.

La distorsión observada en la tensión de entrada (Fig. 3.21(a)) es originada por la resistencia no nula agregada a la fuente de tensión en el modelo de simulación. Como la corriente del inductor cambia de polaridad durante un período de conmutación, la forma de onda de la tensión de salida difiere de la modelada mediante (2.23). Sin embargo, dado que el rizado a la salida es bajo, el error introducido es despreciable. El ciclo de trabajo tiene un valor fijo de 10 %, con un 0,5 % de tiempo muerto entre el apagado y el encendido de las llaves. La corriente media por el inductor no provocará la saturación del núcleo del componente elegido, y el convertidor funcionará normalmente de acuerdo a la simulación.

El resultado de la simulación se compara con la medición del prototipo construido en la Fig. 3.21, donde un DSP (*Digital Signal Processor*, en inglés) se utiliza para generar las señales de PWM. Las mediciones realizadas con el osciloscopio tienen el ancho

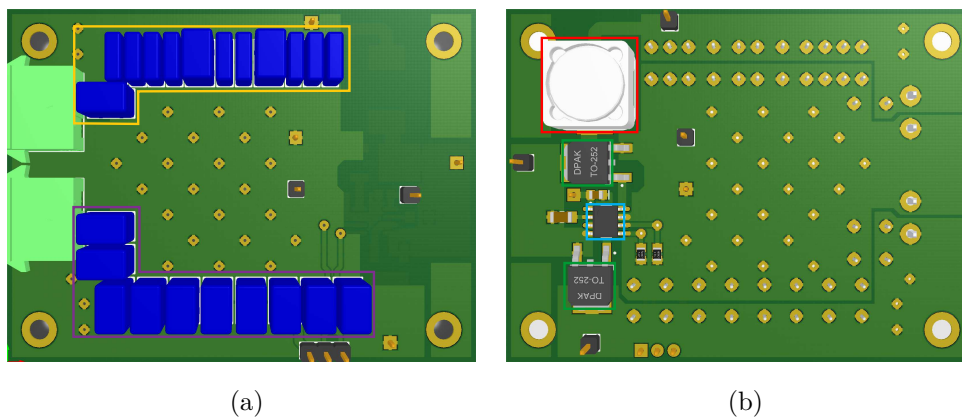
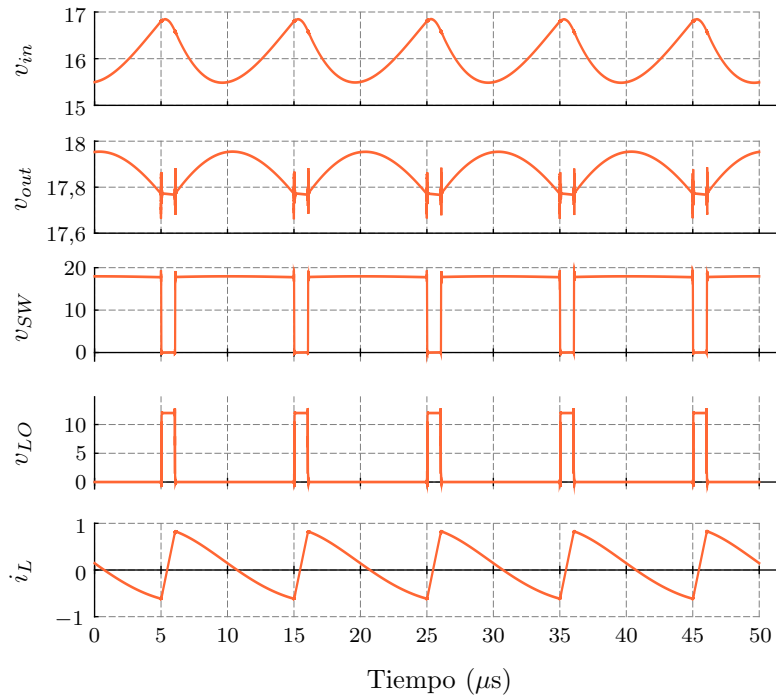
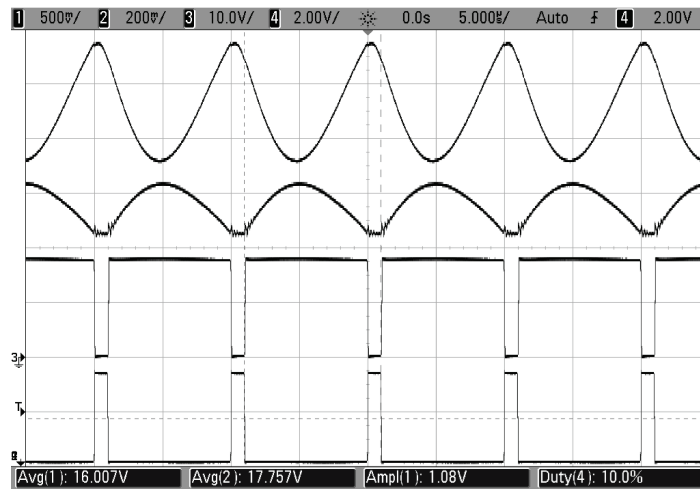


Figura 3.20: Prototipo del convertidor *boost* diseñado: C (□), L (□), C_0 (□), M_1 y M_2 (□), *driver* (□). (a) Vista superior. (b) Vista inferior.



(a) Simulación. La tensión v_{in} tiene una amplitud de 1,35 V y una frecuencia fundamental de 100 kHz.



(b) Experimentales. Desde arriba hacia abajo: Canal 1 (v_{in} , pos. 14,75 V), Canal 2 (v_{out} , pos. 17,6 V), Canal 3 (v_{SW} , pos. 20 V) y Canal 4 (v_{LO} , pos. 8 V).

Figura 3.21: Formas de onda en el convertidor *boost* conectado a una fuente de tensión con impedancia de salida no nula, y con carga fija ($\approx 300 \Omega$).

de banda limitado para filtrar las componentes no deseadas. Las señales de tensión medidas son similares a las simuladas, con alguna diferencia en las oscilaciones no deseadas provocadas por la conmutación y los parásitos no modelados. Para el análisis del rizado es importante que las formas de onda no sufran alteraciones comparadas a

las utilizadas para obtener (2.31).

3.3.1. Ensayo del Convertidor *Boost*

Para ensayar el convertidor se siguió la configuración de medición de la Fig. 3.11, pero conectando el emulador FV al convertidor *boost*, y no a la fuente de tensión arbitraria. El procedimiento de medición consiste en modificar sucesivamente el filtro pasivo del convertidor y registrar la máxima potencia media alcanzada en los terminales del emulador, y en consecuencia obtener la eficiencia de extracción para cada combinación. Luego, esos resultados se comparan con los mostrados en la Fig. 3.18 y si alguno de los filtros dentro de la región delimitada por las curvas de borde resultan en una eficiencia del 99 %, la metodología propuesta para calcular el filtro pasivo mínimo es válida. El conjunto de capacitores e inductores medidos utilizando el instrumento Agilent E4980A se encuentra listado en la Tabla 3.2 , en lugar del valor nominal. Los capacitores se miden aplicando la tensión cc de operación estimada, aunque la tecnología de capacitor elegida no sufre los efectos de la polarización [89].

Cada punto de medición es el resultado de 5 mediciones consecutivas promediadas, permitiendo reducir el impacto de variaciones en las características eléctricas del módulo FV. La circulación de corriente por el módulo sombreado provoca la disipación de potencia y un incremento en la temperatura de las celdas, alterando las características eléctricas del módulo. Por lo tanto, en cada iteración se mide primero la curva característica del emulador (como en la Fig. 3.12) para determinar la máxima potencia disponible. Luego se conecta el convertidor para medir la máxima potencia extraída.

Tabla 3.2: Combinaciones de $L - C$ utilizadas para determinar el filtro mínimo de un convertidor *boost* conectado en cascada a un emulador FV.

#	$L_{\#}$ [μH]	$C_{\#,1}$ [μF]	$C_{\#,2}$ [μF]	$C_{\#,3}$ [μF]	$C_{\#,4}$ [μF]	$C_{\#,5}$ [μF]
1	8,81	3,12	3,32	3,54	3,73	3,93
2	12,14	2,25	2,45	2,55	2,65	2,84
3	21,62	1,22	1,32	1,41	1,51	1,61
4	30,73	0,78	0,87	1,03	1,12	1,22
5	65,97	0,29	0,39	0,48	0,58	0,68

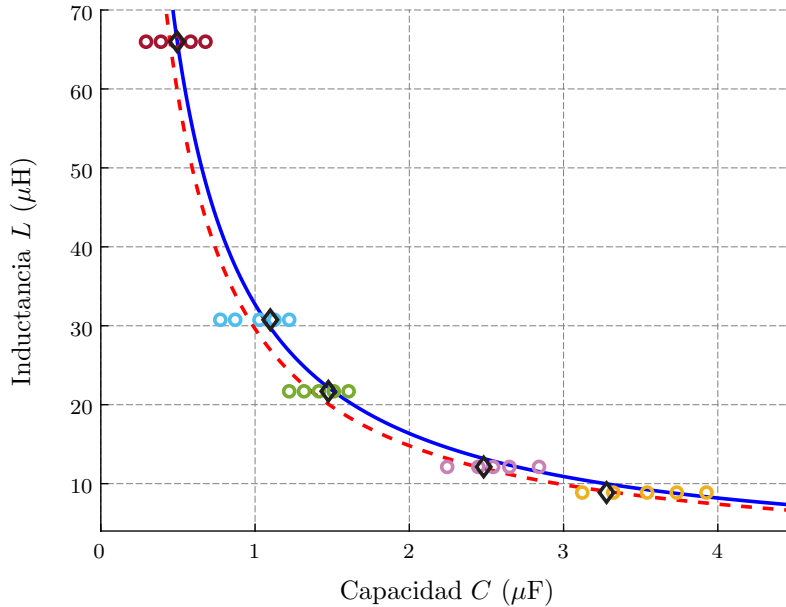


Figura 3.22: Validación de (2.31) para un convertidor *boost* en cascada con un módulo FV. Los círculos representan cada combinación $L - C$ ensayada según la Tabla 3.2: L_1 (\circ), L_2 (\circ), L_3 (\circ), L_4 (\circ) y L_5 (\circ). Los puntos (\diamond) indican la ubicación estimada del filtro que resulta en 99% de eficiencia de extracción.

La relación entre el PMP de la curva I-V medida y la potencia extraída es la eficiencia de extracción para esa iteración. La eficiencia de extracción para ese filtro será el promedio de los 5 resultados.

El control del convertidor se realiza a través de un DSP TMS320F2812 de Texas Instruments, que proporciona las señales de comando para las llaves semiconductoras. El ciclo de trabajo se ajusta en forma manual para que la tensión de entrada coincida con la tensión del PMP. La placa del circuito que contiene la fuente de corriente, el sensor de corriente y la fuente de tensión cuenta con un interruptor manual para intercambiar entre la conexión de la fuente de tensión y el convertidor *boost*.

La Fig. 3.22 muestra la ubicación de los distintos filtros en comparación con las curvas de borde para 9% y 10% de rizado, y se aprecia que algunos de estos filtros yacen dentro de la región definida por las curvas de borde. A partir de la potencia extraída medida para los filtros de la Tabla 3.2 se estima la ubicación del filtro mínimo mediante una aproximación lineal entre los filtros que están inmediatamente por encima y por debajo del 99% de eficiencia. Los filtros mínimos para cada inductor se ubican dentro de la zona definida por las curvas límite para 9% y 10% de rizado (Fig. 3.18) como

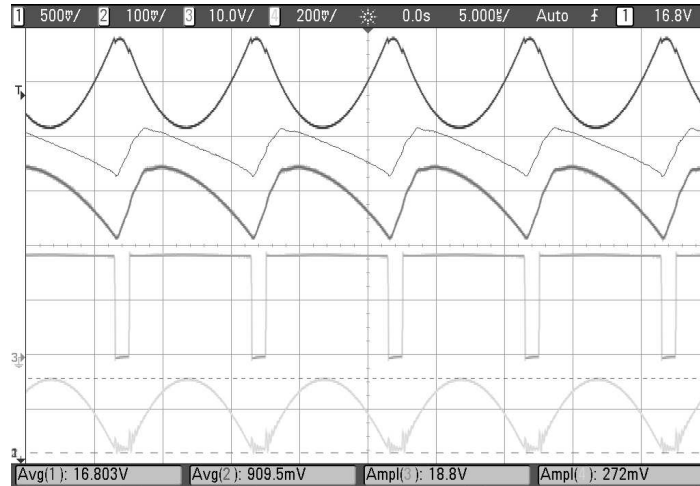


Figura 3.23: Medición del convertidor *boost* en cascada. Desde arriba hacia abajo: Canal 1 (v_{in}), Math ($p_{in} = v_{in}i_{in}$, 100 mW/V²), Canal 2 (i_{in} , 100 mA/V), Canal 3 (v_{sw}), y Canal 4 (v_{out}).

había sido calculado por (2.31). Por lo tanto, la metodología para determinar el filtro mínimo que resulta en un 99 % de eficiencia de extracción es correcta.

Existe un pequeño error en la Fig. 3.22, para valores bajos de inductancia, entre la ubicación estimada del filtro mínimo a partir de las mediciones y el resultado de (2.31). Sin embargo, esta diferencia puede asociarse a errores en el sistema de medición que se acentúan cuando la corriente de pico por el inductor aumenta.

Las señales de tensión y corriente del convertidor conectado al elemento FV son similares a las observadas en la Fig. 3.21 con excepción de la corriente de entrada. La tensión, corriente y potencia a la entrada del convertidor, así como la tensión en el *drain* de la llave S_1 (v_{sw}) y la tensión en el capacitor de salida (v_{out}) se pueden apreciar en la Fig. 3.23. La corriente del emulador FV no corresponde a un modelo de pequeña señal puramente resistivo.

3.4. Convertidor en Escalera Cuk

El análisis del efecto del rizado para la ACE utilizando un único convertidor requiere información de dos elementos FV. Para el ensayo experimental de la ACE se utilizaron dos emuladores FV, con las fuentes de corriente ajustadas para entregar 50 mA y 100 mA. La Fig. 3.24 muestra el resultado de las mediciones del efecto del rizado

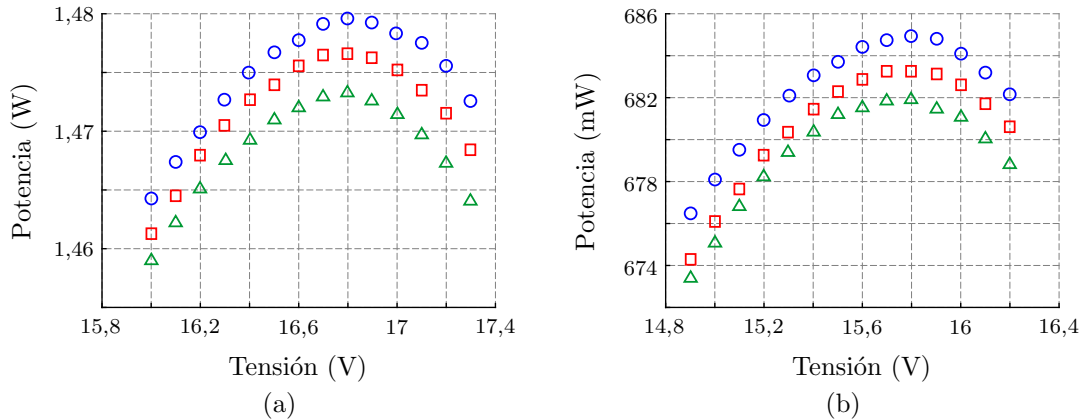


Figura 3.24: Potencia media extraída de un emulador FV aplicando una tensión de rizado sinusoidal con componente de cc y rizado de: 9 % (○), 10 % (□), y 11 % (△). La potencia máxima extraída sin rizado es (a) 1,4924 W (polarizado con 100 mA) y (b) 0,691 W (polarizado con 50 mA).

en cada emulador, donde el nivel de rizado es un porcentaje del valor medio de la tensión sinusoidal. Cada gráfica se construye utilizando la tensión media inyectada por la fuente y la potencia media extraída del emulador FV. En ambos casos, el nivel de rizado que permite extraer el 99 % de la potencia está acotado entre un 9 % y 10 % de la tensión media. Con la información recopilada se evalúa (2.37) en los valores de rizado para determinar las curvas límite que encierran al filtro mínimo cuando la capacidad de transferencia es de $1 \mu\text{F}$, para el módulo polarizado con 100 mA (Fig. 3.25). La elección del nivel de radiación utilizado para validar el cálculo del filtro mínimo es puramente arbitraria, pues el objetivo es comprobar que la ecuación (2.31) predice correctamente el filtro necesario para extraer un 99 % de la potencia.

El convertidor \acute{C} uk utilizado para realizar las mediciones no necesita ser especialmente eficiente en la zona de trabajo, pues sólo la potencia en bornes de los dispositivos fotovoltaicos resulta de interés. En verdad, como la corriente de los emuladores es baja (porque la corriente de los módulos FV lo es) y el convertidor utiliza un esquema de PWM tradicional, la eficiencia de procesamiento será baja. Las tensiones del PMP de los módulos FV conectados son similares, por lo cual el CE operará con un ciclo de trabajo cercano al 50 %. La Fig. 3.26 presenta el esquemático de la ACE conectada a dos emuladores FV ($e\text{FV}_1$ y $e\text{FV}_2$) y una carga electrónica en modo corriente; en la

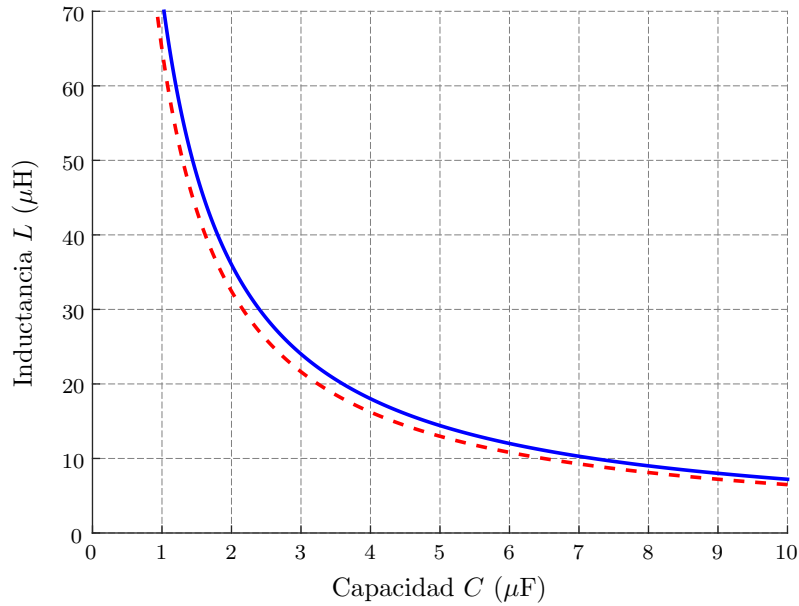


Figura 3.25: Curvas de borde el CE Ćuk para un rizado pico a pico de: 9% (—, $P_{ext} \approx 99,1$), y 10% (- - -, $P_{ext} \approx 98,9$). Estas curvas corresponden al emulador FV polarizado con 100 mA.

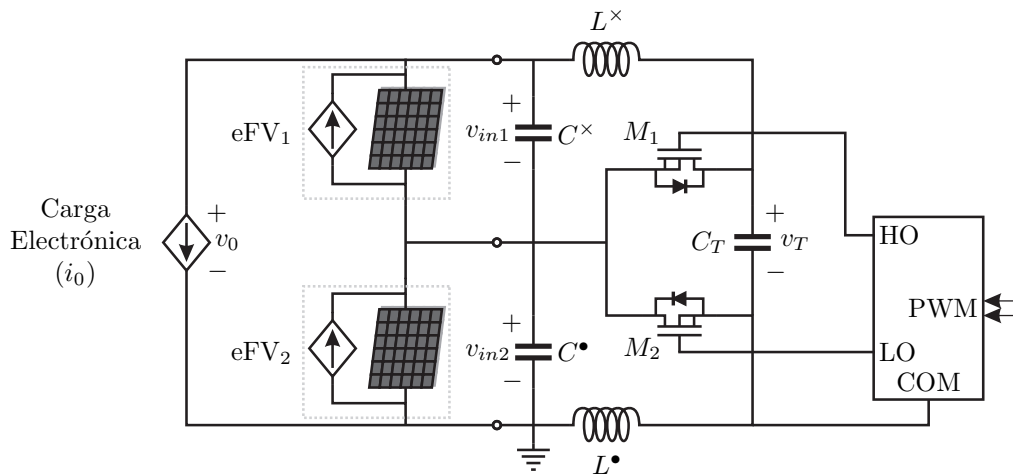


Figura 3.26: Esquemático del convertidor Ćuk diseñado.

Tabla 3.3 están listados los componentes elegidos. El diagrama del circuito se asemeja al presentado en la Fig. 2.12(b), pero con la fuente de corriente ideal reemplazada por una carga electrónica controlada en modo corriente. El sistema se encuentra a lazo abierto, por lo tanto el ciclo de trabajo y la corriente que drena la carga electrónica se ajustan en forma manual para maximizar la potencia que se extrae del emulador FV conectado en paralelo con $C^•$.

La Fig. 3.27 muestra el prototipo del convertidor Ćuk donde se destacan los com-

Tabla 3.3: Lista de componentes para el CE Ćuk.

Componente	Valor	Parte	Fabricante
C^\bullet, C^\times	$3 \times 1 \mu\text{F} + 9 \times 100 \text{ nF}$	B32529C0105/4	TDK
L^\bullet, L^\times	$22 \mu\text{H}$	B82477P4223	TDK
C_T	$1 \mu\text{F}$	B32529C0105	TDK
M_1, M_2	–	FDD390N15A	Fairchild
Carga Electrónica (i_0)	–	N3305A	Agilent
Circuito de Comando (<i>driver</i>)	–	LM5101A	Texas Instruments

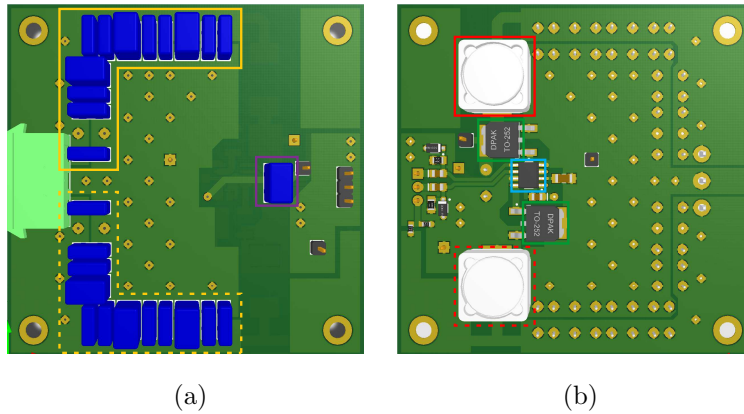
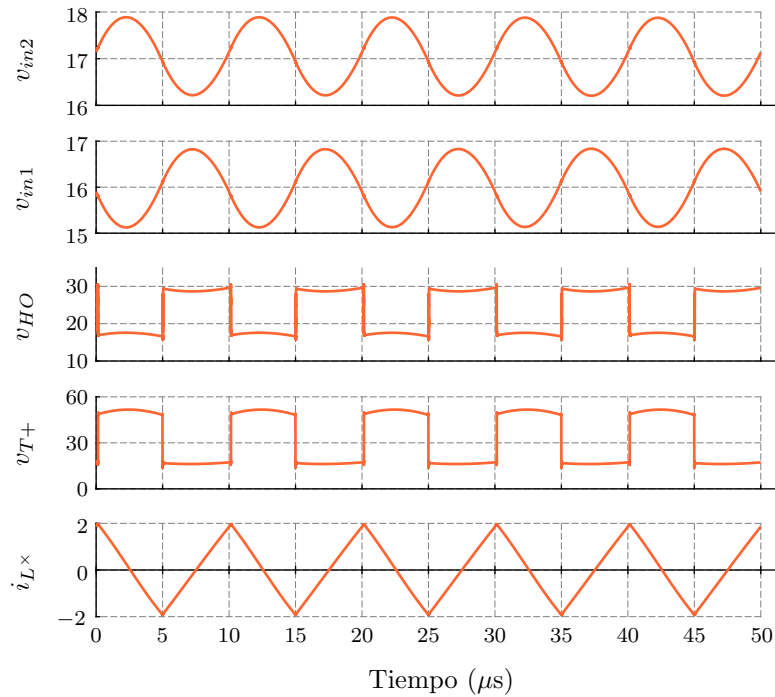


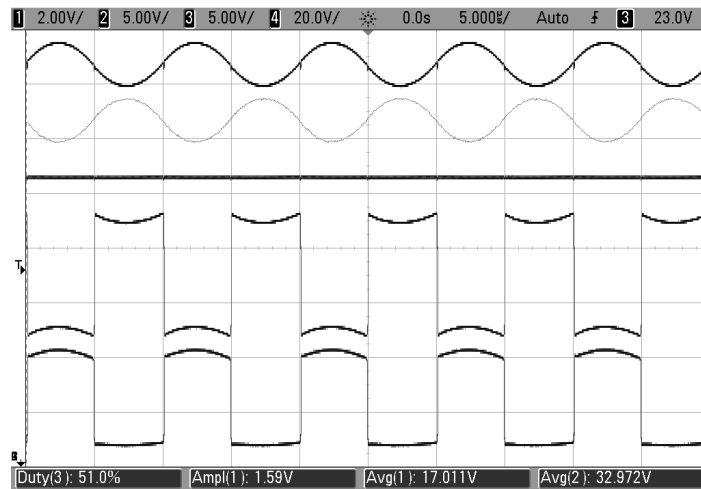
Figura 3.27: Prototipo del convertidor Ćuk diseñado: C^\times (□), C^\bullet (□), L^\times (□), L^\bullet (□), C_T (□), M_1 y M_2 (□), *driver* (□). (a) Vista superior. (b) Vista inferior.

ponentes pasivos que corresponden al filtro de entrada (L^\bullet – C^\bullet , o L^\times – C^\times) y los componentes principales del convertidor. El valor del filtro se puede modificar cambiando el inductor y la cantidad de capacitores en paralelo. El tamaño de los componentes pasivos es considerable, comparado con los componentes activos, debido a que se seleccionaron componentes cuyas características sean estables con la polarización.

Los resultados de la simulación del circuito observados en la Fig. 3.28(a) incluyen los parásitos de los componentes pasivos que conforman el filtro, el circuito de comando y las llaves semiconductoras. La capacidad a la entrada es de $2,9 \mu\text{F}$ ($2 \times 1 \mu\text{F} + 9 \times 100 \text{ nF}$), la inductancia es de $21,98 \mu\text{H}$, y el capacitor de transferencia es de $1 \mu\text{F}$. Los efectos parásitos de la placa del prototipo no fueron considerados porque se comprobó experimentalmente que el impacto de estos parásitos en el desempeño del circuito es despreciable. El rizado presente en v_{in2} tiene forma prácticamente sinusoidal, y 180° de fase con respecto al rizado en v_{in1} . El ciclo de trabajo es de 51 %, por lo cual el nivel de



(a) Simulación. La tensión v_{in2} tiene una amplitud de 1,66 V y una frecuencia fundamental de 100 kHz.



(b) Experimentales. Desde arriba hacia abajo: Canal 1 (v_{in2} , pos. 10,3 V), Math (v_{in1} , pos. 11,3 V), Canal 2 (v_0 , pos. 26,5 V), Canal 3 (v_{HO} , pos. 25 V) y Canal 4 (v_{T+} , pos. 90 V). Las señales se miden entre un nodo y tierra.

Figura 3.28: Formas de onda en el CE \acute{C} uk conectado a dos fuentes de tensión con impedancias de salida no nulas y a una carga electrónica.

rizado será similar en la entrada y en la salida del convertidor, con un 0,5 % de tiempo muerto entre el apagado y el encendido de las llaves. Al utilizar más de un convertidor, en una ACE con tres elementos FV o más, es simple disminuir el rizado en los módulos intermedios sumando en contrafase el aporte de los convertidores adyacentes.

El resultado de la simulación se compara con la medición del prototipo construido en la Fig 3.28. Las señales en ambos casos son idénticas, con pequeñas diferencias en los instantes de conmutación. El nivel de rizado en v_T es bajo comparado con el valor medio, que es igual a la tensión media de salida.

3.4.1. Ensayo del CE Ćuk

Para ensayar el CE se dispuso un arreglo de medición similar al de la Fig. 3.11, conectando dos emuladores al convertidor Ćuk y la carga electrónica en modo corriente. El procedimiento de medición es idéntico al descrito en la Sección 3.3: modificar sucesivamente el filtro pasivo del convertidor y registrar la máxima potencia media alcanzada en los terminales del emulador. Luego, esos resultados se comparan con los mostrados en la Fig. 3.18. Si la metodología propuesta para calcular el filtro pasivo mínimo requerido es correcta, la ubicación del filtro que extrae el 99 % de la potencia quedará dentro de la región definida por las curvas de borde. La Tabla 3.4 lista los distintos filtros de entrada conectados al Módulo 2 (polarizado con 100 mA); al Módulo 1 se conectan filtros de características similares. Los capacitores e inductores se miden en forma individual con el instrumento Agilent E4980A, y los valores de capacidad listados en la Tabla 3.4 se obtienen sumando una a una las capacidades que conforman el filtro de entrada en cada caso. Por ejemplo, $C_{1,1}^\bullet$ se construye con 2 capacitores de $1 \mu\text{F}$ y 9 de 100 nF en paralelo, en cambio $C_{4,3}^\bullet$ se obtiene con un único capacitor de $1 \mu\text{F}$.

Cada filtro resulta caracterizado por el promedio de 5 mediciones consecutivas de

Tabla 3.4: Combinaciones de $L - C$ utilizadas para determinar el filtro mínimo para un CE Ćuk.

#	$L_\#^\bullet$ [μH]	$C_{\#,1}^\bullet$ [μF]	$C_{\#,2}^\bullet$ [μF]	$C_{\#,3}^\bullet$ [μF]	$C_{\#,4}^\bullet$ [μF]	$C_{\#,5}^\bullet$ [μF]
1	21,98	2,94	3,07	3,17	3,27	3,36
2	28,62	2,25	2,35	2,45	2,54	2,64
3	46,4	1,31	1,41	1,51	1,61	1,71
4	68,65	0,79	0,88	1,02	1,12	1,22

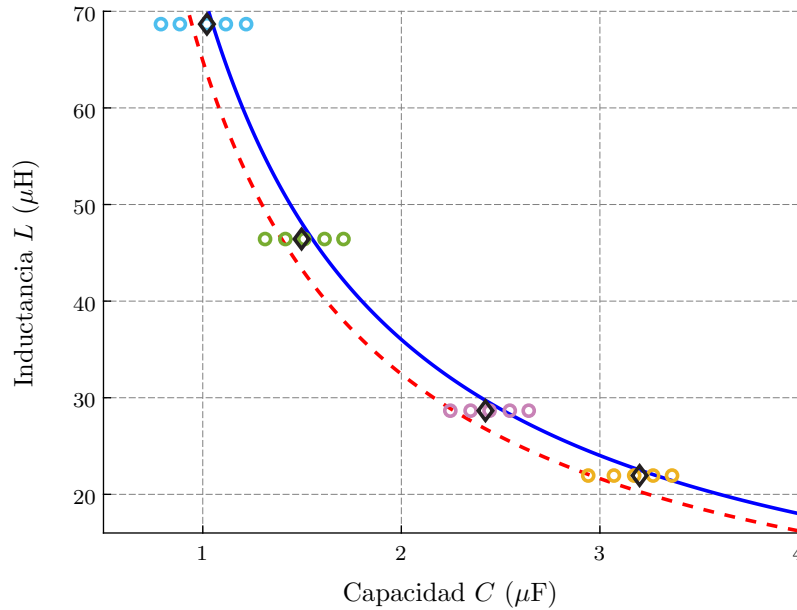


Figura 3.29: Validación de (2.37) para el CE $\acute{C}uk$. Los círculos indican cada combinación $L-C$ ensayada según la Tabla 3.4: L_1 (\circ), L_2 (\circ), L_3 (\circ), y L_4 (\circ). Los puntos (\diamond) indican la ubicación estimada del filtro que resulta en 99% de eficiencia de extracción.

potencia extraída. Primero se registra la curva característica de cc del elemento FV polarizado, y luego se determina la potencia media extraída del Módulo 2 al conectar la ACE. La relación entre el PMP de cc y la potencia media extraída es la eficiencia de extracción para ese filtro.

El control del convertidor se realiza a través de un DSP TMS320F2812 de Texas Instruments, que proporciona la señales de comando para las llaves semiconductoras. La placa del circuito que contiene las fuentes de corriente, los sensores de corriente y las fuentes de tensión cuenta con un interruptor para intercambiar entre la conexión de la fuente de tensión y la ACE.

La ubicación de los filtros de entrada ensayados (Tabla 3.4) junto con las curvas de borde para la ACE se observan en la Fig. 3.29. Para estimar el filtro límite que resulta en un 99% de eficiencia de extracción se aplica sobre las mediciones un procesamiento similar al detallado para el convertidor *boost* en la Sección 3.3, y los resultados se aprecian en la Fig. 3.29. Los filtros mínimos para la condición de polarización ensayada yacen dentro de la zona delimitada por las curvas de borde para 9% y 10% de rizado, y por lo tanto la expresión (2.37) para determinar el filtro mínimo es correcta.

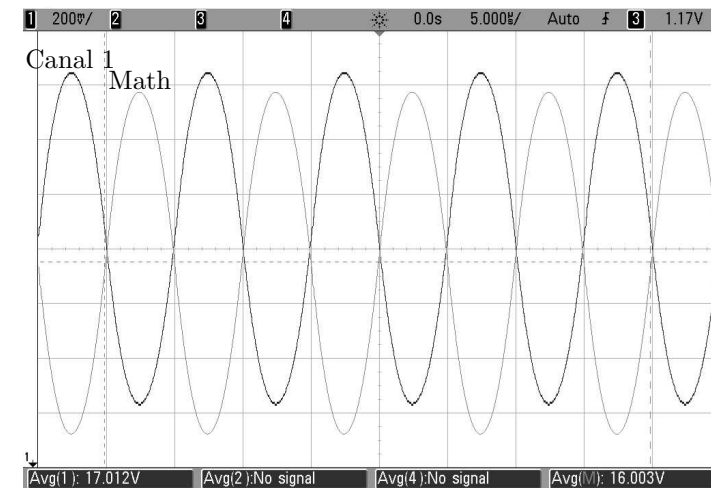
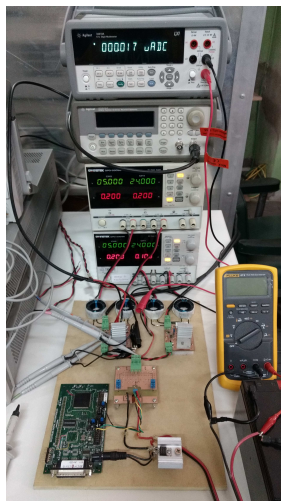
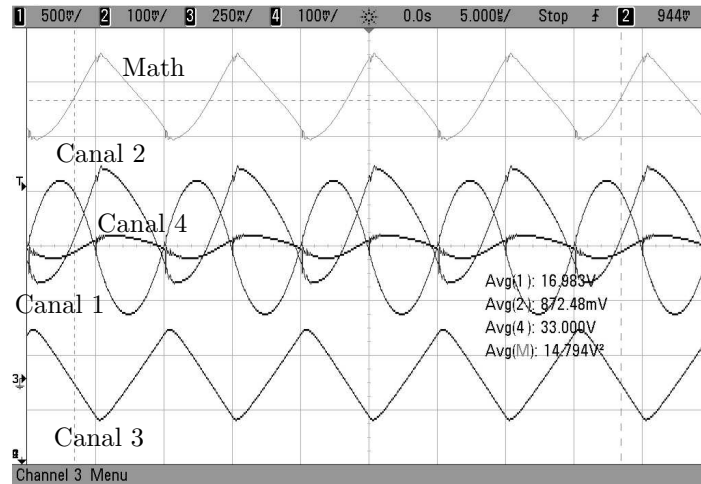
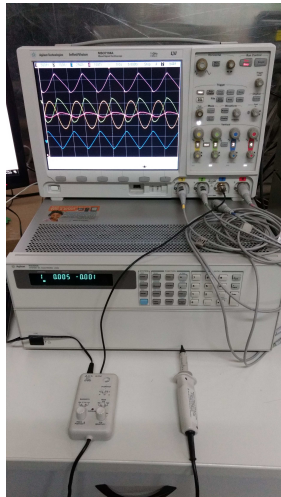


Figura 3.30: Medición del CE Ćuk cuando el filtro de entrada está formado por L_4^\bullet y $C_{4,4}^\bullet$. (a) Osciloscopio y carga electrónica. (b) Canal 1 (v_{in2}), Canal 2 (i_{in2} , 100 mA/V), Canal 3 (i_L^\bullet , cualitativa), Canal 4 (v_0), y Math ($p_{in2} = v_{in2}i_{in2}$, 100 mW/V²). (c) Fuentes de alimentación, generador de señales, multímetros digitales, kit de DSP, regulador lineal, batería de 12 V, CE, fuentes de corriente, y módulos FV (no mostrados). (d) Canal 1 (v_{in2}) y Math (v_{in1}).

En la Fig. 3.30 se observan dos fotografías del esquema de medición para la ACE, más las capturas del osciloscopio cuando el filtro de entrada al Módulo 2 está formado por L_4^\bullet y $C_{4,4}^\bullet$ (Tabla 3.4), y una combinación similar se utiliza para L^\times y C^\times conectados al Módulo 1. La señal de corriente a través de L^\bullet (Fig. 3.26) es meramente ilustrativa porque fue capturada utilizando un método no calibrado para medir corriente sobre una pista de cobre conectada al inductor (Aim I-prober 520). Las señales v_{in1} y v_{in2} están

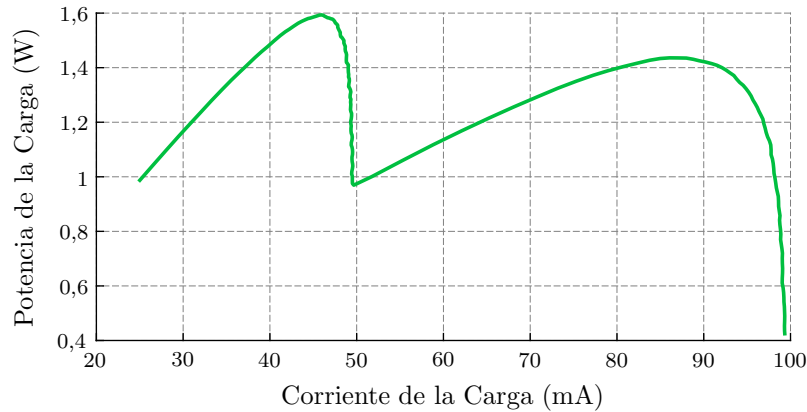


Figura 3.31: Potencia media de la carga electrónica cuando se conectan los diodos de derivación (CE apagado).

desfasadas 180° como se esperaba, y la amplitud del rizado en ambas es similar. La eficiencia de extracción para este filtro de entrada es 99,12 % medida en los terminales del Módulo 2.

3.4.2. Medición de la Extracción con Diodos y con la ACE

Como se explicó en el Capítulo 2, la inclusión de la ACE evita la aparición de múltiples PMP, que se originan cuando se utilizan diodos de derivación para proteger al módulo ante una condición de sombreado parcial principalmente. El esquema de radiación utilizado para este experimento es el mismo que el elegido en los ensayos anteriores, 50 mA para el Módulo 1 y 100 mA para el Módulo 2. Al apagar el convertidor los diodos intrínsecos de los transistores M_1 y M_2 actúan como diodos de derivación, y en los terminales de la carga electrónica se obtiene la característica P-I de la Fig. 3.31. En cambio, al activar el convertidor el arreglo de elementos FV parcialmente sombreado se comporta como un nuevo módulo FV con un único PMP, desde los terminales de la carga electrónica. Para comprobar esta característica se realizó un barrido con la corriente de la carga electrónica para distintos ciclos de trabajo. La Fig. 3.32 muestra el resultado de este ensayo, del cual se obtiene que existe una única combinación de ciclo de trabajo y corriente de la carga que maximiza la potencia de salida (como se explicó en el Capítulo 2): 55 % de ciclo de trabajo y 55,8 mA de corriente. El ciclo de trabajo se modificó en forma discreta en pasos de 5 %, por lo tanto es posible que

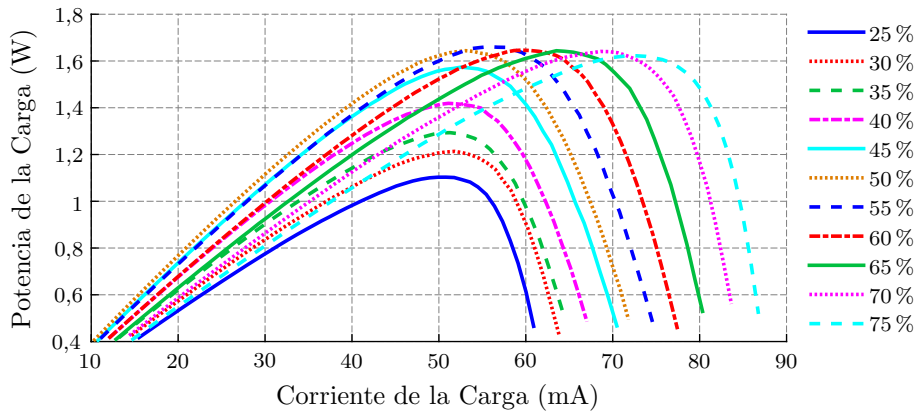


Figura 3.32: Potencia media de la carga electrónica para distintos ciclos de trabajo del CE Ćuk.

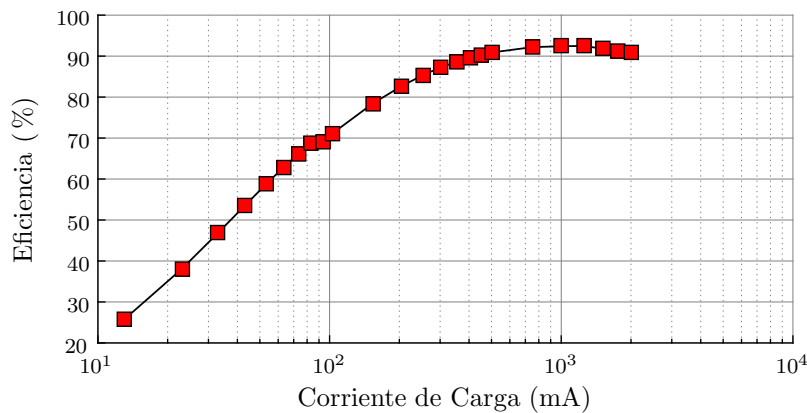


Figura 3.33: Eficiencia del convertidor Ćuk en función de la corriente media de carga.

exista un ciclo de trabajo intermedio que permita obtener más potencia sobre la carga.

Debido a que el convertidor no fue diseñado para el punto de trabajo donde se utiliza, la eficiencia de procesamiento es baja e impacta sobre la potencia transferida a la carga (pero no sobre la extraída) porque la diferencia de radiación entre los módulos es del 50%. Por este motivo no se observa una diferencia importante entre la potencia máxima obtenida con diodos ($\approx 1,5934$ W, Fig 3.31) y la máxima utilizando la ACE ($\approx 1,661$ W, Fig. 3.32). En la Fig. 3.33 se aprecia la curva de eficiencia del convertidor Ćuk en función de la corriente de carga, con un máximo de eficiencia en las cercanías de 1 A de corriente de carga.

Utilizando las expresiones (2.3) y (2.4) se puede estimar la potencia de la carga para el convertidor diseñado y el esquema de polarización elegido. En este ensayo, el CE procesa el 37% de la potencia disponible ($\lambda_{ce} \approx 0,37$ y $P_{disp} = 2,18$ W) con una

eficiencia de 40 % ($\eta_{cuk} \approx 0,4$) porque la corriente de carga del CE es 25 mA, entonces de (2.4) resulta

$$\eta_{ce} = 1 - \lambda_{ce} \times (1 - \eta_{cuk}) \approx 0,778 \quad \Rightarrow \eta_{ce} = 77,8 \%,$$

y asumiendo que la eficiencia del algoritmo de SPMP es del 99 % ($\eta_{pmp} = 0,99$), resulta una eficiencia global de $\approx 77,02$ % y reemplazando en (2.3) se obtiene

$$P_{extr} = \eta_{pmp} \times \eta_{ce} \times P_{disp} \approx 1,68 \text{ W}.$$

Este resultado aproxima bastante bien la potencia máxima obtenida en la Fig. 3.32, con una diferencia menor al 1,2 %. Si la eficiencia del convertidor en escalera fuese mayor, por ejemplo 90 % ($\eta_{cuk} = 0,9$), la potencia obtenida a la salida asumiendo $\eta_{pmp} = 0,99$ sería $P_{extr} \approx 2$ W, y la eficiencia efectiva a la salida se incrementaría a 95,34 %.

3.5. Método para Determinar el Filtro Mínimo

Todo diseñador desea reducir los costos de su convertidor sin afectar el desempeño del circuito. La metodología desarrollada para determinar el filtro mínimo necesario que asegura la extracción de potencia de un elemento FV supone una herramienta útil para asistir al diseñador. Los pasos a seguir se enumeran a continuación:

1. Definir el rango de trabajo del/los elementos FV, valores máximo y mínimo para la radiación y la temperatura ambiente.
2. Determinar el efecto del rizado en la extracción de potencia. Si el fabricante proporciona la información necesaria, es posible construir un modelo simple (Fig. 1.4) para el módulo FV de interés y simular el efecto del rizado. En caso contrario, se debe medir el efecto de rizado para el rango de condiciones de operación definido anteriormente. La capacidad parásita mejora la extracción de potencia, por lo tanto es posible medir el efecto de rizado a una frecuencia menor que la de conmutación, utilizando por ejemplo una carga electrónica y una fuente de tensión

con limitación de corriente para realizar las mediciones.

3. Seleccionar la ecuación correspondiente a la topología del convertidor elegida: (2.21), (2.31), (2.34), o (2.37). Luego, reemplazar los parámetros necesarios (frecuencia de conmutación, carga, etc.) y evaluar la ecuación en todas las condiciones de operación.
4. A partir del resultado anterior, buscar el filtro más restrictivo (aquel que implica más capacidad e inductancia). Este filtro se obtiene determinando el máximo de la ecuación del paso anterior, y es el filtro mínimo requerido para lograr la eficiencia de extracción deseada.

El resultado del método es una curva que indica el filtro mínimo requerido para cumplir con la restricción de extracción de potencia (99 % en esta Tesis). Sin embargo, el diseñador puede elegir una combinación de capacidad e inductancia mayor de acuerdo a otros requerimientos de diseño, como por ejemplo la respuesta dinámica del sistema. Además, la elección final del filtro también dependerá de los componentes pasivos disponibles que puedan soportar las tensiones y corrientes del circuito. Por ejemplo, si se opta por utilizar capacitores cerámicos a la entrada de un convertidor *boost* es imprescindible considerar el efecto de la polarización en la capacidad nominal [89]. Por otro lado, al reducir la inductancia crece la corriente de pico que el capacitor de entrada debe suministrar.

Capítulo 4

Estrategia de Control para Convertidores en Escalera

El diseño del controlador para una arquitectura distribuida siempre representa un desafío interesante. Existen varias aproximaciones para resolver el control de una ACE, donde el funcionamiento de los convertidores distribuidos no es aislado. Al cambiar el ciclo de trabajo de uno de los convertidores se modifica la curva entera de P–V que se observa desde los terminales de salida, como se mostró en el Capítulo 2, Fig. 2.8 para el caso de una ACE con 3 elementos FV. A causa de este comportamiento resulta indispensable incluir un controlador que tenga en cuenta la interacción entre los convertidores, y pueda tomar las decisiones correctas para rastrear el PMP ante cualquier condición de operación.

Algunas de las estrategias propuestas en la literatura [51, 54, 64, 78, 80] presentan controladores que ignoran deliberadamente la interacción entre los distintos convertidores, obteniendo como resultado una operación en las cercanías del PMP. Este resultado parece no ser desfavorable en los casos estudiados en esos trabajos porque en general el desajuste en las tensiones no es grave. En [4] se muestra que gracias al proceso de agrupado realizado por los fabricantes se puede reducir el nivel de desajuste en un módulo FV nuevo. Pero la exposición en un ambiente real provocará cambios no uniformes en las celdas, incrementando el desajuste más allá de las tolerancias previstas

por los fabricantes. Como resultado esas estrategias perderán efectividad con el tiempo y no podrán rastrear el PMP individual de cada elemento FV.

Por otro lado, hay un par de estrategias capaces de SPMP de cada elemento FV en forma individual, que incluso contemplan el caso de $N > 3$ elementos FV [52, 81]. Ambas propuestas utilizan un algoritmo de perturbar y observar multivariable para ajustar los ciclos de trabajo y no tienen ningún control sobre el estado del convertidor central indispensable para lograr rastrear el PMP global de la estructura.

La ACE logra mitigar la pérdida de potencia ocasionada por las fuentes de desajuste y en consecuencia maximizar la potencia recolectada, si cada elemento FV es una única celda solar. El controlador desarrollado se presenta en dos etapas. Primero se propone una estrategia para comandar un número limitado de celdas, y luego se propone la extensión de la estrategia para comandar múltiples celdas utilizando una estructura de dos niveles. El controlador novedoso presentado en este capítulo no sólo controla el ciclo de trabajo de cada CE, sino que además proporciona la referencia de corriente para el controlador externo. El controlador externo siempre es necesario, y puede ser directamente un microinversor sin necesidad de un algoritmo de SPMP extra. La primera parte de la estrategia se asemeja al algoritmo de búsqueda del extremo que ha sido estudiado anteriormente [90, 91], pero en esta Tesis se aplica a un sistema con más de un elemento FV. El controlador propuesto no requiere información de las condiciones ambientales del sistema FV.

En la Sección 4.1 se desarrollan las ecuaciones dinámicas que gobiernan al sistema analizado, compuesto por una ACE con tres celdas FV (modelo ideal) y dos convertidores conmutados de topología Ćuk. La elección de esta topología para implementar la ACE en lugar de los convertidores *buck-boost* responde a que la primera permite reducir la tensión del elemento FV (de un módulo completo a una única celda) sin la necesidad de incrementar el tamaño de los componentes pasivos, como se expuso anteriormente en el Capítulo 2.

La Sección 4.2 presenta la primera etapa de la estrategia de control, donde el objetivo es maximizar la potencia que genera cada celda. Se desarrollan las ecuaciones

que derivan en la estrategia de control y luego se propone un controlador capaz de implementarla.

En la Sección 4.3 se introducen algunas consideraciones prácticas a tener en cuenta. El algoritmo de control se implementará en un microcontrolador, por lo tanto es obligatorio lidiar con la discretización en tiempo del controlador. También se propone un método de ajuste para corregir los posibles errores de la estrategia de control.

La Sección 4.5 discute el problema de expandir la estrategia para comandar múltiples celdas conectadas en serie. Una estructura de dos niveles permite reducir la complejidad del controlador comparada con la expansión tradicional de la estrategia presentada en la Sección 4.2. El controlador es simple y se puede implementar en un microcontrolador, además opera a diferente velocidad que el controlador propuesto en la primera etapa. Para lograr comandar la ACE completa (conformada por más de tres elementos FV) es necesario utilizar ambos controladores desarrollados en forma simultánea.

Finalmente, la Sección 4.6 presenta una simulación de un módulo con 72 celdas FV y con distintas condiciones de operación. Los resultados observados coinciden con los objetivos de control propuestos. Los convertidores operan a una frecuencia de conmutación de 100 kHz y los componentes pasivos utilizados se eligieron para asegurar una eficiencia de extracción de al menos 99 %, siguiendo la metodología desarrollada en el Capítulo 3. En la Sección 4.7 se comparan los principios de operación de dos estrategias de control encontradas en la literatura con la propuesta en este capítulo.

4.1. Análisis de la Arquitectura en Escalera

Si bien la estructura básica de la ACE implementada con convertidores Ćuk y su funcionamiento ya fueron presentados en el Capítulo 2, aquí se retoma el tema para estudiar su comportamiento dinámico y proponer una estrategia de control. En la Fig. 4.1 se muestra el esquema de conexión en serie de tres celdas solares modeladas idealmente, con capacitores para la estabilización local y el filtrado de las tensiones de

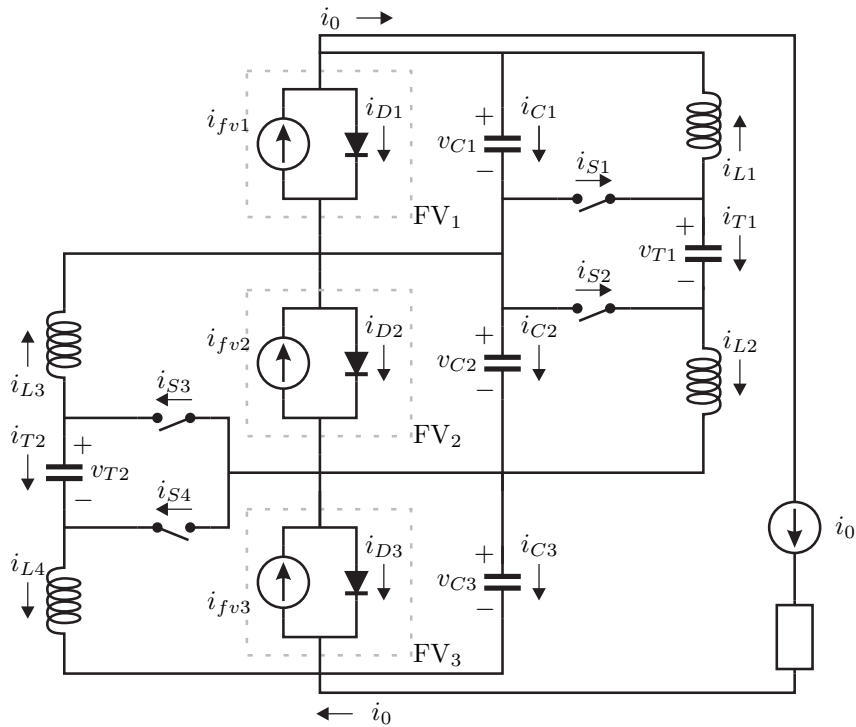


Figura 4.1: Arquitectura en escalera conformada por tres celdas solares en serie modeladas idealmente y dos convertidores Ćuk que balancean las corrientes entre cada par de celdas.

celda. Cada celda solar se modela por una simple combinación en paralelo de una fuente de corriente controlada por la radiación solar y un diodo. Dos convertidores trabajan coordinados para desviar parte de la corriente de las celdas de modo que todas operen en su punto de máxima potencia. Cada convertidor está basado en la topología Ćuk, compuesta por dos inductores, un capacitor y dos llaves semiconductoras que conmutan en forma complementaria. El modelo utilizado para las celdas no tiene en cuenta las resistencias serie y paralelo que se incluyen típicamente para modelar las pérdidas por recombinación y conducción, pero es suficientemente válido para los objetivos del análisis que se presenta en este capítulo.

Las ecuaciones del circuito se derivan de la Fig. 4.1 aplicando la primera ley de

Kirchhoff en los nodos de las celdas, obteniendo

$$0 = i_{fv1} - i_{D1} - i_{C1} + i_{L1} - i_0, \quad (4.1)$$

$$0 = i_{fv2} - i_{D2} - i_{C2} - i_{fv1} + i_{D1} + i_{C1} + i_{L3} - i_{S1} - i_{S2}, \quad (4.2)$$

$$0 = i_{fv3} - i_{D3} - i_{C3} - i_{fv2} + i_{D2} + i_{C2} + i_{L2} - i_{S3} - i_{S4}, \quad (4.3)$$

$$0 = i_0 + i_{L4} - i_{fv3} + i_{D3} + i_{C3}, \quad (4.4)$$

donde i_{fv1} , i_{fv2} , i_{fv3} representan las corrientes fotoeléctricas en las celdas solares; i_{D1} , i_{D2} , i_{D3} modelan los efectos de los diodos intrínsecos; i_{L1} , i_{L2} , i_{L3} , i_{L4} son las corrientes a través de cada inductor; e i_{C1} , i_{C2} , i_{C3} son las corrientes que circulan en los capacitores en paralelo con las celdas. La corriente de salida i_0 está impuesta por un convertidor central modelado como una fuente de corriente. Las corrientes i_{Si} dependen del estado de los interruptores

$$\begin{aligned} i_{S1} &= d_1(i_{L1} + i_{L2}), & i_{S2} &= (1 - d_1)(i_{L1} + i_{L2}), \\ i_{S3} &= d_2(i_{L3} + i_{L4}), & i_{S4} &= (1 - d_2)(i_{L3} + i_{L4}), \end{aligned} \quad (4.5)$$

donde $d_1, d_2 \in [0; 1]$ son las funciones de conmutación, siendo 0 si el interruptor inferior está conectado y 1 si el interruptor superior está conectado.

Con las restricciones impuestas por (4.5) resulta que (4.1)–(4.4) son linealmente dependientes. Descartando (4.4), las ecuaciones restantes pueden escribirse en forma matricial como

$$\mathbf{0} = \mathbf{A}_d \mathbf{I}_L + \mathbf{B} [\mathbf{I}_{\text{celda}} - \mathbf{I}_C], \quad (4.6)$$

siendo

$$\begin{aligned} \mathbf{I}_L &= \begin{bmatrix} i_{L1} & i_{L2} & i_{L3} & i_{L4} & i_0 \end{bmatrix}^T, \\ \mathbf{I}_{\text{celda}} &= \begin{bmatrix} i_{fv1} - i_{D1} & i_{fv2} - i_{D2} & i_{fv3} - i_{D3} & 0 & 0 \end{bmatrix}^T, \\ \mathbf{I}_C &= \begin{bmatrix} i_{C1} & i_{C2} & i_{C3} & i_{T1} & i_{T2} \end{bmatrix}^T, \end{aligned}$$

$$\mathbf{A}_d = \begin{bmatrix} 1 & 0 & 0 & 0 & -1 \\ -1 & -1 & 1 & 0 & 0 \\ 0 & 1 & -1 & -1 & 0 \\ -(1-d_1) & d_1 & 0 & 0 & 0 \\ 0 & 0 & -(1-d_2) & d_2 & 0 \end{bmatrix}, \quad \mathbf{B} = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 \\ -1 & 1 & 0 & 0 & 0 \\ 0 & -1 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 1 \end{bmatrix}.$$

Esta ecuación matricial representa los circuitos instantáneos como una función de los estados de los interruptores. Es fácil ver que i_{oj} , definida como $i_{oj} = i_{fvj} - i_{Dj} - i_{Cj}$, $j = 1, 2, 3$, e i_{Tm} , $m = 1, 2$, pueden evaluarse de manera unívoca conociendo los estados de las llaves, las corrientes de los inductores y la corriente de salida del sistema, de la siguiente manera

$$\mathbf{I}_{\text{celda}} - \mathbf{I}_C = -\mathbf{B}^{-1}\mathbf{A}_d\mathbf{I}_L, \quad (4.7)$$

donde

$$\mathbf{B}^{-1}\mathbf{A}_d = \begin{bmatrix} 1 & 0 & 0 & 0 & -1 \\ 0 & -1 & 1 & 0 & -1 \\ 0 & 0 & 0 & -1 & -1 \\ d_1 - 1 & d_1 & 0 & 0 & 0 \\ 0 & 0 & d_2 - 1 & d_2 & 0 \end{bmatrix}.$$

Las corrientes de los inductores están relacionadas con las tensiones v_{C1} , v_{C2} , v_{C3} , v_{T1} , v_{T2} de los capacitores y los estados de los interruptores como sigue

$$\mathbf{L} \begin{bmatrix} \dot{i}_{L1} \\ \dot{i}_{L2} \\ \dot{i}_{L3} \\ \dot{i}_{L4} \end{bmatrix} = \begin{bmatrix} -v_{C1} + v_{T1}(1-d_1) \\ -v_{T1}d_1 + v_{C2} \\ -v_{C2} + v_{T2}(1-d_2) \\ -v_{T2}d_2 + v_{C3} \end{bmatrix}, \quad (4.8)$$

donde $\mathbf{L} = \text{diag}(L, L_2, L_3, L_4)$.

Por otro lado, las tensiones de los capacitores responden a la siguiente ecuación dinámica

$$\mathbf{C} \dot{\mathbf{V}}_C = \mathbf{I}_C, \quad (4.9)$$

donde

$$\mathbf{V}_C = \begin{bmatrix} v_{C1} & v_{C2} & v_{C3} & v_{T1} & v_{T2} \end{bmatrix}^T,$$

y $\mathbf{C} = \text{diag}(C_1, C_2, C_3, C_{T1}, C_{T2})$. Las corrientes de los capacitores pueden calcularse de (4.7) como

$$\mathbf{I}_C = \mathbf{B}^{-1} \mathbf{A}_d \mathbf{I}_L + \mathbf{I}_{\text{celda}}. \quad (4.10)$$

Luego, el sistema de ecuaciones dinámicas completo resulta

$$\mathbf{C} \dot{\mathbf{V}}_C = \mathbf{B}^{-1} \mathbf{A}_d \mathbf{I}_L + \mathbf{I}_{\text{celda}}, \quad (4.11)$$

$$\bar{\mathbf{L}} \dot{\mathbf{I}}_L = -\mathbf{A}_d^T \mathbf{B}^{-T} \mathbf{V}_C + \mathbf{F}, \quad (4.12)$$

donde

$$\mathbf{F} = \begin{bmatrix} 0 & 0 & 0 & 0 & L_0 \dot{i}_{0ref} - v_0 \end{bmatrix}^T$$

$$\bar{\mathbf{L}} = \begin{bmatrix} \mathbf{L} & \mathbf{0} \\ \mathbf{0}^T & L_0 \end{bmatrix},$$

siendo L_0 una inductancia equivalente asociada al comportamiento dinámico definido para la corriente de salida i_0 ; $v_0 = v_{C1} + v_{C2} + v_{C3}$; las variables d_1, d_2, i_0 son ajustadas por el controlador del sistema; e $i_{fv1}, i_{fv2}, i_{fv3}$ dependen de la radiación solar. Además, i_{0ref} es un comando de referencia externo para la corriente de salida.

4.2. Algoritmo de SPMP

El propósito del sistema de control es maximizar la potencia de salida del sistema completo. La estrategia consiste en ajustar las tensiones de cada celda hacia el punto de máxima potencia individual, para obtener en consecuencia la potencia máxima de todo el sistema, como se demostró en (2.12). A continuación se expresa el objetivo de control matemáticamente, luego se encuentra una relación entre las acciones de control y finalmente se propone el controlador que explota esa relación para alcanzar

el objetivo propuesto.

4.2.1. Objetivo de Control

La potencia instantánea desarrollada por cada celda es

$$p_j = v_{Cj} \cdot (i_{fvj} - i_{Dj}), \quad (4.13)$$

donde v_{Cj} es la tensión del j -ésimo capacitor, igual a la tensión v_{Dj} sobre el diodo FV correspondiente. La corriente a través de ese diodo se puede aproximar como $i_{Dj} \approx I_{sj} e^{(v_{Cj}/a \cdot V_{th})} = f_j(v_{Cj})$.

La función objetivo es la potencia individual de cada celda FV expresada por (4.13). Teniendo en cuenta (4.7), la potencia total desarrollada por la serie de celdas resulta

$$p = \mathbf{V}_C (\mathbf{I}_C - \mathbf{B}^{-1} \mathbf{A}_d \mathbf{I}_L). \quad (4.14)$$

Considerando (4.8) y (4.9), (4.14) se convierte en

$$\begin{aligned} p = & (v_{C1} + v_{C2} + v_{C3})i_0 + L_1 i_{L1} \dot{i}_{L1} + L_2 i_{L2} \dot{i}_{L2} \\ & + L_3 i_{L3} \dot{i}_{L3} + L_4 i_{L4} \dot{i}_{L4} + C_1 v_{C1} \dot{v}_{C1} + C_2 v_{C2} \dot{v}_{C2} \\ & + C_3 v_{C3} \dot{v}_{C3} + C_{T1} v_{T1} \dot{v}_{T1} + C_{T2} v_{T2} \dot{v}_{T2}, \end{aligned} \quad (4.15)$$

que está compuesta por la potencia de salida proporcionada por las celdas más la potencia que no se transfiere internamente entre los elementos reactivos. Nótese, que eliminando las componentes de alta frecuencia y considerando sólo el valor medio de las señales en (4.15) resulta (2.12).

Puesto que el objetivo de control es maximizar la potencia de salida p , se plantea la siguiente función continua definida positiva

$$V_P := P_0^2 - \frac{1}{2} \sum_{j=1}^3 p_j^2, \quad (4.16)$$

donde P_0 es un número positivo lo suficientemente grande para garantizar la positividad de V_P en todo el dominio de interés. Entonces, V_P tendrá un mínimo local cuando $p_j = P_{j,max}$, $j \in \{1, 2, 3\}$, donde $P_{j,max}$ representa la máxima potencia que puede extraerse de cada celda FV.

4.2.2. Estrategia de Control

Para determinar el mínimo de (4.16) se utiliza un método de descenso de gradiente, teniendo en cuenta que la potencia p sólo depende de las tensiones de celda v_{Cj} , $j \in \{1, 2, 3\}$ en estado estacionario, como se aprecia en (4.15) para una corriente i_0 constante. Entonces, la propuesta consiste en ajustar las tensiones de estado estacionario de los capacitores para llevar cada celda a su punto de máxima potencia. Para lograrlo, es necesario comandar las corrientes de los inductores y la corriente de salida instantánea. Las corrientes de los inductores se adaptan modificando los ciclos de trabajo de los CE y la corriente de salida del arreglo serie es regulada por el convertidor central.

La variación de V_P con respecto al tiempo se obtiene de (4.16) como

$$\frac{dV_P}{dt} = - \sum_{j=1}^3 p_j \cdot \frac{dp_j}{dt}. \quad (4.17)$$

Considerando que la potencia de salida p_j de las celdas FV es siempre positiva excepto en los casos extremos (véase la Fig. 2.4), se observa de (4.17) que si

$$\frac{dp_j}{dt} \geq 0 \quad \forall j \in \{1, 2, 3\} \Rightarrow \frac{dV_P}{dt} \leq 0. \quad (4.18)$$

Si un algoritmo de control impone $dp_j/dt \geq 0 \forall t$, entonces (4.16) llegará monótonamente a su valor mínimo mientras la potencia $p \rightarrow P_{max} := \sum_{j=1}^3 P_{j,max}$.

Las tensiones de los capacitores pueden representarse como la suma de dos señales: una que contenga sólo las componentes de baja frecuencia (\bar{v}_{Cj}), y otra compuesta por las componentes de alta frecuencia (\tilde{v}_{Cj}) introducidas por los convertidores conmutados. La última es una señal de media cero cuya frecuencia fundamental es la frecuencia

de conmutación de los convertidores (f_s) y su amplitud es proporcional a la integral temporal del rizado en las corrientes de los convertidores. Un diseño adecuado de los convertidores mantendrá la amplitud de \tilde{v}_{Cj} pequeña, para asegurar una eficiencia de extracción alta como se explicó en el Capítulo 2.

Para condiciones de temperatura y radiación constantes la derivada temporal de (4.13) resulta

$$\frac{dp_j}{dt} = \left(i_{fvj} - \left(1 + \frac{\bar{v}_{Cj} + \tilde{v}_{Cj}}{aV_{th}} \right) \cdot I_{sj} e^{(\bar{v}_{Cj} + \tilde{v}_{Cj})/aV_{th}} \right) \left(\frac{d\bar{v}_{Cj}}{dt} + \frac{d\tilde{v}_{Cj}}{dt} \right), \quad (4.19)$$

y considerando que la función exponencial puede descomponerse en

$$e^{(\bar{v}_{Cj} + \tilde{v}_{Cj})/aV_{th}} = e^{\bar{v}_{Cj}/aV_{th}} + \frac{1}{aV_{th}} e^{\bar{v}_{Cj}/aV_{th}} \cdot \tilde{v}_{Cj} + O(\tilde{v}_{Cj}^2), \quad (4.20)$$

(4.19) puede expresarse como

$$\frac{dp_j}{dt} = [F(i_{fvj}, \bar{v}_{Cj}) + (G(\bar{v}_{Cj}) + W(\tilde{v}_{Cj}^2)) \tilde{v}_{Cj} + H(\tilde{v}_{Cj}^2, \bar{v}_{Cj})] \left(\frac{d\bar{v}_{Cj}}{dt} + \frac{d\tilde{v}_{Cj}}{dt} \right), \quad (4.21)$$

donde

$$F(i_{fvj}, \bar{v}_{Cj}) := i_{fvj} - I_{sj} \left(1 + \frac{\bar{v}_{Cj}}{aV_{th}} \right) e^{\bar{v}_{Cj}/aV_{th}}, \quad (4.22)$$

$$G(\bar{v}_{Cj}) := -\frac{I_{sj}}{aV_{th}} e^{\bar{v}_{Cj}/aV_{th}} \left(2 + \frac{\bar{v}_{Cj}}{aV_{th}} \right), \quad (4.23)$$

$$H(\tilde{v}_{Cj}^2, \bar{v}_{Cj}) := -I_{0j} \left(O(\tilde{v}_{Cj}^2) \left(1 + \frac{\bar{v}_{Cj}}{aV_{th}} \right) + \frac{1}{(aV_{th})^2} e^{\bar{v}_{Cj}/aV_{th}} \cdot \tilde{v}_{Cj}^2 \right), \quad (4.24)$$

$$W(\tilde{v}_{Cj}^2) := -\frac{I_{sj}}{aV_{th}} O(\tilde{v}_{Cj}^2). \quad (4.25)$$

Para cumplir con (4.18), el algoritmo de SPMP debe actuar sobre las componentes de baja frecuencia de las tensiones y corrientes ajustando gradualmente el sistema a la nueva condición de funcionamiento. No se requiere que el controlador siga los cambios transitorios rápidos de radiación o las componentes de rizado introducidas por los convertidores.

Se observa que $F(i_{fj}, \bar{v}_{Cj})$ actúa como una ganancia lineal sobre la señal $d\tilde{v}_{Cj}/dt$ y como una ganancia no lineal sobre la señal $d\bar{v}_{Cj}/dt$. Luego, $d\bar{v}_{Cj}/dt$ genera en dp_j/dt a través de $F(\cdot)$ sólo una señal oscilatoria de media cero, que puede despreciarse al considerar sólo el comportamiento de baja frecuencia.

La función $G(\bar{v}_{Cj})$ amplifica $\tilde{v}_{Cj} \cdot d\bar{v}_{Cj}/dt$ (que no tiene cc ni componentes de baja frecuencia) y amplifica no linealmente $\tilde{v}_{Cj} \cdot d\bar{v}_{Cj}/dt$ (que puede tener componentes de más alta frecuencia que $d\bar{v}_{Cj}/dt$) posiblemente agregando componentes de alta frecuencia a dp_j/dt . Luego, la señal $\tilde{v}_{Cj} \cdot d\bar{v}_{Cj}/dt$ genera en dp_j/dt a través de $G(\cdot)$ sólo una señal oscilatoria de media cero, que puede despreciarse al considerar sólo el comportamiento de baja frecuencia.

La función $W(\tilde{v}_{Cj}^2)$ actúa como una ganancia variable en el tiempo sobre $\tilde{v}_{Cj} \cdot d\bar{v}_{Cj}/dt$ y $\tilde{v}_{Cj} \cdot d\bar{v}_{Cj}/dt$, lo cual en ambos casos eventualmente agregaría componentes de más alta frecuencia a dp_j/dt . Por lo tanto su efecto en el comportamiento de baja frecuencia de dp_j/dt puede despreciarse.

La función $H(\tilde{v}_{Cj}^2, \bar{v}_{Cj})$ actúa como una ganancia variable en el tiempo sobre $d\bar{v}_{Cj}/dt$ y $d\bar{v}_{Cj}/dt$, generando un efecto similar al de $W(\tilde{v}_{Cj}^2)$ en dp_j/dt , que también puede despreciarse al considerar el comportamiento de baja frecuencia.

En resumen, después de despreciar todas las componentes de alta frecuencia y sus efectos, el promedio de $dp/dt := d\bar{p}/dt$ puede evaluarse como

$$\frac{d\bar{p}_j}{dt} \approx (F(i_{fj}, \bar{v}_{Cj}) + G(\bar{v}_{Cj}) \tilde{v}_{Cj}) \frac{d\bar{v}_{Cj}}{dt}. \quad (4.26)$$

En (4.26) el segundo término genera en $d\bar{p}_j/dt$ una pequeña perturbación periódica que eventualmente puede tener un pequeño valor medio no nulo debido a la no linealidad inherente de $f_j(v_{Cj})$. Para una celda ideal (sin resistencias ni capacidad parásita), la pérdida de potencia en estado estacionario provocada por el rizado en la tensión alrededor del PMP (componentes de alta frecuencia) puede aproximarse como [37]

$$P_{rizado} = \left(\frac{V_{fv,rms}}{V_{pmp}} \right)^2 \left(1 + \frac{V_{pmp}}{2N_s a V_{th}} \right) P_{pmp}, \quad (4.27)$$

donde $V_{fv,rms}$ es el valor eficaz de la componente de rizado y V_{pmp} , P_{pmp} son la tensión y la potencia media en el PMP de la celda, respectivamente. En el Capítulo 2 se demostró cómo mantener P_{rizado} por debajo de una cota específica. Por lo tanto, el último término de (4.26) puede despreciarse sin afectar el comportamiento de baja frecuencia de dp_j/dt , resultando en la siguiente aproximación

$$\frac{d\bar{p}_j}{dt} = \frac{d\bar{p}_j}{dv_{Cj}} \cdot \frac{d\bar{v}_{Cj}}{dt}, \quad j = 1, 2, 3. \quad (4.28)$$

Luego, la restricción en (4.18) puede satisfacerse para las componentes de baja frecuencia forzando

$$\text{sign} \left(\frac{d\bar{v}_{Cj}}{dt} \right) = \text{sign} \left(\frac{d\bar{p}_j}{dv_{Cj}} \right), \quad j = 1, 2, 3, \quad (4.29)$$

lo cual puede lograrse requiriendo

$$\frac{d\bar{v}_{Cj}}{dt} = \beta_j \cdot \frac{d\bar{p}_j}{dv_{Cj}} \quad j = 1, 2, 3, \quad (4.30)$$

donde $\beta_j > 0$ son ganancias proporcionales adecuadas.

La expresión para la derivada de la potencia de cada celda con respecto a su tensión (que es igual a la del capacitor en paralelo) resulta de (4.14)

$$\left[\frac{dp}{dv_C} \right] = (\mathbf{I}_C - \mathbf{B}^{-1} \mathbf{A}_d \mathbf{I}_L) - \left[\frac{di_D}{dv_C} \right], \quad (4.31)$$

con

$$\begin{aligned} \left[\frac{dp}{dv_C} \right] &= \begin{bmatrix} dp_1 & dp_2 & dp_3 & 0 & 0 \end{bmatrix}^T, \\ \left[\frac{di_D}{dv_C} \right] &= \begin{bmatrix} \frac{d}{dv_{C1}} f_1(v_{C1}) & \frac{d}{dv_{C2}} f_2(v_{C2}) & \frac{d}{dv_{C2}} f_2(v_{C2}) & 0 & 0 \end{bmatrix}^T, \end{aligned}$$

Por otro lado, de (4.11) se obtiene

$$\dot{\mathbf{V}}_C = \mathbf{C}^{-1} [\mathbf{B}^{-1} \mathbf{A}_d \mathbf{I}_L + \mathbf{I}_{celda}]. \quad (4.32)$$

Suponiendo condiciones de diseño adecuadas, todas las variables eléctricas en promedio están variando lentamente y las funciones de conmutación d_1 , d_2 tienen valores promediados que varían lentamente. Debido a la operación de los convertidores, las corrientes i_{L1} , i_{L2} , i_{L3} , i_{L4} , i_0 tienen componentes de alta frecuencia además de sus componentes de cc y baja frecuencia. Las posibles componentes de alta frecuencia de las corrientes i_{fj} no son de interés en general, y las corrientes i_{Dj} copian y multiplican las componentes de frecuencia de las tensiones v_{Cj} debido al efecto no lineal de los diodos. Considerando sólo las componentes de baja frecuencia de v_{Cj} y v_{Ti} , (4.32) se reduce a

$$\dot{\mathbf{V}}_{\mathbf{C}} = \mathbf{C}^{-1} \left[\overline{\mathbf{B}^{-1}\mathbf{A}_d\mathbf{I}_{\mathbf{L}}} + \overline{\mathbf{I}_{\text{celda}}} \right], \quad (4.33)$$

donde $\overline{\mathbf{B}^{-1}\mathbf{A}_d\mathbf{I}_{\mathbf{L}}}$ considera las componentes de baja frecuencia de $\mathbf{I}_{\mathbf{L}}$ multiplicadas por la matriz $\mathbf{B}^{-1}\mathbf{A}_d$ evaluada con el valor promedio de los ciclos de trabajo, e $\overline{\mathbf{I}_{\text{celda}}}$ representa las componentes de baja frecuencia de $\mathbf{I}_{\text{celda}}$.

La propuesta consiste en evaluar (4.31) utilizando valores medios para sus argumentos y después adaptar las corrientes i_{L1} , i_{L2} , i_{L3} , i_{L4} , i_0 para ajustar $\dot{\mathbf{V}}_{\mathbf{C}}$ en (4.33) y forzar (4.29).

El sistema descrito por (4.32) es un circuito pasivo excitado por las corrientes FV. En consecuencia, la dinámica representada por (4.32) es asintóticamente estable, y para i_{fvj} y $\overline{\mathbf{B}^{-1}\mathbf{A}_d\mathbf{I}_{\mathbf{L}}}$ constantes existirá una única solución estacionaria para las tensiones v_{Cj} y v_{Ti} , donde

$$\dot{\mathbf{V}}_{\mathbf{C}} = \left\{ \overline{\mathbf{B}^{-1}\mathbf{A}_d\mathbf{I}_{\mathbf{L}}} \right\}_{eq} + \left\{ \overline{\mathbf{I}_{\text{celda}}} \right\}_{eq} = \mathbf{0}. \quad (4.34)$$

Considerando que

$$\overline{\mathbf{B}^{-1}\mathbf{A}_d\mathbf{I}_{\mathbf{L}}} = \left\{ \overline{\mathbf{B}^{-1}\mathbf{A}_d\mathbf{I}_{\mathbf{L}}} \right\}_{eq} + \Delta \overline{\mathbf{B}^{-1}\mathbf{A}_d\mathbf{I}_{\mathbf{L}}}, \quad (4.35)$$

$$\overline{\mathbf{I}_{\text{celda}}} = \left\{ \overline{\mathbf{I}_{\text{celda}}} \right\}_{eq} + \Delta \overline{\mathbf{I}_{\text{celda}}}, \quad (4.36)$$

puede reescribirse

$$\dot{\mathbf{V}}_{\mathbf{C}} = \mathbf{C}^{-1} \left[\left\{ \overline{\mathbf{B}^{-1} \mathbf{A}_d \mathbf{I}_L} \right\}_{eq} + \left\{ \overline{\mathbf{I}_{\text{celda}}} \right\}_{eq} + \Delta \overline{\mathbf{B}^{-1} \mathbf{A}_d \mathbf{I}_L} + \Delta \overline{\mathbf{I}_{\text{celda}}} \right], \quad (4.37)$$

o

$$\dot{\mathbf{V}}_{\mathbf{C}} = \mathbf{C}^{-1} \left[\Delta \overline{\mathbf{B}^{-1} \mathbf{A}_d \mathbf{I}_L} + \Delta \overline{\mathbf{I}_{\text{celda}}} \right]. \quad (4.38)$$

La ecuación (4.38) define el comportamiento transitorio de las tensiones promedio de los capacitores. Para $\Delta \overline{\mathbf{B}^{-1} \mathbf{A}_d \mathbf{I}_L} = \mathbf{0}$ y corrientes FV constantes, las tensiones promedio de los capacitores convergen a los valores de equilibrio mediante un transitorio rápido dictado por (4.38), de donde se observa que $\Delta \overline{\mathbf{I}_{\text{celda}}} \rightarrow \mathbf{0}$.

La duración del transitorio puede inferirse del análisis de las constantes de tiempo del sistema linealizado. La constante de tiempo de las tensiones de celda es proporcional a la capacidad y la resistencia efectiva del diodo, es decir $C_j (a.V_{th}/I_{sj}) e^{-(v_{Cj}/a.V_{th})}$, y su valor numérico es uno o dos órdenes de magnitud menor que el valor numérico de C_j . Entonces este transitorio puede despreciarse sin impactar sobre el comportamiento global del sistema. Luego, para forzar un signo específico a $d\bar{v}_C/dt$ en (4.38) considerando $\Delta \overline{\mathbf{I}_{\text{celda}}} = \mathbf{0}$ para satisfacer (4.29), es suficiente que todas las componentes del primer término entre corchetes en (4.38) adquiera un valor absoluto suficientemente alto, manteniendo sus signos como es deseado. Luego, (4.29) puede reescribirse como

$$\text{sign} \left(\left\{ \Delta \overline{\mathbf{B}^{-1} \mathbf{A}_d \mathbf{I}_L} \right\}_j \right) = \text{sign} \left(\frac{d\bar{p}_j}{d\bar{v}_{Cj}} \right), \quad j = 1, 2, 3, \quad (4.39)$$

donde $\{\mathbf{X}\}_j$ indica la fila j -ésima de la matriz \mathbf{X} .

La tasa de variación $\Delta \overline{\mathbf{B}^{-1} \mathbf{A}_d \mathbf{I}_L}$ puede obtenerse después de imponer una derivada temporal no nula sobre $\overline{\mathbf{B}^{-1} \mathbf{A}_d \mathbf{I}_L}$ durante algún tiempo, entonces

$$\left\{ \Delta \overline{\mathbf{B}^{-1} \mathbf{A}_d \mathbf{I}_L} \right\}_j = \left\{ \int_{t_0}^{t_1} \frac{d}{dt} \overline{(\mathbf{B}^{-1} \mathbf{A}_d \mathbf{I}_L)} dt \right\}_j, \quad j = 1, 2, 3, \quad (4.40)$$

y si $\text{sign} \left(\left\{ \frac{d}{dt} \overline{(\mathbf{B}^{-1} \mathbf{A}_d \mathbf{I}_L)} \right\}_j \right)$ es constante durante todo el intervalo

$$\text{sign} \left(\left\{ \Delta \overline{(\mathbf{B}^{-1} \mathbf{A}_d \mathbf{I}_L)} \right\}_j \right) = \text{sign} \left(\left\{ \frac{d}{dt} \overline{(\mathbf{B}^{-1} \mathbf{A}_d \mathbf{I}_L)} \right\}_j \right), \quad j = 1, 2, 3. \quad (4.41)$$

Por lo tanto, (4.39) puede reescribirse como

$$\text{sign} \left(\left\{ \frac{d}{dt} \overline{(\mathbf{B}^{-1} \mathbf{A}_d \mathbf{I}_L)} \right\}_j \right) = \text{sign} \left(\frac{d\bar{p}_j}{d\bar{v}_{Cj}} \right), \quad j = 1, 2, 3, \quad (4.42)$$

que se satisface forzando

$$\frac{d}{dt} \overline{(\mathbf{B}^{-1} \mathbf{A}_d \mathbf{I}_L)} = \mathbf{K} d\bar{\mathbf{P}}, \quad (4.43)$$

donde

$$d\bar{\mathbf{P}} = \begin{bmatrix} d\bar{p}_1 & d\bar{p}_2 & d\bar{p}_3 & 0 & 0 \\ d\bar{v}_{C1} & d\bar{v}_{C2} & d\bar{v}_{C3} & & \end{bmatrix}^T,$$

y $\mathbf{K} = [\beta_1, \beta_2, \beta_3, \beta_4, \beta_5]^T$ son ganancias positivas ajustables.

Dado que la matriz $\overline{\mathbf{B}^{-1} \mathbf{A}_d}$ depende de los ciclos de trabajo promedio, la estrategia para adaptar las corrientes promedio $\overline{\mathbf{I}_L}$ es

$$\frac{d}{dt} \overline{\mathbf{I}_L} = \mathbf{K} \overline{\mathbf{A}_d^{-1} \mathbf{B}} d\bar{\mathbf{P}}, \quad (4.44)$$

que es válida $\forall \{\bar{d}_1, \bar{d}_2\}$ tal que $1 - \bar{d}_2 (1 - \bar{d}_1) \neq 0$.

Considerando (4.8) y sabiendo que $(\bar{v}_{T1} - \bar{v}_{C1}) = \bar{v}_{C2}$ y $(\bar{v}_{T2} - \bar{v}_{C2}) = \bar{v}_{C3}$, la expresión anterior se reduce a

$$- \begin{bmatrix} \bar{d}_1 \bar{v}_{T1} / L_1 \\ \bar{d}_2 \bar{v}_{T2} / L_3 \end{bmatrix} = \left\{ \overline{\mathbf{K} \mathbf{A}_d^{-1} \mathbf{B}} d\bar{\mathbf{P}} \right\}_{1,3} - \begin{bmatrix} (\bar{v}_{T1} - \bar{v}_{C1}) / L_1 \\ (\bar{v}_{T2} - \bar{v}_{C2}) / L_3 \end{bmatrix}, \quad (4.45)$$

$$\frac{di_0}{dt} = \left\{ \overline{\mathbf{K} \mathbf{A}_d^{-1} \mathbf{B}} d\bar{\mathbf{P}} \right\}_5. \quad (4.46)$$

La última expresión determina la variación necesaria en la corriente de salida, evaluada a partir del gradiente de potencia estimado, para ajustar el punto de operación global. Una posible estrategia para determinar los ciclos de trabajo promedio requeri-

dos como una función del gradiente de potencia estimado se muestra en (4.45), y se replantea a continuación para obtener una expresión explícita para los \bar{d}_1, \bar{d}_2 deseados.

4.2.3. Controlador

El control de i_0 es responsabilidad del convertidor central (Fig. 4.1), que es el encargado de seguir la referencia de corriente proporcionada por (4.46). El control de las corrientes de los inductores es realizado ajustando los ciclos de trabajo de los convertidores internos. Estos podrían evaluarse directamente de (4.45), pero para proporcionar suavidad adicional se prefiere considerar a (4.45) como la solución estacionaria de una ecuación diferencial estable de primer orden. Entonces, definiendo

$$|\Delta| = \text{diag} \left(\left| \left\{ \overline{\mathbf{A}_d^{-1} \mathbf{B} d \mathbf{P}} \right\}_1 \right|, \left| \left\{ \overline{\mathbf{A}_d^{-1} \mathbf{B} d \mathbf{P}} \right\}_3 \right| \right), \quad (4.47)$$

y considerando que $\det |\Delta| \neq 0$ (esta suposición será eliminada más adelante), (4.45) se reescribe como

$$\begin{aligned} \mathbf{0} = & -|\Delta|^{-1} \begin{bmatrix} \bar{v}_{T1}/L_1 & 0 \\ 0 & \bar{v}_{T2}/L_3 \end{bmatrix} \begin{bmatrix} \bar{d}_1 \\ \bar{d}_2 \end{bmatrix} - \{\mathbf{K}\}_{1,3} \text{sign} \left(\left\{ \overline{\mathbf{A}_d^{-1} \mathbf{B} d \mathbf{P}} \right\}_{1,3} \right) \\ & + |\Delta|^{-1} \begin{bmatrix} (\bar{v}_{T1} - \bar{v}_{C1})/L_1 \\ (\bar{v}_{T2} - \bar{v}_{C2})/L_3 \end{bmatrix}, \end{aligned} \quad (4.48)$$

donde $\text{sign}(\cdot)$ se evalúa fila a fila.

Entonces, se propone (4.48) como la solución de estado estacionario de la siguiente ecuación diferencial estable

$$\begin{bmatrix} \dot{\bar{d}}_1 \\ \dot{\bar{d}}_2 \end{bmatrix} = |\Delta|^{-1} \begin{bmatrix} \dot{\bar{v}}_{L1} \\ \dot{\bar{v}}_{L3} \end{bmatrix} - \{\mathbf{K}\}_{1,3} \text{sign} \left(\left\{ \overline{\mathbf{A}_d^{-1} \mathbf{B} d \mathbf{P}} \right\}_{1,3} \right), \quad (4.49)$$

la cual especifica los ajustes a realizar en \bar{d}_1, \bar{d}_2 para incrementar (hasta el máximo valor posible) la potencia de cada celda. Como ambas $\dot{\bar{v}}_{L1}, \dot{\bar{v}}_{L2}$ se hacen cero cuando $\bar{d}_1,$

\bar{d}_2 alcanzan el estado estacionario, se propone despreciar el primer término en (4.49), y considerar sólo el signo del factor entre paréntesis en el miembro derecho. El resultado es el siguiente algoritmo para el controlador, para el cual el caso $\det |\Delta| = 0$ ya no es un problema

$$\frac{d}{dt} \begin{bmatrix} \bar{d}_1 \\ \bar{d}_2 \\ i_0 \end{bmatrix} = \mathbf{K}^* \text{sign} \left(\left\{ \overline{\mathbf{A}_d^{-1} \mathbf{B} d \mathbf{P}} \right\}_{1,3,5} \right), \quad (4.50)$$

donde $\mathbf{K}^* = \{\mathbf{K}\}_{1,3,5}$ es un vector que contiene ciertas ganancias positivas. Es importante destacar que los ciclos de trabajo se modifican en la dirección correcta para satisfacer (4.29).

4.3. Consideraciones Prácticas

La estrategia de control descrita anteriormente para el circuito de la Fig. (4.1) es de tiempo continuo y tiene una fuerte dependencia de los parámetros del elemento FV utilizado, cuando los gradientes de potencia en (4.50) se calculan directamente de la ecuación para una celda ideal.

El modelo ideal de una celda es incapaz de capturar con precisión dp/dv para una celda FV arbitraria, pero sí conserva la información del signo de esta derivada. Por lo tanto, el cálculo de la derivada a partir de la ecuación para el modelo ideal de un elemento FV es útil para el controlador (4.50), siempre y cuando la derivada estimada tienda a cero al acercarse al PMP de la celda real.

4.3.1. Controlador de Tiempo Discreto

Para implementar la estrategia de control en un microcontrolador, es necesario contar con una versión de tiempo discreto del algoritmo. El controlador de tiempo discreto funciona tomando muestras de las variables medidas (tensiones y corrientes de las celdas) f_m veces por segundo (T_m es el período de muestreo), y evaluando dp_i/dv_{Ci} en cada muestra.

Los valores actualizados requeridos de los ciclos de trabajo y de la referencia de la corriente de salida se obtienen de (4.50) por integración directa. Como el tiempo de muestreo es fijo y el integrando es constante durante cada intervalo de muestreo, las integrales requeridas pueden evaluarse utilizando el método de Euler hacia atrás (*Backward Euler*, en inglés). Por lo tanto,

$$\begin{bmatrix} d_1[k] \\ d_2[k] \\ i_0[k] \end{bmatrix} = \begin{bmatrix} d_1[k-1] \\ d_2[k-1] \\ i_0[k-1] \end{bmatrix} + T_m \mathbf{K}^* \text{sign} \left(\{ (\mathbf{A}_d[k])^{-1} \mathbf{B} \mathbf{dP}[k] \}_{1,3,5} \right), \quad (4.51)$$

donde $d_1[k]$, $d_2[k]$ son los nuevos ciclos de trabajo de los CE Ćuk, e $i_0[k]$ es la nueva referencia de corriente para el convertidor central.

La velocidad de ajuste del controlador está definida por las ganancias \mathbf{K}^* y el período de actualización del controlador, que en este caso es igual a T_m . La selección de estos parámetros es una relación de compromiso entre el desempeño en estado estacionario y la capacidad de seguir las variaciones de radiación. Este problema ha sido estudiado en [92,93] para el caso de un convertidor en cascada con un elemento FV. Estos trabajos proponen métodos para determinar los parámetros de los dos algoritmos de SPMP más populares: perturbar y observar, y conductancia incremental. La relación óptima que establecen depende de los parámetros del elemento FV y de la tasa de variación máxima para la radiación que el algoritmo debe ser capaz de seguir. Nótese que las ganancias \mathbf{K}^* y el período de actualización pueden elegirse arbitrariamente cuando sólo interesa el desempeño de estado estacionario o la velocidad de ajuste.

4.3.2. Optimización Robusta

El algoritmo de optimización presentado más arriba no posee un mecanismo para ajustar los gradientes calculados (basado en modelos paramétricos) y reducir el error por incertidumbre, puesto que (4.50) supone tener conocimiento completo y preciso del modelo del sistema y sus parámetros. Por lo tanto, a continuación se propone un algoritmo de compensación basado en la medición de las corrientes y tensiones

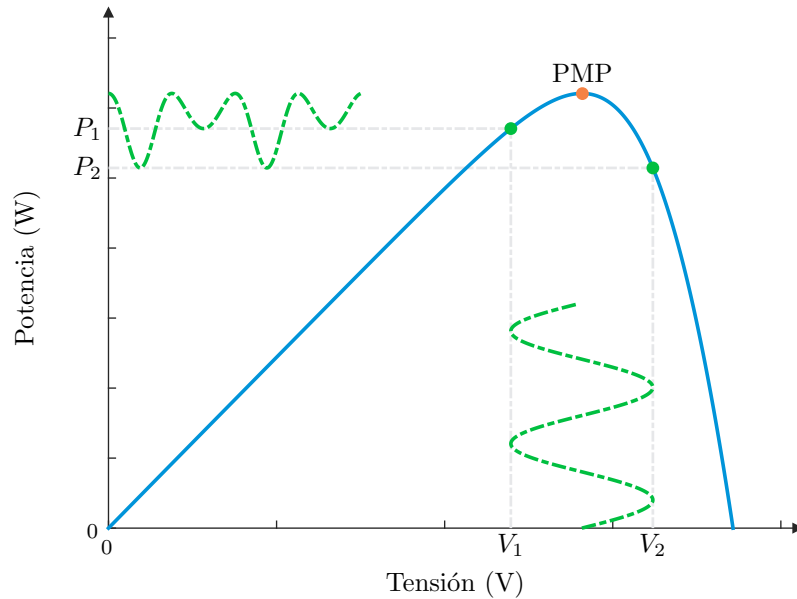


Figura 4.2: Característica (—) P-V y señal de potencia (---) en los terminales de un elemento FV cuando se conecta un CE Ćuk.

instantáneas que aprovecha la existencia de rizado en cada celda originado por los convertidores.

La estrategia está basada en el cálculo de la potencia de salida instantánea de cada celda cuando la tensión de celda es mínima y máxima. Luego, se compara la potencia en ambos instantes, y si la potencia en la tensión mínima es mayor que la potencia en el instante de máxima tensión se reduce la tensión media de operación de la celda. Este método no sigue exactamente el PMP, pero desplaza la tensión media de cada celda hacia un punto tal que la tensión de celda óptima permanezca entre el máximo y el mínimo instantáneo de la tensión de celda.

Contemplando la curva de potencia en función de la tensión (Fig. 4.2) cuando se extrae potencia con un CE Ćuk, es claro que los dos puntos (V_m, P_m) , $m = 1, 2$ de la curva, donde P es ligeramente menor que el óptimo, no están localizados simétricamente a los lados de (V_{opt}, P_{opt}) . Considerando que la tensión promedio de la celda puede estar aproximadamente localizada en el punto medio entre las tensiones máxima y mínima, debido a la forma típica de la curva potencia en función de la tensión, este algoritmo de corrección establecerá una tensión promedio de la celda a un valor un poco menor que el óptimo.

Un circuito específico se necesita para medir la tensión y la corriente de la j -ésima celda y computar la diferencia entre las potencias en los instantes de mínima y máxima tensión ($P_{min,j}$ y $P_{max,j}$) por cada ciclo de rizado. Luego, los datos recopilados estarían listos para ser muestreados por el microcontrolador cuando requiera una actualización. La diferencia entre $P_{min,j}$ y $P_{max,j}$ se integra para crear la señal de compensación que se agrega al gradiente de potencia calculado. La integral es saturada para limitar la señal de corrección

$$\frac{dp_j}{dv_{Cj}} = \frac{dp_j}{dv_{Cj}} \Big|_{nom} + \text{sat} \left(\int \gamma (P_{max,j} - P_{min,j}) dt \right), \quad (4.52)$$

donde γ es un factor de escala y $\text{sat}(\cdot)$ limita el argumento entre un valor máximo positivo y un mínimo negativo.

4.4. Simulación: Algoritmo de SPMP

A continuación se presentan los resultados de algunas simulaciones realizadas para el circuito de la Fig. 4.1 controlado mediante el algoritmo de SPMP discreto propuesto. Las simulaciones realizadas en primera instancia no incluyen el efecto de la conmutación, que se considera más adelante. Las celdas solares ideales reciben distintos niveles de radiación, y el sistema inicia desde un punto de operación arbitrario. El convertidor de salida está modelado como una fuente de corriente ideal comandada por el algoritmo de SPMP. Los convertidores Ćuk utilizan inductores de $10 \mu\text{H}$, y capacitores de $1 \mu\text{F}$. La Fig. 4.3 muestra que el sistema evoluciona hasta alcanzar el PMP individual de cada celda, donde luego permanece presentando una pequeña oscilación alrededor del punto crítico de la curva P-V.

Cuando se aplica una rampa de radiación en una de las celdas solares, el controlador es capaz de seguir la variación del PMP de la celda afectada sin dejar de controlar el PMP de las celdas restantes. La velocidad de ajuste del controlador y su desempeño en estado estacionario depende de las ganancias del controlador y la frecuencia de muestreo ($f_m = 1/T_m$). En la Fig. 4.4 se aprecia el resultado de la simulación para dos

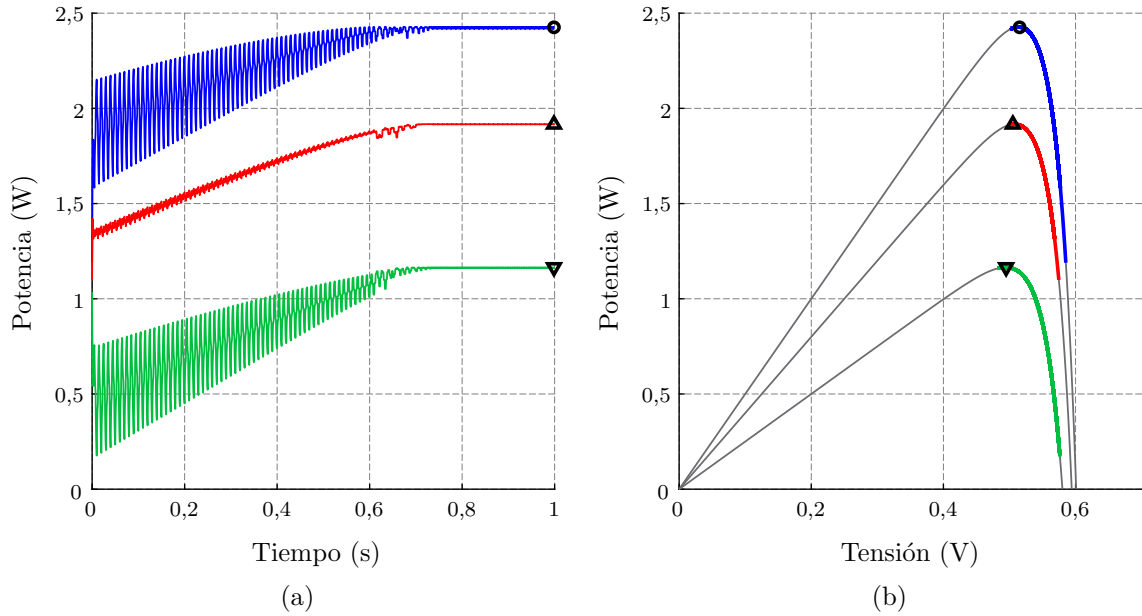


Figura 4.3: Algoritmo de SPMP para una ACE con tres celdas y radiación no uniforme constante: Celda 1 (—), Celda 2 (—), Celda 3 (—). (a) Variación de la potencia de celda en el tiempo. (b) Gráfica de P-V recorrida por cada celda hasta llegar al PMP.

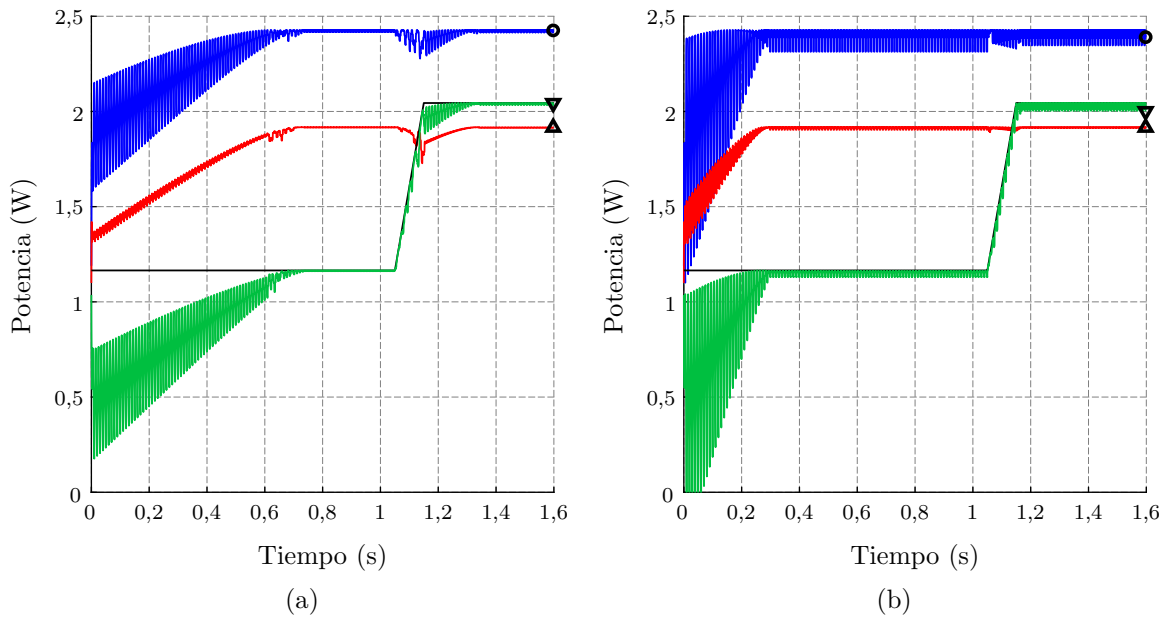


Figura 4.4: Algoritmo de SPMP para una ACE con tres celdas y radiación variable en una celda: Celda 1 (—), Celda 2 (—), Celda 3 (—). La simulación se realizó para dos conjuntos de ganancias: (a) $\beta = 2$ y (b) $\beta = 5$.

conjuntos de ganancias manteniendo $T_m = 1$ ms constante. Cuando la ganancia es baja (Fig. 4.4(a)), el controlador es demasiado lento para seguir el movimiento del PMP de la celda 3 (indicado por la curva —), pero tiene un excelente desempeño en estado

estacionario. En cambio, cuando la ganancia es alta (Fig. 4.4(b)) el algoritmo sigue sin problemas el cambio de radiación, pero pierde precisión cuando opera en estado estacionario. En este último caso, la pérdida de potencia extraída es mayor al 1% sin considerar la conmutación de los convertidores.

4.5. Extensión a Múltiples Celdas Solares

La complejidad del controlador expuesto en la Sección 4.1 crece con el número de celdas FV conectadas en serie. Para reducir la complejidad del algoritmo se introduce una extensión del sistema que posee dos lazos de control. Considere el diagrama esquemático de la Fig. 4.5, donde cada subsistema FV está compuesto por tres celdas solares y dos CE Ćuk en escalera, como muestra la Fig. 4.1. Las corrientes i_1, i_2, i_3 son las corrientes de salida de cada subsistema, v_1, v_2, v_3 son las tensiones de estos bloques. Las señales de la Fig. 4.5 no deben confundirse con las que aparecen en la Fig. 4.1. Cada subsistema implementa el algoritmo de SPMP (4.51) en forma independiente. La

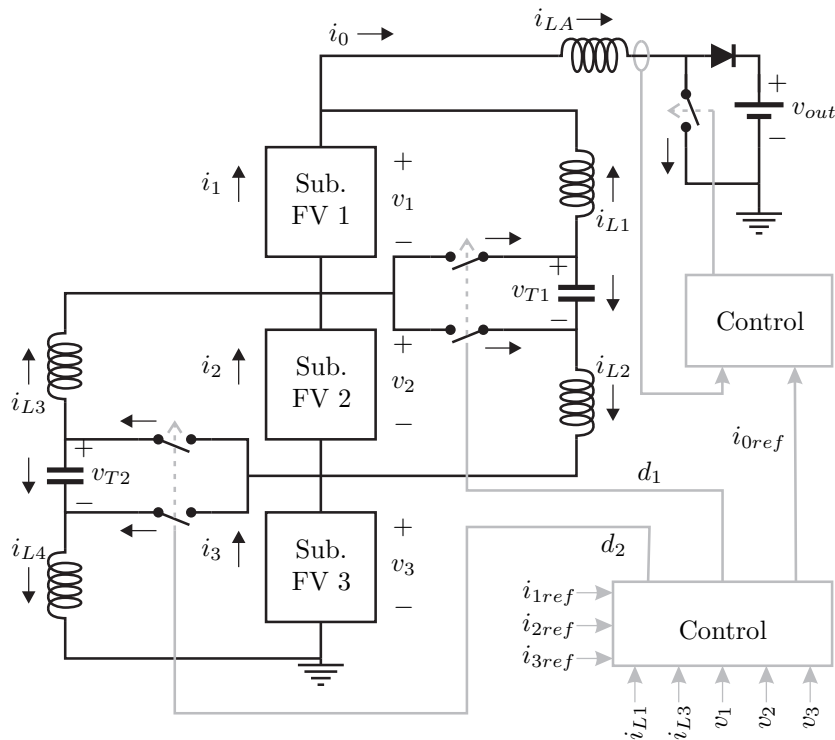


Figura 4.5: Arquitectura en escalera extendida para múltiples elementos FV. Cada Subsistema FV está compuesto por tres elementos FV y dos CE Ćuk (Fig. 4.1) e implementa el algoritmo de SPMP (4.51) en forma independiente.

idea es controlar el sistema extendido de forma tal que las corrientes i_1, i_2, i_3 puedan alcanzar los valores de referencia calculados por el algoritmo de optimización (4.51) aplicado a cada subsistema. La cantidad de CE Ćuk necesarios con esta estructura es $N - 1$ para N elementos en serie (sin contar el convertidor central), y es idéntica a la requerida por la ACE tradicional [52, 67, 81].

Las ecuaciones en los nodos de los subsistemas para el circuito de la Fig. 4.5 son

$$\begin{aligned} 0 &= i_0 - i_{L1} - i_1, \\ 0 &= i_1 - i_2 + i_{L1} + i_{L2} - i_{L3}, \\ 0 &= i_{L3} + i_{L4} + i_2 - i_3 - i_{L2}. \end{aligned} \tag{4.53}$$

La dinámica de las corrientes de los inductores está relacionada a las tensiones de los bloques v_1, v_2, v_3 , las tensiones en los capacitores v_{T1}, v_{T2} y a los estados de los interruptores como sigue

$$\mathbf{L} \begin{bmatrix} \dot{i}_{L1} \\ \dot{i}_{L2} \\ \dot{i}_{L3} \\ \dot{i}_{L4} \end{bmatrix} = \begin{bmatrix} -v_1 + v_{T1}(1 - d_1) \\ -v_{T1}d_1 + v_2 \\ -v_2 + v_{T2}(1 - d_2) \\ -v_{T2}d_2 + v_3 \end{bmatrix}, \tag{4.54}$$

donde $\mathbf{L} = \text{diag}(L_i)$, $i = 1, 2, 3, 4$ es una matriz diagonal.

Por otra lado, la dinámica de las tensiones de los capacitores se puede escribir como

$$\mathbf{C} \begin{bmatrix} \dot{v}_{T1} \\ \dot{v}_{T2} \end{bmatrix} = \begin{bmatrix} i_{T1} \\ i_{T2} \end{bmatrix}, \tag{4.55}$$

donde

$$\mathbf{C} = \begin{bmatrix} C_{T1} & 0 \\ 0 & C_{T2} \end{bmatrix}, \quad (4.56)$$

$$\begin{bmatrix} \dot{i}_{T1} \\ \dot{i}_{T2} \end{bmatrix} = \begin{bmatrix} (d_1 - 1)i_{L1} + d_1 i_{L2} \\ (d_2 - 1)i_{L3} + d_2 i_{L4} \end{bmatrix}. \quad (4.57)$$

En estado estacionario, de (4.54) resulta

$$D_1 = \frac{V_2}{V_2 + V_1}, \quad D_2 = \frac{V_3}{V_2 + V_3}. \quad (4.58)$$

Luego, reemplazando en (4.55) y considerando la solución en estado estacionario

$$I_{L2} = \frac{V_1}{V_2} I_{L1}, \quad I_{L4} = \frac{V_2}{V_3} I_{L3}. \quad (4.59)$$

Con esta solución estacionaria, (4.53) resulta en una colección completa de ecuaciones que pueden usarse para calcular los valores de I_{L1} , I_{L3} , I_0 que satisfagan, en estado estacionario las ecuaciones del circuito para las corrientes deseadas I_1 , I_2 , I_3 . Por lo tanto

$$\begin{aligned} 0 &= I_0 - I_{L1} - I_1, \\ 0 &= I_1 - I_2 + \left(1 + \frac{V_1}{V_2}\right) I_{L1} - I_{L3}, \\ 0 &= \left(1 + \frac{V_2}{V_3}\right) I_{L3} + I_2 - i_3 - \frac{V_1}{V_2} I_{L1}, \end{aligned} \quad (4.60)$$

y resolviendo para I_{L1} , I_{L3} , I_0 resulta

$$\begin{aligned} I_0 &= \frac{V_1}{V_0} I_1 + \frac{V_2}{V_0} I_2 + \frac{V_1}{V_0} I_3, \\ I_{L1} &= \frac{V_1 I_0 - V_1 I_1}{V_1} = I_0 - I_1, \\ I_{L3} &= \frac{(V_1 + V_2) I_0 - (V_1 I_1 + V_2 I_2)}{V_2}, \end{aligned} \quad (4.61)$$

donde $V_0 = V_1 + V_2 + V_3$.

La estrategia es controlar los convertidores de forma tal que las corrientes de referencia calculadas en (4.61) se impongan en L_1 , L_3 y el convertidor central. Las corrientes de estado estacionario en L_2 , L_4 automáticamente seguirán (4.59). Como resultado, las corrientes forzadas a cada subsistema seguirán a los valores de referencia evaluados por el algoritmo de optimización (4.51) que opera dentro de cada subsistema.

Estos cálculos se extienden fácilmente para $M > 3$ subsistemas de celdas. Con M bloques habrá $M - 1$ convertidores, $2M - 2$ inductores y $M - 1$ capacitores. La corriente de salida I_0 se calcula como

$$I_0 = \frac{\sum_{i=1}^M V_i I_i}{\sum_{i=1}^M V_i}. \quad (4.62)$$

Luego, para el bloque j con $j \in [1, M - 1]$, las corrientes de los inductores resultan

$$I_{L_{(2j-1)}} = \frac{I_0 \sum_{i=1}^j V_i - \sum_{i=1}^j V_i I_i}{V_j}, \quad (4.63)$$

$$I_{L_{(2j)}} = \frac{V_j}{V_{(j+1)}} I_{L_{(2j-1)}}. \quad (4.64)$$

4.5.1. Controlador para Múltiples Celdas

Las referencias requeridas para las corrientes de los convertidores externos se obtienen de (4.62), (4.63) y (4.64), para que los CE de cada subsistema puedan rastrear el PMP individual de cada elemento FV. Los ciclos de trabajo ideales de los convertidores externos se calculan como

$$D_j = \frac{V_{j+1}}{V_{j+1} + V_j}, \quad j = 1, \dots, M - 1. \quad (4.65)$$

Un controlador de lazo cerrado resulta necesario pues las perturbaciones presentes derivadas de la implementación real del sistema, como diferencias en el temporizado, incertidumbres de medición y numéricas, desplazan los ciclos de trabajos requeridos de los valores ideales calculados con (4.65).

El controlador PID propuesto para determinar los ciclos de trabajo que ajustarán

las corrientes de los inductores se expresa de la siguiente forma

$$\bar{e}_j = I_{L(2j-1)} - \bar{i}_{L(2j-1)}, \quad (4.66)$$

$$\bar{d}_j = D_j - \left(K_P \bar{e}_j + K_I \int_0^t \bar{e}_j d\tau + K_D \frac{d\bar{e}_j}{dt} \right), \quad (4.67)$$

con $j = 1, \dots, M-1$. Los parámetros del controlador PID (K_P, K_I, K_D) se ajustan arbitrariamente para lograr un tiempo de establecimiento menor al período del algoritmo interno de SPMP (T_m).

4.6. Simulación: Controlador Extendido

La estrategia propuesta para un sistema de N celdas cuenta con dos lazos de control: uno local para cada subsistema de celdas, y otro global para la interconexión de estos subsistemas. Anteriormente, se presentaron resultados de simulación para un caso simple con tres celdas ideales y sin considerar la conmutación de los convertidores. Aquí se presentaran los resultados de simulación para un sistema compuesto por $N = 72$ celdas solares ideales conectadas en serie. Con esta simulación se puede observar el desempeño correcto de ambos controladores, donde se incluye la conmutación de los convertidores.

La conexión serie de 72 celdas solares se asemeja a un módulo FV comercial con una potencia máxima nominal de 200 W. Para esta cantidad de celdas se utilizan $M = 24$ subsistemas de 3 celdas cada uno y los convertidores de potencia requeridos para balancear el funcionamiento del arreglo. Todos los convertidores de potencia operan a una frecuencia de conmutación de 100 kHz, con los siguientes componentes pasivos: inductores de $10 \mu\text{H}$; capacitores C_{Ti} de $10 \mu\text{F}$; y capacitores de celda de $28 \mu\text{F}$. Los capacitores de celda se inician con una tensión de 500 mV y los de transferencia a la tensión correspondiente para ayudar al sistema a alcanzar el estado estacionario en menos tiempo de simulación. Los componentes pasivos se eligieron para asegurar una extracción de potencia superior al 99 %, siguiendo la metodología detallada en el Capítulo 2.

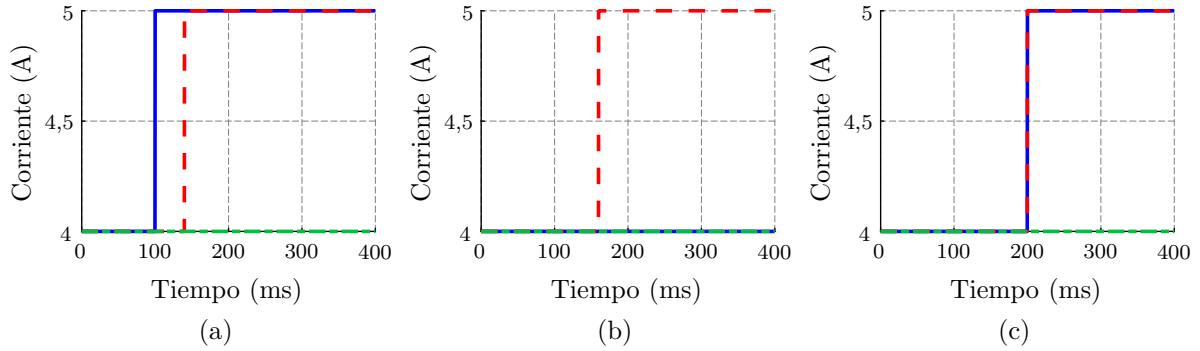


Figura 4.6: Escenarios de generación para la simulación: (a) Escenario I, (b) Escenario II, y (c) Escenario III. Corrientes FV generadas en un subsistema: Celda 1 (—), Celda 2 (- -), Celda 3 (- · -).

Al principio de la simulación todas las celdas solares están uniformemente irradiadas, por lo tanto la corriente fotoeléctrica de cada celda es de 4 A. Luego de un intervalo de tiempo, diferentes escalones de corriente son aplicados sobre las corrientes FV de cada celda, para emular cambios bruscos en la radiación incidente. Para simplificar la configuración del sistema, sólo hay tres escenarios diferentes de generación de corrientes FV, que pueden observarse en la Fig. 4.6. Cada subsistema está sometido a uno de estos escenarios durante la simulación. El escenario I se aplica a los subsistemas 1, 4, 7, 10, 13, 17 y 20; donde la corriente FV de la primera celda escala de 4 A a 5 A en $t = 0,05$ s, en la segunda celda la corriente escala de 4 A a 5 A en $t = 0,09$ s, y la tercera celda permanece inalterada generando 4 A. Los subsistemas 2, 5, 8, 11, 14, 18 y 21 operan bajo el escenario II; donde sólo la corriente FV de la segunda celda escala de 4 A a 5 A en $t = 0,11$ s, mientras que las otras celdas permanecen en 4 A. Por último, el escenario III se impone en los subsistemas 3, 6, 9, 12, 15, 16, 19, 22, 23 y 24; donde la corriente FV de la primera y segunda celdas escala de 4 A a 5 A en $t = 0,13$ s, mientras la tercera celda genera 4 A en todo momento.

La potencia desarrollada por los primeros tres subsistemas se muestra en detalle en la Fig. 4.7; los resultados para los subsistemas restantes son similares y se muestran en la Fig. 4.7. El ancho de banda proporcionado al controlador permite ajustar las condiciones de operación en una fracción de segundos luego de detectar los cambios en el nivel de radiación de cualquier celda. A pesar de que un ancho de banda tan grande no

es necesario en un sistema real, las simulaciones se desarrollaron considerando cambios escalonados en las corrientes FV que exigen más al sistema que una situación real, para enfatizar el comportamiento adecuado de la estrategia propuesta. El tiempo de respuesta del sistema a lazo cerrado puede ajustarse según se requiera (en situaciones reales es probable que sea necesario hacerlo más lento) seleccionando apropiadamente

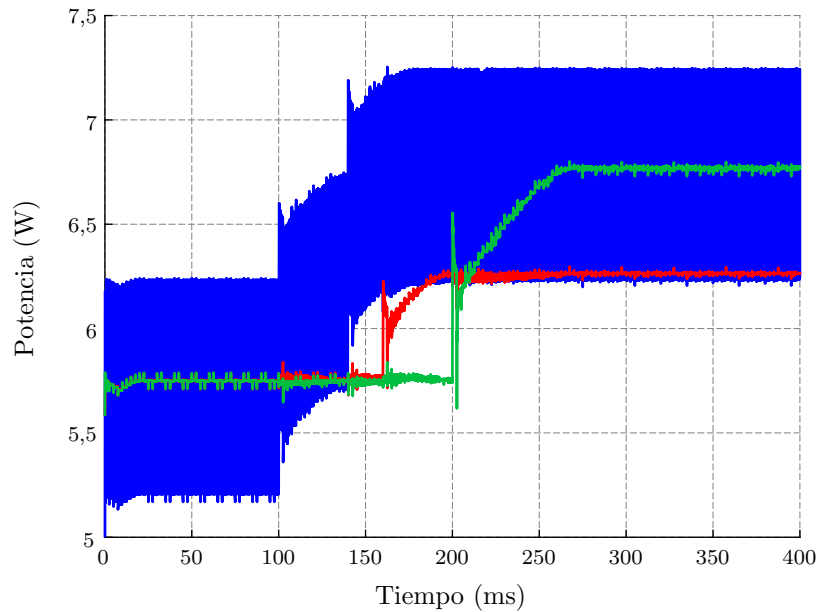


Figura 4.7: Evolución de la potencia en los tres primeros subsistemas bajo diferentes escenarios de radiación: Subsistema 1 (—), Subsistema 2 (— —), Subsistema 3 (— — —).

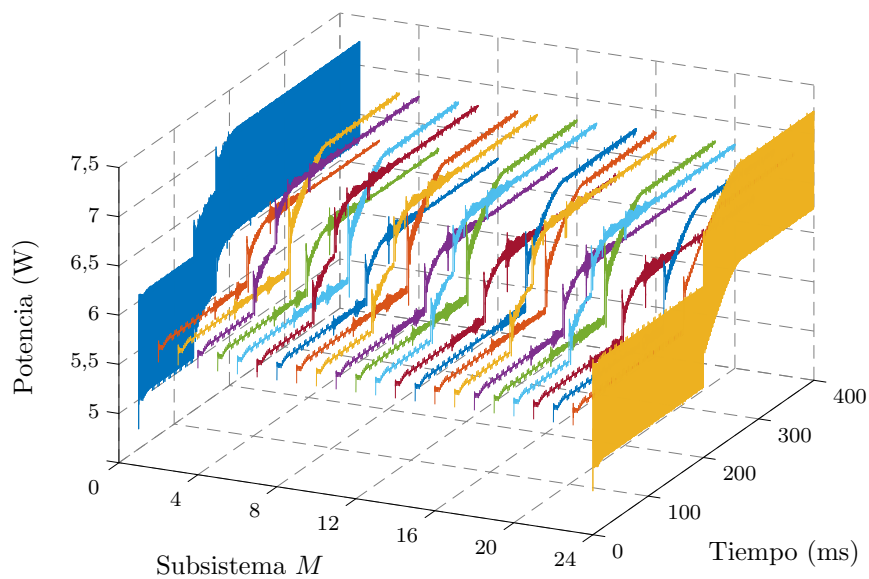


Figura 4.8: Evolución de la potencia extraída de cada subsistema. La eficiencia de extracción es mayor a 99 % en estado estacionario.

las ganancias del controlador \mathbf{K}^* y el período de muestreo. Los picos de potencia que se observan en la Fig. 4.7 pueden limitarse reduciendo la ganancia del controlador del convertidor de salida. La reducción del rizado en la potencia de los subsistemas 2 a 23 es consecuencia del desfase inherente en el funcionamiento de los convertidores adyacentes y ciclos de trabajo cercanos al 50 %.

En la Fig. 4.9 se observan las curvas P-V para cada una de las celdas en tres subsistemas diferentes. Los puntos destacados, indican la potencia media extraída de cada celda en estado estacionario, luego de que el controlador compense el desbalance ocasionado por los cambios en la radiación. En estado estacionario, las celdas oscilan alrededor del PMP con diferentes niveles de rizado como se aprecia en la Fig. 4.9 provocando una reducción en la potencia media extraída.

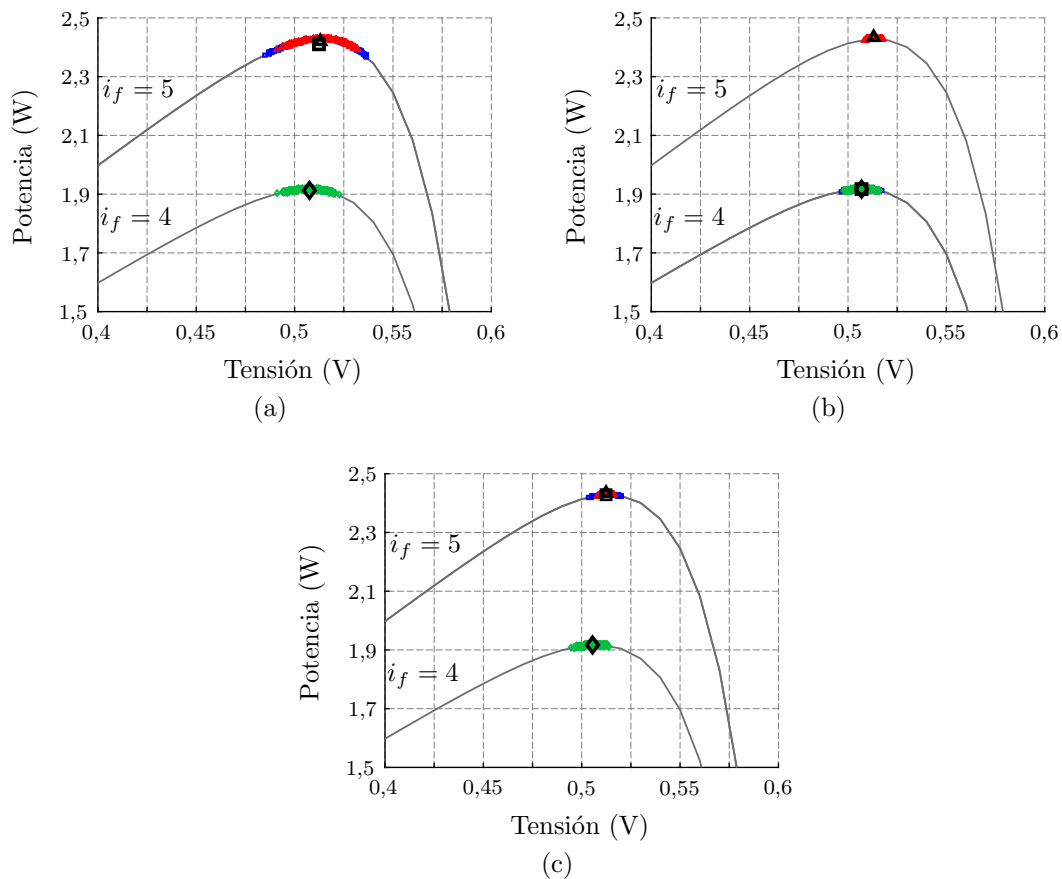


Figura 4.9: Curvas de P-V para la Celda 1 (□), Celda 2 (△), y Celda 3 (◇) pertenecientes a subsistemas diferentes: (a) Subsistema 1, (b) Subsistema 2, y (c) Subsistema 3. Los puntos (□, △ o ◇) indican los puntos de operación media en estado estacionario para cada celda.

La Fig. 4.10 muestra las corrientes por los inductores I_{L1} y I_{L3} de tres subsistemas, donde se puede observar que la corriente I_{L1} en el Subsistema 1 tiene un rizado de ≈ 262 mA por la conmutación y ≈ 285 mA en total, por lo tanto el rizado provocado por el controlador es de ≈ 23 mA. La ganancia del controlador en (4.51) influye el comportamiento de estado estacionario de las corrientes de los inductores. Reduciendo estas ganancias resultará en un sistema más lento pero también en un rizado más pequeño en las corrientes de los inductores. Además, el rizado de conmutación puede limitarse eligiendo adecuadamente los valores de capacidad e inductancia. Es importante observar que todas las corrientes de los inductores cambian para compensar el desbalance presente, incluso cuando una única celda solar es afectada.

La potencia de salida del sistema se muestra en la Fig. 4.11, corresponde a los terminales de entrada del convertidor elevador incluido en la Fig. 4.5. Luego de perturbar

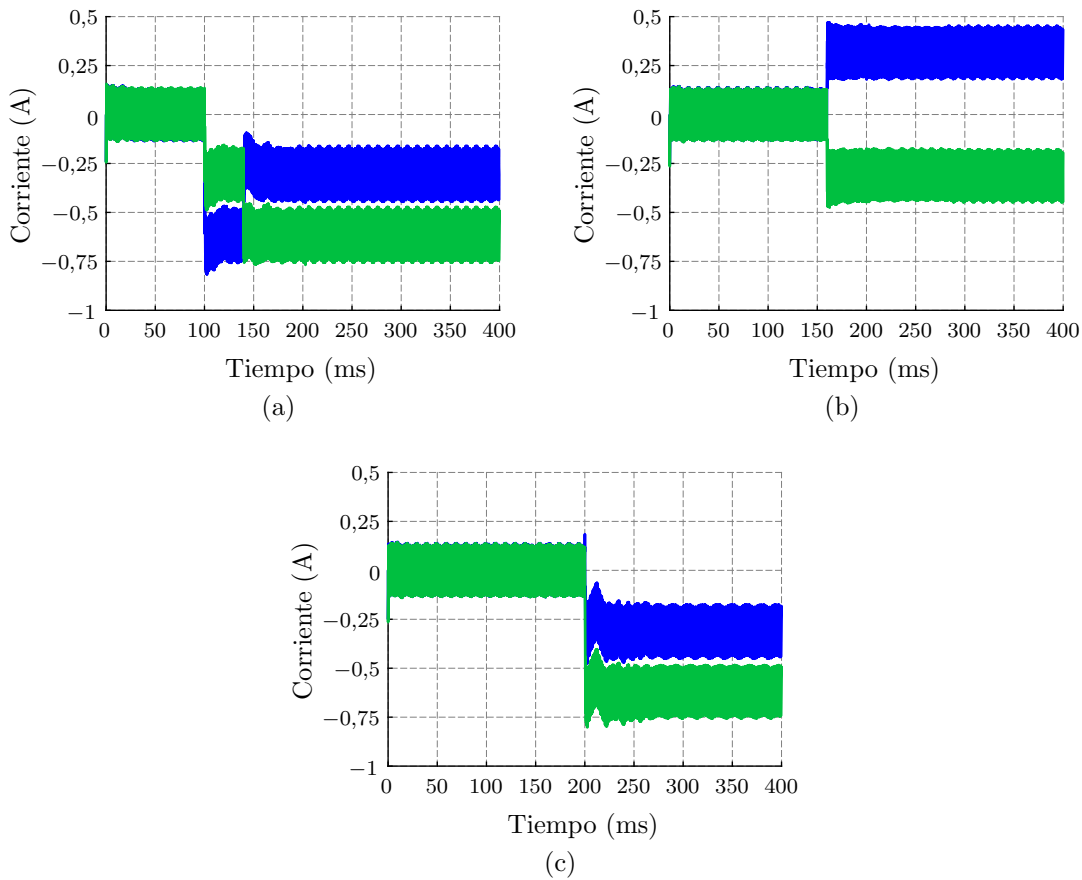


Figura 4.10: Corrientes en los inductores I_{L1} (—) y I_{L3} (—) para distintos subsistemas: (a) Subsistema 1, (b) Subsistema 2, y (c) Subsistema 3.

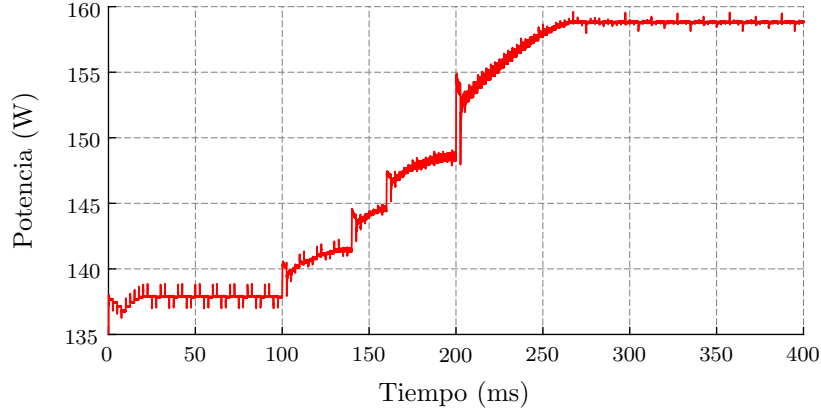


Figura 4.11: Potencia suministrada en los terminales de salida de la conexión serie de 72 celdas FV. La máxima potencia alcanzada es $\approx 158,8$ W.

Tabla 4.1: Pérdida de potencia extraída en cada subsistema FV.

Subsistema	P_{loss}	Subsistema	P_{loss}	Subsistema	P_{loss}
1	0,5 %	2	0,02 %	3	0,026 %
4	0,035 %	5	0,02 %	6	0,029 %
7	0,036 %	8	0,019 %	9	0,028 %
10	0,037 %	11	0,02 %	12	0,029 %
13	0,04 %	14	0,023 %	15	0,045 %
16	0,028 %	17	0,037 %	18	0,02 %
19	0,028 %	20	0,038 %	21	0,027 %
22	0,044 %	23	0,027 %	24	0,47 %

el sistema en distintos instantes, se aprecia que el controlador alcanza un punto de operación estable para $t > 300$ ms. A pesar que el convertidor elevador se muestra en la Fig. 4.5 no fue utilizado durante las simulaciones, sólo para reducir la carga computacional del simulador. En cambio, la corriente de salida es directamente la corriente de referencia que se obtiene de (4.62). El requerimiento de ancho de banda para el convertidor elevador de salida es similar al de los CE Ćuk externos, por lo tanto no supone una dificultad en el diseño del sistema completo.

La pérdida de potencia extraída en estado estacionario para cada subsistema, una vez aplicadas las perturbaciones, se observa en la Tabla 4.1. El cálculo se realiza comparando la potencia media en los terminales de cada celda con la potencia máxima de cc disponible para la radiación actual. La eficiencia de extracción es superior en las celdas intermedias de la ACE, debido a la reducción en el rizado en sus terminales.

Los convertidores se conmutan para que el rizado proveniente de dos convertidores adyacentes tengan fase opuesta y tiendan a cancelarse. En cambio, las celdas ubicadas en los extremos del arreglo serie sólo reciben el aporte de un único convertidor. La pérdida de potencia observada aquí es principalmente debido al error del algoritmo de seguimiento del PMP.

En estado estacionario el sistema presenta una oscilación natural, debido a la naturaleza del controlador. La decisión de control basada en una función signo implica que sólo una entrada nula puede generar una salida nula, y por consiguiente no modifica las acciones de control. Para que tal situación se presente, las señales dP/dV de cada celda deben alcanzar un valor nulo simultáneamente, algo claramente improbable. En una implementación real, el ruido eléctrico presente en las mediciones agregará incertidumbre en el cálculo de las derivadas. Por lo tanto, no sólo existirá un comportamiento oscilatorio en estado estacionario sino que no será determinístico.

4.7. Comparación con otras Estrategias

En [52] se reporta una estrategia que propone un controlador distribuido para manejar un número arbitrario de celdas, conectadas mediante una ACE implementada con convertidores *buck-boost*. Los autores utilizan una técnica de intercambio de información entre convertidores vecinos para llevar el conjunto de elementos FV a un nuevo punto de operación donde se maximiza la tensión.

El convertidor central es necesario para alcanzar la operación en el PMP para cada submódulo y funciona en forma independiente, lo cual implica que el conjunto de convertidores diferenciales debe converger entre las actualizaciones del controlador central. Los parámetros del algoritmo independiente de SPMP del controlador central definen la dinámica global del sistema.

Una diferencia clave comparada con la propuesta de esta Tesis es que en un sistema con N elementos FV a controlar, la estrategia en [52] perturba uno a uno los N ciclos de trabajo y registra las variaciones originadas en cada elemento. Luego, se

decide la actualización de los ciclos de trabajo y se repite la operación anterior. Entonces, en esa estrategia se pueden identificar tres frecuencias diferentes: la actualización del convertidor central ($f_{central}$), la frecuencia de un ciclo completo de N perturbaciones (f_{DN}), y la frecuencia de actualización de un ciclo de trabajo (f_D). Considerando además que todos los convertidores conmutan a la misma frecuencia (f_s) resulta que $f_{central} < f_{DN} < f_D < f_s$. La estrategia propuesta en esta Tesis sólo posee dos frecuencias de actualización: la actualización de los convertidores internos (f_m) y la correspondiente al controlador PID externo (f_{PID}); con $f_{PID} < f_m < f_s$. Suponiendo que puede plantearse la siguiente equivalencia $f_{central} = f_{PID}$ y $f_{DN} = f_m$, resulta que la estrategia en [52] requiere incrementar la frecuencia de conmutación para la misma velocidad de convergencia global. Al igual que en esta Tesis, la extensión a múltiples elementos FV se analiza únicamente mediante simulaciones. Los resultados de estas simulaciones sólo presentan las señales de los ciclos de trabajo sin detallar la máxima potencia alcanzada en cada elemento FV para un valor fijo de corriente en el controlador central.

La estrategia de [81] propone utilizar las diferencias de tensión (Δv) entre elementos FV adyacentes como objetivo de control. De esta forma, los autores eliminan una variable a controlar, asumiendo que el convertidor central opera más lento y por lo tanto la tensión de salida se mantiene constante durante la operación del algoritmo. Similar a la estrategia en [52], no hay acción de control sobre el convertidor central que posee su propio algoritmo de SPMP. En cada ciclo del algoritmo para la ACE de N elementos FV, el controlador estima las $N - 1$ referencias para los distintos Δv , en función de la perturbación anterior y sus resultados. Luego, un conjunto de integradores se utilizan para comandar los ciclos de trabajo de cada CE y alcanzar las referencias calculadas para cada Δv . Aplicando el análisis de frecuencias de operación se aprecia, en este caso: actualización del convertidor central ($f_{central}$), actualización del SPMP para Δv (f_{Δ}), y frecuencia de los integradores (f_I). Para que el algoritmo se desempeñe correctamente debe cumplirse $f_{central} < f_{\Delta} < f_I < f_s$. Planteando una equivalencia similar a la utilizada con el algoritmo de [52], resulta que nuevamente la

estrategia propuesta en esta Tesis relaja la selección de la frecuencia de conmutación.

Capítulo 5

Validación de la Estrategia de Control

Este capítulo presenta las mediciones experimentales necesarias para comprobar el desempeño de la estrategia de control desarrollada en el Capítulo 4, sobre la estructura básica de la ACE. Dicha estructura consiste en tres paneles solares conectados en serie y dos convertidores $\dot{C}uk$ conectados en paralelo para procesar la diferencia de potencia generada por los paneles. Esta estructura es el bloque básico de construcción que permite escalar en potencia conectando bloques en serie. El objetivo es verificar la operación en el PMP de cada elemento FV y por lo tanto maximiza la potencia extraída del bloque.

La estrategia de control se presentó en el Capítulo 4 dividida en dos partes: la primera implica el SPMP de cada bloque básico, mientras que la segunda parte es una extensión del control para varios bloques conectados en serie. El controlador que permite extender la estrategia para mayor número de bloques está basado en un PID, cuyo diseño y desempeño ha sido extensamente estudiado en la literatura de control de convertidores conmutados [94]. La extensión a 72 celdas solares (24 bloques) ha sido validada únicamente mediante simulaciones debido a la limitación de espacio y recursos necesarios para alojar toda la estructura.

Las mediciones presentadas en este capítulo se realizaron en el laboratorio, emulan-

do el efecto de la radiación solar mediante el uso de fuentes de corrientes siguiendo la misma técnica explicada en el Capítulo 3. Contar con un esquema de radiación constante y ajustable es prácticamente obligatorio para caracterizar el funcionamiento de un algoritmo de SPMP. Principalmente porque de esta manera es posible repetir los ensayos, y determinar el punto de operación en equilibrio para luego compararlo con el punto de operación alcanzado por el controlador.

Para estos ensayos se utilizaron módulos FV Solartec KS40TA [95] conformados por 32 celdas en serie y capaces de entregar hasta 40 W, con una corriente de cortocircuito máxima de 2,82 A. El circuito de las fuentes de corriente es el mismo que el utilizado en el Capítulo 3 cambiando los transistores por unos de mayor potencia y eligiendo una resistencia de menor valor. Para lograr extraer el 99 % de la potencia disponible en cada elemento FV se diseñó el filtro pasivo siguiendo la metodología detallada al final del Capítulo 3.

La Sección 5.1 discute las partes necesarias para construir una ACE conformada por 3 módulos FV y 2 convertidores cc–cc, destacando las capacidades de la plataforma donde se implementará el algoritmo de SPMP. La ACE se construye a partir de convertidores *Ćuk*, pues la estrategia de control se desarrolló para esta topología. En la Sección 5.2 se describe la implementación discreta de la ley de control en forma independiente de la plataforma de control.

Más adelante, la Sección 5.3 presenta el circuito diseñado para realizar las mediciones requeridas y luego se describen brevemente las distintas partes que lo componen. Con el circuito diseñado, se realizó una simulación teniendo en cuenta las no idealidades agregadas por el sistema real. En los resultados de la Sección 5.4 se aprecia que las señales de tensión y corriente en los elementos FV difieren de las obtenidas en la simulación ideal en el Capítulo 4. A pesar de los errores introducidos por los efectos parásitos el controlador cumple con el objetivo de alcanzar los PMP individuales de cada módulo FV.

Finalmente, la Sección 5.5 presenta los experimentos realizados sobre el circuito diseñado. Primero se caracterizan en cc los elementos FV emulando distintas ilumina-

ciones y luego se determina la máxima potencia disponible en cada uno. Con el mismo esquema de radiación se ensaya el controlador para comprobar que permite incrementar la potencia de salida comparado con el esquema que solamente incluye diodos de derivación. El siguiente ensayo implica modificar mediante un escalón la radiación que recibe uno de los módulos FV y registrar la reacción del controlador. Por último, se compara la potencia extraída utilizando sólo diodos de derivación y utilizando el controlador, variando la radiación de uno de los módulos. Cuando se habla de radiación, siempre se refiere al punto de polarización impuesto por la fuente de corriente del emulador correspondiente.

5.1. Implementación de una ACE

El diagrama de la Fig. 5.1 muestra las distintas partes de una ACE: los módulos FV más los convertidores cc–cc, el conjunto de sensores de corriente y tensión, el controlador, y la carga. Como se explicó anteriormente el efecto de la radiación solar durante los ensayos realizados es emulado mediante fuentes de corriente, que no se muestran en el diagrama. La topología \dot{C} uk se utiliza para los convertidores cc–cc. La carga del sistema debería ser un convertidor elevador (u otro convertidor con corriente de entrada continua), pero para simplificar la tarea de diseño del prototipo y enfocar

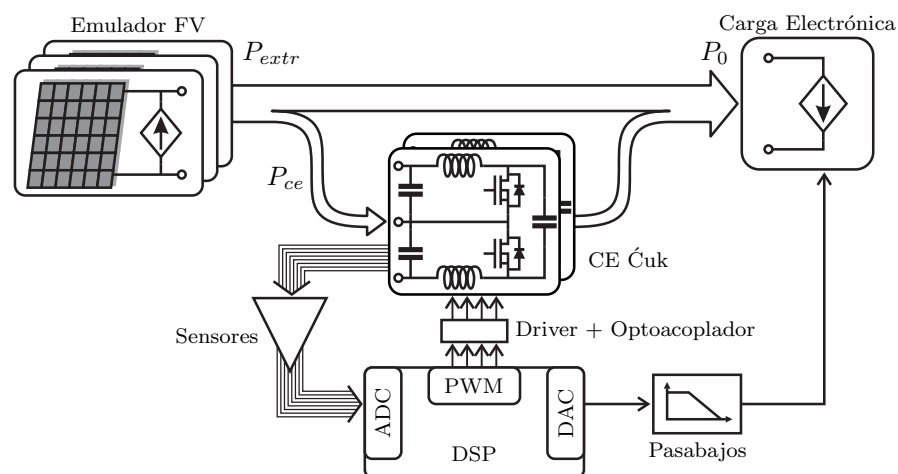


Figura 5.1: Diagrama de bloques para la ACE implementada con tres módulos FV y dos convertidores sincrónicos de topología \dot{C} uk.

los ensayos en el algoritmo de SPMP se utilizó una carga activa en modo corriente, cuyo valor nominal puede ajustarse a través de una entrada externa aislada.

Se analizará a continuación la versión discreta en tiempo del controlador (4.51). El microcontrolador elegido debe poseer suficientes recursos para poder realizar todas las operaciones que requiere el controlador en un intervalo de tiempo determinado por el ancho de banda requerido. Para el control de dispositivos FV es suficiente un ancho de banda relativamente bajo porque las perturbaciones en un sistema FV real son de naturaleza lenta, por ejemplo el desplazamiento de una sombra a lo largo de un día.

El procesador elegido para ejecutar el algoritmo de control es el DSP TMS320F28335 de Texas Instruments [96]. Este procesador puede operar a una frecuencia máxima de reloj de 150 MHz y se encuentra montado sobre una placa de desarrollo eZdspF28335 [97], listo para programar y utilizar. En particular, posee varios periféricos especiales para la implementación de controladores para convertidores de potencia conmutados:

- ePWM (6 canales A/B), para implementar las señales PWM necesarias para comandar los transistores MOSFET.
- Conversor Analógico–Digital (12 bit y 16 canales), para capturar las señales requeridas por el algoritmo de control a una velocidad de muestreo máxima de 12,5 Mpuntos/s.
- HRPWM (6 salidas), permite generar un PWM de alta resolución que resulta conveniente para transformar una señal digital en analógica.

Este DSP cuenta con una unidad de punto flotante que simplifica la implementación del algoritmo de control. Además, posee memoria de tipo RAM (*Random Access Memory*) donde se pueden almacenar datos y programa para disminuir el tiempo de ejecución de la rutina de control. En resumen, este procesador cuenta con la flexibilidad necesaria para implementar diversos esquemas de control. Los detalles de cada periférico del DSP se pueden encontrar en los manuales correspondientes. En esta etapa no se optimizó el consumo de potencia ni el costo del procesador, la prioridad es que el algoritmo de control se ejecute correctamente para evaluar su desempeño.

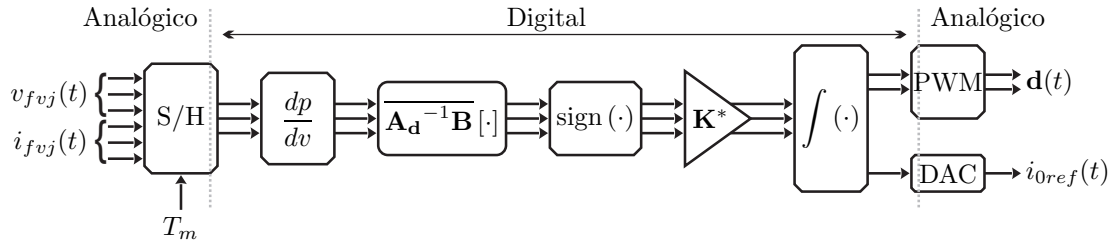


Figura 5.2: Diagrama del algoritmo de control implementado, donde $\mathbf{K}^* = [\beta_1, \beta_2, \beta_3]^T$. La operación $\overline{\mathbf{A}_d^{-1}\mathbf{B}}$ está detallada en el Capítulo 4.

5.2. Algoritmo de Control

El algoritmo de control (4.51) puede describirse en diagramas de bloque junto con el resto del sistema, como en la Fig. 5.2. Esta notación se asemeja a la utilizada en MATLAB[®] SIMULINK[®], y permite visualizar los bloques de funciones que deben programarse en el DSP y los puntos donde ocurren las transiciones entre señales de tiempo continuo y discreto.

El primer bloque representa el proceso de muestreo realizado por el ADC, convirtiendo las señales de tiempo continuo a tiempo discreto. Una vez transformadas, las señales de tensión y corriente discretas en el instante actual, se utilizan para estimar la derivada de la potencia en función de la tensión. Luego, el vector de derivadas se multiplica en forma matricial con $\overline{\mathbf{A}_d^{-1}\mathbf{B}}$, y de estos resultados se extrae el signo. La operación matricial está detallada en el Capítulo 4, e implica una matriz de 5×5 de la cual se utilizan sólo tres filas. El integrador recibe siempre la misma constante β_j multiplicada por el signo del resultado anterior. Las acciones de control (ciclos de trabajo y corriente de referencia) son el resultado directo de los integradores. El integrador discreto se calcula mediante el método de Euler hacia atrás, que es más estable en comparación con el método de Euler hacia adelante.

Como se demostró en las simulaciones del capítulo anterior, el algoritmo de control propuesto es capaz de rastrear el PMP sin información sobre los elementos FV conectados. La estrategia propuesta pertenece al grupo de controladores por deslizamiento, que permiten aproximar el sistema en forma continua hacia una referencia, o condición de equilibrio en este caso, donde las derivadas de potencia respecto de la

tensión se anulan. La presencia del signo en el lazo de control resulta en una ganancia infinita en el cruce por cero, provocando que el algoritmo sea inestable en un entorno del PMP. Sin embargo, dado que esta inestabilidad está acotada el sistema es capaz de extraer el 99% de la potencia disponible. A diferencia de un algoritmo de perturbación y observación, en cada iteración el controlador acerca el punto de operación al PMP global. Esta característica resulta en un sistema de convergencia más rápida comparada a un controlador basado en perturbaciones (especialmente cuando el número de elementos FV es elevado); o en su defecto en un controlador de igual velocidad pero con un muestreo más lento.

El bloque de derivada incluido en el algoritmo difiere de la expresión utilizada para las simulaciones del Capítulo 4. En primer lugar, la expresión utilizada para la derivada se aplica sólo al caso de un elemento FV ideal, modelado mediante una fuente de corriente fotoeléctrica y un diodo. El modelo para un elemento FV es en realidad más complejo, como se mostró en el Capítulo 3. En segundo lugar, la estimación de la derivada utilizada en el Capítulo 4 requiere conocer algunos parámetros de los elementos FV, resultando necesario un ajuste para compensar la incertidumbre en los parámetros. Por estos motivos, el algoritmo en el prototipo se implementó mediante un estimador discreto.

La aproximación más simple para un derivador discreto se conoce como diferencia hacia atrás [98] y puede expresarse como

$$y[k] = x[k] - x[k - 1], \quad (5.1)$$

donde k es la muestra en el instante de tiempo kT_m , $y[k]$ es la derivada y $x[k]$ es la señal. La expresión (5.1) es una estimación de una derivada temporal, pero el algoritmo de control en la Fig. 5.2 necesita estimar el gradiente dp/dv_C . Esta última expresión puede expandirse a

$$\frac{dp}{dv_C} = \frac{dp}{dt} \frac{dt}{dv_C} = \frac{dp}{dt} \left(\frac{dv_C}{dt} \right)^{-1},$$

y estimando las derivadas temporales con (5.1) resulta una expresión para estimar el

gradiente de la potencia

$$\frac{dp}{dv_C}[k] = \frac{p[k] - p[k-1]}{v_C[k] - v_C[k-1]}. \quad (5.2)$$

Como se expone en [98], el cálculo de la derivada hacia atrás amplifica las componentes de alta frecuencia de la señal y puede ocasionar errores en la estimación por el agregado de ruido. Para mitigar esos problemas, existe otro estimador de la derivada conocido como derivador central [98]. La expresión para el derivador central es

$$y[k] = x[k] - x[k-2]. \quad (5.3)$$

A diferencia de (5.1), el derivador central requiere tres muestras de la entrada para calcular un resultado correcto. Cuando se visualiza el espectro en frecuencia de los estimadores (5.1) y (5.3) se aprecia que sólo aproximan la derivada hasta una frecuencia de $0.1f_m$. El algoritmo de control propuesto sólo necesita el comportamiento de baja frecuencia del gradiente de potencia, y por lo tanto la limitación en frecuencia no ocasiona problemas en el desempeño, aunque sí puede resultar en una disminución en el ancho de banda efectivo del controlador. Calcular una derivada a partir de mediciones tiene sus limitaciones, debido a que el resultado es sensible al ruido de medición. En cambio, un estimador basado en un modelo del sistema como el utilizado en el Capítulo 4 es menos sensible al ruido de medición.

5.3. Diseño del Prototipo

Como se presentó en la Fig. 5.1, dos convertidores $\dot{C}uk$ son necesarios para implementar la ACE de tres elementos FV. El prototipo además tiene que incluir los circuitos necesarios para medir las señales de cada módulo FV. También deben agregarse las fuentes de corriente requeridas para emular la radiación controladas en forma independiente. Los convertidores tienen condiciones de borde idénticas (corrientes y tensiones máximas) y por lo tanto se construyen basados en un mismo diseño. La adaptación de señales necesaria para conectarse al DSP es parte de los circuitos de medición. El cir-

cuito completo de la ACE se divide en tres partes: los convertidores más la fuentes de corriente más los módulos, los circuitos de medición y adaptación de señales, y la placa de desarrollo del DSP. Los detalles de las dos primeras partes diseñadas se discuten a continuación.

5.3.1. Convertidores Ćuk y Fuentes de Corriente

Las fuentes de corriente copian el esquema presentado en la Fig. 3.3, cambiando la resistencia R_E por una de 1Ω y el transistor *pnp* por un TIP127 de mayor potencia. Al agregar el transistor Darlington, la impedancia de salida disminuye un poco; sin embargo, las celdas solares también son más grandes resultando en un incremento de la capacidad parásita comparada con los módulos FV de baja potencia. La frecuencia de corte será más baja y en comparación la impedancia de la fuente de corriente seguirá siendo mayor. Además, la forma de onda del rizado no es de interés en este capítulo pues se intenta corroborar el desempeño del algoritmo de SPMP.

La tensión de circuito abierto de los paneles alcanza los 20 V, y la corriente de cortocircuito es aproximadamente 3 A. Los transistores usados en el convertidor Ćuk son FDD390N15A de Fairchild y soportan hasta 150 V y 26 A; son los mismos que se utilizaron para los convertidores del Capítulo 3. El circuito de comando elegido es nuevamente el LM5101A de Texas Instruments. El filtro pasivo en cada puerto está compuesto por un inductor de $68 \mu\text{H}$ y una capacidad total de $6 \mu\text{F}$ ($6 \times 1 \mu\text{F}$ B32529C0105), mientras que el capacitor de transferencia es de sólo $1 \mu\text{F}$. La elección del filtro pasivo se realizó siguiendo los lineamientos establecidos en el Capítulo 3. Con el valor de inductancia y la capacidad de transferencia elegidos, la capacidad mínima es aproximadamente $1 \mu\text{F}$. Sin embargo, se optó por una capacidad más grande para reducir aún más el efecto del rizado y que la pérdida de potencia en la extracción sea sólo una consecuencia del control.

En el esquemático simplificado de la Fig. 5.3 se aprecia que los circuitos de comando poseen referencias distintas (tierras separadas). Esta situación hace que resulte imposible conectar el DSP directamente a las entradas del circuito de comando, siendo

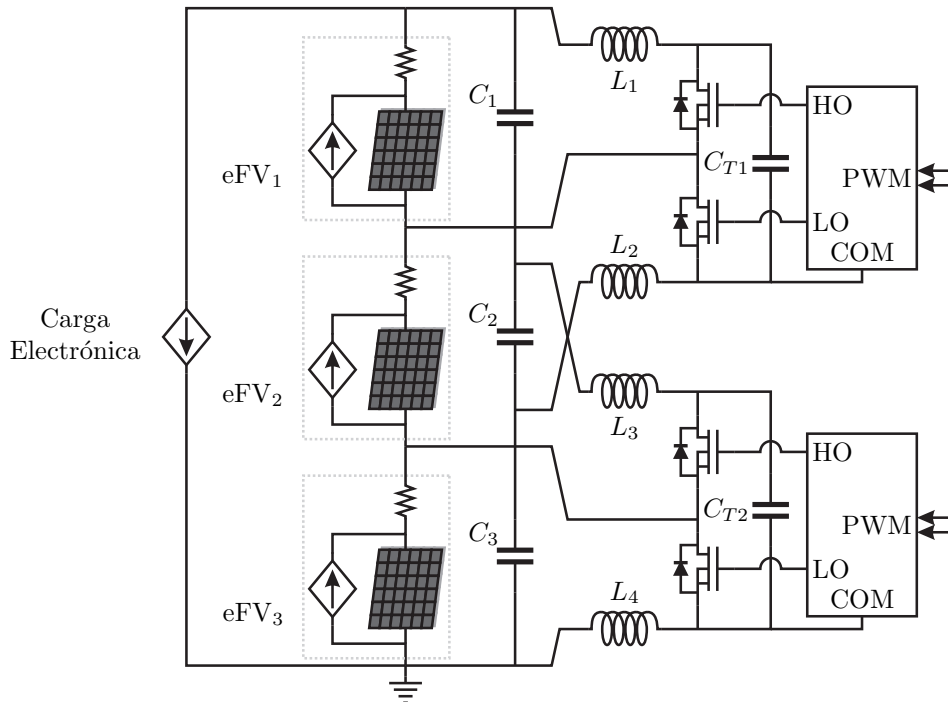


Figura 5.3: Esquemático simplificado de la ACE para tres emuladores FV (eFV).

necesario un circuito auxiliar para trasladar las señales. La solución adoptada agrega dos compuertas lógicas optoacopladas HCPL-2231 en el camino de las señales de PWM que provienen del DSP. La alimentación del optoacoplador y del circuito de comando se obtiene a partir del capacitor de transferencia de cada convertidor mediante un simple regulador lineal (diodo zener de 12 V, más resistencia de limitación, más transistor *npn*).

La placa diseñada que contiene los dos convertidores completos y las tres fuentes de corriente se observa en la Fig. 5.4. Al diagramar la placa se prepararon pines para conectar los circuitos de medición requeridos. Los componentes pasivos de cada convertidor se destacan en la imagen, y no se observan los disipadores colocados en los transistores de las fuentes de corriente.

5.3.2. Medición y Adaptación de Señales

El ADC (*Analog to Digital Converter*, en inglés) soporta señales de entrada en el rango 0 V a 3 V, mientras que la salida es un número digital de 0 a 4095. El algoritmo de control requiere información de las tensiones y corrientes de cada módulo FV, por lo

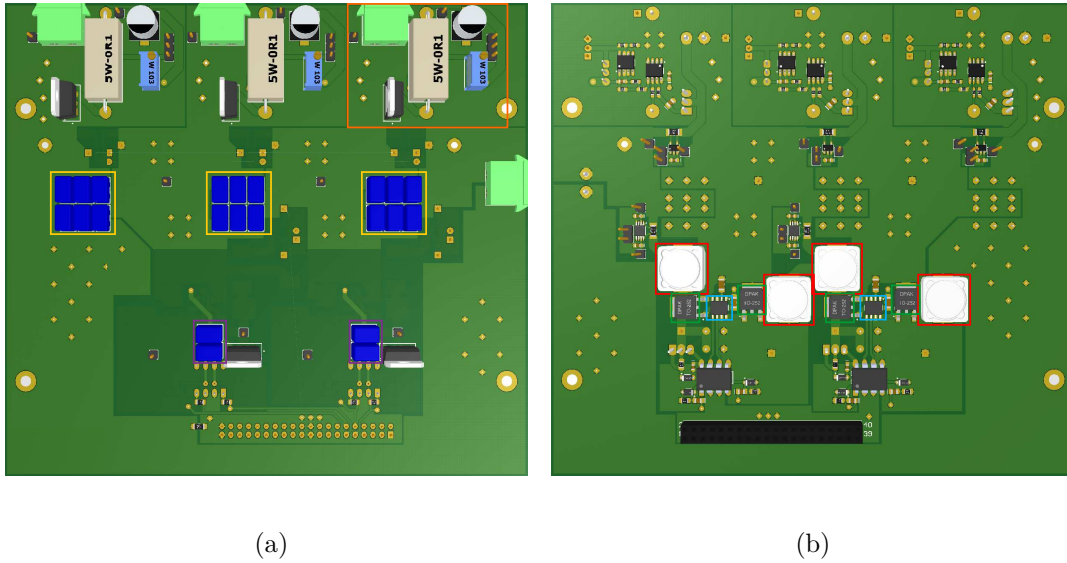


Figura 5.4: Prototipo de la ACE diseñada, conformado por dos convertidores \acute{C} uk más tres fuentes de corriente: C (□), L (□), C_T (□), FDD390N15A (□), *driver* (□), fuente de corriente (□). (a) Vista superior. (b) Vista inferior.

cual se utilizan 6 canales del ADC. Los niveles de señal de los sensores deben ajustarse al rango limitado de entrada del ADC para no ocasionar daños irreparables al DSP.

El circuito para medir la tensión de cada elemento FV se observa en la Fig. 5.5. La tensión de un módulo FV operando en el entorno del PMP es aproximadamente de 15 V, y con tres módulos en serie la tensión de salida alcanza los 45 V. El divisor resistivo permite reducir en forma directa el rango de tensión a un máximo inferior a 3 V que puede conectarse sin problemas al ADC. Debido a que los elementos FV están conectados en serie sólo el divisor del panel inferior mide directamente la tensión de uno de ellos, mientras que los otros miden la suma de las tensiones de dos y tres elementos. El divisor resistivo elegido tiene una ganancia de 0,125; es decir, convierte una tensión de 15 V a 1,875 V. Entonces si todos los módulos generan 15 V, el divisor superior mide 45 V y entrega 5,625 V. Mientras que en ese caso el divisor intermedio resultaría en 3,75 V respecto de tierra. Los amplificadores operacionales con ganancia unitaria (*buffer*) permiten copiar las tensiones entregadas por los divisores resistivos sin modificar sus ganancias. La tensión de los módulos FV flotantes (no conectados a tierra) se obtiene restando las salidas de dos *buffers*. El amplificador operacional elegido es el LMC6484 de Texas Instruments con capacidad de excursionar hasta las

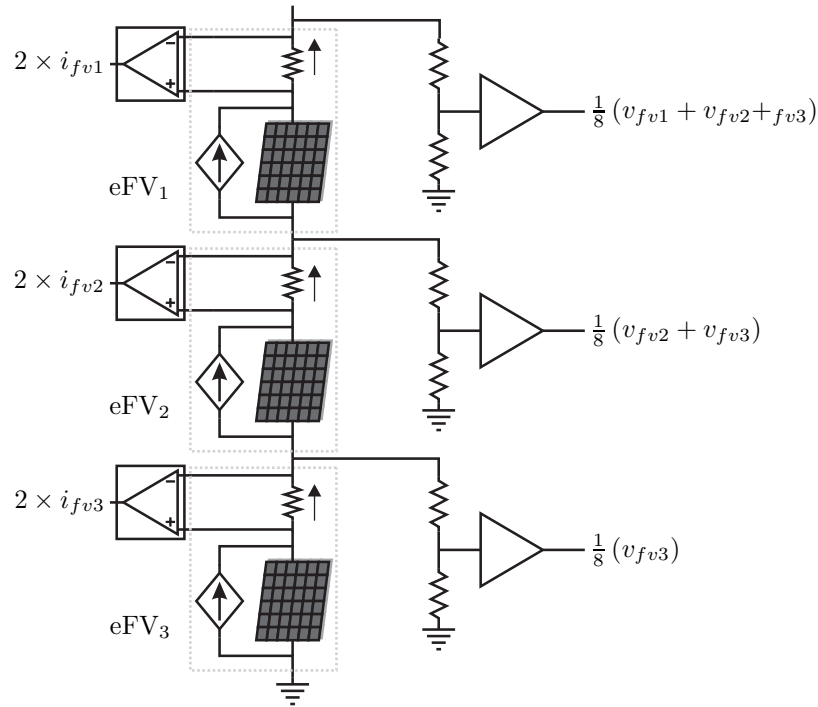


Figura 5.5: Circuitos para medir la tensión y la corriente de cada emulador FV (eFV).

alimentaciones tanto a la entrada como a la salida.

La medición de la corriente que suministra cada módulo FV es más simple gracias a la inclusión del INA196 de Texas Instruments. Este circuito integrado es un monitor de corriente capaz de operar hasta una tensión de modo común máxima de 76 V, con una relación de conversión de 20 V/v. La resistencia de medición conectada en serie con cada panel es de 100 mΩ con 1 % de tolerancia. Para una corriente máxima de 2,5 A el INA196 entrega 5 V, que mediante un divisor resistivo y un *buffer* se reducen a 2,5 V. Entonces, la ganancia de conversión de la corriente del elemento FV a la tensión en la entrada del ADC es unitaria. El integrado que convierte la corriente en tensión y la resistencia de medición requerida se ubican en la placa de las fuentes de corriente y no en la placa de medición, a fin de reducir el camino de la corriente proporcionada por cada módulo FV.

Los detalles sobre la conversión de señales de tiempo continuo a discreto pueden encontrarse en cualquier libro de procesamiento de señales, por ejemplo [99]. Para que la señal discreta sea una representación fiable de la señal continua se deben cumplir algunas condiciones básicas: la señal de entrada debe ser de banda limitada, y la fre-

cuencia de muestreo debe ser mayor que el doble de la máxima componente frecuencial de la señal. En este caso las señales contienen componentes frecuenciales que no son de interés para la estrategia de control. Para eliminarlas se coloca un filtro pasabajos de primer orden antes del módulo ADC y se ajusta aproximadamente a 200 Hz, por lo tanto la frecuencia de muestreo debe ser algo superior a 400 Hz. En la implementación la frecuencia de actualización del algoritmo se ajustó a 1 kHz.

El módulo ADC cuenta con una protección contra tensiones superiores a 3,6 V; sin embargo, estas protecciones soportan una corriente máxima de sólo 2 mA. Los operacionales utilizados tienen una corriente máxima de salida de 40 mA, por lo tanto se necesita una protección adicional. Con un regulador de tensión ajustable, más un transistor *pnp* y algunos diodos se construye una protección capaz de drenar la corriente de todos los operacionales conectados en forma simultánea.

El prototipo diseñado se aprecia en la Fig. 5.6 donde se destacan las distintas partes que lo componen. Las cuentas que se obtienen del módulo ADC se convierten a una señal digital que representa tensión/corriente utilizando las ganancias de la cadena de medición: sensores más ADC. Antes de implementar el controlador se realizó la calibración de cada cadena de conversión. La señal inyectada de cc se midió con un multímetro

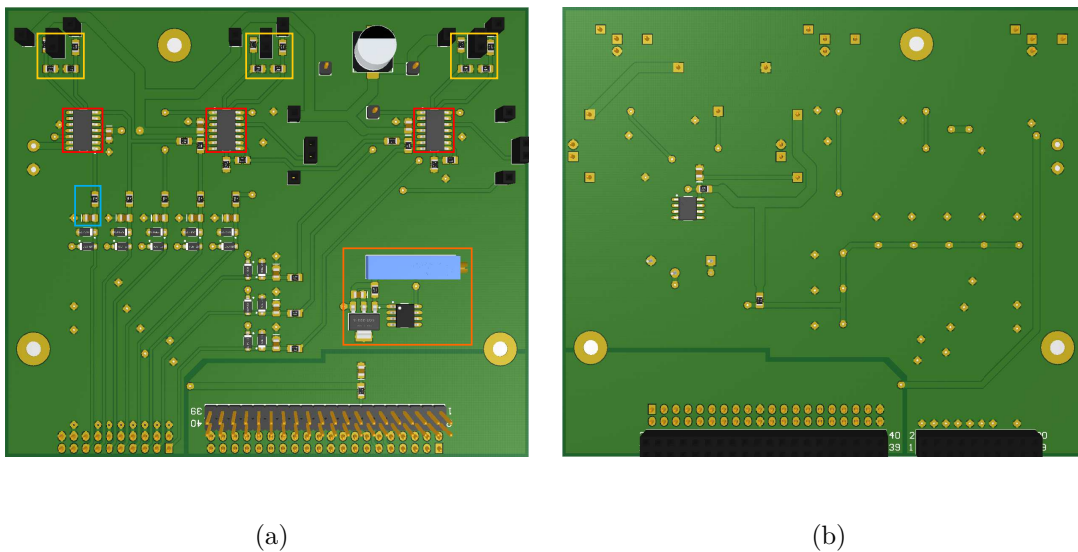


Figura 5.6: Prototipo para la medición y el ajuste de las señales de tensión y corriente de cada módulo FV: divisores resistivos (□), amplificadores operacionales LMC6484 (□), filtro pasabajos (□), protección de tensión (□). (a) Vista superior. (b) Vista inferior.

digital, al mismo tiempo que se registraba el resultado de la conversión. La relación de transformación del ADC es prácticamente lineal en la región de interés, aunque se observó una ligera diferencia en la ganancia y el desplazamiento del cero para las distintas curvas (menor al 0,1 %). Estos efectos fueron compensados individualmente en el programa cargado en el DSP.

5.4. Simulación con Parámetros Reales

El modelo de simulación presentado aquí incluye los efectos ocasionados por el proceso de convertir señales analógicas a digitales y el impacto de una resolución finita en las acciones de control. El proceso de conversión agrega ruido en el resultado del ADC, que se modela como un ruido aleatorio de ± 4 cuentas, y además los resultados tienen una resolución finita determinada; es decir las entradas están cuantizadas con 12 bits para el rango 0 V a 3 V. Las acciones de control, ciclos de trabajo y corriente de referencia, también están cuantizadas en forma uniforme con diferentes pasos de cuantización. Los ciclos de trabajo poseen un paso de cuantización de $1500^{-1} \approx 666,67 \times 10^{-6}$ que equivale a una resolución de unos 10,55 bits. En cambio, la corriente de referencia se obtiene de un DAC (implementado mediante un PWM y un filtro pasabajos de primer orden) cuya salida se conecta a la entrada de programación externa de la carga activa. El DAC tiene un paso de cuantización de $3,3 \times 6600^{-1} \approx 500 \times 10^{-6}$, y con la ganancia de la carga activa resulta un paso de cuantización de $300 \mu\text{A}$ en la corriente de referencia (equivalente a una resolución de aproximadamente 12,69 bits). Los tres módulos FV incluidos en esta simulación reciben distintos niveles de radiación.

A pesar de estas no idealidades, el controlador debe ser capaz de llevar el sistema al PMP global. A continuación se muestran los resultados de una simulación de una ACE para un esquema de radiación fijo. La curva característica I-V de cada módulo se obtuvo midiendo la salida de los emuladores FV del prototipo construido. La simulación arranca con el sistema apagado, luego se irradian los módulos FV pero se mantienen los convertidores apagados lo que provoca que se encienda uno de los diodos de derivación.

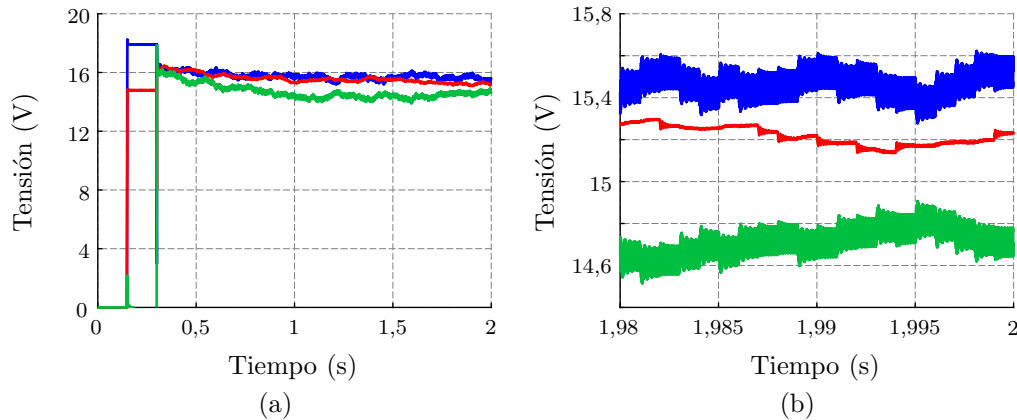


Figura 5.7: Tensión en los terminales de cada módulo FV: v_{fv1} (—), v_{fv2} (—), v_{fv3} (—). (a) Evolución temporal. (b) Detalle de las tensiones en estado estacionario.

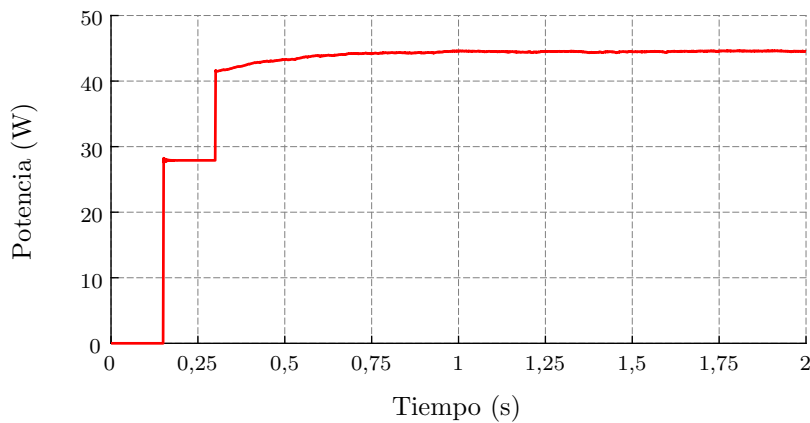


Figura 5.8: Evolución de la potencia de salida de la ACE de tres elementos, simulada con parámetros no ideales.

Finalmente, se activan los convertidores y el controlador para maximizar la potencia extraída.

Al igual que en la mayoría de los controladores, el ciclo de trabajo en estado estacionario de las señales PWM (que representan las acciones de control) en estado estacionario no es constante; en cambio tiene una variación de naturaleza aleatoria (*jitter*, en inglés) [100]. Como consecuencia del *jitter* las señales de tensión (Fig. 5.7) y corriente de cada módulo FV tienen una componente aleatoria de baja amplitud. Sin embargo, el controlador evoluciona correctamente maximizando la potencia del sistema completo, Fig. 5.8. La Fig. 5.9 muestra las características P–V de cada emulador FV. Cuando el controlador alcanza el estado estacionario, las tensiones de los emuladores oscilan alrededor del PMP.

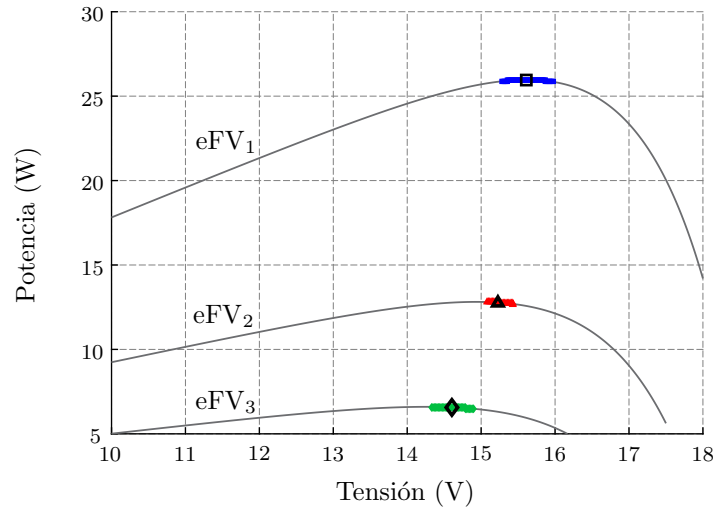


Figura 5.9: Potencia vs tensión en cada emulador FV: eFV₁ (□), eFV₂ (△), y eFV₃ (◇). Los puntos (□, △ o ◇) indican los puntos de operación media en estado estacionario para cada elemento FV.

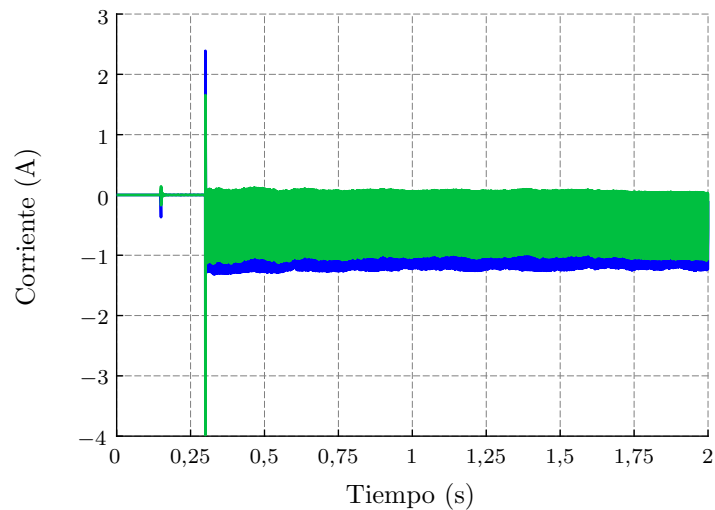


Figura 5.10: Corrientes por los inductores en estado estacionario: (a) $\hat{C}uk$ 1 y (b) $\hat{C}uk$ 2.

En la Fig. 5.10 se observan las corrientes por los inductores en estado estacionario para cada convertidor, donde la corriente media por L_1 es -668 mA y por L_3 es 520 mA. La corriente media en los inductores restantes no se muestra pero es prácticamente la misma pues los convertidores tienen eficiencia cercana la 100 %, excepto por una pequeña resistencia parásita agregada a los capacitores. El ciclo de trabajo de cada convertidor se encuentra alrededor del 50 %, porque las tensiones de operación de los elementos FV son similares.

Como era de esperar, las señales de tensión y corriente difieren de las observadas en los resultados de las simulaciones del capítulo anterior (Fig. 4.7 a Fig. 4.11). La

contaminación introducida por el ruido de medición, y la cuantización del ADC y las acciones de control reduce la eficiencia de extracción del sistema; sin embargo, el controlador logra extraer la mayor parte de la potencia disponible. La eficiencia de extracción alcanzada es 99,93 %, 99,67 % y 99,47 %, para los emuladores FV 1, 2, y 3 respectivamente. La eficiencia de extracción es alta porque el filtro pasivo a la entrada de los CE es mayor que el mínimo requerido, sumado a la efectividad del SPMP. La potencia máxima alcanzada a la salida (45,23 W) es muy cercana a la potencia disponible (45,38 W) debido a que los convertidores son ideales.

5.5. Experimentos

Para ensayar el desempeño del algoritmo de control propuesto se utilizó un arreglo de medición compuesto por los circuitos construidos, una carga activa Agilent N3305A, un osciloscopio Agilent MSO7104A, dos multímetros digitales 34401A, además de dos fuentes de tensión para alimentar las fuentes de corriente y los circuitos de medición (Fig. 5.11). Cada uno de los ensayos realizados se describen a continuación, mostrando en cada caso los resultados obtenidos.

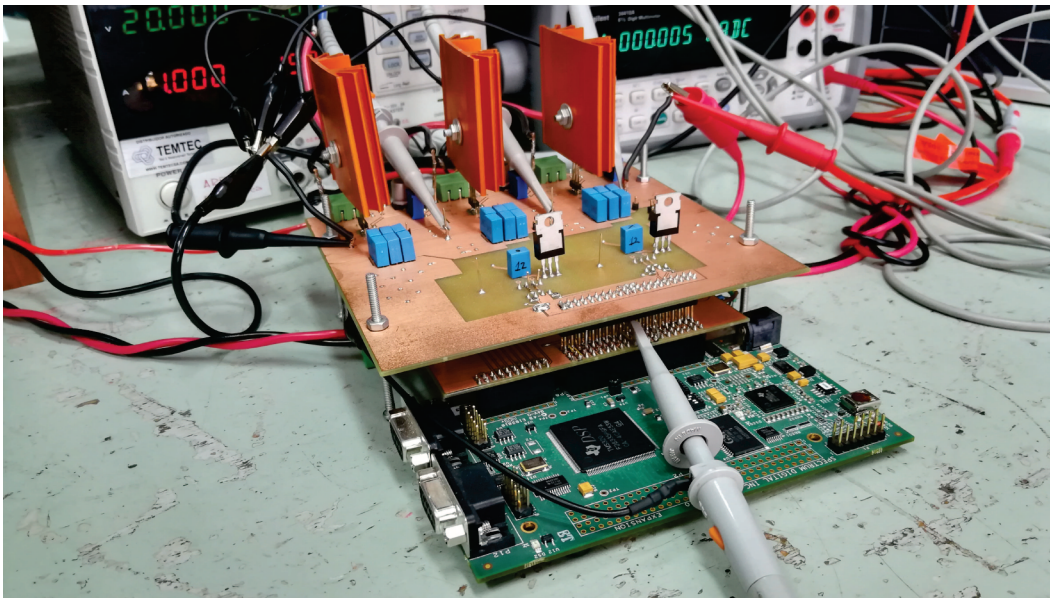
5.5.1. Ensayo de los Módulos Fotovoltaicos

El objetivo del algoritmo es deslizar el sistema hasta un punto de operación donde la potencia extraída de cada módulo sea máxima. Por lo tanto, para caracterizar el desempeño del algoritmo se debe utilizar la eficiencia de extracción, acompañada de la potencia a la salida del sistema. La eficiencia de extracción se obtiene comparando la potencia extraída con la potencia máxima disponible para el esquema de radiación adoptado. Entonces, el primer paso es determinar la potencia disponible en cada módulo FV, para un esquema de radiación constante. La Fig. 5.12 muestra las curvas P-V obtenidas experimentalmente para cada panel emulado, destacando el PMP en cada caso.

Este ensayo se realizó conectando la carga activa en los terminales de cada panel



(a)



(b)

Figura 5.11: Fotografía de los elementos utilizados durante los ensayos del controlador.
 (a) Osciloscopio, carga electrónica, fuentes, multímetros, generador, DSP y prototipo.
 (b) Montaje del prototipo con el DSP que ejecuta el algoritmo de control.

emulado y programando la tensión de la carga activa mediante un generador Agilent 33220A. El generador proporciona una señal triangular de 250 mHz para trazar la curva I-V de cada panel. La tensión se obtiene directamente midiendo con el osciloscopio en los terminales, y la corriente midiendo la salida del sensor correspondiente. Un ejemplo de la pantalla del osciloscopio durante la medición de la característica I-V (P-V) del módulo 3 se observa en la Fig. 5.13. Para obtener la corriente hay que dividir a la

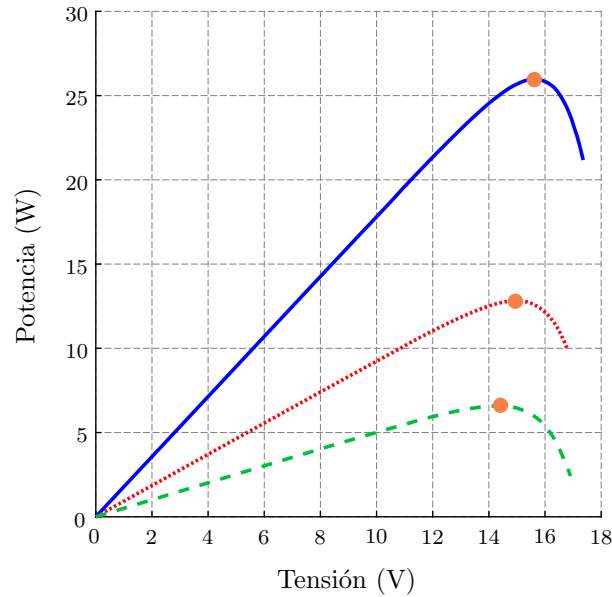


Figura 5.12: Curvas P-V para cada emulador FV: eFV₁ (1750 mA, —), eFV₂ (900 mA, ---), y eFV₃ (500 mA, - - -). Los PMP son eFV₁:25,97 W a 15,62 V, eFV₂:12,82 W a 14,94 V, y eFV₃:6,578 W a 14,4 V.

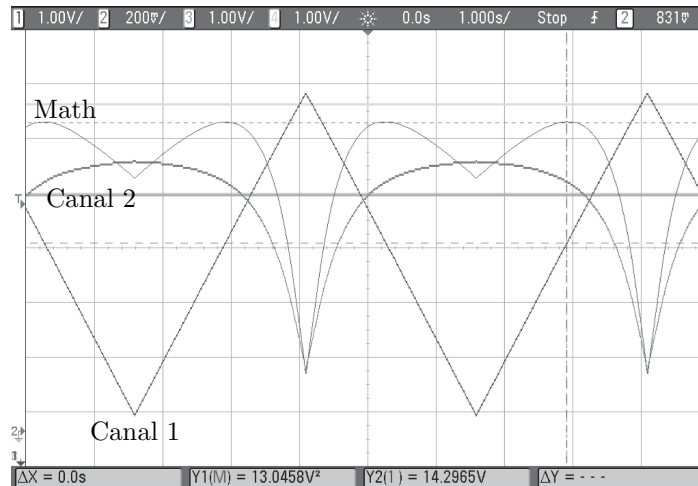


Figura 5.13: Pantalla del osciloscopio durante la medición de la característica I-V (P-V) del eFV₃: Canal 1 (v_{fv3}), Canal 2 (i_{fv3} , 500 mA/v), y Math (p_{fv3} , 500 mW/v).

mitad la tensión del Canal 2 del osciloscopio, pues la ganancia del sensor de corriente es 2 V/A. La señal del generador es de frecuencia baja para evitar que la capacidad parásita de los elementos FV afecte las mediciones.

5.5.2. Ensayo del Controlador para Radiación Constante

Este experimento tiene por objetivo comprobar que el algoritmo permite incrementar la potencia a la salida del sistema cuando la radiación incidente sobre los distintos

módulos FV no es uniforme, comparada con utilizar sólo diodos de derivación. Para relevar la tensión y la corriente media de salida se utilizan dos multímetros digitales, controlados vía USB y disparados en forma simultánea, que muestrean las señales a 200 Hz durante una ventana de tiempo de 20 s. El ensayo consiste en iniciar la recopilación de datos, luego encender las fuentes de corriente con los convertidores apagados y la corriente de la carga activa en un valor arbitrario para extraer la máxima potencia con los diodos de derivación (*II*). Unos segundos después se enciende el controlador y se observa cómo incrementa la potencia en la salida (*III*). El resultado del ensayo se muestra en la Fig. 5.14(a), donde la potencia recolectada con la ACE en estado estacionario es cercana a los 41,5 W. Sobre el final de la medición se apaga el controlador (la corriente de la carga activa permanece constante) quedando conectados sólo los diodos; entonces se aprecia que la potencia disminuye a 15 W, puesto que el nuevo punto de operación está lejos del PMP con diodos.

La potencia total disponible se calcula a partir de las curvas de las mediciones de las curvas P-V y resulta 45,37 W. Entonces, la eficiencia global del sistema es 91,46 %; sin

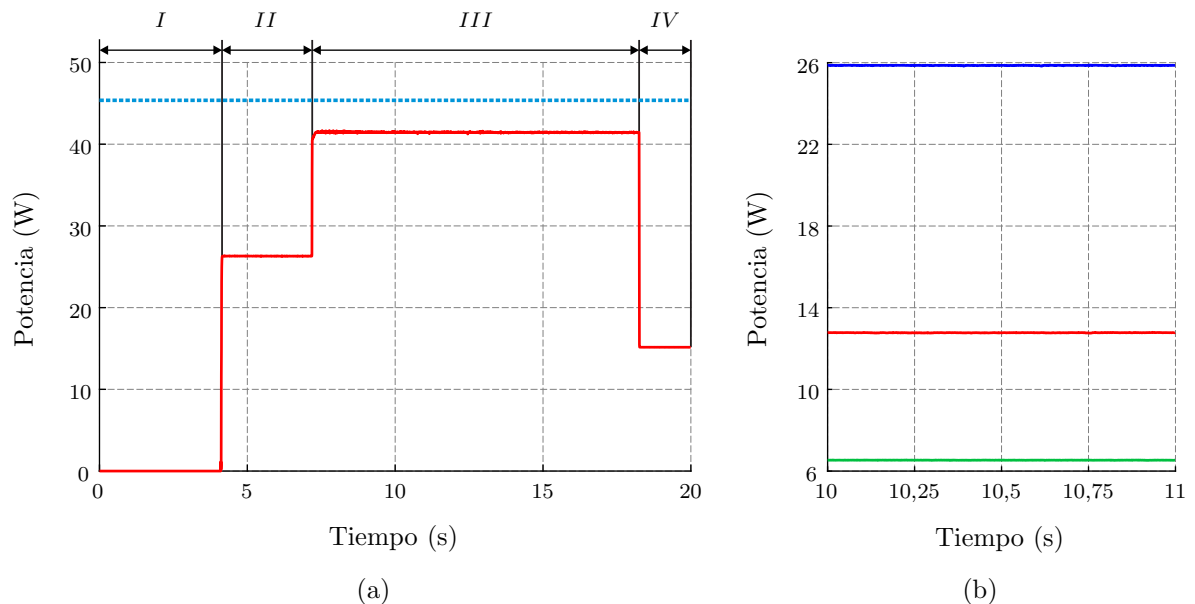


Figura 5.14: Ensayo del controlador con radiación no uniforme constante. (a) La potencia de salida máxima alcanzada es $\approx 41,5$ W con la ACE, y 26,3 W cuando opera con los diodos, de 45,37 W disponibles (---). (b) Potencia extraída (medida con el ADC): eFV₁ (—), eFV₂ (—), y eFV₃ (—).

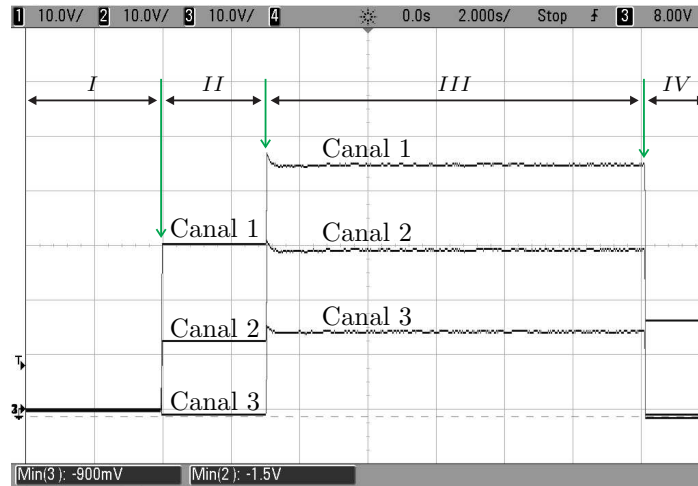


Figura 5.15: Tensión en los nodos del arreglo serie de módulos FV durante el ensayo: Canal 1 ($v_{fv1} + v_{fv2} + v_{fv3}$), Canal 2 ($v_{fv2} + v_{fv3}$) y Canal 3 (v_{fv3}).

embargo la eficiencia de extracción del algoritmo resulta 99,6 %, 99,64 % y 99,34 % para los eFV 1, 2, y 3 respectivamente (Fig. 5.14(b)). La potencia media de cada elemento FV se obtiene directamente a partir de las mediciones realizadas por el ADC durante el mismo ensayo.

La Fig. 5.15 muestra las señales de tensión en los nodos intermedios del arreglo serie, es decir las señales correspondientes a v_{FV3} , $(v_{fv2} + v_{fv3})$ y $(v_{fv1} + v_{fv2} + v_{fv3})$ y no a las tensiones individuales de cada módulo. El rizado que se observa en las señales de tensión es ocasionado por el *jitter* en las acciones de control, originado principalmente en el ruido de medición del ADC. Además, el error porcentual ($\pm 0,25 \% \equiv \pm 6 \text{ mA}$) en la programación de la corriente de la carga activa agrega algo de incertidumbre en el ajuste de la corriente de referencia, que también se traduce en ruido en las señales de tensión y corriente. En la Fig. 5.16 se observan las señales de control en un intervalo de tiempo de 500 ms dentro de la ventana de tiempo del ensayo.

Utilizando sólo diodos de derivación, la potencia máxima extraída (suponiendo que el algoritmo de SPMP encuentre el máximo global) es 27,2 W para este esquema de radiación, como se aprecia en la Fig. 5.17(a). Por lo tanto, la utilización de los convertidores en este ejemplo supone una ganancia de 1,52 veces en la potencia entregada a la carga. La curva I–V del sistema se obtiene forzando una tensión triangular en los terminales de la carga activa (utilizando el generador) y midiendo la corriente que

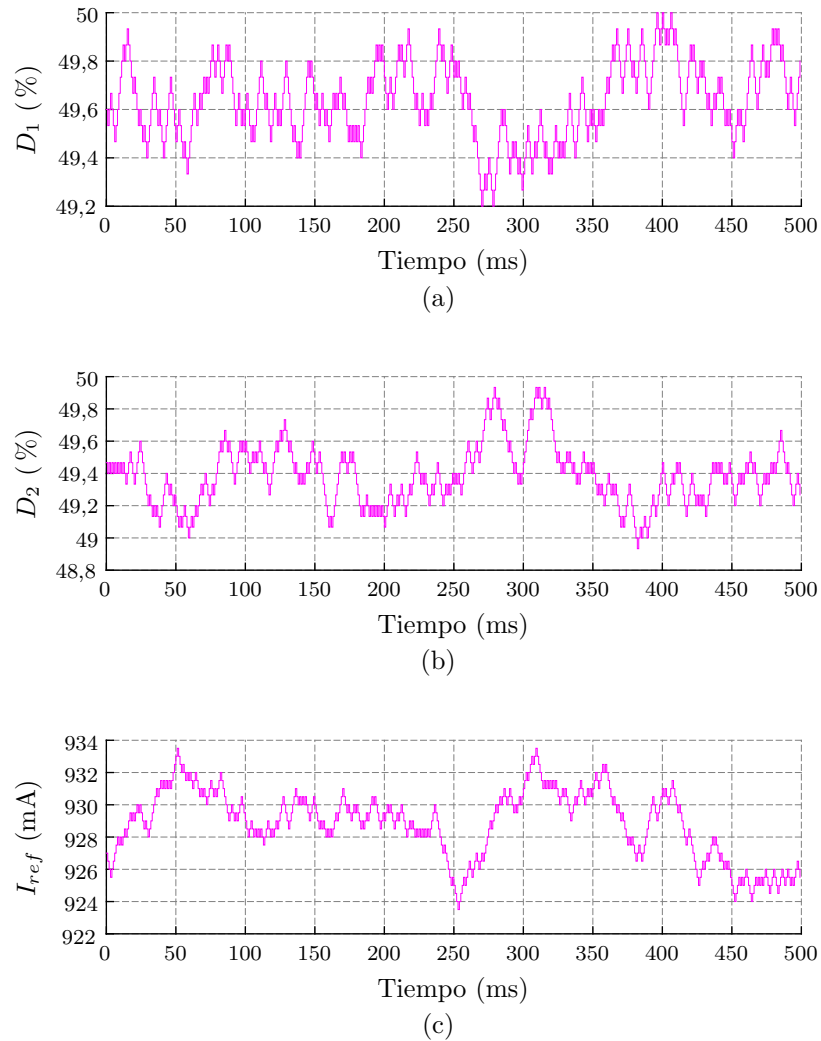


Figura 5.16: Acciones de control en estado estacionario: (a) Ciclo de trabajo 1, (b) Ciclo de trabajo 2, y (c) Corriente de referencia.

entrega el conjunto de elementos FV más diodos. Los diodos de derivación son aquellos contenidos en forma intrínseca en los transistores MOSFET, por lo tanto durante esta medición las llaves se encuentran completamente apagadas.

Una de las propiedades más interesantes de una ACE es la eliminación de los múltiples PMP que aparecen ante la presencia de sombreado parcial en un arreglo de elementos FV en serie, por la acción de los diodos de derivación. La Fig. 5.17(b) muestra los resultados de un barrido de tensión a la salida del arreglo serie, donde se aprecia claramente la existencia de un único PMP al utilizar la ACE. Para realizar esta medición el controlador está apagado y los ciclos de trabajo se fijaron manualmente, en consecuencia el máximo no corresponde a la máxima potencia observada en la Fig. 5.14.

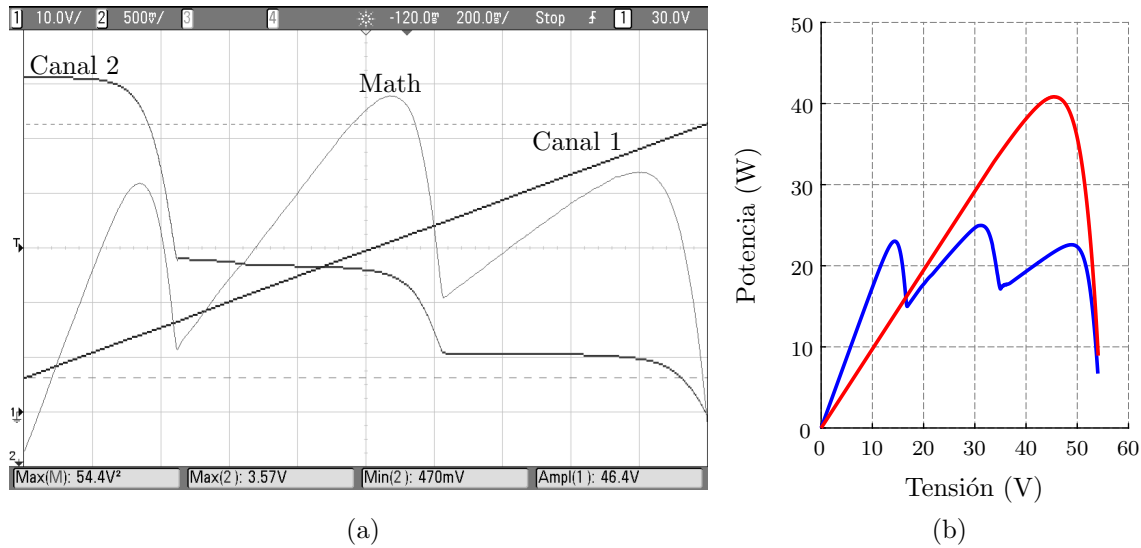


Figura 5.17: Característica I-V y P-V para tres módulos en serie con radiación no uniforme. (a) Captura de pantalla del osciloscopio cuando se utilizan los diodos de derivación: Canal 1 (v_{out}), Canal 2 (i_{out} , 500 mA/V) y Math (p_{out} , 500 mW/V). El PMP global es 27,2 W a 30,97 V. (b) Característica P-V a la salida utilizando diodos (—) y la ACE a lazo abierto (—).

5.5.3. Ensayo del Controlador para Radiación Variable

Anteriormente se comprobó que el controlador maximiza la potencia extraída cuando el sistema parte del reposo y para condiciones de radiación no uniformes pero constantes. Resulta de interés también determinar la capacidad del controlador para responder a los cambios de radiación. Este experimento parte de las condiciones de radiación utilizadas anteriormente para los Módulos 1 y 3, mientras que la radiación del Módulo 2 se modifica en forma periódica utilizando una señal cuadrada que modula la corriente de polarización. Aunque los fenómenos que ocasionan cambios en la radiación de un elemento FV son, en general, de baja velocidad (en el orden de segundos a minutos) resulta útil analizar la velocidad de ajuste del convertidor ante un cambio escalonado de la radiación. La demora en alcanzar el nuevo máximo es una figura de mérito del controlador. El circuito para modular la fuente de corriente es muy simple y por lo tanto no será explicado.

La radiación del Módulo 2 (corriente de la fuente) está comandada por una señal cuadrada para entregar 900 mA cuando la señal está en cero y unos 680 mA cuando está en alto. En la Fig. 5.18 se observa la potencia de salida del sistema durante esta

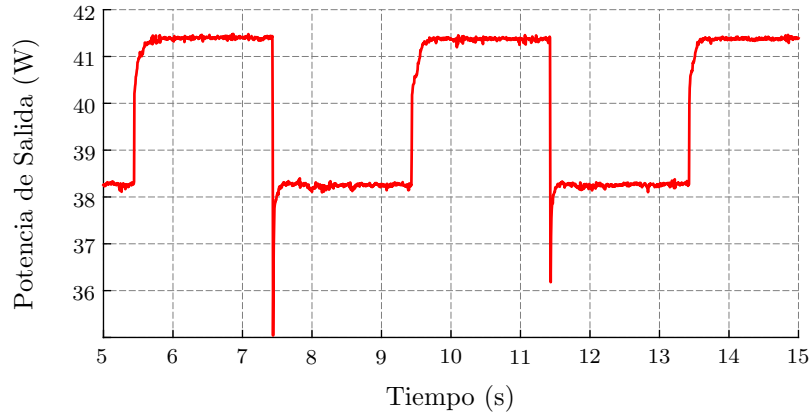


Figura 5.18: Potencia de salida durante el ensayo del controlador con radiación no uniforme y no constante en eFV_2 .

experiencia, y se aprecia que ante los cambios abruptos de radiación el controlador actúa para incrementar la potencia extraída. La máxima potencia obtenida es aproximadamente 41,41 W cuando la radiación es mayor y 38,26 W cuando alcanza su valor más bajo. Para el escalón de radiación positivo entre 9 s y 10 s se aprecia que la potencia de salida en principio aumenta abruptamente debido a la transición de la característica P-V del Módulo 2, y luego el controlador corrige para incrementar aún más la potencia. Para la transición de radiación negativa entre 7 s y 8 s ocurre algo similar, la potencia decrece casi instantáneamente por el salto entre las características de P-V y luego el controlador se recupera.

La Fig. 5.19 muestra las tensiones en los nodos del arreglo serie capturadas con el osciloscopio. También se aprecia la señal cuadrada del generador que modula la corriente, con un flanco de subida y bajada de 7,5 ms. Recordando que para cambios en la radiación la tensión del PMP prácticamente permanece constante, se aprecia que luego de un transitorio de unos 250 ms el controlador recupera la tensión en los módulos FV maximizando la potencia de salida. La velocidad de ajuste se puede modificar incrementando la ganancia del controlador.

5.5.4. Comparación entre Diodos de Derivación y la ACE

Como se expuso anteriormente, la ventaja de la ACE se manifiesta cuando existe alguna diferencia entre la potencia disponible en los distintos elementos FV que com-

ponen al sistema. La eficiencia de un convertidor de conmutación dura (*hard switching*, en inglés) decrece cuando disminuye el nivel de potencia de entrada, por lo tanto es de esperar que el prototipo implementado tenga baja eficiencia cuando la potencia es baja, es decir, cuando la diferencia de radiación entre los paneles es baja. La Fig. 5.20 muestra la eficiencia de los convertidores Ćuk construidos para una tensión de entrada de 15 V y 50% de ciclo de trabajo. La parte de baja eficiencia del convertidor afecta cuando la potencia procesada es baja (sombreado parcial débil), y por lo tanto no debería impactar considerablemente en la eficiencia global.

Como consecuencia de la eficiencia limitada del sistema es probable que exista

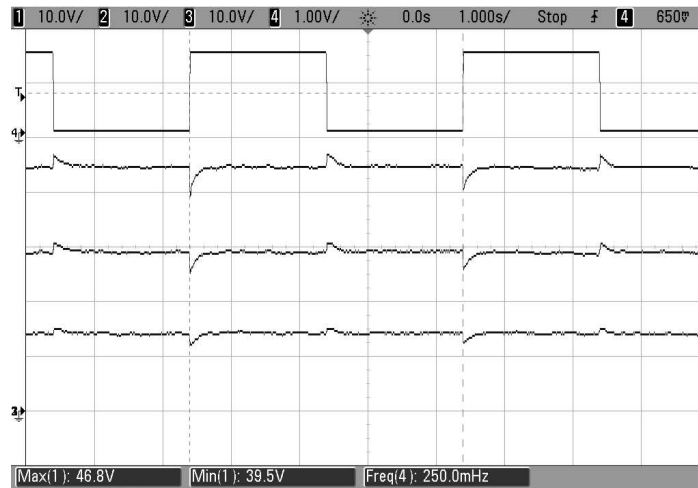


Figura 5.19: Tensión en los nodos del arreglo serie de módulos FV durante el ensayo. También se observa la señal utilizada para modular la radiación (Canal 4), cuyo valor bajo equivale a la máxima corriente de polarización. Desde arriba hacia abajo: Canal 4, Canal 1 ($v_{fv1} + v_{fv2} + v_{fv3}$), Canal 2 ($v_{fv2} + v_{fv3}$), y Canal 3 (v_{fv3}).

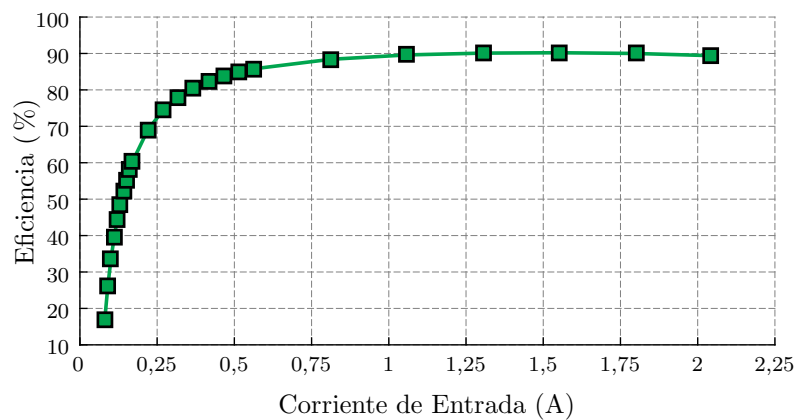


Figura 5.20: Eficiencia de los convertidores Ćuk en función de la corriente de entrada, incluyendo las pérdidas de los *drivers* optoacoplados. La tensión de entrada está fija en 15 V y el ciclo de trabajo es 50%.

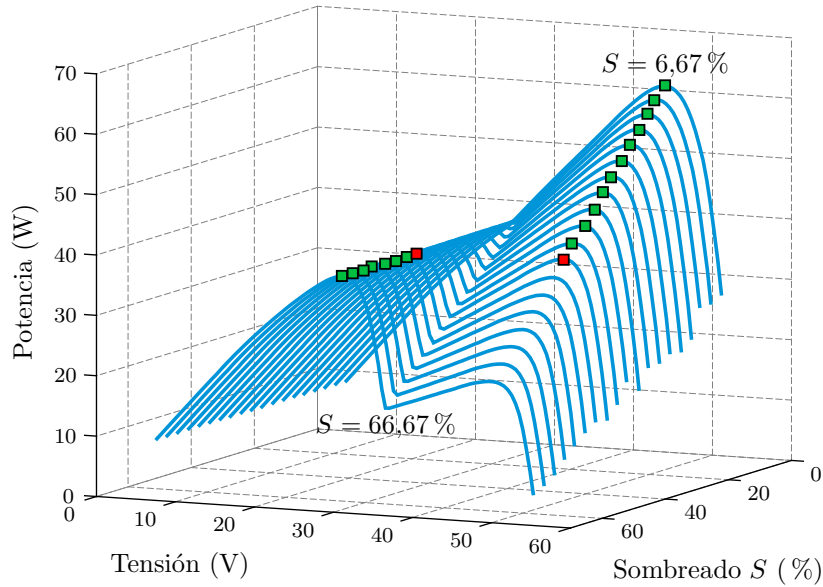


Figura 5.21: Ensayo de la extracción de potencia con diodos de derivación variando el sombreado S del Módulo 2. Los (■) indican el PMP global para cada valor de S , y los (■) indican los PMP casi idénticos $S = 43,33\%$.

alguna condición de sombreado parcial para la cual resulte más conveniente apagar la ACE, dejando conectados sólo los diodos de derivación. Para determinar la existencia de tal punto se registró la máxima potencia obtenida con los diodos y luego con la ACE, para un esquema de radiación constante en los Módulos 1 y 3 mientras que la radiación del Módulo 2 disminuía linealmente desde 1,4 A a 0,5 A en pasos de 50 mA. El factor de sombreado S se define como

$$S = 100 \times \left(1 - \frac{I_{FC2}}{I_{FC1}} \right) \%,$$

donde I_{FC2} es la corriente de la fuente 2 y $I_{FC1} = 1500$ mA es la corriente de la fuente 1. El resultado del ensayo con los diodos de derivación se observa en la Fig. 5.21 para distintos valores de S . Observe que existe un factor de sombreado particular a partir del cual la máxima potencia permanece prácticamente constante, $S = 43,33\%$ en este ejemplo. La potencia máxima total disponible en cada caso es la suma de la potencia máxima de cada elemento FV, Tabla 5.1.

Por otra parte, el resultado para la ACE es la potencia medida en la salida para el mismo esquema de radiación. La Fig. 5.22 compara la eficiencia de cada ensayo para

Tabla 5.1: Potencia máxima disponible ($P_{disp} = P_{pmp1} + P_{pmp2} + P_{pmp3}$) para distintos valores del factor de sombreado.

S (%)	P_{disp} (W)	S (%)	P_{disp} (W)	S (%)	P_{disp} (W)
6,67	64,43	30	59,11	53,33	53,89
10	63,64	33,33	58,35	56,67	53,17
13,33	62,85	36,67	57,58	60	52,43
16,67	62,1	40	56,84	63,33	51,72
20	61,34	43,33	56,13	66,67	51,02
23,33	60,59	46,67	55,35		
26,67	59,83	50	54,63		

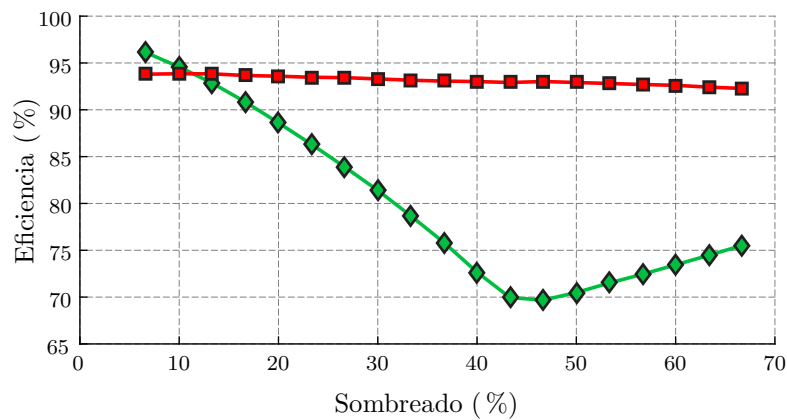


Figura 5.22: Comparación entre la eficiencia a la salida que resulta utilizando la ACE (■) y utilizando los diodos de derivación (◆).

distintos valores del factor de sombreado. La intersección entre ambas curvas indica el nivel de sombreado a partir del cual la utilización de la ACE resulta más conveniente, apenas por encima del 10% de sombreado. La eficiencia a la salida se obtiene de la relación entre la potencia a la salida y la máxima potencia disponible. El impacto del Módulo 2 sobre la potencia disponible también disminuye al aumentar el sombreado, y superado $S = 43,33\%$ la eficiencia de extracción con diodos aumenta; porque el máximo con diodos es constante a partir de ese nivel de sombreado.

Este análisis supone que el sombreado afecta a un único elemento FV, para simplificar los resultados. Sin embargo, en un esquema de radiación más complejo donde cada módulo recibe distintos niveles de radiación, es más probable que la eficiencia a la salida con la ACE sea mayor que con los diodos. La cantidad de casos para probar el desempeño de una ACE es amplia pues se puede variar en forma independiente la

radiación de cada elemento FV. Aquí se eligieron arbitrariamente algunos escenarios para demostrar las bondades de la arquitectura y el algoritmo de control desarrollado.

Capítulo 6

Conclusiones y trabajo futuro

6.1. Conclusiones

El objetivo principal de esta tesis es desarrollar mecanismos que permitan extraer la máxima potencia de cada elemento FV bajo cualquier condición de operación y lograr que la mayor parte de la potencia recolectada sea transferida a la carga. En este trabajo se propuso una implementación basada en convertidores Ćuk para una arquitectura que permite balancear la generación de potencia en un arreglo de elementos FV conectados en serie para eliminar los problemas asociados a las fuentes de desajuste internas (variabilidad en la fabricación, envejecimiento no uniforme, etc.) y externas (gradientes térmicos, suciedad, radiación no uniforme, etc.). La arquitectura permite virtualmente eliminar todos estos problemas si los elementos conectados son directamente celdas solares, y no un conjunto de éstas en serie (subcadena o módulo). Además de maximizar la potencia, el objetivo del trabajo también implica obtener un diseño compacto que pueda operar a nivel celda.

El trabajo se dividió en dos etapas: la primera analiza el funcionamiento de la arquitectura y se enfoca principalmente en el diseño del filtro pasivo de los convertidores cc-cc; y la segunda estudia la dinámica de la arquitectura y propone una estrategia de control que permite maximizar la potencia de cada elemento FV.

En el Capítulo 2 se revisó en forma detallada la ACE implementada mediante dos

topologías de convertidores distintas: *buck-boost* y *Ćuk*. Cualquiera de las implementaciones permite maximizar la potencia de salida (idealmente se obtiene la suma de la potencia máxima de cada elemento), y la diferencia entre estas radica en el diseño de cada topología. El rizado que todos los convertidores conmutados agregan indetectiblemente en las señales de tensión y corriente de entrada y/o de salida impacta sobre la potencia máxima extraída de un elemento FV. Incluso cuando el algoritmo de SPMP tiene precisión infinita, una parte de la potencia se pierde por efecto del rizado, resultando en una nueva curva de P-V en función del nivel de rizado. Para estudiar cómo impacta el rizado en la potencia extraída se utilizó un modelo de diodo simple con resistencias parásitas y sin componentes reactivos. Aplicando señales de tensión en los terminales de este modelo se obtiene mediante simulaciones el nivel de rizado que provoca una pérdida del 1% de la potencia disponible, para distintas condiciones de radiación y temperatura ambiente. La forma de onda de la tensión aplicada es similar a la presente en los terminales de los convertidores estudiados.

Analizando la generación de rizado en un convertidor se derivó un modelo para la fuente de rizado en función de las condiciones de operación. La señal de esta fuente luego se propaga a través de un filtro pasivo (de primer orden para el *buck-boost* y de segundo orden para el *Ćuk*) hasta alcanzar los terminales del elemento FV. Mediante un modelo de pequeña señal se formuló una expresión matemática para el valor eficaz del rizado en los terminales del dispositivo FV. El análisis de la generación y propagación del rizado se realizó para las topologías de convertidores que tradicionalmente se utilizan con elementos FV: *buck*, *boost*, *buck-boost*, y *Ćuk*. Comparando estas topologías se encontró que la expresión para el valor eficaz del rizado de los convertidores *buck* y *buck-boost* son idénticas; lo mismo ocurre con la expresión para el *boost* y el *Ćuk*.

Vinculando la expresión del valor eficaz del rizado con los resultados del efecto del rizado sobre la extracción de potencia se formuló una ecuación para determinar los valores mínimos de los componentes pasivos, tal que la pérdida de potencia extraída no supere el 1%. También se observó que en el caso de la ACE implementada mediante convertidores *Ćuk*, los componentes pasivos mínimos son prácticamente inal-

terados cuando el elemento FV pasa de ser un módulo a una celda. En cambio, para la implementación con el convertidor *buck-boost* la capacidad mínima requerida crece inversamente con la tensión de operación. Este análisis permitió determinar que la ACE implementada con convertidores Ćuk resulta más conveniente, dado que el objetivo es lograr una arquitectura capaz de operar a nivel celda minimizando el volumen y el costo del convertidor. Este estudio no se encuentra en la literatura existente; y algunos trabajos sólo presentan formas complejas de estimar la pérdida de potencia por rizado pero no proponen una herramienta de diseño.

Las expresiones propuestas fueron validadas mediante resultados experimentales realizados sobre dos convertidores prototipo (*boost* y CE Ćuk). El efecto del rizado de conmutación sobre la extracción de potencia de un elemento FV también se ensayó para que la determinación del filtro mínimo no dependa de la existencia de un modelo preciso del panel. Variando la frecuencia fundamental del rizado se observó que la capacidad parásita del elemento FV mejora la extracción de potencia, ya que se suma a la capacidad insertada externamente. Midiendo distintas combinaciones de componentes pasivos fue posible comprobar el método de diseño propuesto para los dos convertidores estudiados. Para la ACE también se midió la potencia extraída total cuando el convertidor está encendido y cuando se encuentra apagado (diodos de derivación), y se observó que efectivamente la inclusión de la ACE permite obtener un único PMP.

El método desarrollado permite al diseñador construir un convertidor que será capaz de extraer más del 99 % de la potencia disponible de un elemento FV. El análisis realizado se enfocó sólo en elementos FV; sin embargo, puede extenderse a cualquier fuente de potencia que posea una curva característica I-V similar (con un PMP) para la cual se requiere la inclusión de un convertidor de cc-cc.

La estrategia de control desarrollada para la ACE implementada con convertidores Ćuk se presentó en el Capítulo 4. La estrategia de control se analiza en primera instancia para una ACE conformada por tres celdas solares y dos convertidores. Para simplificar el estudio, cada celda solar se modela como una celda ideal despreciando los efectos parásitos (resistencias y capacidades). El objetivo del controlador es maximizar

la potencia que se extrae de cada elemento FV, y para lograrlo se propone manipular la tensión de cada uno de estos. La estrategia de control actúa únicamente sobre las componentes de baja frecuencia del sistema, porque un adecuado diseño de los convertidores permite reducir el impacto de las perturbaciones de frecuencias mayores o iguales a la frecuencia de conmutación. Esta aproximación deriva en un controlador con ancho de banda reducido; ya que los fenómenos que provocan alteraciones en la potencia generada por un elemento FV son naturalmente lentos.

El controlador fue desarrollado en tiempo continuo, a partir del cual se obtuvo la implementación discreta que fue validada mediante simulaciones y ensayos experimentales. La estrategia propuesta permite deslizar el sistema en su conjunto hacia el PMP en forma continua actuando sobre las señales de PWM y sobre la referencia de corriente del convertidor externo. Una vez alcanzado el punto de equilibrio, el controlador mantiene al conjunto de elementos FV en las cercanías del PMP y es capaz de responder correctamente ante cambios abruptos en la radiación de cualquiera de los elementos.

Cuando se conectan múltiples elementos FV, la complejidad del controlador desarrollado en primera instancia se incrementa demasiado. Por tal motivo, también se propuso una extensión de la estrategia de control para manejar una cantidad arbitraria de elementos FV. El desempeño del controlador para un sistema compuesto por 72 celdas solares fue analizado mediante simulaciones, comprobándose que cada celda logra entregar más del 99 % de la potencia disponible.

Las mediciones experimentales de la primera parte del controlador se presentaron en el Capítulo 5. Durante los ensayos de laboratorio, la radiación sobre los módulos FV fue emulada mediante fuentes de corriente. En estado estacionario, las señales de tensión y corriente presentan una componente aleatoria, debido a que el controlador utiliza como fuente de información el resultado de estimadores de la derivada parcial de la potencia respecto de la tensión en cada elemento FV. Estas derivadas se ven afectadas en menor medida por el ruido eléctrico y por el error del ADC y fuertemente por el error de cuantización, dando lugar a la aparición de *jitter* en las señales de control. Sin embargo, se observó que esto no impide que la estrategia logre maximizar

la potencia extraída de cada elemento. La respuesta dinámica del controlador también fue ensayada y se comprobó que puede maximizar la potencia, incluso ante cambios abruptos en la radiación.

Por último, se comparó la potencia alcanzada en los terminales de la carga cuando se utiliza la ACE y cuando sólo se conectan los diodos de derivación. Este ensayo se realizó con dos elementos recibiendo la misma radiación y un tercero afectado por un factor de sombreado. La diferencia en la potencia recuperada por la ACE se acentúa al incrementar el nivel de sombreado; mientras que en aquellos casos en los que el sombreado es bajo la ACE puede apagarse y así el sistema puede operar sólo con los diodos de derivación. De los resultados obtenidos, es evidente que la inclusión del ACE implica una mejora importante en situaciones donde las características P-V de los elementos FV puedan variar en forma independiente.

Si bien en el desarrollo de la Tesis no se llegó a probar el controlador con un conjunto de N celdas solares, sí se desarrollaron los controladores que permitiría maximizar la potencia de ese conjunto y se ensayó la etapa de SPMP utilizando módulos FV.

6.2. Trabajo Futuro

A partir de los resultados obtenidos se plantean algunas líneas posibles de investigación para el futuro. Para evaluar el controlador completo propuesto sería necesario construir un prototipo que cuente con varios elementos FV, irradiados en forma independiente para emular esquemas complejos de sombreado. Además, sería interesante evaluar el desempeño de la ACE en condiciones de operación reales para determinar cuál es la energía recuperada en comparación con el caso más simple utilizando los diodos de derivación.

En esta Tesis se utilizó un DSP para realizar las tareas de control, pero la baja velocidad del lazo de control y la carga computacional limitada debería permitir la utilización de un microcontrolador de bajo consumo. El obstáculo más importante puede presentarse si el microcontrolador no es capaz de evaluar un ciclo del algoritmo

antes que se genere la nueva interrupción. En ese caso es posible reducir aún más la velocidad del controlador (disminuye el ancho de banda), o bien agregar un retardo de una muestra o más y analizar el comportamiento del control en ese caso.

La utilización de la ACE y el controlador propuestos a nivel de celda solar implica algunos desafíos interesantes. Según se explicó en esta Tesis, la topología Ćuk es la más conveniente para implementar la ACE porque no es necesario incrementar el tamaño del filtro pasivo. El nivel de tensión que manejan las celdas de silicio es bajo y por lo tanto es importante elegir bien los transistores, a fin de evitar un incremento en las pérdidas. Además, un nivel de tensión bajo supone una dificultad para el ADC dado que la relación señal a ruido será menor. Por otro lado, el volumen del convertidor debe reducirse para que dentro de un módulo FV puedan colocarse la cantidad necesaria.

Por último, resultaría útil determinar el beneficio económico alcanzado al implementar la ACE. Generalizar el desempeño de un sistema compuesto por varios elementos FV es una tarea compleja porque la cantidad de escenarios posibles que deben considerarse es prácticamente infinita. Por este motivo es de vital importancia que el costo total de la electrónica integrada sea marginal comparado con el de los elementos FV.

Bibliografía

- [1] M. Schmela, G. Masson, and N. N. Thi Mai. Global market outlook for solar power 2016-2020. Technical report, SolarPower Europe, June 2016.
- [2] P.T. Krein and R.S. Balog. Cost-effective hundred-year life for single-phase inverters and rectifiers in solar and LED lighting applications based on minimum capacitance requirements and a ripple power port. In *Applied Power Electronics Conference and Exposition, 2009. APEC 2009. Twenty-Fourth Annual IEEE*, pages 620–625, February 2009.
- [3] L.F.L. Villa, Tien-Phu Ho, J-C Crebier, and B. Raison. A power electronics equalizer application for partially shaded photovoltaic modules. *IEEE Trans. Ind. Electron.*, 60(3):1179–1190, March 2013.
- [4] K.A. Kim, P.S. Shenoy, and P.T. Krein. Converter rating analysis for photovoltaic differential power processing systems. *IEEE Trans. Power Electron.*, 30(4):1987–1997, April 2015.
- [5] S. Poshtkouhi, V. Palaniappan, M. Fard, and O. Trescases. A general approach for quantifying the benefit of distributed power electronics for fine grained mppt in photovoltaic applications using 3-D modeling. *IEEE Trans. Power Electron.*, 27(11):4656–4666, November 2012.
- [6] J. Bai, Y. Cao, Y. Hao, Z. Zhang, S. Liu, and F. Cao. Characteristic output of PV systems under partial shading or mismatch conditions. *Sol. Energy*, 112:41–54, 2015.

- [7] A. Bidram, A. Davoudi, and R. S. Balog. Control and circuit techniques to mitigate partial shading effects in photovoltaic arrays. *IEEE J. Photovoltaics*, 2(4):532–546, October 2012.
- [8] C. Deline. Partially shaded operation of a grid-tied PV system. In *Photovoltaic Specialists Conference (PVSC), 2009 34th IEEE*, pages 001268–001273, June 2009.
- [9] K. Ishaque, Z. Salam, M. Amjad, and S. Mekhilef. An improved particle swarm optimization (PSO)-based mppt for PV with reduced steady-state oscillation. *IEEE Trans. Power Electron.*, 27(8):3627–3638, August 2012.
- [10] Heeje Kim, Jongrak Kim, Hosung Kim, Kyungjun Lee, Jonghyun Kim, Dongwook Yoo, and Dongsul Shin. A high efficiency photovoltaic module integrated converter with the asymmetrical half-bridge flyback converter. *Sol. Energy*, 84(8):1376–1381, 2010.
- [11] M.Z. Ramli and Z. Salam. A simple energy recovery scheme to harvest the energy from shaded photovoltaic modules during partial shading. *IEEE Trans. Power Electron.*, 29(12):6458–6471, December 2014.
- [12] T. Esmar and P.L. Chapman. Comparison of photovoltaic array maximum power point tracking techniques. *IEEE Trans. Energy Convers.*, 22(2):439–449, June 2007.
- [13] Moacyr Aureliano Gomes De Brito, Luigi Galotto, Leonardo Poltronieri Sampaio, Guilherme de Azevedo e Melo, and Carlos Alberto Canesin. Evaluation of the main mppt techniques for photovoltaic applications. *IEEE Trans. Ind. Electron.*, 60(3):1156–1167, 2013.
- [14] Francisco Paz and Martin Ordonez. Zero oscillation and irradiance slope tracking for photovoltaic mppt. *IEEE Trans. Ind. Electron.*, 61(11):6138–6147, 2014.

-
- [15] Fangrui Liu, Shanxu Duan, Fei Liu, Bangyin Liu, and Yong Kang. A variable step size INC MPPT method for pv systems. *IEEE Trans. Ind. Electron.*, 55(7):2622–2628, July 2008.
- [16] D. Sera, L. Mathe, T. Kerekes, S. V. Spataru, and R. Teodorescu. On the perturb-and-observe and incremental conductance mppt methods for PV systems. *IEEE J. Photovoltaics*, 3(3):1070–1078, July 2013.
- [17] A. Safari and S. Mekhilef. Simulation and hardware implementation of incremental conductance mppt with direct control method using cuk converter. *IEEE Trans. Ind. Electron.*, 58(4):1154–1161, April 2011.
- [18] Qiang Mei, Mingwei Shan, Liying Liu, and J.M. Guerrero. A novel improved variable step-size incremental-resistance mppt method for pv systems. *IEEE Trans. Ind. Electron.*, 58(6):2427–2434, June 2011.
- [19] Y.P. Siwakoti, B.B. Chhetri, B. Adhikary, and D. Bista. Microcontroller based intelligent DC/DC converter to track maximum power point for solar photovoltaic module. In *Innovative Technologies for an Efficient and Reliable Electricity Supply (CITRES), 2010 IEEE Conference on*, pages 94–101, September 2010.
- [20] Chao Lu, Sang Phill Park, V. Raghunathan, and K. Roy. Low-overhead maximum power point tracking for micro-scale solar energy harvesting systems. In *VLSI Design (VLSID), 2012 25th International Conference on*, pages 215–220, January 2012.
- [21] Yi-Hwa Liu, Shyh-Ching Huang, Jia-Wei Huang, and Wen-Cheng Liang. A particle swarm optimization-based maximum power point tracking algorithm for PV systems operating under partially shaded conditions. *IEEE Trans. Energy Convers.*, 27(4):1027–1035, December 2012.
- [22] J. L. Gray. *The Physics of the Solar Cell*, chapter The Physics of the Solar Cell, pages 61–112. John Wiley & Sons Ltd, 2003.

- [23] Luis Castaner and Santiago Silvestre. *Modelling photovoltaic systems using PS-pice*. John Wiley and Sons, 2002.
- [24] Giovanni Petrone, Giovanni Spagnuolo, and M Vitelli. Analytical model of mismatched photovoltaic fields by means of lambert w-function. *Sol. Energy Mater. Sol. Cells*, 91(18):1652–1657, 2007.
- [25] H. Patel and V. Agarwal. Matlab-based modeling to study the effects of partial shading on pv array characteristics. *Energy Conversion, IEEE Transactions on*, 23(1):302–310, March 2008.
- [26] M.G. Villalva, J.R. Gazoli, and E.R. Filho. Comprehensive approach to modeling and simulation of photovoltaic arrays. *IEEE Trans. Power Electron.*, 24(5):1198–1208, May 2009.
- [27] Huan-Liang Tsai. Insolation-oriented model of photovoltaic module using matlab/simulink. *Sol. Energy*, 84(7):1318–1326, 2010.
- [28] Kun Ding, XinGao Bian, HaiHao Liu, and Tao Peng. A matlab-simulink-based PV module model and its application under conditions of nonuniform irradiance. *IEEE Trans. Energy Convers.*, 27(4):864–872, December 2012.
- [29] Mohammad Seifi, Azura Bt Che Soh, Noor Izzrib Abd Wahab, and Mohd Khair B Hassan. A comparative study of PV models in matlab/simulink. *International Journal of Electrical, Electronic Science and Engineering*, 7(2):22–27, 2013.
- [30] Weidong Xiao, F.F. Edwin, G. Spagnuolo, and J. Jatskevich. Efficient approaches for modeling and simulating photovoltaic power systems. *IEEE J. Photovoltaics*, 3(1):500–508, January 2013.
- [31] Yousef A Mahmoud, Weidong Xiao, and Hatem H Zeineldin. A parametrization approach for enhancing pv model accuracy. *IEEE Trans. Ind. Electron.*, 60(12):5708–5716, 2013.

-
- [32] D. S. H. Chan and J. C. H. Phang. Analytical methods for the extraction of solar-cell single- and double-diode model parameters from i-v characteristics. *IEEE Trans. Electron Devices*, 34(2):286–293, February 1987.
- [33] J. A. Gow and C. D. Manning. Development of a photovoltaic array model for use in power-electronics simulation studies. *IEE Proceedings - Electric Power Applications*, 146(2):193–200, March 1999.
- [34] Kashif Ishaque, Zainal Salam, and Hamed Taheri. Simple, fast and accurate two-diode model for photovoltaic modules. *Sol. Energy Mater. Sol. Cells*, 95(2):586–594, 2011.
- [35] F. Adamo, F. Attivissimo, A. Di Nisio, and M. Spadavecchia. Characterization and testing of a tool for photovoltaic panel modeling. *Instrumentation and Measurement, IEEE Transactions on*, 60(5):1613–1622, May 2011.
- [36] N.D. Benavides and P.L. Chapman. Modeling the effect of voltage ripple on the power output of photovoltaic modules. *IEEE Trans. Ind. Electron.*, 55(7):2638–2643, July 2008.
- [37] C.R. Sullivan, J.J. Awerbuch, and A.M. Latham. Decrease in photovoltaic power output from ripple: Simple general calculation and the effect of partial shading. *IEEE Trans. Power Electron.*, 28(2):740–747, February 2013.
- [38] P.K. Peter and V. Agarwal. On the input resistance of a reconfigurable switched capacitor DC-DC converter-based maximum power point tracker of a photovoltaic source. *IEEE Trans. Power Electron.*, 27(12):4880–4893, December 2012.
- [39] A. Chatterjee, A. Keyhani, and D. Kapoor. Identification of photovoltaic source models. *IEEE Trans. Energy Convers.*, 26(3):883–889, September 2011.
- [40] D. Sera, R. Teodorescu, and P. Rodriguez. PV panel model based on datasheet values. In *Industrial Electronics, 2007. ISIE 2007. IEEE International Symposium on*, pages 2392–2396, June 2007.

- [41] F. Ghani and M. Duke. Numerical determination of parasitic resistances of a solar cell using the lambert w-function. *Sol. Energy*, 85(9):2386–2394, 2011.
- [42] S.B. Kjaer, J.K. Pedersen, and F. Blaabjerg. A review of single-phase grid-connected inverters for photovoltaic modules. *IEEE Trans. Ind. Appl.*, 41(5):1292–1306, September 2005.
- [43] G.R. Walker and P.C. Sernia. Cascaded DC-DC converter connection of photovoltaic modules. *IEEE Trans. Power Electron.*, 19(4):1130–1139, July 2004.
- [44] S. Zengin, F. Deveci, and M. Boztepe. Decoupling capacitor selection in DCM flyback PV microinverters considering harmonic distortion. *IEEE Trans. Power Electron.*, 28(2):816–825, February 2013.
- [45] Quan Li and P. Wolfs. A review of the single phase photovoltaic module integrated converter topologies with three different DC link configurations. *IEEE Trans. Power Electron.*, 23(3):1320–1333, May 2008.
- [46] A. Fernandez, J. Sebastian, M.M. Hernando, M. Arias, and G. Perez. Single stage inverter for a direct AC connection of a photovoltaic cell module. In *Power Electronics Specialists Conference, 2006. PESC '06. 37th IEEE*, pages 1–6, June 2006.
- [47] M.C. Alonso-García, J.M. Ruiz, and F. Chenlo. Experimental study of mismatch and shading effects in the I-V characteristic of a photovoltaic module. *Sol. Energy Mater. Sol. Cells*, 90(3):329–340, 2006.
- [48] N. Femia, G. Lisi, G. Petrone, G. Spagnuolo, and M. Vitelli. Distributed maximum power point tracking of photovoltaic arrays: Novel approach and system analysis. *IEEE Trans. Ind. Electron.*, 55(7):2610–2621, July 2008.
- [49] R.C.N. Pilawa-Podgurski and D.J. Perreault. Submodule integrated distributed maximum power point tracking for solar photovoltaic applications. *IEEE Trans. Power Electron.*, 28(6):2957–2967, June 2013.

-
- [50] Y. Levron, D.R. Clement, Beomseok Choi, C. Olalla, and D. Maksimovic. Control of submodule integrated converters in the isolated-port differential power-processing photovoltaic architecture. *Emerging and Selected Topics in Power Electronics, IEEE Journal of*, 2(4):821–832, December 2014.
- [51] C. Olalla, D. Clement, M. Rodriguez, and D. Maksimovic. Architectures and control of submodule integrated DC-DC converters for photovoltaic applications. *IEEE Trans. Power Electron.*, 28(6):2980–2997, June 2013.
- [52] Shibin Qin, S.T. Cady, A.D. Dominguez-Garcia, and R.C.N. Pilawa-Podgurski. A distributed approach to maximum power point tracking for photovoltaic submodule differential power processing. *IEEE Trans. Power Electron.*, 30(4):2024–2040, April 2015.
- [53] C. Schaef, K. Kesarwani, and J.T. Stauth. A coupled-inductor multi-level ladder converter for sub-module PV power management. In *Applied Power Electronics Conference and Exposition (APEC), 2013 Twenty-Eighth Annual IEEE*, pages 732–737, March 2013.
- [54] J.T. Stauth, M.D. Seeman, and K. Kesarwani. Resonant switched-capacitor converters for sub-module distributed photovoltaic power management. *IEEE Trans. Power Electron.*, 28(3):1189–1198, March 2013.
- [55] J. Storey, P.R. Wilson, and D. Bagnall. The optimized-string dynamic photovoltaic array. *IEEE Trans. Power Electron.*, 29(4):1768–1776, April 2014.
- [56] J. Cao, N. Schofield, and A. Emadi. Battery balancing methods: A comprehensive review. In *2008 IEEE Vehicle Power and Propulsion Conference*, pages 1–6, September 2008.
- [57] Sang-Hyun Park, Tae-Sung Kim, Jin-Sik Park, Gun-Woo Moon, and Myung-Joong Yoon. A new buck-boost type battery equalizer. In *Applied Power Electronics Conference and Exposition, 2009. APEC 2009. Twenty-Fourth Annual IEEE*, pages 1246–1250, February 2009.

-
- [58] L.F.L. Villa, X. Pichon, F. Sarrafin-Ardelibi, B. Raison, J.C. Crebier, and A. Labonne. Toward the design of control algorithms for a photovoltaic equalizer: Choosing the optimal switching strategy and the duty cycle. *IEEE Trans. Power Electron.*, 29(3):1447–1460, March 2014.
- [59] S. Poshtkouhi, A. Biswas, and O. Trescases. DC-DC converter for high granularity, sub-string mppt in photovoltaic applications using a virtual-parallel connection. In *Applied Power Electronics Conference and Exposition (APEC), 2012 Twenty-Seventh Annual IEEE*, pages 86–92, February 2012.
- [60] T. Shimizu, M. Hirakata, T. Kamezawa, and H. Watanabe. Generation control circuit for photovoltaic modules. *IEEE Trans. Power Electron.*, 16(3):293–300, May 2001.
- [61] T. Shimizu, O. Hashimoto, and G. Kimura. A novel high-performance utility-interactive photovoltaic inverter system. *IEEE Trans. Power Electron.*, 18(2):704–711, March 2003.
- [62] Y. Nimni and D. Shmilovitz. A returned energy architecture for improved photovoltaic systems efficiency. In *Circuits and Systems (ISCAS), Proceedings of 2010 IEEE International Symposium on*, pages 2191–2194, May 2010.
- [63] H. Zhou, J. Zhao, and Y. Han. Pv balancers: Concept, architectures, and realization. *IEEE Transactions on Power Electronics*, 30(7):3479–3487, July 2015.
- [64] H.J. Bergveld, D. Buthker, C. Castello, T. Doorn, A. de Jong, R. van Otten, and K. de Waal. Module-level DC/DC conversion for photovoltaic systems: The delta-conversion concept. *IEEE Trans. Power Electron.*, 28(4):2005–2013, April 2013.
- [65] R. Giral, C.A. Ramos-Paja, D. Gonzalez, J. Calvente, A. Cid-Pastor, and L. Martinez-Salamero. Minimizing the effects of shadowing in a PV module by means of active voltage sharing. In *Industrial Technology (ICIT), 2010 IEEE International Conference on*, pages 943–948, March 2010.

-
- [66] R. Giral, C.E. Carrejo, M. Vermeersh, A. J. Saavedra-Montes, and C.A. Ramos-Paja. PV field distributed maximum power point tracking by means of an active bypass converter. In *Clean Electrical Power (ICCEP), 2011 International Conference on*, pages 94–98, June 2011.
- [67] P.S. Shenoy, K.A. Kim, B.B. Johnson, and P.T. Krein. Differential power processing for increased energy production and reliability of photovoltaic systems. *IEEE Trans. Power Electron.*, 28(6):2968–2979, June 2013.
- [68] J. Stauth, M. Seeman, and K. Kesarwani. A high-voltage CMOS IC and embedded system for distributed photovoltaic energy optimization with over 99% effective conversion efficiency and insertion loss below 0.1%. In *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2012 IEEE International*, pages 100–102, February 2012.
- [69] GR Walker, J Xue, and P Sernia. PV string per-module maximum power point enabling converters. In *Proceedings of the Australasian Universities Power Engineering Conference*, pages 112–117, 2003.
- [70] A. Blumenfeld, A. Cervera, and M.M. Peretz. Enhanced differential power processor for pv systems: Resonant switched-capacitor gyrator converter with local mppt. *Emerging and Selected Topics in Power Electronics, IEEE Journal of*, 2(4):883–892, December 2014.
- [71] J.T. Stauth, K. Kesarwani, and C. Schaef. A distributed photovoltaic energy optimization system based on a sub-module resonant switched-capacitor implementation. In *Power Electronics and Motion Control Conference (EPE/PEMC), 2012 15th International*, pages 1–6, September 2012.
- [72] M.D. Seeman, V.W. Ng, Hanh-Phuc Le, M. John, E. Alon, and S.R. Sanders. A comparative analysis of switched-capacitor and inductor-based DC-DC conversion technologies. In *Control and Modeling for Power Electronics (COMPEL), 2010 IEEE 12th Workshop on*, pages 1–7, June 2010.

-
- [73] H.-P. Le, M. Seeman, S.R. Sanders, V. Sathe, S. Naffziger, and E. Alon. A 32nm fully integrated reconfigurable switched-capacitor DC-DC converter delivering 0.55w/mm² at 81 % efficiency. In *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2010 IEEE International*, pages 210–211, February 2010.
- [74] L. Chang, R.K. Montoye, B.L. Ji, A.J. Weger, K.G. Stawiasz, and R.H. Denard. A fully-integrated switched-capacitor 2:1 voltage converter with regulation capability and 90 % efficiency at 2.3a/mm². In *VLSI Circuits (VLSIC), 2010 IEEE Symposium on*, pages 55–56, June 2010.
- [75] A. H. Chang, A. T. Avestruz, and S. B. Leeb. Capacitor-less photovoltaic cell-level power balancing using diffusion charge redistribution. *IEEE Trans. Power Electron.*, 30(2):537–546, February 2015.
- [76] G Friesen and HA Ossenbrink. Capacitance effects in high-efficiency cells. *Sol. Energy Mater. Sol. Cells*, 48(1):77–83, 1997.
- [77] R.A. Kumar, M. S. Suresh, and J. Nagaraju. Effect of solar array capacitance on the performance of switching shunt voltage regulator. *IEEE Trans. Power Electron.*, 21(2):543–548, March 2006.
- [78] S. Qin, C. B. Barth, and R. C. N. Pilawa-Podgurski. Enhancing microinverter energy capture with submodule differential power processing. *IEEE Trans. Power Electron.*, 31(5):3575–3585, May 2016.
- [79] M. Uno and A. Kukita. Single-switch voltage equalizer using multistacked buck-boost converters for partially shaded photovoltaic modules. *IEEE Trans. Power Electron.*, 30(6):3091–3105, June 2015.
- [80] C. Olalla, C. Deline, D. Clement, Y. Levron, M. Rodriguez, and D. Maksimovic. Performance of power-limited differential power processing architectures in mismatched pv systems. *IEEE Trans. Power Electron.*, 30(2):618–631, February 2015.

-
- [81] C. Schaef and J.T. Stauth. Multilevel power point tracking for partial power processing photovoltaic converters. *Emerging and Selected Topics in Power Electronics, IEEE Journal of*, 2(4):859–869, December 2014.
- [82] B.V.P. Chong and L. Zhang. Controller design for integrated pv-converter modules under partial shading conditions. *Sol. Energy*, 92:123 – 138, 2013.
- [83] J.G. Ceci, A.R. Oliva, and P.S. Mandolesi. Ripple effect on photovoltaic power extraction. In *Micro-Nanoelectronics, Technology and Applications (EAMTA), 2014 Argentine Conference on*, pages 35–40, July 2014.
- [84] H.G. Chiacchiarini, J.G. Ceci, A.R. Oliva, and P.S. Mandolesi. Individual solar cells balance for maximum power extraction in series arrays. In *Biennial Congress of Argentina (ARGENCON), 2014 IEEE*, pages 759–764, June 2014.
- [85] H.G. Chiacchiarini, J.G. Ceci, A.R. Oliva, and P.S. Mandolesi. A novel controller for multiple ladder cuk converters for balancing photovoltaic modules. In *XVI Reunión de trabajo en Procesamiento de la Información y Control*, October 2015.
- [86] H. G. Chiacchiarini, J. G. Ceci, A. R. Oliva, and P. S. Mandolesi. Cuk converters for balanced power extraction in photovoltaic panels. *IEEE Latin America Transactions*, 14(6):2611–2617, June 2016.
- [87] SOLARTEC S.A. SOLARTEC KS3T Módulo fotovoltaico policristalino de alto rendimiento, May 2012.
- [88] S. Qin, K. A. Kim, and R. C. N. Pilawa-Podgurski. Laboratory emulation of a photovoltaic module for controllable insolation and realistic dynamic performance. In *Proc. IEEE Power and Energy Conf. at Illinois (PECI)*, pages 23–29, February 2013.
- [89] Zakipedia. The voltage characteristics of electrostatic capacitance, 2012.

- [90] R. Leyva, C. Alonso, I. Queinnec, A. Cid-Pastor, D. Lagrange, and L. Martinez-Salamero. Mppt of photovoltaic systems using extremum - seeking control. *IEEE Trans. Aerosp. Electron. Syst.*, 42(1):249–258, January 2006.
- [91] Ali M Bazzi and Philip T Krein. Ripple correlation control: an extremum seeking control perspective for real-time optimization. *IEEE Trans. Power Electron.*, 29(2):988–995, 2014.
- [92] Nicola Femia, Giovanni Petrone, Giovanni Spagnuolo, and Massimo Vitelli. Optimization of perturb and observe maximum power point tracking method. *IEEE Trans. Power Electron.*, 20(4):963–973, 2005.
- [93] Søren Bækthøj Kjær. Evaluation of the hill climbing and the incremental conductance maximum power point trackers for photovoltaic power systems. *IEEE Trans. Energy Convers.*, 27(4):922–929, 2012.
- [94] Robert W Erickson and Dragan Maksimovic. *Fundamentals of power electronics*. Springer, 2001.
- [95] SOLARTEC S.A. SOLARTEC KS40TA Módulo fotovoltaico policristalino de alto rendimiento, May 2012.
- [96] Texas Instruments. TMS320F2833x, TMS320F2823x digital signal controllers (dscs), October 2016.
- [97] SPECTRUM DIGITAL, INC. ezdsp f28335 technical reference, November 2007.
- [98] Richard G. Lyons. *Streamlining Digital Signal Processing*. 2007.
- [99] Alan V. Oppenheim, Ronald W. Schaffer, and John R. Buck. *Discrete-time Signal Processing (2Nd Ed.)*. Prentice-Hall, Inc., Upper Saddle River, NJ, USA, 1999.
- [100] Matt Schurmann. Not all jitter is created equal: Understanding jitter in switching power supplies, May 2015.

Certifico que fueron incluidos los cambios y correcciones sugeridas por los jurados.

Firma del Director
Dr. ALEJANDRO R. OLIVA