



# **UNIVERSIDAD NACIONAL DEL SUR**

TESIS DE DOCTOR EN INGENIERÍA ELÉCTRICA

ASICS para dispositivos médicos implantables

Autor: Joel Gak Szollosy

BAHIA BLANCA


ARGENTINA

2017

## Prefacio

Esta Tesis se presenta como parte de los requisitos para acceder al grado Académico de Doctor en Ingeniería Eléctrica, de la Universidad Nacional del Sur y no ha sido presentada previamente para la obtención de otro título en esta u otra universidad. La misma contiene los resultados obtenidos de la investigación llevada a cabo en el Departamento de Ingeniería Eléctrica en la Universidad Católica del Uruguay durante el período comprendido entre Junio del 2011 y Febrero del 2017, bajo la dirección del Dr. Pablo Mandolesi, Prof. Adjunto, Área 3, Electrónica y del Dr. Alfredo Arnaud Prof. y Director del DIE en la Universidad Católica del Uruguay.

Joel Gak Szollosy

	<p>UNIVERSIDAD NACIONAL DEL SUR Secretaría General de Posgrado y Educación Continua</p> <p>La presente tesis ha sido aprobada el ..../..../..... , mereciendo la calificación de .....(.....)</p>
---	---

**Certifico que fueron incluidos los cambios y correcciones sugeridas por los jurados.**

**Dr. Pablo Mandolesi**

**Dr. Alfredo Arnaud**

### Resumen

En este trabajo se estudiará el desarrollo de circuitos integrados en la mayoría de los casos específicos para una aplicación médica implantable, tecnología CMOS de 0.6 $\mu$ m estándar y HV sobre waffer de SOI. El trabajo contiene algunas contribuciones originales obtenidas del trabajo con circuitos para estimuladores cardíacos y sensores.

En primer lugar, se presentará la técnica de degeneración de *bulk* para el incremento del rango lineal de OTAs, sobre la que existe muy poco trabajo previo. Mediante esta técnica se demostrará que se puede alcanzar menores voltajes de alimentación y menor distorsión en comparación con otros trabajos previos publicados. Se implementó y midió un OTA que combina técnicas de degeneración tanto de *bulk* como de *source* alcanzando un rango lineal por encima de 1V con una fuente de alimentación que varía desde los 1.8V hasta los 5.5V. Este es el primer estudio sobre degeneración de *bulk* que incluye medidas, y su aplicación en sistemas de bajo consumo y/o aplicaciones médicas. Como aplicación se implementó un circuito de adaptación para la señal proveniente de un acelerómetro piezoeléctrico para un sistema de tipo marcapaso adaptativo, utilizando filtros Gm-C.

Seguidamente, se presentará el desarrollo de adaptadores de nivel ciegos con un amplio rango de voltajes de entrada (desde 1.8V a 5.5V) y salida (desde 0 a 18V e incluso voltajes negativos), orientados a dispositivos médicos implantables. Se establece una arquitectura modificada y metodología de diseño que garantice la operación robusta de los adaptadores de nivel, para todo punto de operación y variaciones del proceso de fabricación. Como ejemplo de aplicación de los adaptadores de nivel, se presenta un multiplicador de voltaje programable del tipo bomba de carga multicanal, capaz de alcanzar hasta 16V. Se verificó la correspondencia de las simulaciones con las mediciones en un amplio rango de la tensión de entradas (1.6V hasta 5.5V). Se realizaron medidas de la eficiencia emulando una configuración tipo marcapasos para 4 estímulos por segundo en un solo canal, mostrando una eficiencia de carga del 95%, y cerca de un 90% de eficiencia en potencia.

Finalmente se presentarán algunos bloques del circuito que implementan el concepto de seguridad al estar en contacto directo con tejido biológico, a la hora de estimular. Se describe sistemas de control para estimulación segura de tejido tanto en tensión como en corriente, e incluso un adaptador de nivel modificado (seguro).

## Abstract

In this work, the study and development of integrated circuits for the specific case of implantable medical applications, in a  $0.6\mu\text{m}$  HV CMOS technology on SOI wafer, is presented. The work contains innovative results obtained from working with circuits for cardiac and other stimulators, and sensors.

First, the technique of *bulk* degeneration will be presented for the increase of the linear range of OTAs, on which there is shortness of previous work. By means of this technique, it will be shown that lower supply voltages and less distortion can be achieved in comparison with previous published OTAs. An OTA that combines both *bulk* and *source* degeneration techniques was implemented and measured, reaching a linear range above 1V with a power supply that varies from 1.8V to 5.5V. This is the first study on *bulk* linearization which includes measurements, or its application in low consumption and/or medical circuits. As an application example, an amplifier and signal processing circuit was developed for a piezoelectric accelerometer aimed at physical activity estimation in a rate adaptive pacemaker, using Gm-C filters.

Secondly, the development of blind level shifters with a wide range of input voltages (from 1.8V to 5.5V) and output (from 0 to 18V and even negative voltages), aimed at implantable medical devices, will be presented. A modified architecture is proposed and a design methodology that guarantees the robust operation of the level shifters, for any point of operation and variations on the fabrication process. As an application example, a programmable multichannel voltage multiplier charge pump types presented, capable of reaching up to 16V. Correspondence of the simulations with the measurements over a wide range of input voltage (1.6V up to 5.5V) was checked. Efficiency measurements were performed by emulating a pacemaker-like configuration for 4 stimuli per second in a single channel, showing 95% load efficiency, and about 90% power efficiency.

Finally, some circuit blocks that implement the concept of safety by being in direct contact with biological tissue, when it comes to stimulating are present. Control systems are described for safe stimulation of tissue in both voltage and current, and even a modified (safe) level shifter.



## Agradecimientos

A la Universidad Nacional del Sur y a la Universidad Católica del Uruguay que me permitieron realizar mis estudios doctorales.

Al tribunal evaluador de este trabajo, por dedicar tiempo y esfuerzo para evaluar este trabajo.

Quiero agradecer a todos los integrantes del DIEC que me hicieron sentir como uno más en casa en mis visitas a Bahía Blanca.

A mis compañeros de trabajo de la FIT que me ayudaron con el proyecto cada quien, a su manera, desde ayudas técnicas, cubrirme en clases hasta cebar unos mates.

A Job, mi mexicano favorito.

A Matías, compañero de ruta en este mundo de la microelectrónica con el cual ya tenemos más 10 años juntos, en las buenas a la hora de festejar chips que funcionaron y en las malas cuando nos rechazaron algún proyecto.

A Pablo y Alfredo, mis tutores, por la incasable dedicación para que este trabajo saliera adelante, y su infinita paciencia a la hora de ayudarme a corregir mi pésima habilidad de escritura.

Dedicado a Noel, amor de mi vida y madre del hombrecito que más amo en el mundo.

# Índice

1	Introducción .....	8
1.1	Microelectrónica y dispositivos médicos implantables .....	9
1.2	Circuitos de estímulo .....	10
1.2.1	Estimulación en tensión .....	10
1.2.2	Estimulación en corriente .....	11
1.2.3	Balance de carga .....	12
1.3	Requisitos de seguridad en los dispositivos médicos implantables 13	
1.4	Tecnología de alto voltaje .....	14
1.5	Contenido del trabajo.....	17
2	Degeneración de <i>Bulk</i> en OTAs Lineales de Bajo Voltaje.....	18
2.1	Introducción .....	18
2.1.1	Técnicas de linealización de OTAs .....	21
2.1.2	Degeneración de source y de bulk.....	24
2.1.3	Modelo de desapareo y parámetros de pequeña señal de los transistores MOS .....	25
2.2	El OTA propuesto .....	26
2.2.1	Análisis de offset .....	31
2.2.2	Diseño Final y Medidas de OTA propuesto .....	33
2.3	Aplicación práctica de un circuito Biomédico utilizando el OTA propuesto .....	37
2.4	Conclusiones y resumen.....	43
3	Circuitos auxiliares adaptadores de nivel y su aplicación en multiplicadores de voltaje .....	45
3.1	Introducción .....	45
3.2	Adaptador de nivel de amplio rango.....	46
3.2.1	$V_H$ mucho mayor a $V_{CC}$ .....	48
3.2.2	$V_H$ mucho menor a $V_{CC}$ .....	51
3.3	Prototipo de Adaptador de nivel .....	53
3.3.1	Adaptador de nivel estándar (LS).....	53
3.3.2	Adaptador de nivel de rango completo (FR-LS) .....	55
3.3.3	Adaptador de nivel negativo (NLS).....	57
3.4	Multiplicador de voltaje programable en tecnología HV.....	61
3.4.1	El multiplicador de voltaje propuesto .....	63
3.4.2	Detector de Voltaje .....	65
3.4.3	Matriz de Interruptores y circuito de transferencia carga .....	67
3.5	Medidas .....	71
3.6	Conclusiones y resumen.....	73
4	Circuitos de estimulación segura .....	74
4.1	Introducción .....	74
4.2	Primer ejemplo: estimulación segura en tensión.....	75
4.2.1	Layout del driver seguro .....	79
4.2.2	Medidas del driver seguro .....	80
4.3	Segundo Ejemplo: Adaptador de nivel seguro de rango completo (SFR-LS) para contacto con tejido biológico. ....	81
4.4	Tercer ejemplo: Estimulación segura en corriente.....	86
4.5	Conclusiones y resumen.....	92
5	Conclusiones .....	93
5.1	Sobre Degeneración de <i>Bulk</i> en OTAs Lineales de Bajo Voltaje. ...	93
5.2	Sobre adaptadores de nivel y estimulación segura .....	94

## ASICS para dispositivos médicos implantables

5.3 Aspectos finales y trabajo futuros .....	96
6 Bibliografía.....	97
Anexo A. Fuente de corriente programable .....	102

## 1 Introducción

En los últimos años ha habido un incremento significativo en el desarrollo de nuevas terapias basadas en dispositivos médicos implantables desde los marcapasos, cardio-desfibriladores [1], e implantes cocleares [2], hasta dispositivos innovadores para tratamiento de obesidad [3], epilepsia, insuficiencia cardíaca, dolor, entre muchos otros. En todos estos casos la tecnología microelectrónica es necesaria y contribuye a su avance constante. Existe un interés y una necesidad de desarrollar técnicas de circuito y circuitos integrados (ASICS) eficientes específicos para esta área de aplicación.

La mayoría de los dispositivos médico implantables, son sistemas estimuladores de tejido biológico, que entregan pulsos de tensión o corriente al paciente a través de electrodos, según requerimientos específicos de cada terapia en particular. Los estimuladores actúan en lazo cerrado o lazo abierto, en el primer caso obtienen información del paciente y el entorno a través de señales biológicas en los electrodos, o mediante sensores como un acelerómetro, sensor de oxígeno en sangre, etc.

Se puede definir un bloque de control (en general un subsistema de procesamiento digital) que contiene la inteligencia que interpreta las señales de los sensores para controlar el disparo de un estímulo, y otras funciones presentes en dispositivos modernos como la telemetría o comunicación con el exterior (en general con el médico o técnico que hace el seguimiento de la terapia), y todo lo relativo a la fuente de alimentación (la batería en sí y otros circuitos de *power management*).

Toda la electrónica es alimentada desde una fuente de energía que puede ser tan sencilla como una batería primaria de grado médico [4], hasta baterías secundarias con carga inalámbrica incluyendo reguladores complejos. Algunas características comunes y necesarias en las aplicaciones médicas son el mínimo consumo de corriente desde la batería, y la confiabilidad y seguridad necesaria en circuitos que están en contacto directo con el paciente.

En este trabajo se estudiará el desarrollo de algunos bloques de circuito eficientes y en la mayoría de los casos específicos para una aplicación médica implantable. El trabajo contiene resultados innovadores obtenidos del trabajo con circuitos para estimuladores cardíacos y otros.

En el Capítulo 2, se presentará la técnica de degeneración de *bulk*, sobre la que existe muy poco trabajo previo, aplicada a un sensor de actividad física utilizando un acelerómetro piezoeléctrico. Mediante esta técnica se demostrará que se puede alcanzar menores voltajes de alimentación y menor distorsión en comparación con otros trabajos previos publicados por Arnaud, et. al en [5] y [6]. La técnica de degeneración de *bulk* ha sido poco estudiada, como tal, salvo por Monsurró, et. al en [7]. El trabajo aquí presentado es el primer estudio que incluye medidas y su aplicación en sistemas de bajo consumo y/o aplicaciones médicas.

En el Capítulo 3, se presenta el desarrollo de adaptadores de nivel eficientes para un rango amplio de voltaje, desde 0 a 18V e incluso voltajes negativos, implementados en tecnología CMOS HV. Se introduce una metodología de diseño y topologías que permiten el desarrollo de un adaptador de amplio rango. Como aplicación ejemplo se presenta un multiplicador de tensión multicanal programable, que utiliza los adaptadores desarrollados.

En el Capítulo 4 se presentan algunos bloques de circuito que implementan el concepto de seguridad al estar en contacto directo con tejido biológico, a la hora de estimular. Se describen

## ASICS para dispositivos médicos implantables

sistemas de control para estimulación segura de tejido tanto en tensión como en corriente, e incluso un adaptador de nivel modificado (seguro).

### 1.1 Microelectrónica y dispositivos médicos implantables

Un dispositivo medico implantable, se define como cualquier tipo de dispositivo médico que está compuesto en parte por componentes electrónicos y es implantado dentro del cuerpo. El primer dispositivo médico implantable utilizado fue un marcapaso cardiaco, el cual se convirtió en un dispositivo comúnmente utilizado desde la década del 1970, según Haddad, et. al en [8]. Actualmente una gran variedad de dispositivos implantables se están utilizando tales como desfibriladores cardiacos internos [1], implantes cocleares [2], neuroestimuladores [3] y bombas implantables de entrega de medicamentos [9], por citar los más comunes. La utilización de dispositivos médicos implantables ha aumentado mucho en los últimos años y se espera que siga incrementado [10], [11].

Los dispositivos médicos implantables para distintos tipos de terapias presentan una amplia variedad de requisitos y especificaciones, sin embargo, podemos encontrar algunas características comunes a la mayoría de ellos.

1. Bajo consumo: Cambiar o cargar baterías puede ser un inconveniente, debido a su dificultad, costo y riesgo para el paciente. Por ello todo dispositivo medico implantable debe consumir la menor cantidad de energía posible, según Amar, et. al en [12], y Soykan en [13].
2. Alta confiabilidad: La falla de los dispositivos médicos implantables puede causar dolor, daño e incluso poner en riesgo la vida del paciente. Por lo tanto, la probabilidad de fallas debe ser muy baja, se deben tomar todas las medidas posibles durante el diseño y la fabricación para que el dispositivo resulte confiable. El mantenimiento de los dispositivos implantados es caro y presenta siempre un cierto riesgo [14].
3. Señales de bajo voltaje: La mayoría de las señales biológicas dentro del cuerpo humano, así como las salidas de los transductores están en el rango de los  $\mu\text{V}$  o  $\text{mV}$  las cuales precisan cuidado a la hora de amplificar y procesar, según Rieger, et. al [15], Sahin en [16], y Sun, et. al en [17].
4. Bajas frecuencias: El rango de frecuencias de las señales biológicas van desde fracciones de Hertz hasta algunas decenas de kilo Hertz [16], [17].
5. Tamaño reducido: Los dispositivos médicos implantables deben ser lo más pequeños posibles, para ser lo menos invasivo posible al cuerpo humano, según Gerrish, et. al en [18]. Este requisito puede tener un efecto contrario en un ASIC, ya que a veces un aumento en el área del ASIC puede llevar a minimizar la cantidad de componentes externos y por tanto el tamaño global del implante.
6. Estimulación en voltajes (incluso alto voltaje hasta decenas de Volts o más) y/o corriente.

Para poder satisfacer todos estos requerimientos generales, la microelectrónica se vuelve una herramienta esencial para el desarrollo de dispositivos médicos implantables.

## 1.2 Circuitos de estímulo

Un sistema de estimulación de tejido básicamente está compuesto por los elementos mostrados en la Figura 1-1, un generador de estímulo (sea en tensión o en corriente), interruptores para entregar o cortar el estímulo, electrodos que conectan el dispositivo al tejido, filtros-amplificadores, sensores, y el bloque de control que decide con qué valor y por cuánto tiempo estimular. La estimulación puede ser entregando una tensión al tejido, que varía desde algunos cientos de mV hasta 18-20V (incluso mayor en casos excepcionales), o bien forzando una corriente por el tejido que varía desde algunos cientos de  $\mu\text{A}$  hasta decenas de mA.

Los circuitos de estímulo entran en contacto directo con el paciente debiendo cumplir con todas las medidas de seguridad necesarias impuestas por [19] para garantizar no causar daño frente a una falla simple, como la ruptura de algún transistor o falla de software por ejemplo.

Todos los circuitos de este trabajo fueron diseñados en una tecnología CMOS de alto voltaje (HV) de  $0.6\mu\text{m}$  (XC06 y XT06 de XFAB).

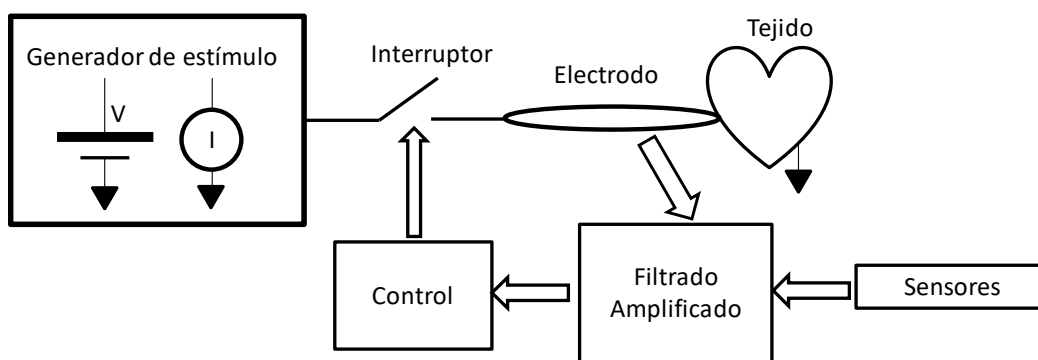


Figura 1-1 Sistema típico de estimulación para dispositivo médico implantables

### 1.2.1 Estimulación en tensión

La estimulación en tensión consiste en entregar al tejido, un pulso de o tren de pulsos de un cierto valor de potencial. El valor de esta tensión, la frecuencia, y duración de los pulsos depende del tipo de patología que se esté tratando, a modo general podemos decir que la magnitud de los pulsos van de cientos de mV hasta alguna decena de V y la duración en tiempo desde algunos  $\mu\text{s}$  hasta decenas de ms. En la Figura 1-2 se muestra un sistema simplificado de estimulación en tensión, utilizando un solo transistor PMOS de alto voltaje (HV) como llave de paso, según Gak, et. al en [20].

Los transistores de HV son necesarios para poder utilizar tensiones de estímulo elevadas ( $V_{\text{STIM}}$ ). Al *gate* del transistor  $M_1$ , se lo conecta a GND para entregar la tensión  $V_{\text{STIM}}$  al tejido y es conectado a  $V_{\text{STIM}}$  para abrir el transistor  $M_1$ . El bloque CONTROL en este caso lo suponemos como un simple driver, puede ser desde un inversor hasta un adaptador de nivel (*Level Shifter*) dependiendo del valor de  $V_{\text{STIM}}$  [20].

El valor de tensión real entregado al tejido es menor que  $V_{\text{STIM}}$  debido a la impedancia del transistor y del electrodo, este defecto puede ser compensado conociendo o midiendo la

## ASICS para dispositivos médicos implantables

impedancia vista para ajustar el  $V_{STIM}$  al valor adecuado. El circuito presentado tal como en la Figura 1-2 puede presentar problemas de seguridad lo que se analiza más adelante.

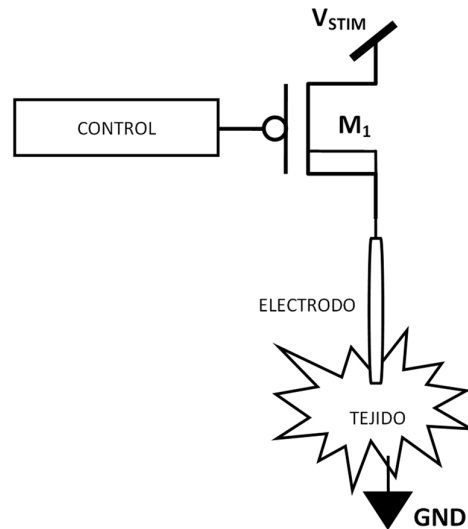


Figura 1-2 Ejemplo de estimulación en tensión

### 1.2.2 Estimulación en corriente

La estimulación en corriente consiste en hacer circular desde o hacia tejido un pulso o tren de pulsos de un cierto valor de corriente. El valor, frecuencia y duración de estos pulsos depende del tipo de patología que se esté tratando, pero a modo general podemos decir que la magnitud los pulsos van de cientos de  $\mu A$  hasta alguna decena de mA y la duración en el tiempo desde algunos  $\mu s$  hasta decenas de ms. En la Figura 1-3 se muestra un esquema simplificado de estimulación en corriente.

En este caso se conecta por un lado el tejido a una tensión  $V_{TEJIDO}$  y una tensión  $V_{REF}$  (programable) [21] y la resistencia  $R_{STIM}$  definen el valor de la corriente de estimulación ( $I_{STIM}$ ). El transistor de paso  $M_1$  debe ser de HV ya que  $V_{TEJIDO}$  puede ser elevado, si se quiere estimular con corriente relativamente alta, ya que el electrodo y el tejido presentan una impedancia que puede influir en su valor. El circuito presentado tal como en la Figura 1-3 puede presentar problemas de seguridad lo que se analizado más adelante.

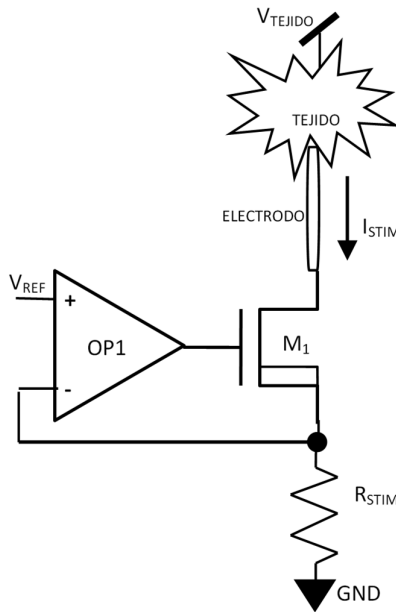


Figura 1-3 Ejemplo de estimulación en corriente.

### 1.2.3 Balance de carga

La estimulación de tejido biológico tanto en tensión como en corriente genera fenómenos electroquímicos de tipo electrólisis en el tejido que le pueden causar un daño irreversible. Desde el punto de vista del circuito se puede modelar como una acumulación de carga en la interface tejido-electrodo. En tanto no se causa un daño, desde el punto de vista de la carga eléctrica el fenómeno es reversible.

Para evitar cualquier tipo de daño al paciente es necesario que la carga eléctrica neta entregada al tejido biológico en cualquier proceso de estimulación eléctrica sea neutra, según Merrill et.al, en [22]. En la práctica esto significa que la corriente continua entregada debe ser inferior a algunos pocos  $\mu A$  (dependiendo de la aplicación) como rango aceptable. Esta regla es invariable, incluso es necesario prever que algún componente del circuito puede fallar y aún se debe preservar la carga neutra en un dispositivo seguro.

Algunos dispositivos médicos implantables estimulan con ondas bifásicas para poder generar balance neutro, pero debido al desapareo de los distintos componentes no se puede garantizar que la carga que se entregó sea exactamente igual a la que se toma con el pulso contrario, según Sooksood, et. al, en [23], normalmente se tiene un desbalance entre el 1-5%.

Una solución típica a este problema es colocar un capacitor en serie con el electrodo, que evita que dicho desbalance genere una corriente continua a tejido [23]. Esta técnica presenta el inconveniente que dicha carga se va acumulando en el capacitor serie con el paso del tiempo, por eso normalmente luego de un ciclo de estimulación se tiene un ciclo conocido como "Balance de carga" donde se descarga el capacitor serie.

En la Figura 1-4 se muestra un ejemplo de circuito con balance de carga, el estímulo se realiza sobre el tejido a través de los transistores HV  $M_{1,2}$ . El capacitor serie que se utiliza para evitar el pasaje de continua a tejido es  $C_s$  (externo), y  $C_s$  es descargado a tierra a través de los transistores  $M_{1,B}$  luego de cada ciclo de estimulación, realizándose así el balance de carga.



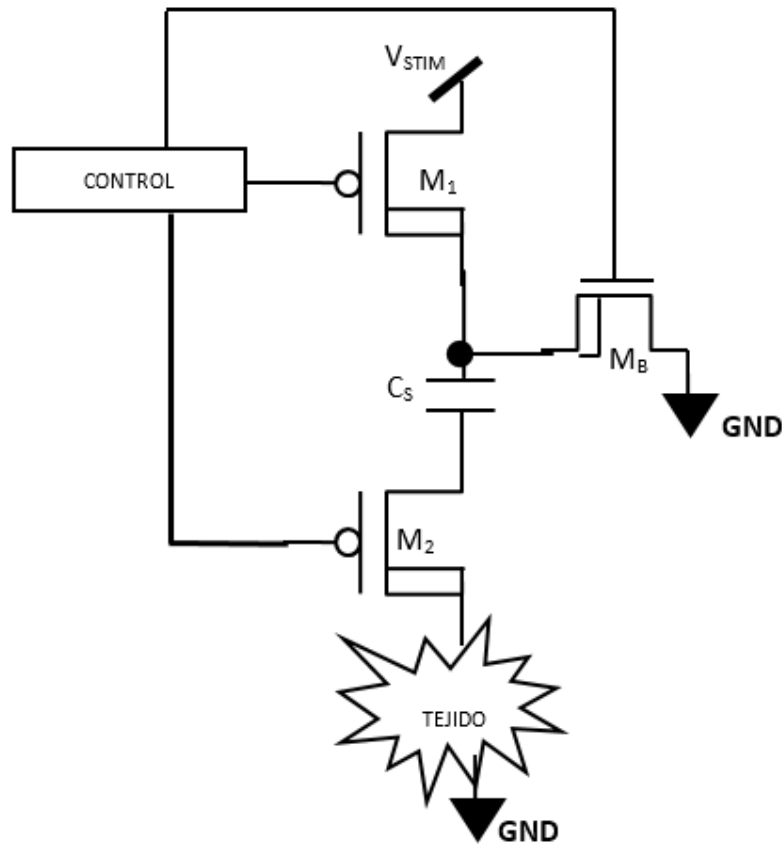


Figura 1-4 Sistema de estimulación en tensión con balance de carga (se obvian los electrodos por simplicidad).

### 1.3 Requisitos de seguridad en los dispositivos médicos implantables

Garantizar la seguridad en los dispositivos médicos implantables es uno de los condicionantes más importantes a la hora de diseñar ASICS con este fin. Los dos principales aspectos a tener en cuenta son:

- **Confiabilidad:** Por confiabilidad entendemos que la probabilidad de que ocurra una falla, debe ser lo más baja posible. Por esto varias técnicas de diseño son utilizadas para mejorar la confiabilidad de los circuitos. También durante el proceso de fabricación es posible utilizar prácticas que aumentan la confiabilidad, aunque aplican sobre todo al dispositivo y no al ASIC. Estas prácticas van desde la trazabilidad de los componentes, proveedores y plantas productoras certificadas, burn-in de los circuitos, múltiples etapas de inspección, etc.
- **Seguridad:** Aún con un diseño y manufactura confiable, luego de la realización de pruebas y control de calidad de los ASICS o dispositivos, no es posible garantizar que no ocurrirá alguna falla. Entendemos que un circuito es seguro si frente a una falla simple (la falla de un solo elemento, por ejemplo, la ruptura del *gate* de un de

## ASICS para dispositivos médicos implantables

transistor) no se genera ningún evento catastrófico. Un evento catastrófico es cualquier riesgo de daño para el paciente [19].

No existe dispositivo libre de fallas, pero sí con la probabilidad de falla muy baja (alta confiabilidad). Considerando las fallas como eventos independientes del punto de vista estadístico, es muy poco probable que se den dos fallas de forma simultáneas [14], según Moghe, et. al en [24] y Shannon en [25]. La práctica habitual en los diseñadores de ASICS para dispositivos médicos implantable, es que una falla simple no genere un evento catastrófico cumpliendo así con los establecido en [19].

Los eventos catastróficos varían de en un dispositivo a otro, por ejemplo, en un marcapaso un error de *firmware* no puede causar que el corazón del paciente lata a más de 200 ppm. Pero en cualquier circuito en contacto con tejido biológico el principal riesgo es la fuga de una corriente DC mayor a algunos pocos  $\mu\text{A}$ , según Gak, et al. [20].

Para un dispositivo estimulador podemos tomar como regla general que:

*“Una falla simple (por ejemplo, ruptura del gate de un transistor MOS) no puede generar que una corriente continua (DC) fluya por el tejido.”*

Una práctica usual para solucionar este problema es colocar un capacitor externo en serie con los electrodos (tanto de medida, pues los amplificadores pueden fallar y drenar corriente por la entrada, como estimulación), según Lentola, et. al en [26] y Tacker, et. al en [27]. Esta técnica resulta con el inconveniente de agregar componentes externos, además no siempre es posible de implementar. Por ello resulta interesante para los diseñadores desarrollar técnicas alternativas más complejas desde el punto de vista del circuito como lo presentado por, Gak, et. al en [28], Lasa, et. al en [29], y en [30], que implementan circuitos seguros evitando el uso de capacitores externos en serie.

### 1.4 Tecnología de alto voltaje

Para el desarrollo de circuitos en aplicaciones médicas será necesario manejar voltajes relativamente elevados. En la mayoría de los casos basta con 10 a 20V pero es más de lo que manejan las tecnologías estándar de circuitos integrados. Existen algunas técnicas que permiten utilizar tecnología estándar CMOS para el manejo de alto voltaje, presentado por Potani, et. al en [31], Singh, et. al en [32], y Geng et. al en [33], sin embargo, tecnologías específicas de alto voltaje (HV) son preferidas por los desarrolladores de dispositivos médicos, ya que no se rompen las reglas de diseño del fabricante y se dispone de muchísima mayor flexibilidad de tipos de transistores. Además, en la actualidad la diferencia de precio ya no es relevante.

Agregando nuevas capas al proceso de fabricación CMOS se logran tecnologías de HV con dispositivos que soportan tensiones elevadas, según Sun, et. al en [34]. En este trabajo se trabajó sobre las tecnologías XT06 y XC06 de Xfab ([www.xfab.com](http://www.xfab.com)) de 0.6 micrómetros, la primera sobre una *waffer SOI* y la segunda sobre *waffer* estándar. Ambas tecnologías también presentan *core* estándar de 5V, capacitores *poly-poly*, y *poly* de alta resistividad para resistencias del alto valor hasta alguna decena de  $\text{M}\Omega$ .

En la Figura 1-5 se muestra un corte vertical de uno de los varios transistores de alto voltaje (o simplemente HV) disponible, un transistor HV NMOS llamado nhv. El nhv tiene estructura usual de un transistor HV incorporando un óxido de *gate* grueso que le permite soportar tensiones  $V_{GS}$  hasta de 18V, y la difusión de *drain* se hace crecer sobre un pozo n (NWEELL) para que el transistor soporte tensiones de corte  $V_{DS}$  elevadas.

## ASICs para dispositivos médicos implantables

En este trabajo se utilizaron tanto transistores de HV como de bajo voltaje (LV), en la Figura 1-6 se muestran los distintos símbolos de algunos transistores utilizados. Notar en la figura que los transistores pierden la simetría, el *drain* de HV se denota con una doble línea.

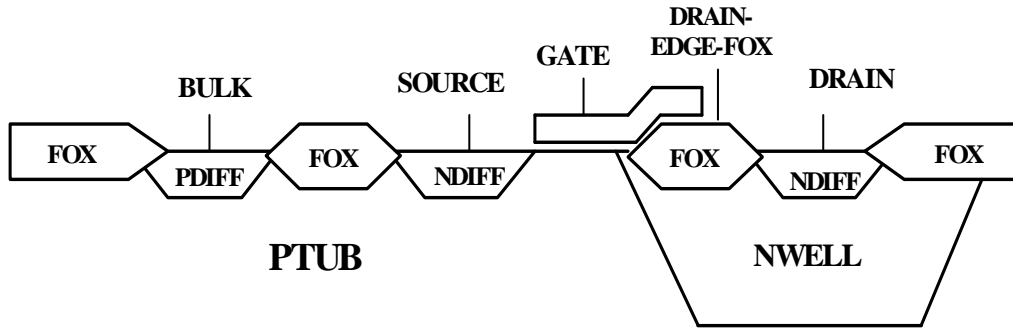


Figura 1-5 Corte vertical de transistor HV NMOS (nhv) de XT06

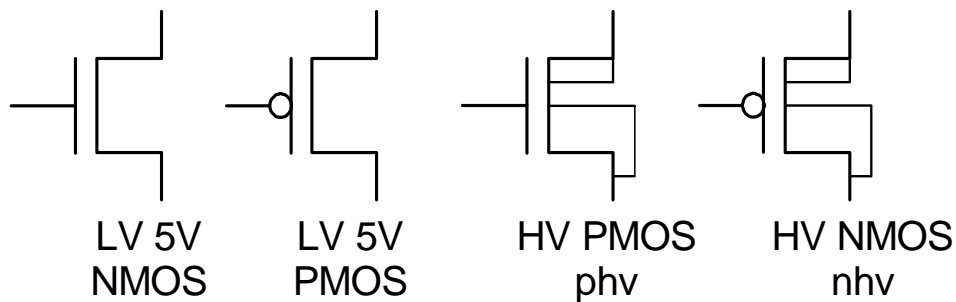


Figura 1-6 Símbolos de los diferentes transistores utilizados en este trabajo: LV NMOS, LV PMOS, HV NMOS (nhv) y PMOS (phv). Los transistores LV tienen óxido fino de *gate* que les permite soportar hasta 5V  $V_{GS}$ . Los transistores HV tienen óxido grueso de *gate* que les permite soportar 18V  $V_{GS}$  y hasta 60V  $V_{DS}$  por la difusión de *drain* sobre pozo N.

Las tecnologías XT06 y XT06 utilizadas son casi iguales. La diferencia es el *Waffer* aislado de XT06 que incorpora además la capacidad de aislamiento entre transistores o subcircuitos a través de “trincheras” (ver Figura 1-7) de óxido de silicio (*Trench isolation*). Cada transistor pueda estar si se desea en su propia “isla” de silicio lo que es muy útil para evitar *latchup* (incluso es posible utilizar diodos en directa) y garantizar la seguridad del circuito en determinadas circunstancias. Los transistores y el proceso de fabricación son muy similares en XT06 y XC06.

XT06 a su vez por tratarse de una tecnología del tipo *SOI*, presenta bajas capacidades parásitas (mejorando el “*croostalk*”), bajo ruido y mejores características frente a interferencia electromagnética (*EMI* por su sigla en inglés). En la Tabla 1-1 se presenta un resumen de características de algunos dispositivos.

## ASICS para dispositivos médicos implantables

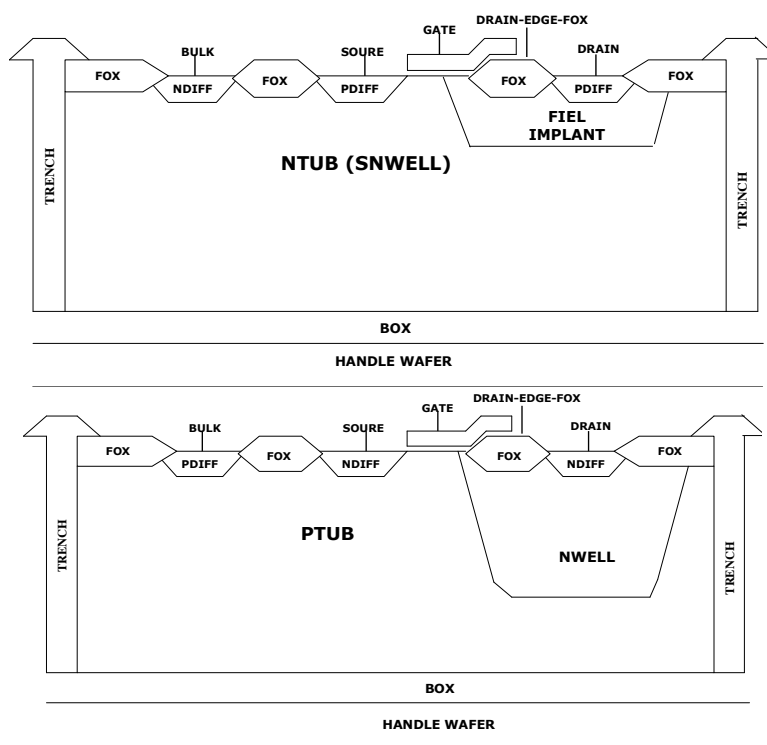


Figura 1-7 Corte vertical transistores NHV (arriba) y PHV (abajo) XT06

TRANSISTORES MOS	$V_T$ (V)	$I_{DS}@V_{GS}$ ( $\mu A/\mu m$ )	$BV_{DSS}$ (V)	Max $V_{DS}$ (V)
NMOS 5V	0.87	470@5	31	5.5
PMOS 5V	0.9	230@5	12	5.5
NMOS con implante ESD	0.9	520@5	12	5.5
NMOS HV	0.82	220@12	60	30
PMOS HV	0.75	190@12	70	40
RESISTENCIAS	RS ( $\Omega/\square$ )	Max $V_{CE}$ (V)		
Bajo TC poly0	580	60		
Poly de alta resistividad	3500	60		
DIODOS	$V_f$ (V)	Max $I_f$ (mA/ $\mu m$ )	Max $V_r$ (V)	
Rectificador	0.82	0.25	10	
Rectificador HV	0.83	0.25	50	
CAPACITORES	BV (V)	Area Cap (fF/ $\mu m^2$ )	Max $V_{CC}$	
Cap poly0/pol1	30	1.87	8	
Cap lineal poly0/pol1	20	1.02	8	

Tabla 1-1 Algunos dispositivos y sus características de XT06, [www.xfab.com](http://www.xfab.com).

### 1.5 Contenido del trabajo

El diseño de ASICS para dispositivos médicos implantable es de interés tanto para la academia como para la industria. Sin embargo, se tiene poca bibliografía respecto al diseño de ASICS para estimulación tanto en tensión como en corriente, sobre todo por el hecho que se trabaja con tecnologías HV que no siempre están disponibles a nivel universitario y las compañías líderes en esta área por cuestiones de propiedad intelectual no generan publicaciones.

A lo largo de este trabajo se intentará hacer algunas contribuciones al diseño de circuitos eficientes, y se mostrará varios circuitos ejemplo, para aplicaciones médicas implantables. Especialmente se trabajará con circuitos de estímulo y tensiones elevadas, circuitos seguros, pero también se presentará la técnica de linealización por sustrato (o *Bulk*) aplicada a filtros Gm-C de muy baja frecuencia para procesar la señal de un sensor en un marcapasos adaptivo.

En el Capítulo 2 se presentará la técnica de degeneración de *bulk*, aplicada a un sensor de actividad física utilizando un acelerómetro piezoeléctrico. Mediante esta técnica se demostrará que se puede alcanzar menores voltajes de alimentación y menor distorsión en comparación con otros trabajos previos publicados como en [5]. La técnica de degeneración de *bulk* ha sido poco estudiada explícitamente salvo por, Monsurrò, et. al en [7], siendo este trabajo el primer estudio que incluye medidas y la primera vez que se utiliza en un sistema de bajo consumo y/o aplicaciones médicas.

En el Capítulo 3 se presentará el desarrollo de adaptadores de nivel, (adaptadores de nivel o *Level Shifter* o LS, traducen voltajes digitales en diferentes dominios) para un rango amplio de voltaje: desde 0 a 18V e incluso voltajes negativos. Se presenta una metodología de diseño y topologías que permiten el desarrollo de un adaptador de amplio rango. Como aplicación ejemplo se presenta un multiplicador de tensión multicanal programable, que utiliza los adaptadores desarrollados para general las tensiones necesarias en un estimulador de tejido.

En el Capítulo 4 se hace énfasis en la seguridad; se presentarán algunos bloques de circuito que implementan el concepto de seguridad al estar en contacto directo con tejido biológico, a la hora de estimular. Se describirán sistemas de control para estimulación segura de tejido tanto en tensión como en corriente, e incluso un adaptador de nivel modificado (seguro).

Finalmente, en el Capítulo 5 se presentan las conclusiones generales y trabajo futuro.

## 2 Degeneración de *Bulk* en OTAs Lineales de Bajo Voltaje.

Los dispositivos médicos implantables adecuan su comportamiento en función del estado del individuo y su entorno, para ello obtienen la información mediante electrodos y sensores. En el caso de un marcapaso por ejemplo se mide la actividad cardíaca mediante electrodos en aurículas y ventrículos, o la actividad física de la persona a través de un sensor de aceleración (en el caso de marcapasos adaptivos) [5] [6].

Para amplificar y filtrar señales biológicas a veces se utilizan amplificadores operacionales de transconductancia (OTA por su sigla en inglés) que son de mucha utilidad debido a su bajo consumo de energía y versatilidad de implementar filtros de baja frecuencia. Los filtros preferidos utilizan transconductores y capacitores integrados, se denominan tipo  $G_m$ -C u OTA-C, según Schaumann en [35] y Sanchez, et. al en [36].

Los filtros  $G_m$ -C pueden alcanzar un consumo de  $\mu$ W como, Arnaud, et. al en [6], una propiedad muy importante para sistemas implantables. Pero la linealidad y el bajo voltaje de alimentación son una limitante, especialmente en el caso de transistores con elevado  $V_T$  común en las tecnologías utilizadas en aplicaciones médicas. Surge entonces la necesidad de proponer técnicas de circuitos que permitan aumentar el rango lineal de los OTAs y reducir el voltaje de alimentación, sin deteriorar el ruido y *offset* de los circuitos.

En esta sección se propondrá una técnica denominada de degeneración de *bulk* para aumentar el rango lineal de transconductores en circuitos de medida de nano-consumo. La técnica fue introducida hace algunos años por Monsurró, et al en [7] pero su aplicación aun es limitada, sin presentarse en las bibliografías realizaciones prácticas con circuitos fabricados y aplicaciones en sistemas de bajo consumo y/o aplicaciones médicas.

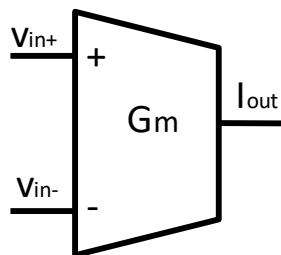
A continuación, se presenta la técnica de linealización por degeneración de *bulk* y su justificación. Luego se presenta un OTA que combina técnicas de degeneración tanto de *bulk* como de *source* alcanzando un rango lineal por encima de 1V con una fuente de alimentación que varía desde los 1.9V hasta los 5.5V. Este circuito fue fabricado en tecnología CMOS HV aislada XT06 de XFAB ([www.xfab.com](http://www.xfab.com)), lográndose un aumento del rango lineal con un deterioro despreciable en consumo, ruido u *offset*.

Finalmente se presenta circuito de adaptación para una señal proveniente de un acelerómetro piezoeléctrico para un sistema de tipo marcapaso, utilizando filtros  $G_m$ -C. El circuito consume 500nA, y puede amplificar señales desde los 15 $\mu$ V por su condición de bajo *offset* a la entrada. El circuito realizado ocupa un área total de 0.8mm<sup>2</sup>. Las especificaciones son similares al circuito, presentado por Arnaud, et. al [6] para la misma tarea, pero se alcanza un menor voltaje de alimentación gracias a la técnica de degeneración de *bulk* aplicada en los OTAs más comprometidos del circuito.

### 2.1 Introducción

Un amplificador operacional de transconductancia es un bloque de circuito con entrada usualmente diferencial e impedancia de entrada idealmente infinito, que a su salida entrega una corriente proporcional al voltaje de entrada (ecuación 2-1). De aquí en más llamaremos  $G_m$  o transconductancia del circuito, a la relación entre el voltaje diferencial de entrada y la corriente de salida (Ver Figura 2-1)

$$G_m = \frac{i_{OUT}}{v_{in+} - v_{in-}} \quad 2-1$$



**Figura 2-1 amplificador operacional de transconductancia, OTA por su sigla en inglés.**

La unidad de la transconductancia es el Siemens,  $1S = 1A/1V$ . Es claro que la relación lineal de la ecuación 2-1 vale dentro de ciertos límites, y para tensiones de entrada grandes el OTA empieza a saturar o presenta una distorsión significativa. El OTA puede ser un simple par diferencial o circuitos más complejos con el objeto de mejorar algunas características como linealidad, *offset*, rango de modo común, etc. Los OTAs son bloques analógicos muy versátiles que permiten amplificar y filtrar señales a un costo mínimo de consumo.

En los últimos años se han realizado muchos esfuerzos para el desarrollo de OTAs con muy baja transconductancia y gran rango lineal, características indispensables en circuitos biomédicos o dispositivos médicos implantables. En aplicaciones con señales biológicas se tienen componentes principales de frecuencia exigiendo una baja transconductancia. Para valores de capacitores integrables, a veces se requiere de OTAs con transconductancia tan pequeña como unos pocos nS o incluso menos, equivalentes a resistencias de varios  $G\Omega$  lo que requiere de técnicas de circuito especiales.

Los filtros implementados con OTAs y capacitores (filtros  $G_m$ -C) se han utilizado para procesar señales de forma eficiente en múltiples dispositivos médicos, como implantes cocleares, marcapasos, u otros dispositivos sensibles al consumo de energía [5], [37], [38], [39], [40], [41], [42], [43].

El desempeño de los filtros  $G_m$ -C usualmente está limitado por la respuesta lineal de los OTAs involucrados, y es por ello que existen varias técnicas para aumentar el rango lineal tales como: la degeneración de *source* y *gate* del par diferencial [40], [43], [44], [45], [46], los transistores controlados por *bulk* [40], [46], [47], el uso de un divisor capacitivo a la entrada [37] o *gate* flotantes y cuasiflotantes [46], [48], [49], transistores de entrada en trío [42], [50] o diferentes métodos de división de corriente [5], [39], [46], [51], [52], que han sido reportados en la literatura.

Luego de revisar las referencias citadas, es posible concluir que existen numerosas técnicas para reducir la transconductancia de OTAs con transistores, y aumentar el rango lineal. Pero a veces existe confusión entre la relación entre ambas características de un transconductor, y la relación con otras no idealidades del circuito como el *offset*, ruido, voltaje de alimentación, rango de modo común, etc. La limitante a la hora de diseñar un OTA de muy bajo valor no es la transconductancia en sí, sino que se debe considerar el problema en su conjunto incluyendo el consumo de corriente, *offset*, (etc.).

En la Figura 2-2 a), se presenta un OTA simétrico clásico. La transformación de voltaje a corriente ocurre en el par diferencial de entrada  $M_{1a,1b}$ , mientras que el resto de los transistores forman espejos de corriente que copian esta corriente hacia la salida.

## ASICS para dispositivos médicos implantables

Las transconductancias de muy bajo valor se pueden obtener polarizando los transistores con muy baja corriente, esto está limitada por las corrientes de fuga en el canal o los diodos de *drain* y *source*. Las corrientes de fuga del canal para  $V_{GS} \approx 0V$  se pueden reducir utilizando técnicas especiales de circuito como, presenta Linares-Barranco, et. al en [53] donde se presentan circuitos de femto-Ampers, o con la utilización de transistores largos como en [41] [50] [52] [54] donde se utilizan corrientes de polarización del orden de pA o inferiores en algunas de las ramas del OTA. El problema con las fugas en el canal se debe a que la corriente sub-umbral es inversamente proporcional al largo del transistor,

$$I_D \propto \frac{W}{L} \cdot e^{\frac{V_{GS}}{nU_T}}. \quad 2-2$$

La ecuación 2-2, es válida aun para  $V_{GS}$  negativo, entonces las corrientes de fuga pueden ser reducidas en uno o dos órdenes de magnitud simplemente eligiendo la relación de aspecto  $W/L$  adecuada.

En la ecuación 2-2  $V_{GS}$  es el voltaje entre *gate* y *source*,  $U_T$  el voltaje térmico,  $n$  es el factor de pendiente [55] y  $W$ ,  $L$  son el ancho y largo del canal del transistor respectivamente.

En la Figura 2-2 b), se muestra la corriente de salida normalizada, obtenida a partir de mediciones, de un OTA simétrico variando la corriente de polarización, desde algunas decenas de  $\mu A$  hasta una corriente mínima de 1.5pA. Como se puede apreciar en las curvas, el mayor problema no es obtener un bajo valor de transconductancia, sino el deterioro del rango lineal del OTA a medida que se disminuye la corriente de polarización y los transistores  $M_{1a,1b}$  entran en inversión débil (WI por su sigla en inglés). Para el transistor en WI el rango lineal a la entrada del OTA está entre 60-70mV, produciendo una distorsión significativa a la salida para valores a la entrada mayores [54].

El rango lineal del OTA medido en la Figura 2-2 b) empieza a aumentar solo cuando la corriente de polarización se incrementa, y los transistores de entrada ( $W=120\mu m$ ,  $L=0.6\mu m$ ) entran a operar en inversión moderada (MI por su sigla en inglés). El par diferencial puede ser diseñado para operar en MI, o en inversión fuerte (SI por sigla en inglés) para aumentar el rango lineal del OTA a expensas de transistores muy largos en el caso de corrientes de polarización bajas, y un  $V_{GS1}$  grande que limitará el rango de la fuente de alimentación del OTA ( $V_{CC}$ ). Más aun en el caso de querer polarizar con algunos pocos pA, los transistores  $M_{1b,1b}$  necesarios son tan largos para mantenerse en MI que se vuelven imprácticos.



## ASICS para dispositivos médicos implantables

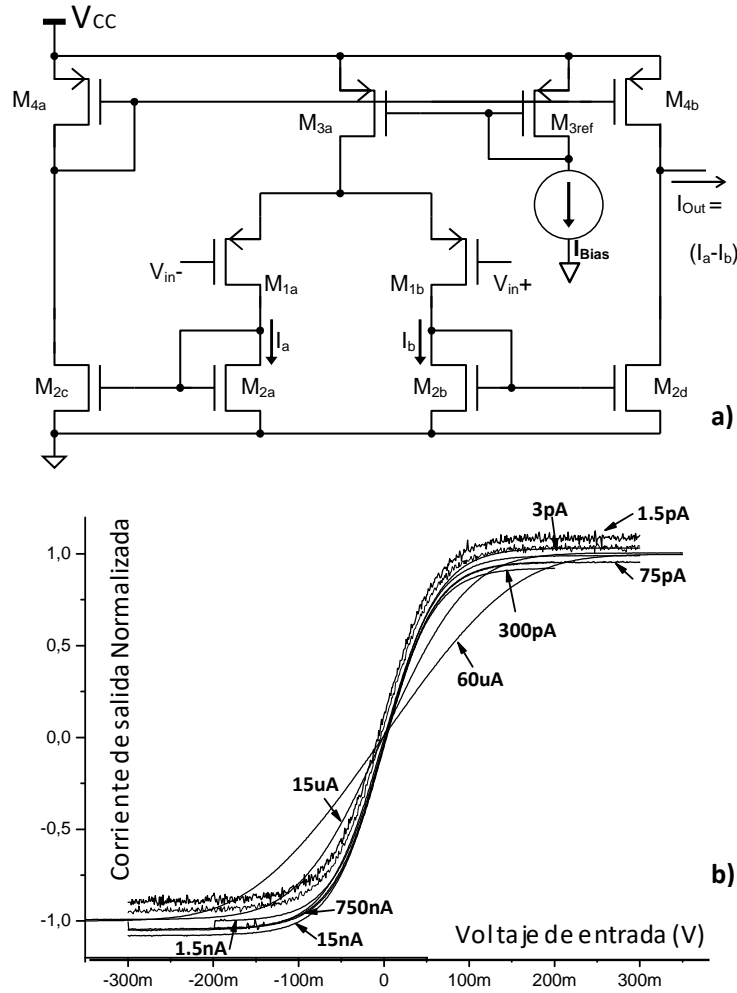


Figura 2-2 a) OTA simétrico estándar b) Corriente de salida medida de un OTA ( $W_{1a,1b}=120\mu\text{m}$ ,  $L_{1a,1b}=0.6\mu\text{m}$  y  $V_{CC}=3\text{V}$ ), para  $I_{Bias}=1.5\text{pA}$  hasta  $I_{Bias}=60\mu\text{A}$ . La corriente de salida es normaliza respecto a  $I_{Bias}$ .

### 2.1.1 Técnicas de linealización de OTAs

En circuitos prácticos, para manejar señales grandes a la entrada, los diseñadores deben emplear técnicas de aumento del rango lineal de los OTAs. En la Figura 2-3 se muestra un ejemplo clásico de degeneración de *source* mediante el uso de una resistencia, y en la Figura 2-4 se muestra el esquemático con sus dimensiones para un OTA con degeneración de *source* que utiliza transistores como en [45], en lugar de la resistencia de la Figura 2-3. Para el circuito de esta última figura se utilizó un arreglo de con división 1/25 serie-paralelo presentando un rango lineal de aproximadamente 1V y una transconductancia de 2.6nS [52].

La degeneración de *source* con el agregado de una resistencia es una técnica muy simple y la más utilizada por los diseñadores a la hora de aumentar el rango lineal de un OTA. El principio de funcionamiento es que a medida que aumenta la entrada o desbalance en el par diferencial, aumenta la corriente por la resistencia  $R_{deg}$ , lo que a su vez genera una diferencia de potencial entre *sources* que tiende a compensar el desbalance. Con la utilización de esta técnica, la transconductancia baja, y siendo la resistencia un elemento lineal el rango lineal

## ASICS para dispositivos médicos implantables

aumenta por efecto de la realimentación de tensión. Una variante conocida de este circuito es la que se presenta en [45] que sustituye las resistencias por transistores en zona lineal con un control adicional del *gate* para aumentar el rango lineal, siendo el mismo principio de funcionamiento.

Mediante un análisis de pequeña señal, la transconductancia efectiva del par diferencial de la Figura 2-3 denominada  $G_{mR}$  dada en función de  $R_{deg}=2R$  y la transconductancia  $g_{m1}$  de los transistores  $M_{1a,1b}$  es,

$$G_{mR} = \frac{i_a - i_b}{v_{in+} - v_{in-}} = \frac{g_{m1}}{(1 + g_{m1}R)}. \quad 2-3$$

Sin perjuicio de la degeneración de *source*, existen muchas otras técnicas para aumentar el rango lineal con diferentes circuitos. Sin embargo, el uso de OTAs con arquitecturas complejas puede llevar a un incremento en ruido, consumo, *offset* por desajuste, aumento de área de silicio, entre otros efectos no deseados, lo que constituye un compromiso para el diseño [46].

En general, son poco adecuadas para circuitos de bajo voltaje, las técnicas de aumento del rango lineal que apilan varios transistores en la misma rama de circuito, o las que aplican división de voltaje.

Las técnicas de aumento del rango lineal tienden a incrementar el *offset* referido a la entrada, por ejemplo, en la división de voltaje el *offset* referido a la entrada queda incrementado por el factor de división. O como se demostrará más adelante, pares diferenciales controlados por *bulk* también incrementan el *offset* referido a la entrada. El *offset* referido a la entrada para OTAs de baja transconductancia fija el límite de la precisión en varios filtros para dispositivos médicos implantable, ya que estos filtros  $G_m$ -C pueden formar parte de un lazo de cancelación de componente continua, o de integradores entre otros; en ambos casos el *offset* referido a la entrada es el límite de la precisión de estos circuitos analógicos [5].

La división de corriente a la salida como en la Figura 2-4 puede reducir el valor de la transconductancia, pero el rango lineal se mantiene igual. En [52] varios OTAs sub nS que utilizan división de corriente serie-paralelo (S-P) a la salida son presentados. Se realiza la conversión de tensión en corriente en un par diferencial estándar o linealizado como en la Figura 2-2 o la técnica que fuera, o simplemente polarizado con una corriente elevados valores de corriente para ampliar el rango lineal, y luego dividir la corriente hacia la salida para obtener el valor deseado de transconductancia. El factor de división puede llegar a los miles, y como se demuestra en [6], [52], esta técnica no incrementa el *offset* o ruido a la entrada de manera significativa, mientras que mantiene un área de transistores moderada. Mediante la división S-P, se pueden obtener valores muy bajos de transconductancia equivalentes a resistencias de varios GΩ con muy bajas corrientes de polarización [52].

En resumen, el problema del diseñador de OTAs de muy baja transconductancia y amplio rango lineal es el siguiente: cómo incrementar el rango lineal del par diferencial con el presupuesto de corriente que se tiene, mientras que mantiene un bajo ruido y *offset* referidos a la entrada, con un área reducida de transistores etc. No es un problema el valor de la transconductancia en sí, ya que hasta tanto las corrientes de fuga no impongan un límite se puede dividir la corriente del OTA con un arreglo S-P de transistores. El rango lineal a su vez debe ser preservado para el valor más bajo posible de fuente de alimentación, teniendo en cuenta la variación de los parámetros de la tecnología seleccionada.

ASICS para dispositivos médicos implantables

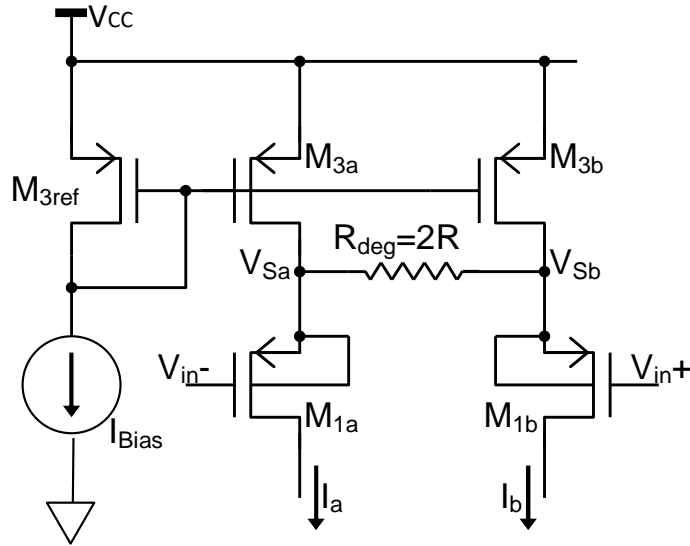


Figura 2-3 Par diferencial CMOS con técnica de degeneración de *source* con resistencia y corriente de polarización dividida.

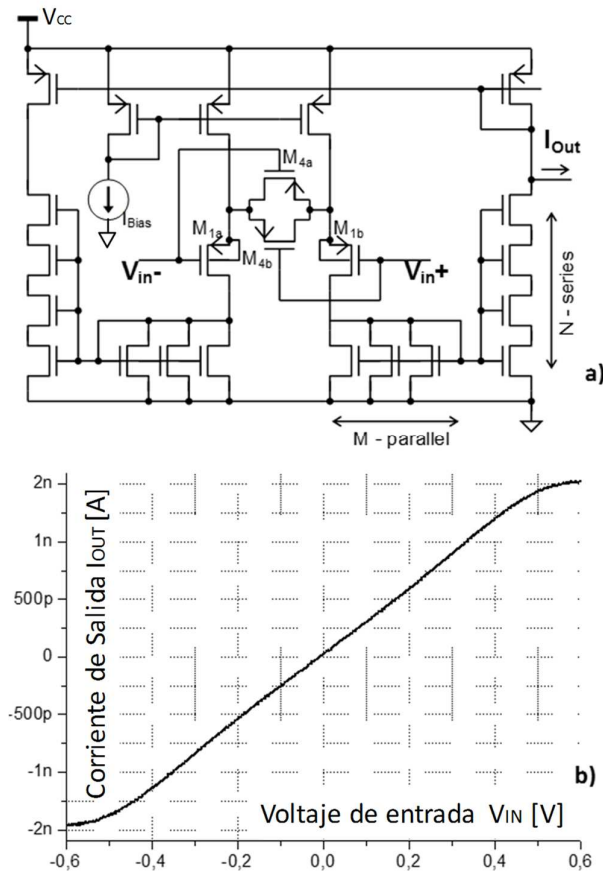


Figura 2-4 a) OTA con degeneración de *source* utilizando transistores en lugar de resistencias [45], combinado con M transistores en paralelo y N en serie para división S-P a la salida. b) Transferencia medidas del OTA con 2.6nS de transconductancia y rango lineal de 1V. Dimensiones de  $M_{1a,b}$  es  $W_1/L_1=10\mu\text{m}/130\mu\text{m}$ ,  $M_4$  es  $W_4/L_4=5\mu\text{m}/520\mu\text{m}$  y una corriente de polarización de 25nA, con división S-P M=5 y N=5.

### 2.1.2 Degeneración de *source* y de *bulk*

En general la degeneración de *source* como la de la Figura 2-3 es preferida por los diseñadores por su simplicidad y buen funcionamiento para bajo voltaje. El *offset* a la entrada se mantiene en el entorno de los pocos mV y el ruido referido a la entrada es similar al de un OTA estándar, sin incrementar el consumo. Pero la degeneración de *source* tiene sus límites, y una corriente mínima de polarización del orden de cientos de nA es requerida en el circuito de la Figura 2-3 con resistencias de varios M $\Omega$ , para alcanzar un rango lineal por arriba de 1V.

En este caso los transistores de entrada estarán polarizados en MI teniendo un  $V_{GS}$  relativamente elevado y una caída de voltaje significativa aparece en  $R_{deg}$  para valores elevados de voltaje de entrada.

La consecuencia, es una reducción del rango lineal del OTA para valores bajos de la fuente de alimentación. Por ejemplo, el rango lineal de la Figura 2-4 fue medido para  $V_{CC}=2.4V$ , pero este valor de rango lineal baja para  $V_{CC}<2.3V$ , se midió un rango lineal por debajo de 800mV para  $V_{CC}=2V$  (la definición de rango lineal es un poco arbitraria, en este trabajo se toma tal como en [6], [54], el rango para el cual la salida real se aparta del caso lineal hasta un 5%).

La degeneración de *bulk* del par diferencial de un OTA, consiste en aplicar un voltaje diferencial incremental a los *bulks* a medida que se desbalancea el voltaje de entrada del par diferencial [7]. Así como en la degeneración de *source*, este voltaje tiende a disminuir las corrientes en el par diferencial, bajando la transconductancia e incrementando el rango lineal. En la Figura 2-5 a) se presenta un posible esquemático de degeneración de *bulk*; la cual ayuda a extender el rango lineal del par diferencial original aun para valores muy bajos de la fuente de alimentación.

Muy pocos artículos han sido publicados sobre degeneración de *bulk*, más aún cuando se trata de OTAs de muy baja transconductancia, mientras que la degeneración de *source*, e incluso los pares diferenciales con la entrada por el *bulk* han sido ampliamente utilizados en el pasado (en el segundo caso combinado incluso con degeneración de *gate* como en [40], [44]).

A diferencia de los pares diferenciales comandados por *bulk*, en la degeneración de *bulk* la señal del par diferencial entra por el *gate* y el voltaje de compensación es aplicado a los *bulks* del par diferencial. La degeneración de *Bulk* es introducida como tal por primera vez recién en 2007 por Monsurró, et. al en [7] donde se propone esta técnica, y se realiza una demostración de la mejora en la linealidad (disminución de distorsión) solo para inversión fuerte. Entre otros, presentan el diseño de un OTA con una topología parecida a la de la Figura 2-5 a) con un consumo de corriente de 1mA pensado para trabajar hasta 100MHz con simulaciones, pero no medidas.

Existen también unos pocos otros trabajos que han reportado circuitos particulares, que utilizan de alguna forma u otra la degeneración de *bulk* sin analizar la técnica de circuito como tal [56], [57] ; bajo esta situación es muy difícil realizar la búsqueda de casos.

A continuación, en este trabajo primero se demostrará para el circuito de la Figura 2-3(en comparación con el de la Figura 2-5), que al usar la degeneración de *bulk* el rango lineal de un OTA se puede extender en algunos cientos de mV, y/o el voltaje de alimentación se puede reducir en algunos cientos de mV, todo ello preservando las características del circuito (ruido, *offset*, área). La linealización por *bulk* puede ayudar entonces en el caso de filtros  $G_m$ -C en ASICS para aplicaciones médicas, pudiendo funcionar a menor voltaje aprovechando el ciclo completo de vida de las baterías aplicadas en este tipo de sistemas. Es necesario mencionar

que en aplicaciones médicas por diversos motivos todavía se utilizan tecnologías especiales con transistores con voltajes umbrales  $V_T$  cercanos a 1V.

Luego se presenta un OTA de baja transconductancia basado en degeneración de *bulk*, mostrando tanto de forma analítica como con simulaciones y medidas, que el circuito propuesto está apto para operación en bajo voltaje de alimentación, nano consumo de corriente, y alta eficiencia en términos de *offset* a la entrada y rango lineal (Sección 2.2).

En la Sección 0, se presenta un a aplicación, un circuito biomédico que consta de un amplificador pasa-banda de baja frecuencia y rectificador para procesar la señal de un acelerómetro.

### 2.1.3 Modelo de desapareo y parámetros de pequeña señal de los transistores MOS

Es ampliamente reconocido que el desempeño tanto de los circuitos analógicos como digitales MOS está limitado por el desapareo entre transistores. El desapareo puede ser modelado por variaciones aleatorias en la geometría, voltaje umbral, u otros parámetros de los dispositivos. Sin embargo, la aproximación usual del diseño es considerar variaciones solo en el voltaje umbral  $V_T$  y en el factor de corriente  $\beta = \mu C'_{ox} W/L$ , donde  $\mu$  es la movilidad,  $C'_{ox}$  es la capacidad de óxido de *gate* por unidad de área y  $W, L$  son el ancho y largo del transistor respectivamente. La diferencia en  $V_T$  y  $\beta$  de dos transistores adyacentes se puede modelar como una distribución normal con una cierta desviación estándar  $\sigma$  (SD por su sigla en inglés) dados por [58], y [59],

$$\sigma_{V_T}^2 = \frac{A_{V_T}^2}{WL}, \quad \frac{\sigma_{\beta}^2}{\beta^2} = \frac{A_{\beta}^2}{WL}. \quad 2-4$$

En 2-4  $A_{V_T}$  y  $A_{\beta}$ , son parámetros de la tecnología con valores típicos de algunas pocas decenas de  $mV \cdot \mu m$  para  $A_{V_T}$  y 1 a  $5\% \mu m$  para  $A_{\beta}$ .

Para los cálculos analíticos y modelo de pequeña señal en este trabajo, se utilizó el modelo de una sola ecuación válido para todas las regiones de inversión de Cunha, A. et al presentado en [55]. Con este modelo fue realizado el análisis teórico (cálculos analíticos) de la degeneración de *bulk*, particularmente las transconductancias del modelo en pequeña señal  $g_m, g_{ms}$  y  $g_{mb}$  (*gate, source* y *bulk* respectivamente,  $g_{md}$  se deprecia ya que los transistores se encuentran saturados) están relacionados por,

$$g_m = \frac{g_{ms}}{n} = \frac{g_{mb}}{(n-1)}, \quad 2-5$$

donde  $n$  es el factor de pendiente, levemente mayor a 1 y débilmente dependiente del voltaje de *gate*. En adelante, para un cierto transistor  $M_x$ , las transconductancias de *gate, source, bulk*, voltaje umbral, corriente de *drain* en DC, SD de voltaje umbral, SD de factor de corriente, razón y área de *gate* se denotarán como:  $g_{m_x}, g_{ms_x}, g_{mb_x}, V_{T_x}, I_{D_x}, \sigma_{V_T}, \sigma_{\beta}, (W/L)_x$  y  $(W \cdot L)_x$ , respectivamente.

Si bien el modelo de [55] es muy útil para cálculos a mano y el análisis simbólico, para las simulaciones se utilizó Bsim3V3 [60], ya que se disponía de modelos provistos por el fabricante. En varias simulaciones se utilizaron diferentes modelos *tm* (típico), *ws* (peor caso de transistor lento), y *wp* (peor caso de consumo de potencia o transistor más rápido)

## ASICS para dispositivos médicos implantables

provistos por el fabricante para analizar los casos límite. En particular el caso  $ws$  corresponde a los transistores con el  $V_T$  más grande dentro de los límites que garantiza el fabricante, y se corresponde al caso límite para la operación a bajo voltaje de alimentación.

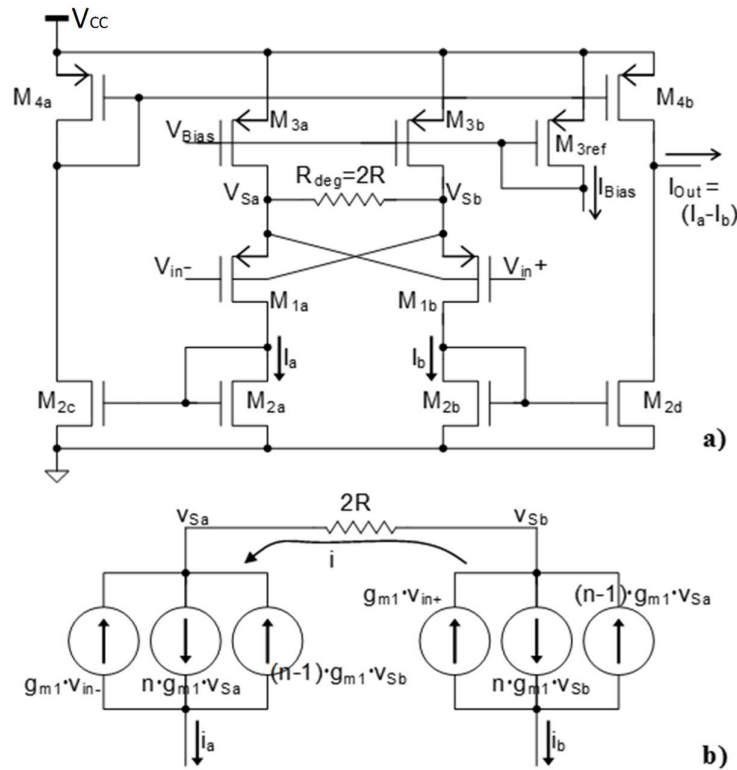


Figura 2-5 a) OTA propuesto que combina degeneración de *source* y *bulk* para aumentar el rango lineal b) Análisis en pequeña señal del par diferencial del OTA propuesto ( $g_{md} \approx 0$  debido a que el par se encuentra saturado).

## 2.2 El OTA propuesto

El OTA propuesto se muestra en la Figura 2-5 a). Consiste en un par diferencial modificado como el de la Figura 2-3, pero se le agrega degeneración de *bulk*. El *bulk* del transistor  $M_{1a}$  es conectado al *source* del transistor  $M_{1b}$  y viceversa, reduciendo la transconductancia del par diferencial. De hecho, si el voltaje en  $V_{in+}$  aumenta con respecto a  $V_{in-}$ , una corriente circulará por la resistencia de degeneración  $R_{deg}$  y el voltaje de *bulk* del transistor  $M_{1a}$  es menor que el del transistor  $M_{1b}$ ; el efecto *Body* compensa en parte la corriente de salida reduciendo el valor de la transconductancia. Como  $R_{deg}$  es un elemento lineal, la realimentación serie aumenta también la linealidad y se reduce la distorsión. La degeneración de *bulk* puede ser explicada más simplemente con un análisis en pequeña señal del par diferencial como se muestra en la Figura 2-5 b). Utilizando la ecuación 2-5, las corrientes en pequeña señal  $i_{a,b}$  son,

$$i_a = -g_{m1} \cdot v_{in-} + n g_{m1} v_{Sa} - (n-1) g_{m1} v_{Sb} \quad (a)$$

$$i_b = -g_{m1} \cdot v_{in+} + n g_{m1} v_{Sb} - (n-1) g_{m1} v_{Sa} \quad (b) \quad 2-6$$

La corriente de salida  $i_{out}$  está dada por la resta de 2-6-a y 2-6-b,

$$i_{out} = i_a - i_b = 2i = g_{m1} \cdot v_{in+} + (2n - 1)g_{m1}(v_{Sa} - v_{Sb}), \quad 2-7$$

en 2-7 la corriente  $i = -(v_{Sa} - v_{Sb})/2R$  está definida en la Figura 2-5 b), y el voltaje diferencial de entrada en pequeña señal es  $v_{in} = v_{in+} - v_{in-}$ .

Utilizando la ecuación 2-7, se tiene que la transconductancia efectiva  $G_{mRB}$  del OTA de la figura Figura 2-5 a) que combina degeneración de *source* y *bulk* es,

$$G_{mRB} = \frac{i_{out}}{v_{in}} = \frac{g_{m1}}{[1 + (2n - 1)g_{m1}R]}. \quad 2-8$$

De las ecuaciones 2-5, 2-8, y debido a que  $n > 1$ , se tiene que  $G_{mRB} < G_{mR}$  para la misma corriente de polarización. También la degeneración tiende a reducir el desbalance de corriente, ampliando el rango lineal. En la Figura 2-6 se presentan simulaciones de la trasferencia del OTA de la Figura 2-5 a), con  $R_{deg} = 7.5M\Omega$ ,  $(W/L)_I = 48\mu M/12\mu m$  e  $I_{Bias} = 40nA$ . La transconductancia definida como la pendiente para  $V_{in} = 0$  cae desde 209nS (con degeneración de *source*, pero no de *bulk*) a 159nS (con degeneración de *source* y *bulk*) de forma consistente con la ecuación 2-8, y el rango lineal aumenta en un 20% hasta casi  $V_{Lin} = 1V$ .

En los circuitos biomédicos, la linealidad es mejor descrita por el rango lineal o rango dinámico total más que por la distorsión de tercer armónico o distorsión armónica total, debido a que el interés radica en las señales más grandes que pueden ser procesadas y las más pequeñas que pueden ser distinguidas, y no cuán distorsionadas son.

Para definir el rango lineal primero se toma el error normalizado como,

$$e = \frac{I_{Out} - G_{meff} V_{in}}{G_{meff} V_{in}}, \quad 2-9$$

donde  $G_{meff}$  ( $G_{meff} = G_{mRB}$ , en nuestro caso) es la transconductancia efectiva de un cierto par diferencial modificado en el entorno de  $V_{in} = 0$  [54] ( $G_{meff} = G_{mRB}$ , en nuestro caso). El rango lineal  $V_{Lin}$  será definido como el rango donde el error de la corriente normalizada de salida definido en la ecuación 2-9 es menor a un cierto valor ( $\alpha = 5\%$  por ejemplo); si  $|V_{in}| < V_{Lin}/2$  entonces  $|e| < \alpha$ . Sin perjuicio de ello, en la Figura 2-7 se muestra la simulación de distorsión de tercer armónico (HD<sub>3</sub>, por su sigla en inglés) para el OTA de la Figura 2-5 a) sin y con degeneración de *bulk*, donde es evidente una disminución del HD<sub>3</sub> en el último caso.

Lo presentado en la Figura 2-7, es consistente con las simulaciones en [7], incluyendo el punto óptimo en el entorno de los 200mV donde el HD<sub>3</sub> es mínimo. Se debe mencionar que las simulaciones se realizaron para muy baja frecuencia (debajo de 20Hz), despreciando no idealidades y efectos de segundo orden debido a capacitores parásitos. De todos modos, esta aproximación tiene sentido ya que el OTA en este trabajo está polarizado con corrientes varios ordenes de magnitud por debajo del presentado por Chatterjee, et. al en [56] o Monsurrò, et al en [7].

## ASICS para dispositivos médicos implantables

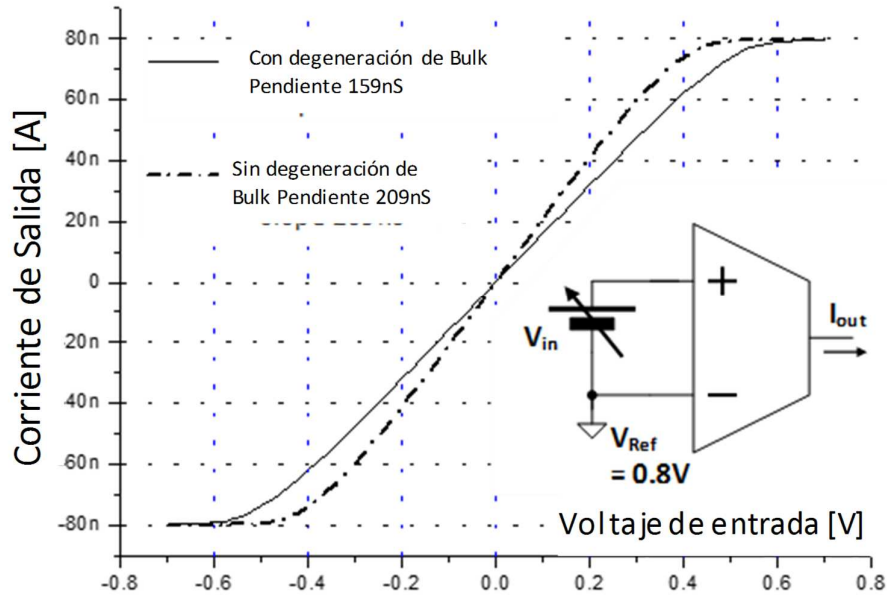


Figura 2-6 Simulaciones de la trasferencia del OTA de la Figura 2-5 a) sin y con degeneración de *bulk*, con  $R_{deg}=7.5M\Omega$ ,  $(W/L)_1=48\mu M/12\mu m$  e  $I_{Bias}=40nA$ .

En la simulación sin degeneración de *bulk*, el *bulk* de cada transistor en la Figura 2-5 (a) se conecta a su propio *source*.

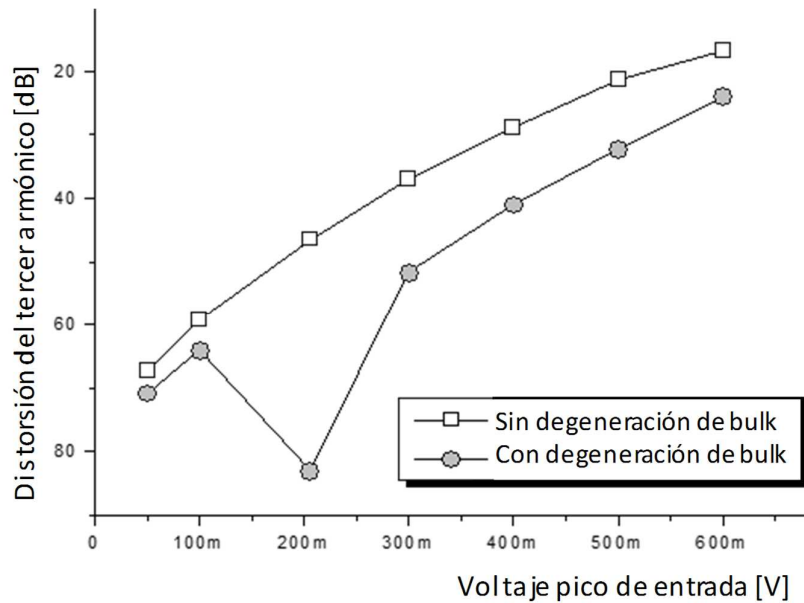


Figura 2-7 Simulación de distorsión del tercer armónico ( $HD_3$ ) del OTA propuesto, sin y con degeneración de *bulk*.

Los rangos lineales de 1V a la entrada se pueden obtener con diferentes pares diferenciales como los de las Figura 2-3 y Figura 2-4, otro problema para los diseñadores es el desafío de mantener dicho rango lineal para una fuente de alimentación baja y/o utilizando transistores con parámetros extremos de la tecnología elegida. Por ejemplo, en la Figura 2-8, se muestra la transferencia corriente-tensión simulada del OTA propuesto (línea sólida) para  $V_{CC}=2V$  y

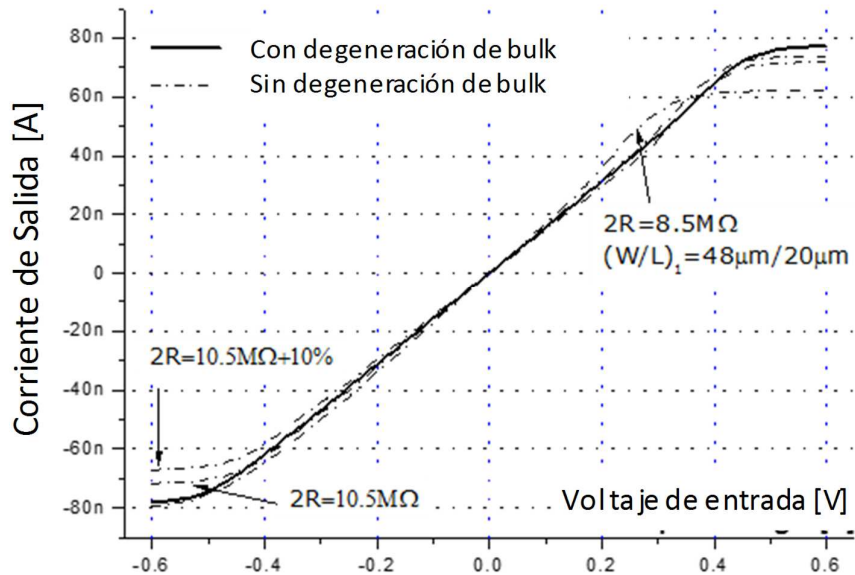


## ASICS para dispositivos médicos implantables

usando el peor caso de  $V_T$  de los transistores (WS), y varias simulaciones para OTAs con par diferencial linealizado, pero no en el *bulk* (línea punteada). Las simulaciones son:

- Degeneración de *source* como el de la Figura 2-3, con  $R_{deg}=8.5M\Omega$ ,  $(W/L)_1=48\mu\text{M}/20\mu\text{m}$  (un poco más largos que el valor original para llevarlos a SI).
- Degeneración de *source* original de la Figura 2-3, con  $R_{deg}=10.5M\Omega$ ,  $(W/L)_1=48\mu\text{M}/12\mu\text{m}$ .
- El mismo que b), pero con incremento en un 10% en la resistencia de degeneración (variación posible en el proceso de fabricación).

Como se puede apreciar en el caso a) el rango lineal se reduce a medida que  $V_{GS}$  y la caída de voltaje en la resistencia  $R_{deg}$  aumentan, para el caso b) el rango lineal se ve levemente reducido debido a la mayor caída de voltaje en  $R_{deg}$ , y para el caso c) esta pérdida de rango lineal es más marcada aun por el incremento en 10% de la resistencia de degeneración. El par diferencial con degeneración de *bulk* es el que muestra las mejores características comparado con los anteriores. En la Figura 2-9 se muestra el porcentaje de error  $e$  (ecuación 2-9) de los OTAs de la Figura 2-6 y Figura 2-8, como se puede apreciar en el caso de bajo voltaje de alimentación las gráficas no son simétricas.



**Figura 2-8** Trasferencias simuladas para varios pares diferenciales para, peor caso de  $V_T$  y  $V_{CC}=2V$  y la misma corriente de polarización. La línea continua es del OTA propuesto, líneas punteadas pares diferenciales como el de la Figura 2-3.

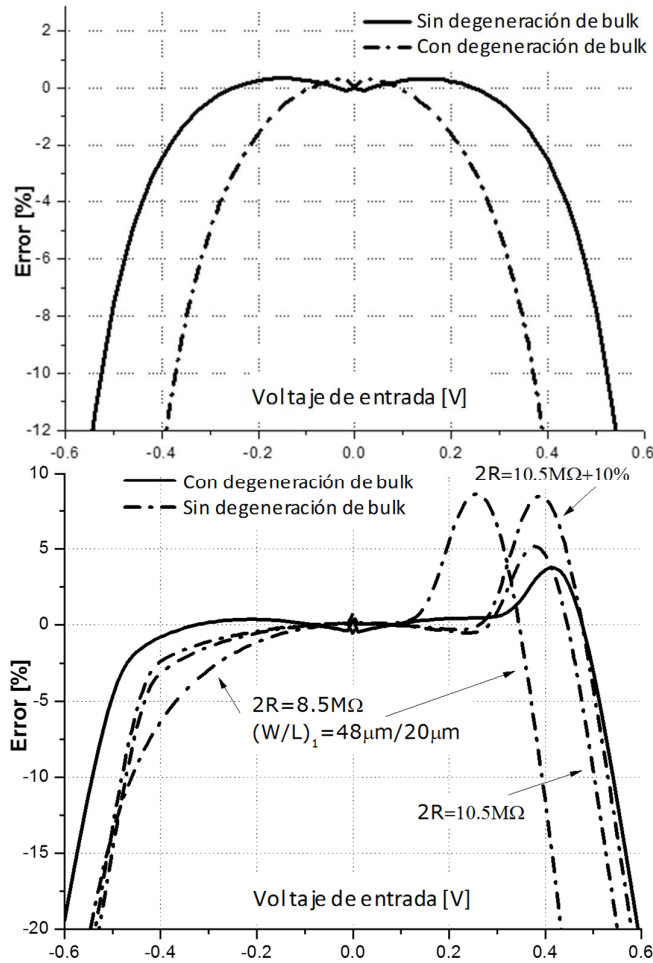


Figura 2-9 Arriba, porcentaje de error  $e$  de los OTAs de la Figura 2-5, abajo porcentaje de error de los OTAs de la Figura 2-8. En caso de abajo el error no es simétrico debido al bajo voltaje de alimentación ( $V_{CC}=2V$ ).

Uno de los motivos por los cuales la degeneración de *bulk* puede no resultar atractiva, es el hecho que los sustratos varían su potencial respecto a *source* por tanto es necesario estudiar las consecuencias. Es importante asegurar que ningún diodo o transistor parásito conduzca. En la Figura 2-10 se muestra un corte transversal de los transistores de entrada del OTA con degeneración de *bulk*, incluyendo los diodos parásitos para estudiar el efecto del voltaje negativo de  $V_{BS}$ .

Debido a que los transistores  $M_3$  de la Figura 2-5 son espejos de corriente, cualquier fuga por las junturas estará limitada a  $I_{Bias}$ . Pero corrientes de algunas decenas de nA o incluso decenas de  $\mu A$  difícilmente disparen el *latchup* de cualquier transistor bipolar parásito. Sin embargo los diodos *source-bulk* pueden afectar las características de la transferencia del OTA. Según se aprecia en la Figura 2-10, cualquier fuga a través de los diodos *source-bulk* está en paralelo con la resistencia  $R_{deg}$  y de las ecuaciones 2-7 y 2-8 la caída de voltaje en la resistencia  $R_{deg}$  es  $|V_{Sa} - V_{Sb}| \approx RG_{mRB}V_{in}$ .

En el caso de la Figura 2-5,  $RG_{mRB} \approx 0.6$  por esto en el peor caso posible, cuando el voltaje de entrada es la mitad de  $V_{Lin}$ , el voltaje en  $R_{deg}$  es solo 0,5V, suficientemente pequeño para considerar que la corriente a través de los diodos es nula (no afecta la transferencia del OTA).

Si bien será necesario estudiar el efecto de los diodos en nuevos circuitos, en todos los que se han analizado en este trabajo el efecto de las fugas si las hay al variar los voltajes de sustrato, es despreciable.

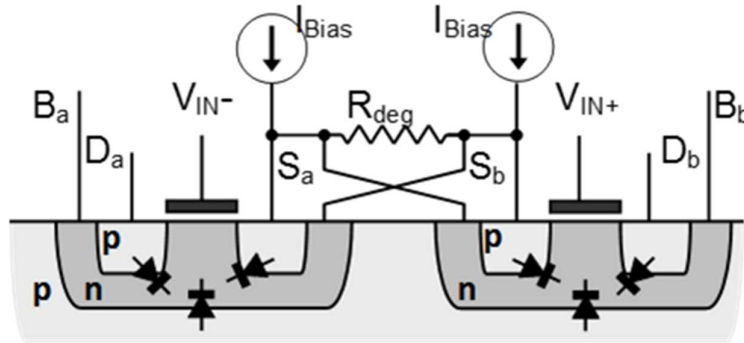


Figura 2-10 corte trasversal de los transistores de entrada del OTA con degeneración de *bulk*, incluyendo los diodos parásitos.

### 2.2.1 Análisis de offset

Como se menciona en [5] [61] el *offset* es importante en OTAs de muy baja transconductancia, y en efecto el OTA propuesto no incrementa de forma significativa el *offset* referido a la entrada. Para estimar el *offset* por despareo se hace las consideraciones usuales: pequeñas variaciones de  $\Delta V_{Ti}$  y  $\Delta \beta_i$  para cada transistor  $M_i$  de la Figura 2-5 y mediante un análisis de pequeña señal ajustar en un valor de  $\Delta v_{in}$  en el terminal positivo  $V_{in+}$  para cancelar la corriente de salida. Utilizando,

$$\begin{cases} \frac{\partial I_{Di}}{\partial V_{Ti}} = -g_{mi} \\ \frac{\partial I_{Di}}{\partial I_{\beta i}} = \frac{I_{Di}}{I_{\beta i}} \end{cases} \quad 2-10$$

Se puede realizar un análisis en pequeña señal análogo al de las ecuaciones 2-6-a,b para estimar  $i_{a,b}$ ,

$$\begin{aligned} i_a &= -g_{m1} \cdot \Delta v_{in} + n g_{m1} \Delta v_{Sa} - (n-1) g_{m1} \Delta v_{Sb} - g_{m1} \Delta V_{T1a} + \frac{I_D}{I_{\beta 1}} \cdot \Delta \beta_{1a} \quad (a) \\ i_b &= n g_{m1} \cdot \Delta v_{Sb} - (n-1) g_{m1} \Delta v_{Sa} - g_{m1} \Delta V_{T1b} + \frac{I_D}{I_{\beta 1}} \Delta \beta_{1b} \quad (b) \end{aligned} \quad 2-11$$

Para un corriente de salida nula,  $i_{a,b}$  deben ser iguales, también así  $\Delta V_{Sa,b}$  por tanto,

$$-g_{m1} \cdot \Delta v_{in} - g_{m1} (\Delta V_{T1a} - \Delta V_{T1b}) + \frac{I_D}{I_{\beta 1}} (\Delta \beta_{1a} - \Delta \beta_{1b}) = 0. \quad 2-12$$

La desviación estándar del voltaje de entrada puede ser calculada:

$$\sigma_{v_{in1}}^2 = (\sigma_{V_T})_1^2 + \frac{I_D^2}{g_{m1}^2} \left( \frac{\sigma_{\beta}}{\beta} \right)_1^2 \quad 2-13$$

## ASICS para dispositivos médicos implantables

En la ecuación 2-13,  $\sigma_{v_{in1}}^2$  refiere a la desviación estándar (SD, por si sigla en inglés) del *offset* del OTA de la Figura 2-5, generado solamente por el desapareo de los transistores  $M_{1a,b}$ . Aun es necesario calcular el aporte al *offset* referido a la entrada del espejo superior  $M_3$ , ( $\sigma_{v_{in3}}^2$ ). Se supone que  $M_{3a}$  tiene una corriente de *drain* mayor que la de  $M_{3b}$ ,  $I_{D3a}=I_{D3b}+\Delta I_3$  y el voltaje de entrada  $\Delta v_{in3}$  es aplicado para que  $\Delta I_3$  se reparta en dos partes iguales para balancear el desapareo y cancelar la corriente de salida. Como en las ecuaciones 2-11-a,b,

$$\begin{aligned} \frac{\Delta I_3}{2} &= -g_{m1} \cdot \Delta v_{in} + n g_{m1} \Delta v_{Sa} - (n-1) g_{m1} \Delta v_{Sb} & (a) \\ \frac{\Delta I_3}{2} &= n g_{m1} \cdot \Delta v_{Sb} - (n-1) g_{m1} \Delta v_{Sa} & (b) . \end{aligned} \quad \mathbf{2-14}$$

Pero ahora  $\Delta v_{Sa}-\Delta v_{Sb}=R\Delta I_3$  entonces restando las ecuaciones 2-14-a,b, y considerando la SD tenemos,

$$\sigma_{v_{in3}}^2 = \left( \frac{1 + (2n-1)g_{m1}R}{g_{m1}} \right)^2 \sigma_{\Delta I_3}^2 = \left( \frac{1}{G_{mRB}} \right)^2 \left( g_{m3}^2 \sigma_{v_{T3}}^2 + I_{D3}^2 \left( \frac{\sigma_{\beta}}{\beta} \right)_3^2 \right). \quad \mathbf{2-15}$$

El resultado sería prácticamente el mismo si se repitieran los cálculos para el par diferencial de la Figura 2-3, simplemente cambiaría  $G_{mRB}$  por  $G_{mR}$ . Por último  $\sigma_{v_{in2}}$  y  $\sigma_{v_{in4}}$  son el aporte al *offset* a la entrada de los transistores  $M_{2a-2c,2b-2d}$  y  $M_{4a-4b}$  respectivamente, y son calculados con el procedimiento usual de propagar el efecto del desapareo en espejos de corriente traído a la entrada utilizando  $G_{mRB}$  de la ecuación 2-8 [52].

La SD del *offset* referido a la entrada se toma como la raíz cuadrada de la suma cuadrática de los aportes individuales,

$$\sigma_{v_{in}} = \sqrt{\sigma_{v_{in1}}^2 + \sigma_{v_{in2}}^2 + \sigma_{v_{in3}}^2 + \sigma_{v_{in4}}^2}. \quad \mathbf{2-16}$$

La técnica de degeneración apunta generalmente al incremento del rango lineal, por esto  $G_{mR}, G_{mRB} \ll g_{m1}$ , haciendo que en general  $\sigma_{v_{in2}}$ ,  $\sigma_{v_{in3}}$  y  $\sigma_{v_{in4}}$  sean los términos dominantes en la ecuación 2-16 y determinen el *offset* referido a la entrada:

$$\sigma_{v_{in}} = \sqrt{\left[ \left( \frac{K^2+1}{K^2 G_{mRB}^2} \right) + \left( \frac{N^2+1}{N^2 G_{mRB}^2} \right) \right] \left( g_{m2}^2 \sigma_{v_{T2}}^2 + I_{D2}^2 \left( \frac{\sigma_{\beta}}{\beta} \right)_2^2 \right) + \left( \frac{1}{G_{mRB}} \right)^2 \left( g_{m3}^2 \sigma_{v_{T3}}^2 + I_{D3}^2 \left( \frac{\sigma_{\beta}}{\beta} \right)_3^2 \right) + \dots + \left( \frac{H^2+1}{H^2 K^2 G_{mRB}^2} \right) \left( g_{m4}^2 \sigma_{v_{T4}}^2 + I_{D4}^2 \left( \frac{\sigma_{\beta}}{\beta} \right)_4^2 \right), \quad \mathbf{2-17}$$

donde K, N y H son las relaciones de copias de los espejos  $M_{2a-2c}$ ,  $M_{2b-2d}$  y  $M_{4a-4b}$  respectivamente.

Es importante aclarar que la degeneración de *bulk* no es lo mismo que un par manejado por el *bulk*. Mientras que el rango lineal de un par diferencial utilizando la técnica de degeneración de *bulk* propuesta o un par diferencial controlado por *bulk* como el de la Figura 2-11 [46], [47] son similares, el primero es más eficiente. En primer lugar, porque la entrada del par diferencial de la Figura 2-5 es aislada por el óxido de *gate* (una característica muy deseable en circuitos biomédicos), pero también el *offset* referido a la entrada es menor. En la Figura 2-11 se presenta el modelo en pequeña señal de un par diferencial con entrada por *bulk*. La transconductancia efectiva de este par diferencial es  $G_{mBin}=(n-1)g_{m1}$  y el *offset* referido a la entrada es calculado como en las ecuaciones 2-11-a,b y 2-14-a,b

$$i_a = -(n-1)g_{m1} \cdot \Delta v_{in} + ng_{m1} \Delta v_S - g_{m1} \Delta V_{T1a} + \frac{I_D}{I_{\beta 1}} \cdot \Delta \beta_{1a} \quad (a)$$

$$i_b = ng_{m1} \cdot \Delta v_S - g_{m1} \Delta V_{T1b} + \frac{I_D}{I_{\beta 1}} \Delta \beta_{1b} \quad (b).$$

**2-18**

La resta de las ecuaciones 2-18-a,b debe ser cero y considerando las SD se tiene,

$$\sigma_{v_{in}}^2 = \frac{1}{(1-n)^2} \left[ (\sigma_{V_T})_1^2 + \frac{I_D^2}{g_{m1}^2} \left( \frac{\sigma_{\beta}}{\beta} \right)_1^2 \right].$$

**2-19**

Como  $n$  está acotado entre 1.1 y 1.5, el *offset* referido a la entrada causado por el desapareo entre los transistores  $M_{1a,b}$  es incrementado en un factor de 3 a 10 veces en comparación con la ecuación 2-13 resultado en un *offset* a la entrada de hasta algunas decenas de mV en los OTAs controlados por *bulk*.

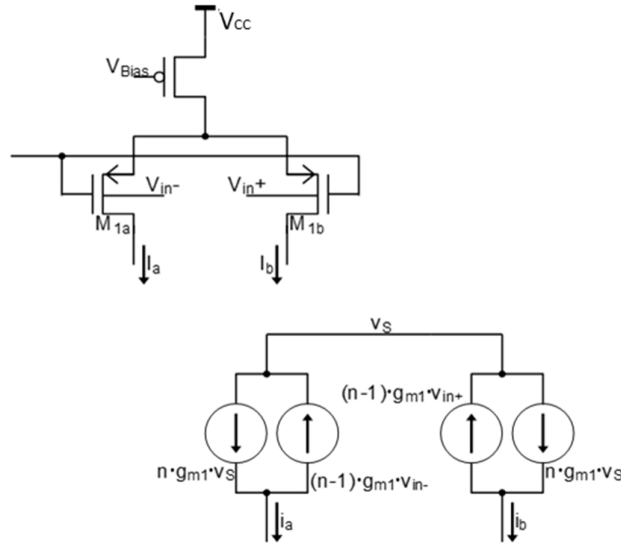


Figura 2-11 Par diferencial controlado por *bulk* y su análisis en pequeña señal.

### 2.2.2 Diseño Final y Medidas de OTA propuesto

El OTA de la Figura 2-5 fue diseñado, y fabricado en una tecnología de  $0.6\mu\text{m}$  (XT06 de XFAB, www.xfab.com) con valores típicos de  $V_{TN}=0.8\text{V}$  y  $V_{TP}=-1\text{V}$ .

Como criterio de diseño inicial se tomó la corriente de polarización como fija (un máximo acorde al circuito que se presentará más adelante), y un área máxima asignada a la resistencia de linealización resultando en un  $R_{deg}=7.5\text{M}\Omega$  de  $275\mu\text{m} \times 140\mu\text{m}$  (esta resistencia fue fabricada con poly de alta resistividad *rpolyh*). De todos modos, durante el ajuste con el simulador se observó que resistencias más grandes comenzaban a limitar la operación a bajo voltaje. El OTA fue polarizado con una fuente de corriente auto polarizante de  $40\text{nA}$ , la cual fue diseñada siguiendo el trabajo de Camacho, et. al en [62]. Se comenzó un proceso iterativo de diseño utilizando el modelo ACM de Cunha et.. al en [55], la experiencia previa en el diseño de OTAs [61], y sucesivas simulaciones. Para los tamaños de los espejos, se eligieron transistores muy largos polarizados en inversión moderada con un  $(g_m/I_D)_{2,3,4} \approx 15$  para minimizar las fugas, y áreas grandes de *gate*  $(WL)_{2,3,4} > 200\mu\text{m}^2$  para minimizar *offset*.

## ASICS para dispositivos médicos implantables

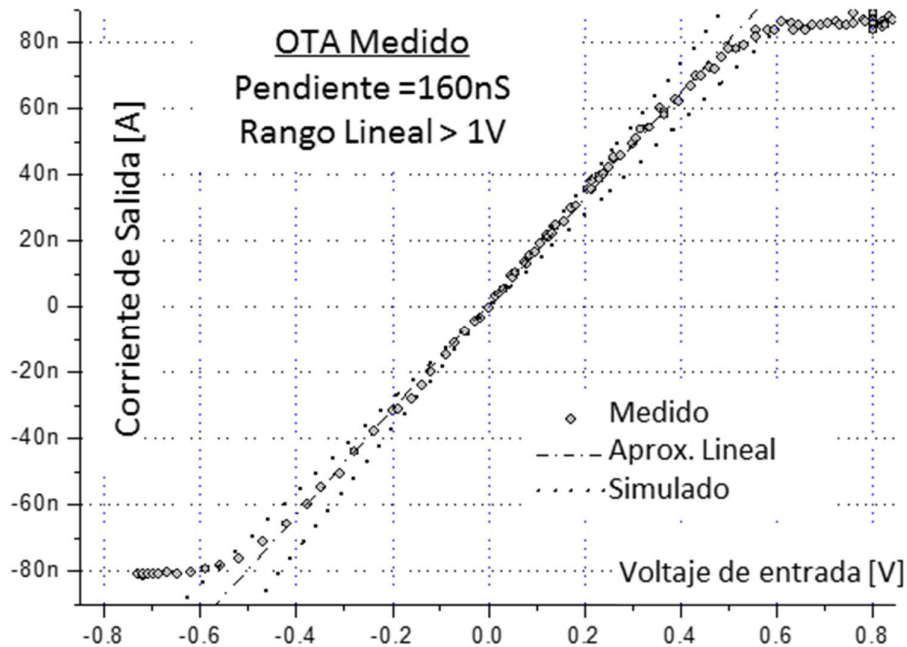
Se tomó como referencia el trabajo de Alfredo Arnaud, et al. presentado en [52] donde se consiguen OTAs con *offset* de 1mV a 10mV, con transistores apareados en el entorno de 400  $\mu\text{m}^2$  de área. En la Tabla 2-1 se resumen las dimensiones de los transistores.

**Tabla 2-1 Dimensiones de los transistores del OTA propuesto.**

Transistores	W/L ( $\mu\text{m}/\mu\text{m}$ )	Transistor Unitarios W/L ( $\mu\text{m}/\mu\text{m}$ )	Paralelo	Serie
$M_{1a,b}$	64/12	4/12	16	NO
$M_{2a,b,c,d}$	6/180	6/15	NO	12
$M_{3a,b}$	16/15	4/15	4	NO
$M_{4a,b}$	6/180	6/15	NO	12

El *offset* referido a la entrada calculado utilizando las ecuaciones desarrolladas en la sección anterior y los parámetros de la tecnología  $A_{VT}=13\text{mV}\mu\text{m}$  y  $A_{\beta}=1.8\%\mu\text{m}$  es  $\sigma_{offsetTeo}=3.5\text{mV}$  mientras que el valor medido fue de  $\sigma_{offsetMed}=4.5\text{mV}$  para 5 muestras del circuito fabricado. La transferencia medida del OTA es presentada en la Figura 2-12, con una transconductancia efectiva de  $G_{mRB}=160\text{nS}$  muy cercana al valor simulado en la Figura 2-6.

En la Figura 2-12 se muestra una medida de la transferencia DC del OTA fabricado. El rango lineal medido supera 1V hasta un  $V_{CC}=2.1\text{V}$  con un  $V_{Ref}=0.7\text{V}$ , y es de 1V para  $V_{CC} = 1.9\text{V}$ . A pesar que se reduce un poco el rango lineal el OTA funciona correctamente hasta un  $V_{CC}=1.6\text{V}$ .



**Figura 2-12 Traserencia medida del OTA fabricado ( $W_1 = 48\mu\text{m}$ ,  $L_1 = 12\mu\text{m}$ ,  $R_{deg} = 7.5\text{M}\Omega$ ,  $I_{Bias} = 40\text{nA}$  y fuente de alimentación de 2.1V).**

En la Figura 2-13 se presenta el *layout* del OTA propuesto, donde se puede apreciar la relación de área entre los transistores y la resistencia degeneración. El área total ocupada fue de  $275\mu\text{m}\times 340\mu\text{m}$  incluida  $R_{deg}=7.5\text{M}\Omega$ . Un *layout* adecuado tiene un rol fundamental a la hora del funcionamiento correcto circuitos analógicos, especialmente en cuanto al *offset*.

## ASICs para dispositivos médicos implantables

Ya que muchas suposiciones que se realizan a la hora de diseñar pueden no ser ciertas, como por ejemplo en un espejo de corriente copia 1:1 los transistores dibujados deberían ser iguales, pero pueden no serlos a la hora de ser fabricados, obteniendo una relación de copia alejada de la esperada.

Para mitigar los efectos del despareo se realizan técnicas especiales de *layout*, que en nuestro caso básicamente consistió en utilizar configuraciones de matriz o una fila de elementos unitarios (transistores, resistencias y capacitores), como se describe en [52] para ser conectados de forma intercalada logrando así unir el “centro de masa” de los transistores apareados. Resulta importante que un elemento determinado linde con estructuras similares a su alrededor, esto se logra mediante la colocación de elementos dummy que no tienen ninguna función eléctrica.

En la Figura 2-14, se hace una representación de cómo se emparejan los transistores del par diferencial ( $M_{1a,b}$ ) del OTA de la Figura 2-2. Mediante la utilización de transistores unitarios intercalados se mitigan los efectos de gradientes tanto de concentraciones como temperatura.

En nuestro caso de aplicación se realizó apareo entre los espejos, no así para el par diferencial ya que al ser necesaria la resistencia de degeneración complica en exceso el procedimiento; en la Figura 2-13 se puede apreciar los diseños físicos.

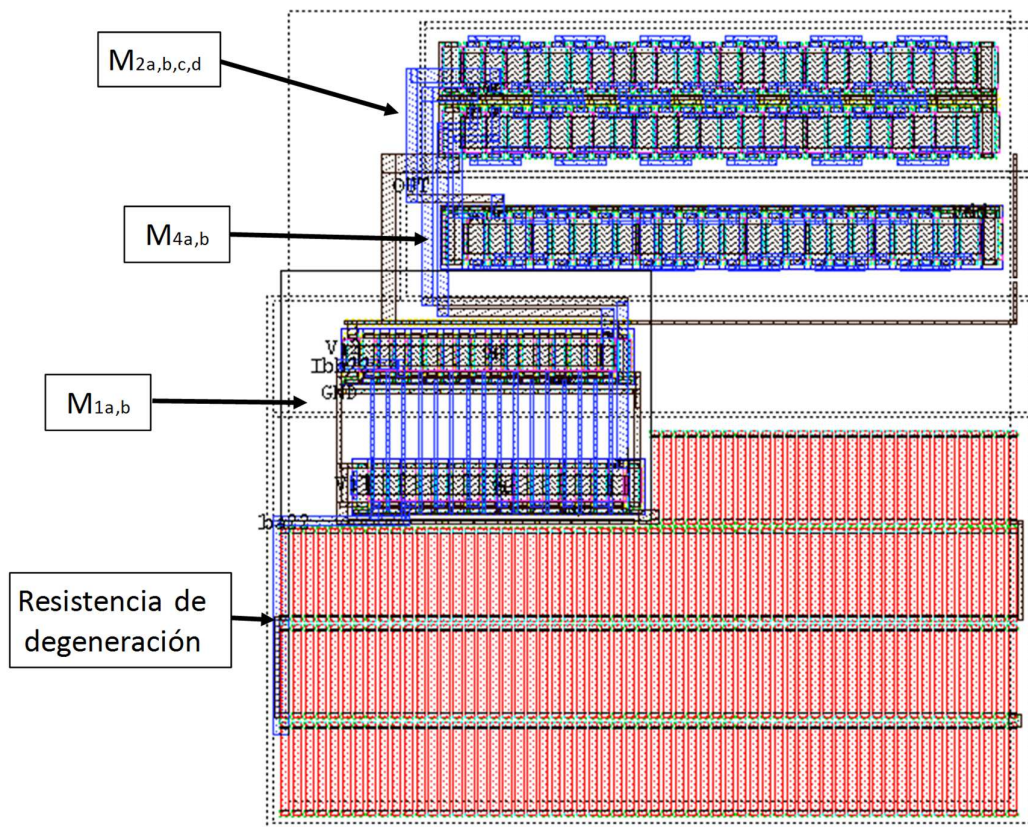


Figura 2-13 *Layout* del OTA propuesto, área de  $275\mu\text{m} \times 340\mu\text{m}$ .

## ASICs para dispositivos médicos implantables

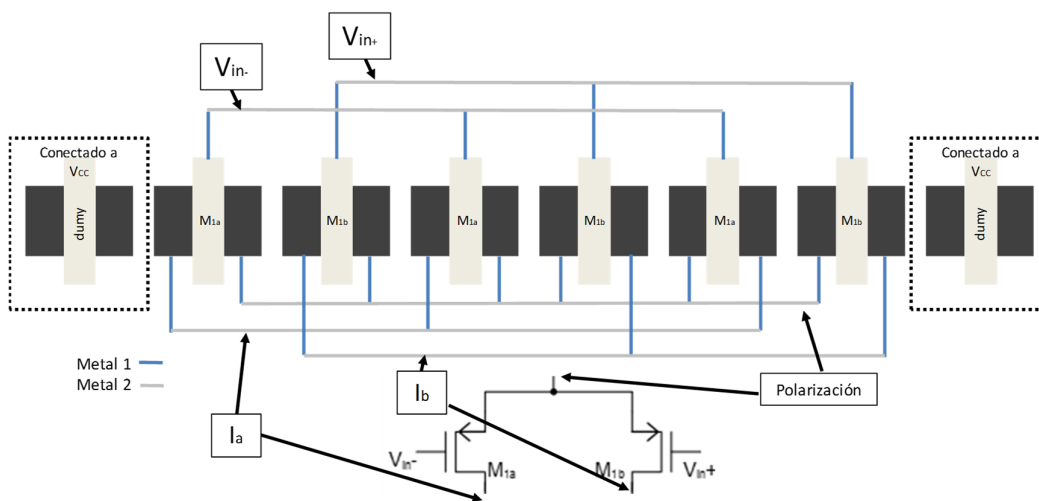


Figura 2-14 Representación de *layout* apareado los transistores del par diferencial ( $M_{1a,b}$ ) del OTA de la Figura 2-2



## 2.3 Aplicación práctica de un circuito Biomédico utilizando el OTA propuesto

Como ejemplo de aplicación se presenta un filtro de interés biomédico en la misma tecnología de  $0.6\mu\text{m}$  de sustrato aislado donde se aprovecha el OTA diseñado en la sección anterior. El circuito es un filtro-amplificador-rectificador del tipo  $G_m$ -C para acondicionar la señal de un acelerómetro piezoeléctrico que se utiliza para estimar actividad física en un marcapaso adaptativo, con especificaciones similares a las de [5] y [6].

El objetivo del bloque de acondicionamiento de señal del acelerómetro es entregar una señal casi-DC proporcional al promedio de la señal del acelerómetro de los últimos 5 segundos en la banda de interés de 0.5Hz a 15Hz. La señal luego es adquirida por un converso AD de 10 bits de baja velocidad. El circuito es una versión mejorada del presentado en [5] por Alfredo Arnaud, et al., con idénticas especificaciones, bajo la misma metodología de diseño.

Se intenta reducir el voltaje de alimentación al utilizar degeneración de *bulk* en los OTAs más comprometidos, manteniendo las demás características del circuito. Adicionalmente en este trabajo se fabricó y midió el circuito completo lo que permitió validar una topología de rectificador de precisión completamente integrado (presentado en [5] pero no medido) y expandir el ancho de banda a 15Hz algo que sabemos va a mejorar la respuesta del sistema a la actividad física, según se pudo comprobar con varios experimentos en su versión en discreto. Se utilizó un acelerómetro piezoeléctrico de un solo eje, una capacidad de salida de 550pF, y una sensibilidad de 1.5pC/g, lo cual equivale a una sensibilidad de 3.5mV/g.

El sistema debe ser lo suficientemente preciso para detectar aceleraciones tan bajas como  $0.007g_p$  equivalente a  $25\mu\text{V}_p$  a la entrada, y no debe saturar por aceleraciones tan grandes como  $0.35g_p$ . El circuito requiere una ganancia aproximada de 50dB, seguido de un rectificador de precisión completamente integrado y un promediado de 5 segundos. La característica pasabandas asegura que se remueve la componente continua de la aceleración de la gravedad. El circuito debe operar en un rango de fuente de alimentación  $V_{CC}=2\text{V}$  a 5.5V, para poder cubrir baterías primarias de tipo litio-iodo, y baterías de litio recargables [4] desde su estado de carga completa hasta el fin de ciclo (descargada), con un consumo de corriente máximo de 500nA.

No se explicitará en detalle el diseño del filtro  $G_m$ -C ya que la metodología está bien descrita en [6] y [5], hay que aclarar de todos modos que este trabajo es un circuito completamente nuevo, se revisaron los valores de las transconductancias, se dimensionaron todos los transistores, no se reutilizó el *layout*. Un diagrama de bloques del circuito diseñado se muestra en la Figura 2-15. Se trata de dos etapas con una sola salida conectados en cascada para implementar un filtro pasabanda con una ganancia total  $G=50\text{dB}$ , 40dB/dec de caída. El circuito está compuesto por  $G_{m1}=150\text{nS}$ ,  $G_{m1b}=300\text{pS}$ ,  $G_{m2}=15\text{nS}$ ,  $G_{m3}=4\text{nS}$ ,  $C_1=C_4=400\text{nF}$ ,  $C_2=15\text{pF}$ ,  $C_3=400\text{pF}$ ,  $G_{m4}=500\text{nS}$ ,  $R_1=18\text{M}\Omega$ ,  $G_{mRB}=160\text{nS}$ , y  $C_5=80\text{nF}$ . Cada etapa está compuesta por un filtro pasabajos como el propuesto en [63] para un micrófono capacitivo y un lazo de cancelación de DC.

El OTA  $G_{mb1}$  es de muy baja transconductancia, equivalente a una resistencia de  $3\text{G}\Omega$ , cuya única función es evitar impedancia infinita en DC a la salida del sensor.  $G_{mb1}$  y  $G_{m1}$  son dos OTA estándar simétricos como el de la Figura 2-2,  $G_{m1b}$  es combinado con la técnica de división de corriente S-P como en la Figura 2-4 para lograr una muy baja transconductancia.

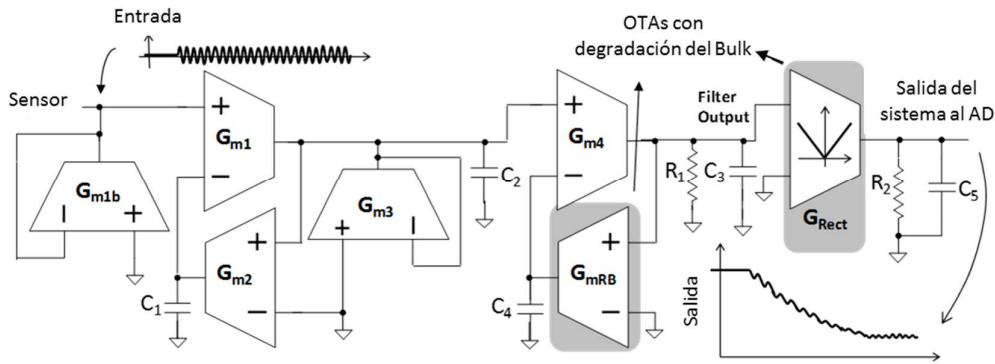
Los capacitores  $C_{1,4,5}$ , son externos por cuestiones de medida del sistema, pero todos ellos podrían ser integrados utilizando división de corriente con técnicas S-P a las salidas de  $G_{m2, RB}$

## ASICs para dispositivos médicos implantables

como en [5].  $C_{2,3}$  son capacitores integrados del tipo poly-poly,  $R_2=2.5M\Omega$  son resistencias integradas de poly de alta resistividad.

Todos los OTA son polarizados con corrientes derivadas de una fuente de corriente interna de 40nA, y el voltaje de referencia es derivados de un bandgap integrado de micro-consumo presentado en por, Miguez, et al. en [64].

La utilización de resistencias y transistores para realizar la degeneración de los OTA y aumentar su rango lineal resulta en OTAs con un área de silicio considerable, por lo cual la técnica de degeneración de *bulk* solo se aplica a los OTAs  $G_{mRB}$  y  $G_{mRect}$ , los cuales tiene las señales de entrada más grandes en toda la cadena del sistema (necesitan un gran rango lineal de entrada). Para el resto de los OTAs las señales de entrada están por debajo de los 150mV. En la Tabla 2-2 se presenta un resumen de los valores de los OTAs, resistencias y capacitores del sistema.



**Figura 2-15 Sistema completo filtro-amplificador-rectificador y promediador del tipo  $G_m$ -C para acondicionar la señal de un acelerómetro piezoeléctrico para estimar actividad física en un marcapaso adaptativo.**

## ASICS para dispositivos médicos implantables

Tabla 2-2 Valores de OTAs, resistencias y capacitores del sistema

Elemento	Valor
$G_{m1}$	150nS
$G_{m1b}$	300pS
$G_{m2}$	15nS
$G_{m3}$	4nS
$G_{m4}$	500nS
$G_{mRB}^1$	160nS
$G_{mRect}^1$	160nS
$C_{1,4}^2$	400nF
$C_2$	15nF
$C_3$	400pF
$C_5^2$	80nF
$R_1$	20M $\Omega$
$R_2^2$	2.5M $\Omega$

<sup>1</sup>OTA con degeneración de *bulk*.

<sup>2</sup>Componente externo para *testing*

La salida del sistema debe ser el promedio de los últimos 5 segundos de la señal del acelerómetro en la banda de interés,

$$V_{Out} \cong A \int_t^{t+5} |V_{in}(t) * h_{BP}(t)| dt \quad 2-20$$

donde  $h_{BP}(t) \leftrightarrow H_{BP}(f)$  es la función de transferencia del filtro pasabanda y A la ganancia. El modulo en la ecuación 2-20 se puede realizar con un rectificador de precisión, la integración de 5 segundos no puede ser realizada utilizando elementos de circuito estándar, y será aproximada utilizando un filtro pasabajos de 0.2Hz. En la Figura 2-15 se muestra una representación de una salida típica del sistema.

Los rectificadores de precisión son circuitos complejos, porque utilizar diodos en directa no siempre es posible en tecnología CMOS estándar, pero además por el consumo excesivo de potencia de un amplificador operacional en caso de un rectificador de onda completa clásico. En nuestro caso utilizaremos un rectificador basado en un OTA como el propuesto en [5], utilizando un OTA con degeneración de *bulk* como el de la Figura 2-5, al que denominamos como  $G_{mRect}=160nS$ .

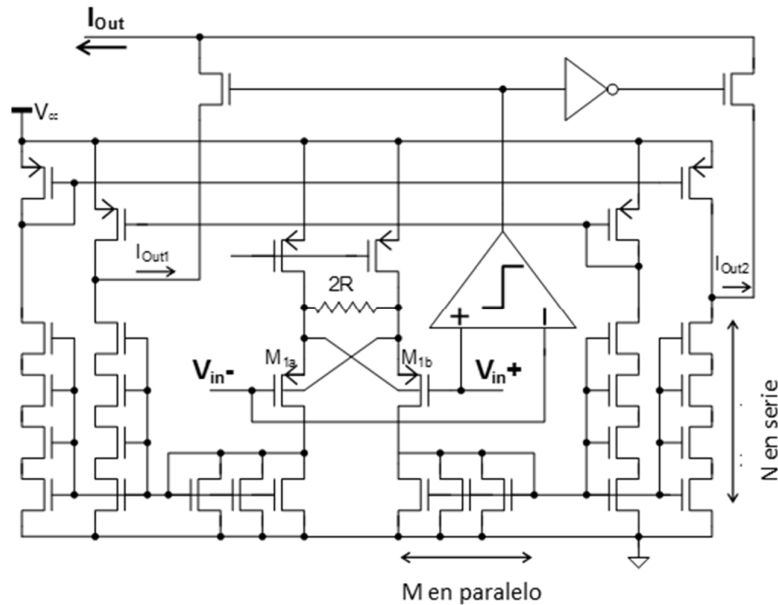
El circuito se muestra en la Figura 2-16, el cual consiste de un par diferencial como el de la Figura 2-5, incorporando una segunda salida negada que conmuta las conexiones de los espejos. Un comparador de ultra bajo consumo (de hecho, es un OTA simétrico estándar) controla dos llaves NMOS de salida para elegir cuál de las dos salidas es la activa  $I_{Out1}$  o  $I_{Out2}$ . De modo que, según el signo de la entrada, se controla si la salida es la corriente  $I_{Out1}$  o su opuesto  $I_{Out2}$ . La corriente resultante a la salida es,

$$I_{Out} = G_{mRect} |V_{in1} - V_{in2}|. \quad 2-21$$

Para reutilizar *layout*, las dimensiones de los transistores de entrada y  $R_{deg}$  son los mismos que en  $G_{mRB}$ . Entonces tenemos que  $G_{mRect}=G_{mRB}$ . Las ventajas del rectificador propuesto son: en primer lugar, potencia mínima consumida, no utiliza amplificadores operacionales, y un

## ASICS para dispositivos médicos implantables

OTA de ultra bajo consumo es utilizado como comparador. Segundo, la precisión de la componente DC de la salida está determinado solo por  $G_{mRect}$ . En nuestro caso se utilizó un R-C a la salida por motivos de la medida posterior, el cual se puede sustituir por un pequeño capacitor integrado para implementar la integración de la ecuación 2.20 en un intervalo de tiempo definido. El consumo total de corriente en el rectificador es de 120nA y el *offset* estimado a la entrada, el cual determina la precisión del sistema es solo 4mV.



**Figura 2-16 Rectificador de precisión basado en el OTA propuesto en las secciones anteriores. El comparador elige cual salida es la activa si  $I_{Out1}$  o  $I_{Out2}$ .**

En la Figura 2-17 se presenta una microfotografía del circuito de la Figura 2-15, el área total del circuito (no incluye *pads*) es de  $0.8\text{mm}^2$ . En la Figura 2-18 se presentan, a) la transferencia medida del filtro pasabanda, b) la respuesta lineal del filtro pasabanda para una señal de 5Hz cuya amplitud varia hasta 5mV de pico donde se aprecia un rango lineal de hasta 1.25V y finalmente en c) una respuesta típica del sistema completo (filtros+rectificador+promediador) ante que el sistema pasa del reposo a moverse a determinada frecuencia y amplitud. En la Tabla 2-3, se presenta un resumen de las características del circuito, donde se puede apreciar el *offset* referido a la entrada que se midió como el valor en DC a la salida dividido por la ganancia del filtro, resultando en tan solo  $15\mu\text{V}$ , valor muy próximo al estimado ( $16\mu\text{V}$ ) como la suma cuadrática del *offset* de  $G_{mRB}$  y el rectificador dividido la ganancia. Visto que el *offset* a la entrada es mucho mayor al ruido medido referido a la entrada de  $2\mu\text{V}_{RMS}$  (Tabla 2-3), el primero es el límite inferior de la detección de señales. Es decir: cualquier señal por debajo del *offset* no será detectada [5].

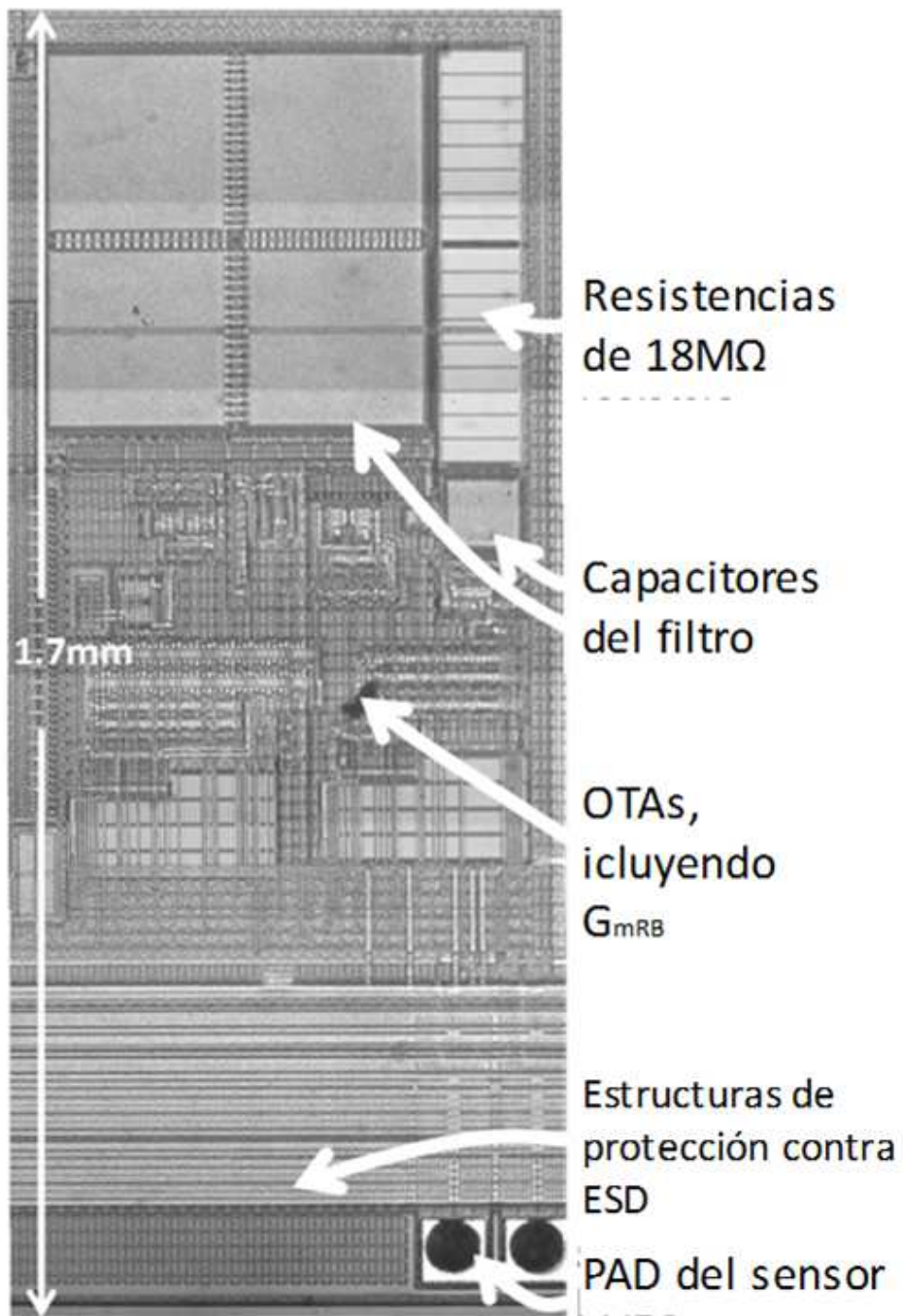


Figura 2-17 Microfotografía del circuito fabricado

## ASICS para dispositivos médicos implantables

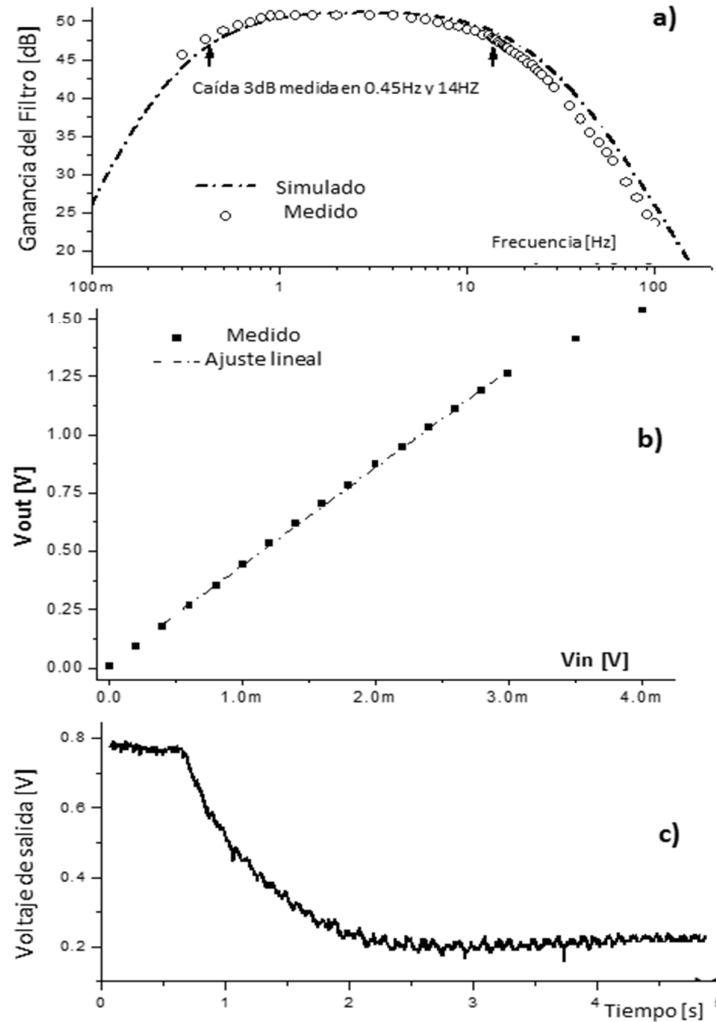


Figura 2-18 a) Trasterencia medida del filtro pasabanda (Figura 2-15) b) Linealidad medida del filtro bajo entrada sinusoidal del 5Hz y su ajuste lineal con  $r^2 > 0.99$ , c) Medida transitoria de la salida para una entrada sinusoidal de 5Hz y  $1.4mV_p$ .

Tabla 2-3 Resumen de características medidas del sistema de acondicionamiento de señal de acelerómetro piezoeléctrico para marcapaso adaptativo.

Característica	Valor
Fuente de alimentación ( $V_{CC}$ )	1.6 – 5.5V <sup>(a)</sup>
Frecuencia de paso del filtro	0.45-14Hz
Ganancia del Filtro	$\approx 50$ dB <sup>(b)</sup>
Consumo total de corriente	500nA <sup>(b)</sup>
Ruido referido a la entrada	$< 2\mu V_{RMS}$
Offset referido a la entrada	$< 15\mu V$
Área del circuito	$0.8mm^2$ <sup>(c)</sup>

a) El circuito dio estimación razonable de aceleración hasta  $V_{CC}=1.6V$ , pero el rango lineal se ve muy degradado para este valor de  $V_{CC}$ .

b-c) Referencia de corriente y voltaje no incluidos, áreas de PAD no incluidos.

## 2.4 Conclusiones y resumen

En este capítulo se estudió la degeneración de *bulk* de pares diferenciales de OTAs para ampliar el rango lineal de los mismos y/o poder reducir el voltaje de alimentación. Aunque no se puede afirmar que la degeneración de *bulk* sea una técnica completamente nueva, existe poca referencia de su uso práctico en circuitos. En el artículo [7] específicamente se estudia la degeneración de *bulk*, pero el análisis se limita a inversión fuerte y se aplica en la linealización de un OTA de alta velocidad mostrando solo mediante simulaciones la reducción en la distorsión armónica.

En este trabajo el foco se puso en el desarrollo de OTAs con *offset* mínimo para nano consumo y muy baja transconductancia, mostrando las ventajas en cuanto al rango lineal, distorsión armónica, y voltaje de alimentación. No se realizó una demostración analítica complementaria a la de, Monsurrò, et. al en [7], pero si varias simulaciones, y además se presentan resultados experimentales sobre circuitos fabricados. La degeneración de *bulk* propuesta en este trabajo es simple ya que prescinde del uso de los adaptadores de niveles de [7], para esto se realizó un cuidadoso análisis de las junturas *source-bulk* (para evitar que las corrientes a través de los diodos parásitos tuvieran un efecto significativo en el OTA).

Un OTA de tan solo 160nS que combina degeneración de *source* y *bulk* fue diseñado, fabricado, y medido para una tecnología CMOS de 0.6 $\mu$ m con valores típicos de  $V_{TN}$ ,  $V_{TP}$  de 0.8V y -1V respectivamente. El OTA propuesto tiene un rango lineal por encima de 1V para una fuente de alimentación ( $V_{CC}$ ) a partir de 1.9V, pero funciona hasta 1.6V de  $V_{CC}$ , reduciendo un poco el rango lineal. Se midió un *offset* referido a la entrada por debajo de 15 $\mu$ V.

Se puede concluir que la degeneración de *bulk* permite el diseño de OTAs con un rango lineal ampliado (por encima de 1V en nuestro caso), con un incremento despreciable en consumo, ruido y *offset* referidos a la entrada, o área de silicio en comparación con la técnica ampliamente adoptada de degeneración de *source*. En condiciones similares, la combinación de degeneración de *source* y de *bulk* muestra un incremento de un 25% del rango lineal con respecto a la aplicación de degeneración de *source* solamente. Es posible afirmar entonces que la aplicación de la degeneración de *bulk*, es una técnica valiosa para mejorar la performance de OTAs de muy baja transconductancia y filtros  $G_m$ -C requeridos en sistemas de procesamientos de señales donde el consumo de energía y el voltaje de alimentación es crítico.

Es muy importante aclarar que la degeneración de *bulk* como en este trabajo, es algo diferente a un par diferencial comandado por el *bulk* como en [47] o [57]. Los pares diferenciales con degeneración de *bulk* no son controlados por *bulk* (su entrada es por el *gate* del transistor), y tiene varias ventajas respecto a ese caso. Entre otros puntos, la entrada está aislada del resto del circuito, y el *offset* a la entrada es menor.

Al final del capítulo se presentó una aplicación práctica de los OTAs linealizados por *bulk*, en un circuito biomédico para el procesamiento de la señal de un acelerómetro piezoeléctrico para estimar la actividad física en un marcapaso adaptativo. El circuito es un filtro  $G_m$ -C tipo amplificador-filtro-rectificador, con un consumo total de apenas 500nA. El rectificador es de precisión, consumiendo 120nA. Todo el circuito fue fabricado y medido. El circuito completo es capaz de discriminar señales a la entrada mayores 15 $\mu$ V gracias al bajo *offset* referido a la entrada, de tan solo 5mV, de los OTAs linearizados.

Parte del trabajo de este capítulo, ha sido resumido en el artículo [65].

Como trabajo a futuro resta completar el estudio teórico de [51] para extenderlo inversión débil y moderada, aunque la demostración al salir de pequeña señal es compleja. También se

## ASICS para dispositivos médicos implantables

piensa que además de los OTAs de muy baja transconductancia, la técnica de linealización de *bulk* tiene mucho potencial en circuitos para radiofrecuencia donde reducir la distorsión armónica es importante.



## 3 Circuitos auxiliares adaptadores de nivel y su aplicación en multiplicadores de voltaje

### 3.1 Introducción

Un adaptador de nivel (o *Level Shifter*, en inglés), consiste en un circuito con alguno pocos transistores capaz de adaptar valores lógicos  $\{0, V_{CC}\}$  a un conjunto diferente por ejemplo  $\{V_{OUTL}, V_{OUTH}\}$ ; en la Figura 3-1 se muestra una representación de un adaptador de nivel y su símbolo. En general el nombre de *Level Shifters* se ha aplicado a circuitos donde  $V_{OUTH}$  es un voltaje más alto que  $V_{CC}$  o la propia fuente de alimentación, ya que para adaptar voltajes menores basta con circuitos bien simples con diodos, inversores en cascada, o un divisor resistivo.

En un caso general la salida de un adaptador de nivel, puede ser un voltaje menor que  $V_{CC}$ , o el  $V_{OUTL}$  lógico puede ser también un nivel distinto hasta en algunos casos negativos. En la Figura 3-2 se presenta un adaptador de nivel estándar (LS de aquí en más), como los presentados por, Forsyth et. al en [66], o Khorasani et. al en [67], que adapta un '1' lógico de  $V_{CC}$  a  $V_H$  y  $V_{OUTL}=0V$ , este circuito es preferido debido a su simplicidad, velocidad de respuesta, y porque no presenta consumo estático (solo fugas),  $V_H$  puede ser un valor elevado, tanto como el máximo  $V_{GS}$  que toleren los transistores  $M_{1-6}$  [66] (en este trabajo  $V_H$  puede ser hasta 18V que permiten algunos transistores de óxido grueso).

Los adaptadores de nivel presentados en [66] y [67] o pequeñas variantes, han sido utilizados durante décadas y son útiles en muchísimos circuitos especialmente de señal mixta tales como fuentes de alimentación y conversores DC-DC, pueden adaptar voltajes de comunicación por ejemplo de una CPU con  $V_{CC}=1.8V$  a un periférico de 5V (en este caso  $V_{CC}$  y  $V_H$  son valores fijos), para manejar tensiones elevadas en memorias no volátiles, para manejo de actuadores; disminución de consumo en lógica sub umbral como, Luo et. al [68], Ashouei et. al [69], y Zhou et. al [70]; o en dispositivos médicos implantables para controlar la estimulación de tejido biológico, como Dommel et. al en [71], entre otras varias aplicaciones. En el caso de los sistemas biomédicos, servirán por ejemplo para comandar las llaves de estímulo porque el voltaje a aplicar puede diferir de  $V_{CC}$  incluso hasta algunas decenas de Volts. Para el ejemplo de la CPU, el diseño del LS es simple ya que  $V_{CC}$  y  $V_H$  valores estables y basta con dimensionar los transistores.

Para el caso de las aplicaciones médicas el dimensionado de los transistores se convierte en un desafío considerable debido a que  $V_H$  es muchas veces desconocido, o incluso al estar en contacto con tejido biológico pueden ser necesarias consideraciones de seguridad. Supongamos que queremos controlar una señal con un LS rápido donde  $V_{CC}$  puede variar mucho por ejemplo entre 2V y 5V para cubrir varias posibles baterías y condición de carga, y  $V_H$  puede ser tan alto como 18V o tan pequeño como 100mV según se programa el estímulo y no se conoce cuál es. Nos referiremos en este caso a un voltaje o LS "ciego", donde  $V_H$  puede variar mucho por encima o debajo de  $V_{CC}$ , y es desconocido a priori. En ese caso el diseño de un LS como en la Figura 3-2 es complejo, en varias circunstancias no funciona, o se degrada el desempeño.

En este trabajo nos centraremos en el diseño de LS ciegos con un amplio rango de voltajes de entrada y salida, orientados a dispositivos médicos implantables. Se tratará de establecer una arquitectura modificada y metodología de diseño que garantice la operación robusta del LS para todo punto de operación y variaciones del proceso de fabricación.

## ASICS para dispositivos médicos implantables

La estimulación de tejido biológico se da (salvo casos excepcionales como el ICD) aplicando un voltaje que varía desde algunos cientos de mV hasta alguna decena de Volt, o bien forzando una corriente por tejido que varía desde algunos cientos de  $\mu\text{A}$  hasta decenas de mA. Dentro de un dispositivo médico un LS puede ser utilizado para abrir y cerrar el interruptor encargado de entregar dicho estímulo (ver Figura 1-1) o directamente para aplicar el voltaje necesario. También se utilizarán para implementar los elevadores de tensión que generan por ejemplo a partir de una tensión pequeña de la batería, voltajes más elevados para el estímulo.

En este trabajo se presentarán distintos adaptadores con un amplio rango para  $V_H=0-18\text{V}$ ,  $V_{CC}=1.8\text{V}-5.5\text{V}$ , e incluso para adaptar voltajes negativos, incluyendo criterios de diseño, simulaciones y medidas. Finalmente, será presentado un ejemplo de aplicación, un generador de estímulo en tensión programable para una aplicación tipo marcapaso que utiliza varios LS dentro del circuito.

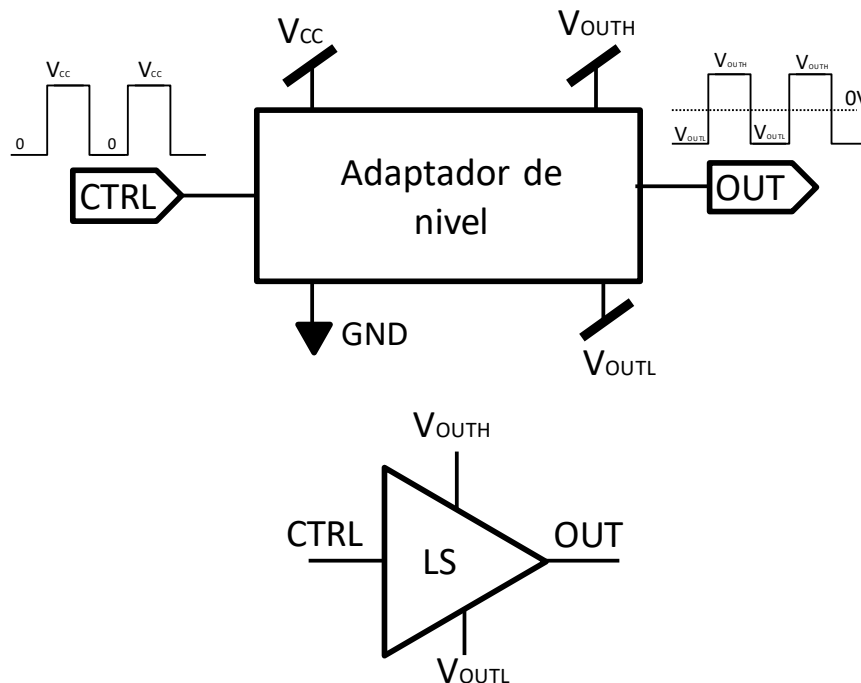


Figura 3-1 Adaptador de nivel y su símbolo, OUT toma los valores  $V_{OUTH}$  o  $V_{OUTL}$  dependiendo de CTRL.

### 3.2 Adaptador de nivel de amplio rango

La tecnología utilizada es la misma de los capítulos anteriores, CMOS de  $0.6\mu\text{m}$  de alto voltaje (HV por su sigla en inglés), con óxido de *gate* fino ( $V_{GS\text{max}}=5.5\text{V}$ ) y grueso ( $V_{GS\text{max}}=18\text{V}$ ), y varios transistores HV con *drain* difuso capaces de soportar hasta  $V_{DS\text{max}}=13-60\text{V}$  según el tipo. En la Figura 3-2 los transistores HV se marcan con una línea más gruesa en el *gate* (óxido grueso) y doble línea en el *drain* (difuso). Idealmente,  $V_H$  va desde 0 a 18V (máximo  $V_{GS}$  de la tecnología),  $V_{CC}$  debe cubrir el rango de operación de baterías y CPUs de control de sistemas implantables, desde los 1.8V (fin de vida de una batería de marcapasos) hasta los 5V (muchos circuitos operan a esta tensión, también cercana a una celda simple recargable de Litio a plena carga).

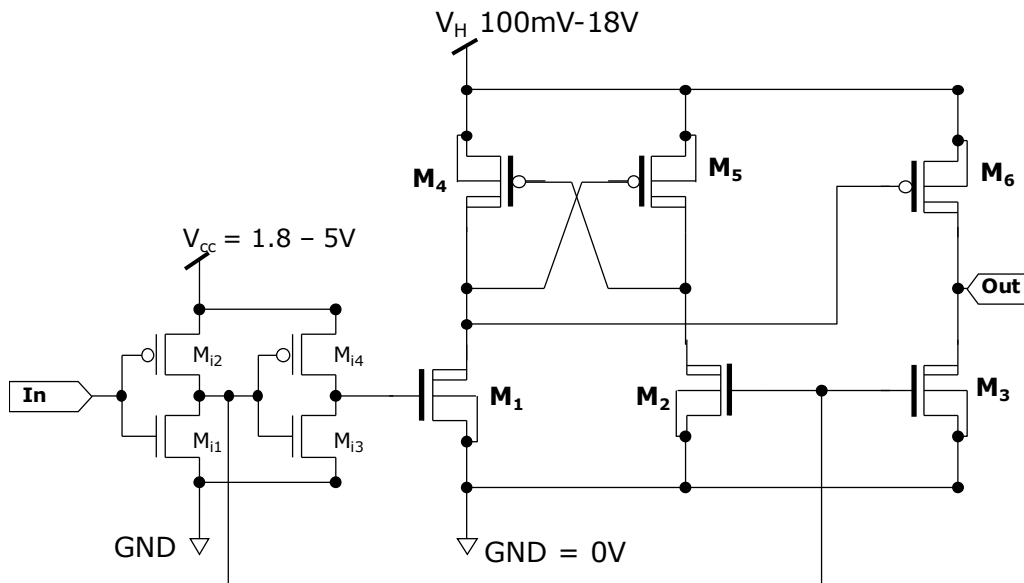


Figura 3-2 Adaptador de nivel clásico.

La señal de entrada “In” en la Figura 3-2 controla el valor de la salida “Out” que conmuta entre 0V y  $V_H$ . El LS funciona de la siguiente manera

- Estado “ $V_H$ ”: Cuando la señal de entrada “In” se encuentra a  $V_{CC}$  el transistor  $M_1$  conduce colocando 0V en el *gate* de  $M_5$  y  $M_6$  haciendo que estos conduzcan;  $M_6$  lleva la salida “Out” a  $V_H$ , y  $M_5$  corta el transistor  $M_4$ .
- Estado “0”: Cuando la señal de entrada “In” se encuentra a 0V el transistor  $M_2$  conduce colocando 0V en el *gate* de  $M_4$  haciendo que este conduzca, para llevar a los *gates* de  $M_5$  y  $M_6$  a  $V_H$  cortándolos. Como el *gate* de  $M_3$  se encuentra a 0V este conduce llevando la salida “Out” a 0V.

Cabe resaltar que  $M_6$  y  $M_3$  no son esenciales, no forman parte necesariamente del LS. El LS estrictamente está formado por  $M_{1,2,4,5}$ , y la salida podría ser por ejemplo el *drain* de  $M_2$ - $M_5$ . Sin embargo,  $M_{1,2,4,5}$  tienen que ser de tamaño reducido, con una relación  $W/L$  pequeña que limita la capacidad de manejar corriente. Entonces se agrega  $M_6$  y  $M_3$  como driver de salida usualmente más grande, pero que sigue a  $M_2$ - $M_5$ .

Como se puede apreciar el funcionamiento del LS es algo sencillo. La topología de la Figura 3-2 es siempre preferida porque la respuesta es muy rápida y porque el consumo estático de corriente es nulo (solo fugas). La única limitación es el máximo  $V_{GS}$  de los transistores que limita el máximo  $V_H$ . Para implementar un LS con tensiones mayores a  $V_{GSmax}$  será necesario señalizar en corriente [66].

En primera instancia el dimensionado de los transistores también es simple:  $M_3$  y  $M_6$  quedan determinados en función de la carga que va a atacar el LS (tan solo debo evaluar el peor caso) y el resto de los transistores se eligen con algún criterio como reducir el consumo dinámico (pequeños) u otro. En general las dimensiones de los transistores se fijan a base de una simulación, ya que se trata de un circuito no-lineal, simple, y normalmente operado con tensiones más o menos fijas donde  $V_H > V_{CC}$ . En la mayoría de los trabajos reportados donde se utiliza un LS se lo considera un circuito auxiliar, a criterio del diseñador (se omiten detalles del diseño).

## ASICS para dispositivos médicos implantables

El LS de la Figura 3-2 fue pensado para el caso  $V_H > V_{CC}$ ; si  $V_H < V_{CC}$  basta con un par de inversores alimentados por voltajes distintos y un adecuado dimensionamiento de los transistores. Pero qué pasa si no conocemos a priori  $V_H$ , a esta situación donde el LS no sabe cuánto es  $V_H$  dentro de un rango grande lo llamaremos un LS “ciego”. Supongamos que  $V_H$  puede variar en todo el rango de 0 a 18V y tomemos un  $V_{CC}$  fijo (2V), este último asociado al voltaje de la batería. ¿Funcionará el LS de la Figura 3-2 en todos los casos?

Como primera aproximación de diseño tomaremos todos los transistores HV ( $M_{1,2,3,4,5,6}$ ) con las mismas dimensiones, tomando el largo mínimo de la tecnología  $L_{min}=3\mu m$  para los transistores HV y el ancho  $W=10\mu m$  unos 3 a 4 veces el largo, razón mínima recomendado para transistores HV en esta tecnología. Tenemos tres casos para estudiar, valor de  $V_H$ , cercanos a  $V_{CC}$ , mucho mayor que  $V_{CC}$  y mucho menor que  $V_{CC}$ .

Los transistores HV utilizados son del tipo NHV y PHV, con un  $V_{TN}=0.82V$   $V_{TP}=-0.9V$  y, óxido grueso de 40nm (12.5nm es el del core de 5.5V) de espesor y largo mínimo  $L_{min}=3\mu m$ .

En la Figura 3-3, se muestra los resultados de simulación para las distintas condiciones de trabajo mencionadas Como se puede observar el LS funciona correctamente para valores de  $V_H$  cercanos a  $V_{CC}$ , pero no lo hace en los casos extremos. En las secciones 3.2.1 y 3.2.2 se analizan estos casos y se propone soluciones de diseño.

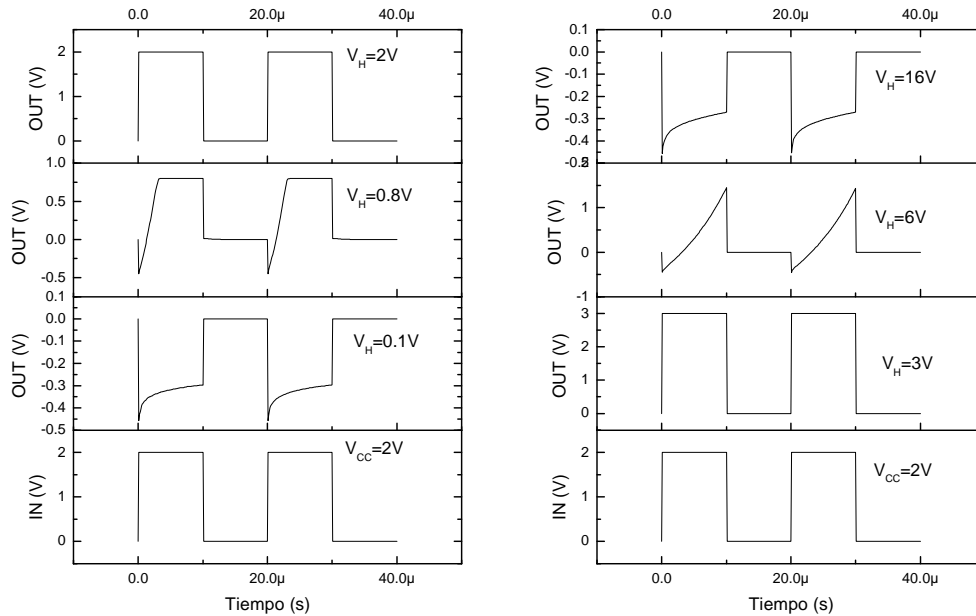


Figura 3-3 Simulación del LS estándar para  $V_H$ , mucho mayor, cercano, y mucho menor a  $V_{CC}$ .

### 3.2.1 $V_H$ mucho mayor a $V_{CC}$

Como se muestra en la Figura 3-3, si todos los transistores del LS ( $M_{1,2,3,4,5,6}$ , Figura 3-2) tiene el mismo tamaño el LS no funciona correctamente cuando  $V_H$  es mucho mayor a  $V_{CC}$ . Cuando el LS cambia del estado “0” al estado “ $V_H$ ” hace que el *gate* del transistor  $M_1$  cambie de 0 a

## ASICS para dispositivos médicos implantables

$V_{CC}$ , prendiendo este transistor. En este momento el transistor arranca saturado ya que su tensión  $V_{DS1}$  es  $V_H$  (el LS viene del estado "0") valor mucho mayor que los 300mV de saturación estándar. El transistor  $M_4$  empieza a trabajar en zona lineal debido a que  $V_{DS4} \approx 0$ . A partir de ahí la capacidad de *gate*  $C_{G5}$  de  $M_5$  se descarga hasta que las corrientes de *drain* de  $M_1$  y  $M_4$  se igualan.

Como primera aproximación, para garantizar el disparo del LS, el punto de corte para las corrientes  $I_{D1}$  e  $I_{D4}$  como se muestra en la Figura 3-4 debe darse para un valor mayor que  $|V_{TP}|$  ( $V_T$  del transistor PHV); si no se llega a esta condición los transistores  $M_5$  y  $M_6$  nunca se encenderán haciendo que el LS quede en una situación estable intermedia, distinta al estado "V<sub>H</sub>". En esta situación el LS quedará "trabado" hasta que por corrientes de fugas o una pequeña diferencia entre  $I_{D1}$  e  $I_{D4}$  genera una caída mayor a  $|V_{TP}|$  disparando el cambio de estado.

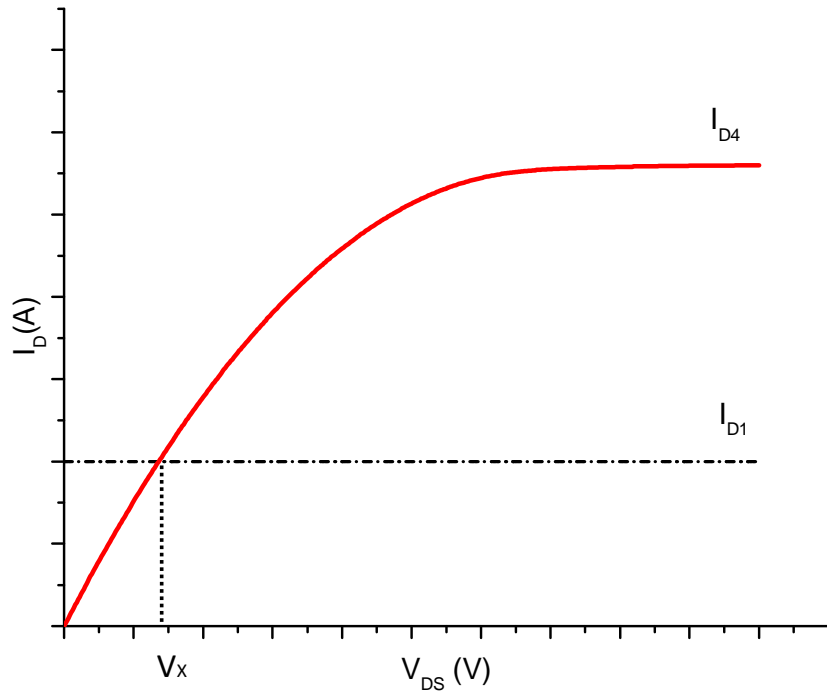


Figura 3-4 Curvas  $I_D$  vs  $V_{DS}$  de los transistores  $M_1$  y  $M_4$  del LS de la Figura 3-2.

Se debe elegir un criterio de diseño para dimensionar los transistores del LS para que se funcione correctamente para valores de  $V_H$  mucho mayores que  $V_{CC}$ . Para empezar considerando que el inversor  $M_{i3}$ - $M_{i4}$  impone  $V_{GS1}=V_{CC}$  y asumiendo que  $M_1$  se encuentra saturado se tiene,

$$I_{DM1} = \beta_1 \frac{(V_{GS1} - V_{TN})^2}{2} = \beta_1 \frac{(V_{CC} - V_{TN})^2}{2}, \quad 3-1$$

siendo  $\beta_1 = \mu_N C'_{OX} \frac{W_{M1}}{L}$  y  $\beta_2 = \mu_P C'_{OX} \frac{W_{M4}}{L}$ . Asumiendo que el transistor  $M_4$  está en zona lineal, y porque el LS viene del estado "0",  $V_{GS4}=V_H$ ,

$$I_{DM4} = \beta_4 (V_{GS4} - V_{TP}) V_{DS4} = \beta_{M4} (V_H - V_{TP}) V_{DS4}. \quad 3-2$$

## ASICS para dispositivos médicos implantables

En este punto  $M_2$  está abierto y  $V_{DS4}$  está determinado por la carga de la capacidad parásita  $C_{G5}$  en el nodo  $V_{G5}$ . Mientras que  $(I_{D1}-I_{D4})$  sea positivo  $C_{G5}$  es descargada,

$$V_{G5}(t) = V_H - \frac{1}{C_5} \int (I_{D1} - I_{D4}) dt. \quad 3-3$$

Cuando  $(V_H - V_{G5}) > V_{TP}$  es posible suponer que  $M_5$  se prende y el LS rápidamente completa el cambio de estado. Pero si en la solución de la ecuación 3-3,  $V_{G5}$  alcanza un estado estable  $(V_H - V_{G5}) < V_{TP}$  donde las fugas de  $M_5$  y  $M_2$  son iguales, el LS no cambiara de estado permaneciendo en una condición meta estable.

Una solución analítica de la ecuación 3-3, puede ser compleja ya que se debe considerar las ecuaciones análogas acopladas de  $V_{G4}-C_{G4,6}$ , pero es posible establecer un criterio más simple para que el LS cambie de forma adecuada de estado. De hecho, si  $V_{DS4}=V_{TP}$ ,  $I_{D1}>I_{D4}$  por lo tanto se puede afirmar que el LS cambiará de estado; por eso un buen compromiso para dimensionar de los transistores es hacer que el punto de corte de las corrientes de *drain* de los transistores  $M_1$  y  $M_4$  en la Figura 3-4, sea en  $V_{DS4}=V_{TP}$ . Sustituyendo esta condición en la ecuación 3-2 e igualando con 3-1,

$$\beta_1 \frac{(V_{CC} - V_{TN})^2}{2} = \beta_4 (V_H - V_{TP}) |V_{TP}|, \quad 3-4$$

entonces la razón de las dimensiones entre los transistores  $M_1$  y  $M_4$  se puede determinar por,

$$\frac{W_4/L_4}{W_1/L_1} = \frac{\mu_N}{2\mu_P} \frac{(V_{CC} - V_{TN})^2}{(V_H - V_{TP}) |V_{TP}|}. \quad 3-5$$

La ecuación 3-5 debe ser evaluada para el peor caso, para definir el criterio de dimensionamiento de los transistores del LS. En este trabajo el largo de todos los transistores HV es el mismo, el largo mínimo permitido por la tecnología elegida ( $L_{min}=3\mu m$ ) y las condiciones de peor caso son  $V_{CC}=2V$  (tensión de una batería primaria agotada de un dispositivo medico implantable [4]),  $V_H=18V$ , y con los parámetros de la tecnología,

$$\begin{cases} \mu_N=424cm^2/Vs \\ \mu_P=145cm^2/Vs \\ V_{TN}=0.82V \\ V_{TP}=-0.9V \end{cases}, \quad 3-6$$

se tiene la siguiente razón,

$$\frac{W_{M1}}{W_{M4}} \approx 6.6. \quad 3-7$$

Según la aproximación 3-7, el ancho de los transistores  $M_{1(2)}$  debe ser entre 6 y 7 veces el de  $M_{4(5)}$ . Se debe mencionar que esta no es la cota inferior estricta ya que la ecuación 3-7 sobreestima para garantizar el funcionamiento del LS. Mediante simulaciones se puede realizar un ajuste fino de estas dimensiones.

En la Figura 3-5 se presenta una simulación transitoria de un LS al cual se le aplica este criterio de diseño, en donde se puede apreciar su correcto funcionamiento para  $V_H$  mucho mayores y cercanos a  $V_{CC}$ , pero no mucho menores que  $V_{CC}$ .

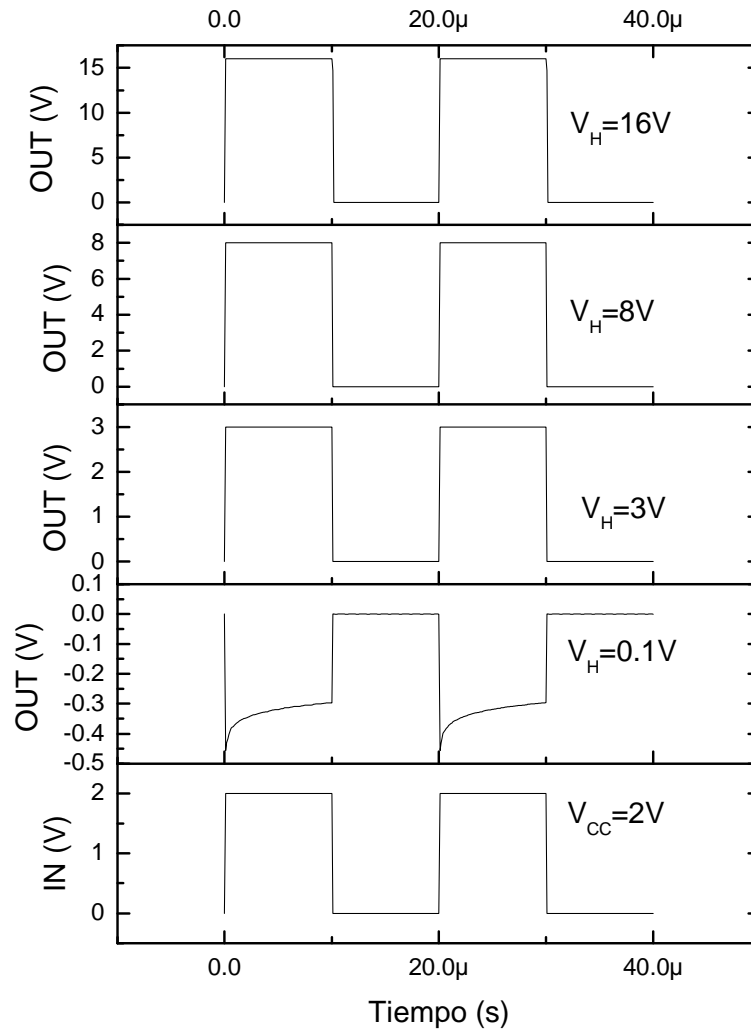


Figura 3-5 Simulaciones del LS de la Figura 3-2 (las dimensiones de los transistores se presentan en la Tabla 3-2).

### 3.2.2 $V_H$ mucho menor a $V_{CC}$

En la Figura 3-3 y Figura 3-5, es claro que el LS no funciona correctamente para  $V_H$  mucho menores que  $V_{CC}$ . Esto se debe a que  $V_{GS}=V_H$  no será suficiente para prender los transistores PMOS PHV cuando es necesario. La resistencia de encendido  $R_{ON}$  de los transistores  $M_{4,5,6}$  se incrementa drásticamente a medida que  $V_H$  se acerca a 0V. Este problema no es posible solucionar solo mediante el tamaño de los transistores, y se debe modificar la topología del circuito.

La solución propuesta se presenta en la Figura 3-6, la cual consiste en conectar un transistor NMOS HV ( $M_{7,8,9}$ ) en paralelo con los PMOS HV asemejándose a una configuración del tipo *transmission gate* (TG), pero los *gate* de estos transistores NMOS HV son controlados con la lógica alimentada desde  $V_{CC}$ . Cuando  $V_H$  es elevado  $M_{7,8,9}$  son transparentes al circuito comportándose como transistores abiertos, pero hacen el trabajo de los PMOS HV cuando  $V_H$  es demasiado bajo.

### ASICS para dispositivos médicos implantables

Esta nueva configuración de LS que se muestra en la Figura 3-6, se denomina adaptador de nivel de rango completo (*Full-Range Level Shifter* en inglés, o simplemente FR-LS). En la Figura 3-7 se presenta una simulación transitoria del FR-LS donde se puede apreciar el funcionamiento correcto en todo el rango del  $V_H$ .

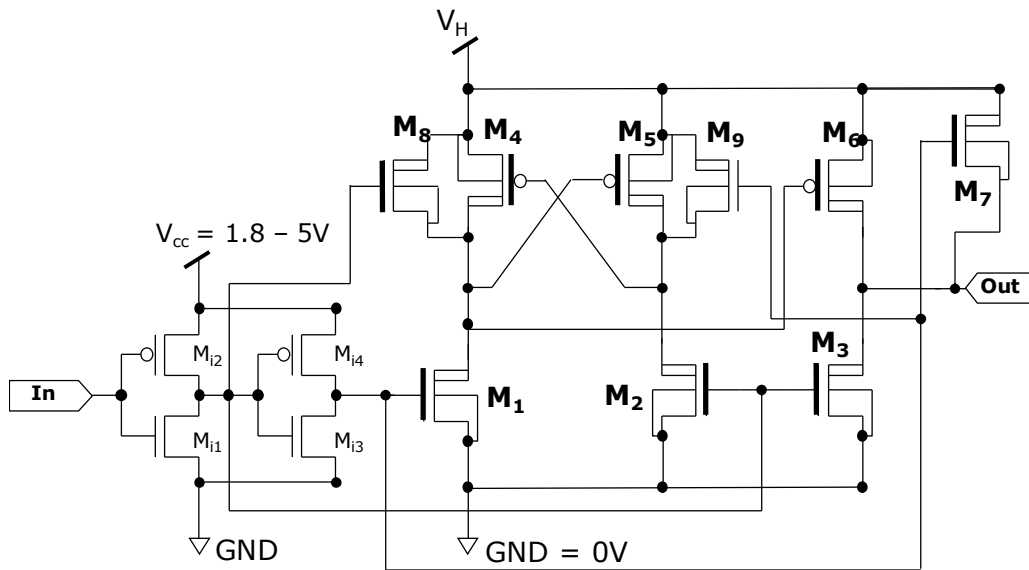


Figura 3-6 Esquemático del FR-LS.

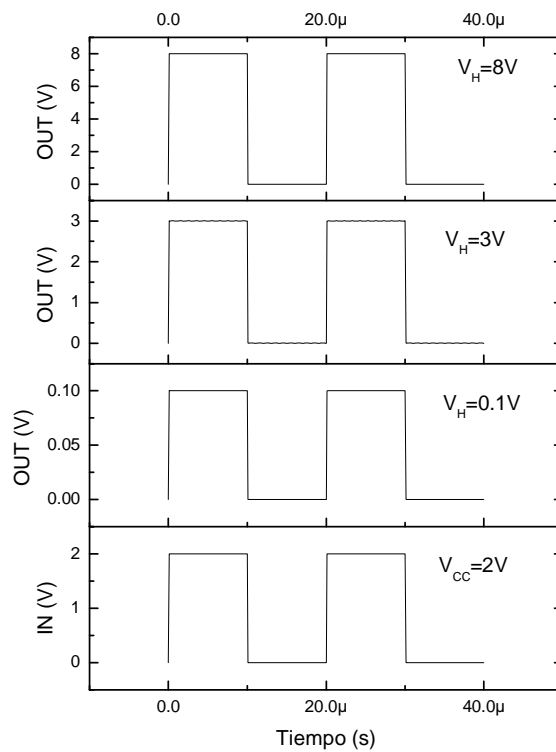


Figura 3-7 Simulación FR-LS para  $V_H$ , mucho mayor, cercano, y mucho menor a  $V_{cc}$ .



## ASICS para dispositivos médicos implantables

A modo de resumen la siguiente metodología de diseño se propone para el FR-LS:

- Determinar las dimensiones adecuadas de  $M_3$  y  $M_6$  de acuerdo a la carga que van a atacar, determinar la capacidad de *gate* de estos transistores y así determinar el ancho mínimo (suponiendo largo mínimo) de los transistores  $M_{1,2,5}$ .
- Incrementar el ancho de  $M_{1,2}$  para satisfacer la ecuación 3-7 y simular para todos los casos (transistores *corner*, voltajes límite).
- Determinar el tamaño de  $M_{7,8,9}$  en el peor caso con  $V_H=0V$ .

### 3.3 Prototipo de Adaptador de nivel

Ambos adaptadores de nivel fueron implementados para verificar su funcionamiento y desempeño.

#### 3.3.1 Adaptador de nivel estándar (LS)

Un adaptador de nivel estándar (Figura 3-2) fue implementado según el criterio de diseño de la sección 3.2.1, en la Tabla 3-1 se presentan las dimensiones de los transistores. A la salida los transistores HV  $M_{3,6}$  fueron dimensionados para poder manejar una carga grande de 200pF. Este LS fue medido para  $V_{CC}=2V$  y  $V_H$  desde 100mV hasta 16V, los resultados se presentan en la Figura 3-8, donde se aprecia el correcto funcionamiento del LS para  $V_H$  cercanos, mucho mayores, pero no mucho menores que  $V_{CC}$ .

También se midió el retardo para una carga de 200pF para  $V_{CC}$  desde 2V hasta 5V, los resultados se presentan en la Figura 3-9, observándose que el retardo 0- $V_H$  es independiente de  $V_{CC}$ , y el retardo  $V_H-0$  si depende de  $V_{CC}$  debido a que la resistencia  $R_{ON}$  de  $M_6$  es independiente de  $V_{CC}$ , pero la de  $M_3$  no lo es.

Transistor	W/L ( $\mu\text{m}/\mu\text{m}$ )
$M_{1,4}$	2/0.6
$M_{1,2}$	60/3
$M_{3,6}$	400/3
$M_{4,5}$	10/3

Tabla 3-1 Dimensiones del adaptador de nivel estándar (LS) fabricado.

### ASICS para dispositivos médicos implantables

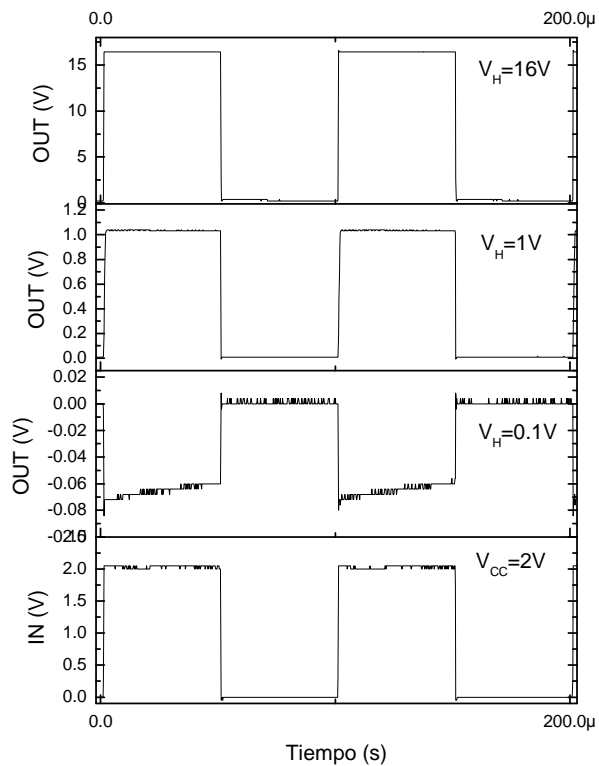


Figura 3-8 Medias LS para  $V_H$ , mucho mayor, cercano, y mucho menor a  $V_{CC}$ .

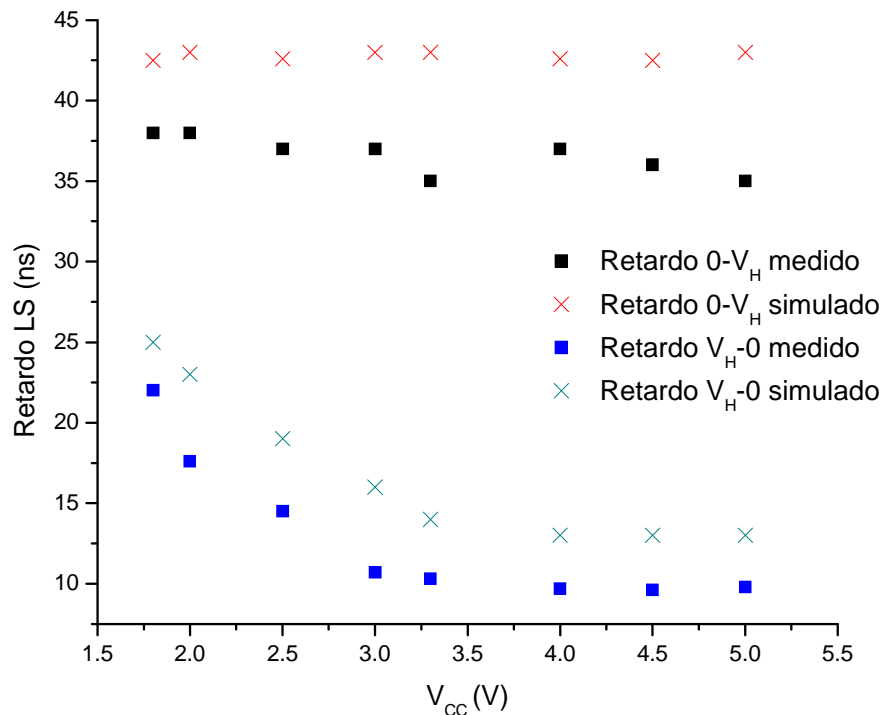


Figura 3-9 Retardo medido y simulado del LS para una carga de 200pF y  $V_H = 16V$ .

En la Figura 3-10 se presenta el *layout* del LS

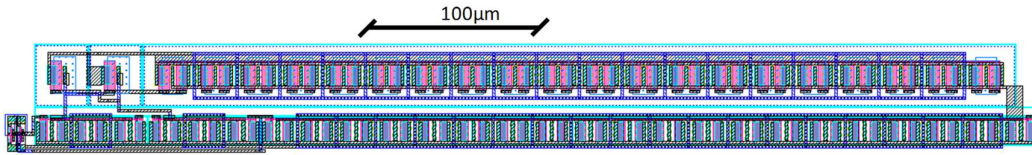


Figura 3-10 *Layout* del adaptador de nivel estándar (LS).

### 3.3.2 Adaptador de nivel de rango completo (FR-LS)

Utilizando el criterio de diseño de las secciones 3.2.1 y 3.2.2 se implementó un prototipo de adaptador de nivel de rango completo FR-LS (Figura 3-6), en la Tabla 3-2 se presentan las dimensiones de los transistores. A la salida los transistores HV  $M_{3,6}$  fueron también dimensionados para poder manejar una carga grande de 200pF con un retardo pequeño. Este FR-LS fue medido para  $V_{CC}=2V$  y  $V_H$  desde 100mV hasta 16V, los resultados se presentan en la Figura 3-11, donde se aprecia el correcto funcionamiento del LS para  $V_H$  cercanos, mucho mayores, y mucho menores que  $V_{CC}$ , debido a la presencia de los transistores NHV que conforman una configuración tipo TG.

También se midió el retardo para una carga de 200pF para  $V_{CC}$  desde 2V hasta 5V, los resultados se presentan en la Figura 3-12, observándose que el tanto retardo 0- $V_H$  como el  $V_H$ -0 dependen de  $V_{CC}$  debido a que la resistencia  $R_{ON}$  de  $M_{8,9,7}$  depende de  $V_{CC}$ .

Transistor	W/L ( $\mu\text{m}/\mu\text{m}$ )
$M_{i1-4}$	2/0.6
$M_{1,2}$	60/3
$M_{3,6,7}$	400/3
$M_{4,5,8,9}$	10/3

Tabla 3-2 Dimensiones del adaptador de nivel de rango completo (FR-LS) fabricado.

ASICS para dispositivos médicos implantables

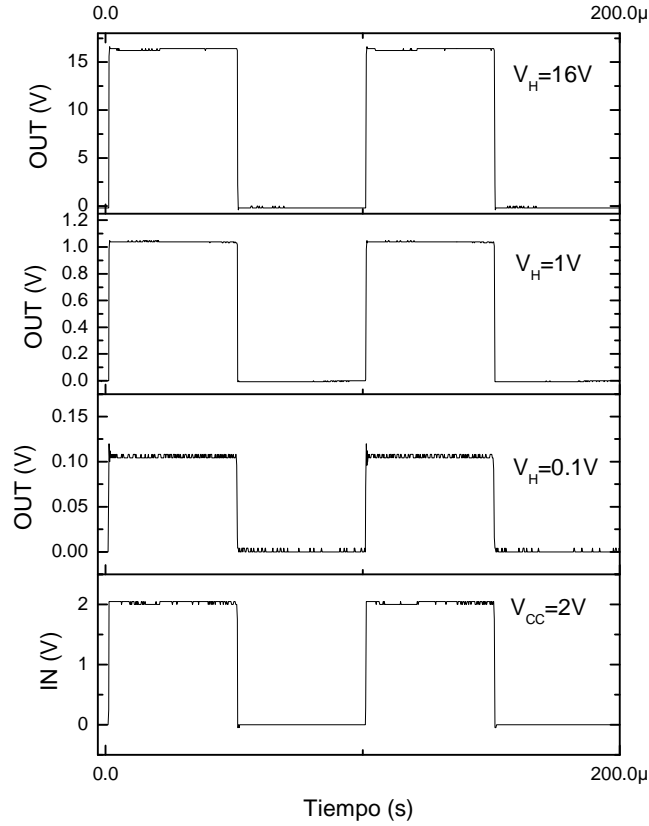


Figura 3-11 Salida OUT medida del FR-LS para para  $V_{MAX}=0.1V,0.5V,0.8V$  con  $V_{CC}=2V$ .

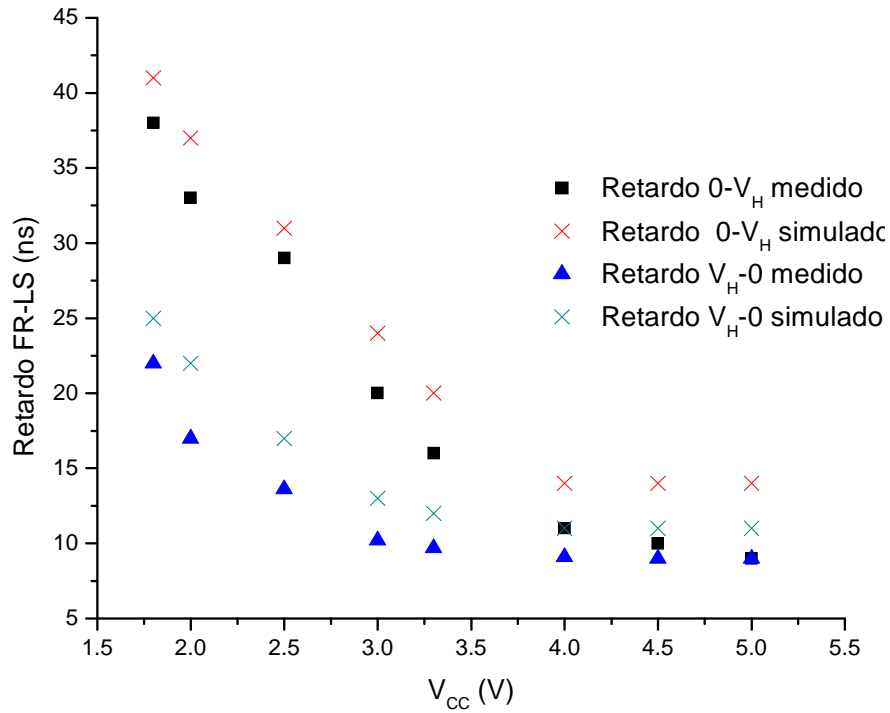
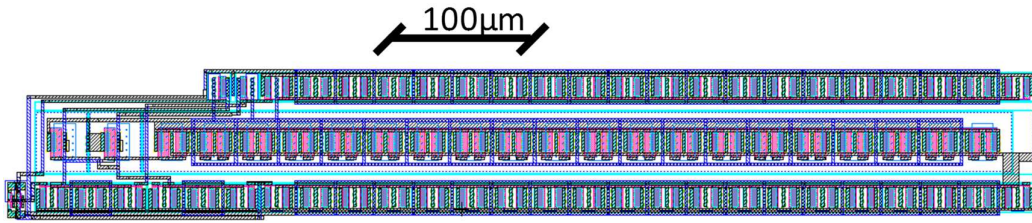


Figura 3-12 Retardo medido y simulado del FR-LS para una carga de 200pF y  $V_H=16V$ .

En la Figura 3-13 se presenta el *layout* del FR-LS



**Figura 3-13** *Layout* del adaptador de nivel especial (FR-LS), en tecnología XC06.

### 3.3.3 Adaptador de nivel negativo (NLS)

Otra variante del adaptador de nivel, es uno que me permita conmutar en  $+V_{CC}$  y  $-V_{CC}$ , tomando el adaptador de nivel estándar (Figura 3-2 con el agregado del uso de la técnica de diseño de la sección 3.2.2 (configuración de *transmission gate*). De esta manera se logra un adaptador de nivel negativo (NLS), el cual se muestra en la Figura 3-14.

Este tipo de adaptador de nivel puede ser necesario a la hora de conectar una parte del sistema a  $V_{CC}$  pero tener una impedancia pequeña con llaves de conmutación de área reducida como se muestra en la Figura 3-15, ya que colocar el *gate* del transistor de paso  $M_1$  a  $-V_{CC}$  se logra reducir su impedancia. Sin perjuicio de esta aplicación el NLS se implementó con transistores HV para poder tener una mayor versatilidad, no limitando la su operación a bajo voltaje si se utilizaran transistores estándar.

A continuación, se describe el funcionamiento del NLS y se presentan resultados de simulación. No se presentan medidas directas del adaptador ya que el prototipo fabricado es parte de un sistema más complejo y no se tiene acceso directo al circuito.

El NLS consta de dos estados:

- Estado " $V_{CC}$ ": Cuando la señal de entrada "In" se encuentra a  $V_{CC}$  los transistores  $M_6$ ,  $M_8$ ,  $M_{11}$ ,  $M_{13}$ ,  $M_{16}$  and  $M_{17}$  conducen llevando la salida "Out" a  $V_{CC}$  y cortando los transistores,  $M_5$ ,  $M_9$ ,  $M_{12}$ ,  $M_{14}$ ,  $M_{15}$  and  $M_{18}$ .
- Estado " $-V_{CC}$ ": Cuando la señal de entrada "In" se encuentra a "0V" los transistores  $M_5$ ,  $M_9$ ,  $M_{12}$ ,  $M_{14}$ ,  $M_{15}$  and  $M_{18}$  conducen llevando la salida "Out" a  $-V_{CC}$  y cortando los transistores,  $M_6$ ,  $M_8$ ,  $M_{11}$ ,  $M_{13}$ ,  $M_{16}$  and  $M_{17}$ .

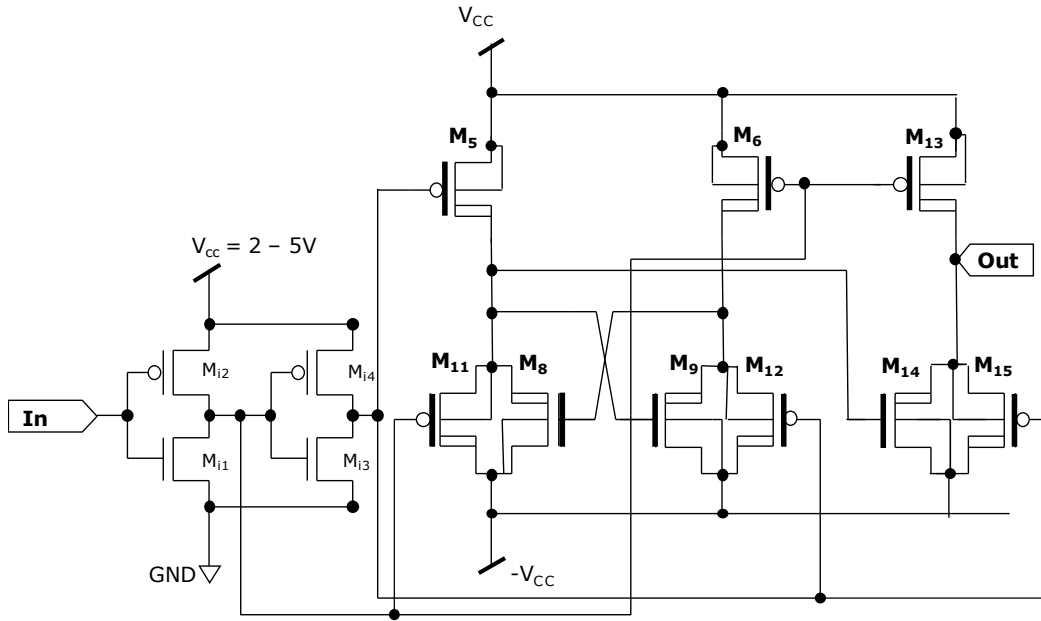


Figura 3-14 Adaptador de nivel negativo (NLS).

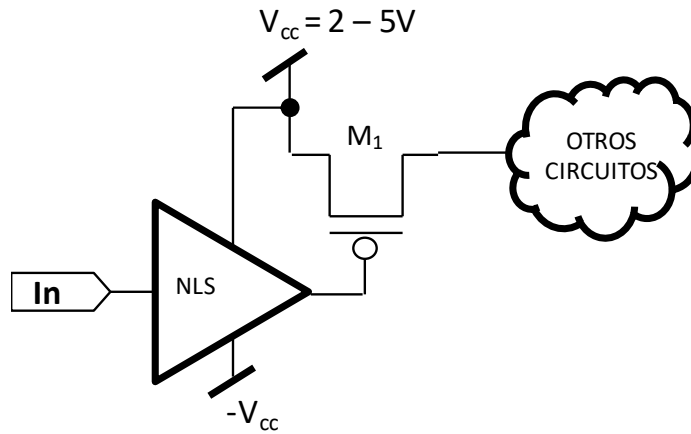


Figura 3-15 Aplicación del NLS.

Se tomó el criterio similar al del LS y FR-LS para el dimensionamiento de los transistores, pero para una impedancia de carga de 50pf. En la Tabla 3-3 se presentan las dimensiones del NLS, donde se puede apreciar que los transistores de salida  $M_{13,15,16}$  son más pequeños que sus equivalentes del LS y FR-LS.

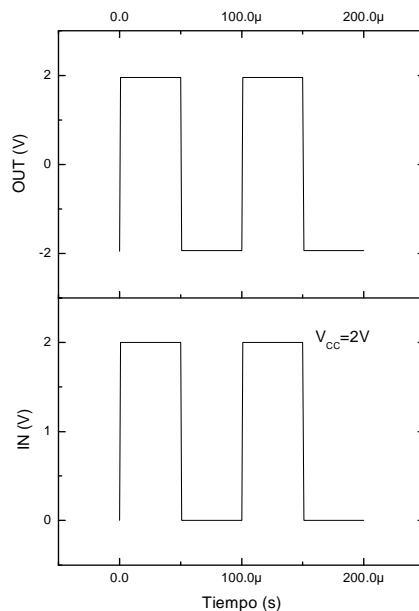
Transistor	W/L ( $\mu\text{m}/\mu\text{m}$ )
$M_{11-4}$	20/3
$M_{5,6,13,14,15,16}$	60/3
$M_{8,9,11,12}$	10/3

Tabla 3-3 Dimensiones de transistores de adaptador de nivel negativo.

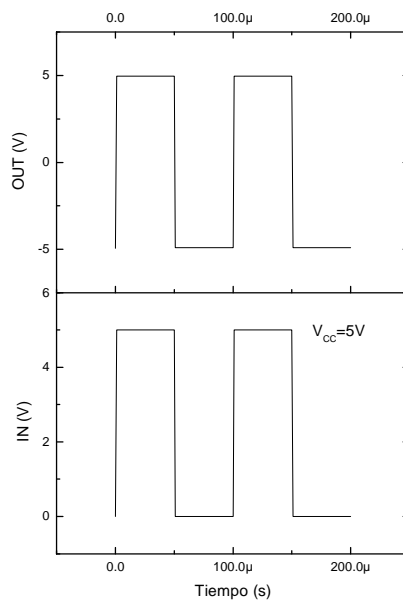
En las Figura 3-16 y Figura 3-17 se muestra simulación transitoria del NLS donde se muestra el correcto funcionamiento del mismo. No se presentan medidas directas del Adaptador ya

## ASICS para dispositivos médicos implantables

que el prototipo fabricado es parte de un sistema más complejo y no se tiene acceso directo sobre él.



**Figura 3-16 Simulación transitoria del NSL, salida OUT con  $V_{cc}=2V$ .**



**Figura 3-17 Simulación transitoria del NSL, salida OUT con  $V_{cc}=5V$ .**

En la Figura 3-18 y la Figura 3-19 se muestra el *layout* y una micrografía del NLS respectivamente.

### ASICs para dispositivos médicos implantables

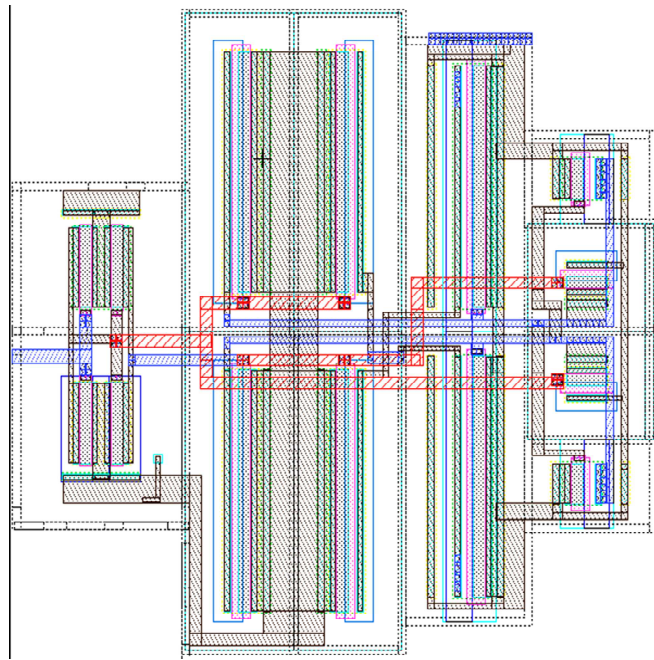


Figura 3-18 *Layout* del adaptador de nivel negativo (NLS), en tecnología XT06.

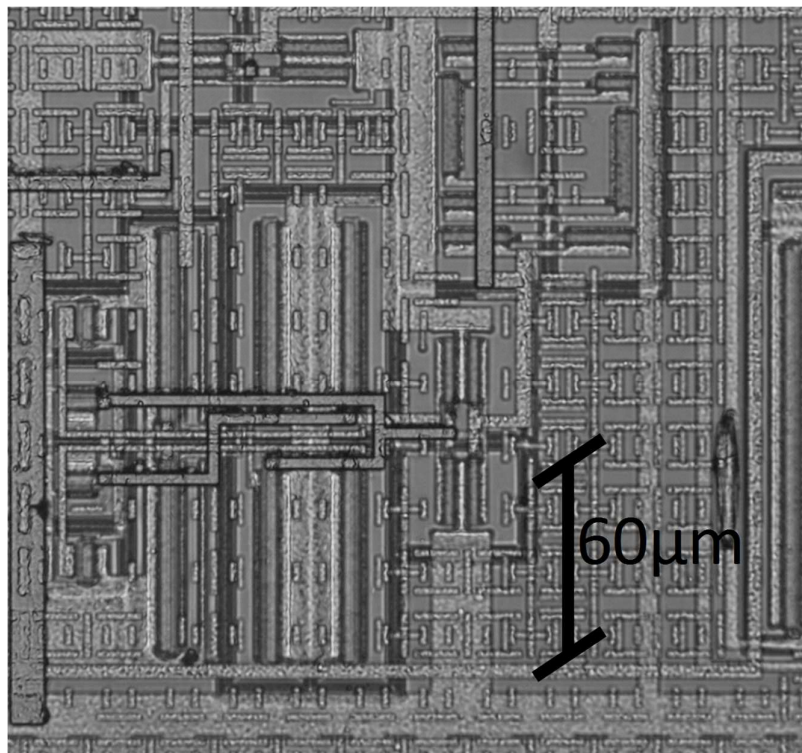


Figura 3-19 Microfotografía del adaptador de nivel negativo (NLS).



### 3.4 Multiplicador de voltaje programable en tecnología HV.

En esta sección se presentará, como ejemplo de aplicación de varios de los LS diseñados, un multiplicador de tensión multicanal programable del tipo bomba de carga con potencial aplicación en sistemas estimuladores implantables. El circuito fue diseñado, fabricado, y medido. Este sistema funciona correctamente con  $V_{CC}$  desde 1.6V hasta 5.5V y es capaz de precargar 4 capacitores de canales de estímulo en simultáneo desde 100mV hasta 16V con una eficiencia cercana al 95% (carga).

En la mayoría de los sistemas estimuladores de tejido es necesario tener generadores de alta tensión, también conocidos como multiplicadores de voltaje. La idea es generar voltajes por encima de la batería necesarios para el estímulo biológico, como en el ejemplo de ASIC para marcapasos presentado por Wong, et al [72]. La estimulación en tensión puede ir desde algunos pocos mV hasta alguna decena de Voltios, pero normalmente la tensión de baterías en implantables va desde los 2V o menos hasta 4.2V o un poco más.

Los multiplicadores de voltaje (MV) del tipo bomba de carga (*charge pump* en inglés) han sido preferidos para dispositivos del tipo marcapaso por su eficiencia para bajas corrientes, y la simplicidad del circuito [72] [73]. Aunque se han reportado algunas fuentes DC-DC eficientes para  $\mu A$  de corriente de salida utilizando inductores conmutados, como por Sridhara, et al en [74] o Miguez, et al en [75], estas han sido en general del tipo Step Down, y las bombas de carga a capacitores conmutados aún dominan los circuitos para marcapasos.

Para alcanzar eficiencias altas se utilizan capacitores externos al circuito integrado, del orden de nF o incluso algún  $\mu F$ , para desprestigiar el efecto de las capacidades parásitas y minimizar las pérdidas por conmutación en frecuencias elevadas. La eficiencia que se puede alcanzar es alta encima del 90%, pero es conocido que eficiencia máxima está limitada según la tensión de salida, la tensión de entrada, y el número de capacitores en serie/paralelo.

En la Figura 3-20 se muestra una representación simple de la topología elegida para el MV de este trabajo. Es un multiplicador hasta 3X clásico con dos capacitores de bomba  $C_{P1}$  y  $C_{P2}$  los cuales son cargados en paralelo a  $V_{CC}$  durante  $\phi_1$  (fase de carga). Durante la fase  $\phi_1$  se cierran los interruptores  $S_{6,7,1,2}$  ( $S_{3,4,8A}$  abiertos). Luego  $C_{P1}$  y  $C_{P2}$  son conectados en serie con  $V_{CC}$  en  $\phi_2$  (fase de bombeo) cerrando los interruptores  $S_{3,4,8A}$  ( $S_{6,7,1,2}$  abiertos). De esta forma se logra una multiplicación por 3 veces la tensión de la batería ( $3V_{CC}$ ). La carga es transferida a un capacitor tanque  $C_{STOI}$  durante  $\phi_2$ .

Al capacitor tanque se le podría conectar una carga en paralelo para ser alimentada a 3 veces la tensión de la batería, pero en una aplicación del tipo marcapaso este capacitor tanque es cargado hasta un cierto valor  $V_{Targ}$  y llegado ese punto se detiene la carga. Este voltaje (correspondiente a la energía almacenada en  $C_{STOI}$ ) es el que será aplicado a tejido en un eventual estímulo. Luego de cada estímulo, el capacitor  $C_{STOI}$  es cargado nuevamente hasta  $V_{Targ}$  por el MV para estar pronto para el siguiente estímulo. Como se puede apreciar en la Figura 3-20 con un solo MV es posible cargar varios  $C_{STOI}$  teniendo así un sistema estimulador multicanal.

Lo bombas de carga pueden alcanzar eficiencias por encima del 90% pero solo si el voltaje de salida es un múltiplo de  $V_{CC}$ . Para el sistema de la Figura 3-20 (rango 3X), para cada unidad de carga  $\Delta Q$  que es transferida a la salida, se requiere  $3 \cdot \Delta Q$  de la batería del sistema, por lo tanto la corriente media de la batería es tres veces la corriente promedio a la salida. La eficacia energética  $\eta_P$  y de carga  $\eta_Q$  se definen como,

$$\eta_P = \frac{\langle P_{Carga} \rangle}{\langle P_{Bat} \rangle} < \frac{V_{Targ}}{NV_{Bat}} = \eta_{Pmax} \quad 3-8$$

$$\eta_Q = \frac{N \langle I_{carga} \rangle}{\langle I_{Bat} \rangle} < 100\%,$$

3-9

donde N es el rango del MV que puede ser N=3 para el Sistema Figura 3-20 (triplicador de tensión) o podría ser N = 2 (Figura 3-21, duplicador de tensión, solo conecto 1 capacitor en serie con la batería en  $\phi_2$  o los dos capacitores, pero sin la batería) o incluso N = 1 (Figura 3-22, solo transfiero carga sin multiplicar).

De 3.8 se desprende que si  $V_{CC} < V_{Targ} < 2V_{CC}$  entonces una configuración N=2 es más eficiente que una N=3. Este tipo de características son bien conocidas por los diseñadores de marcapasos, por esto se diseñan sistemas donde el N se adapta a la situación más eficiente. El MV de este trabajo puede alcanzar valores  $V_{TARG}$  diferentes para cada canal con rangos de operación (N) independientes.

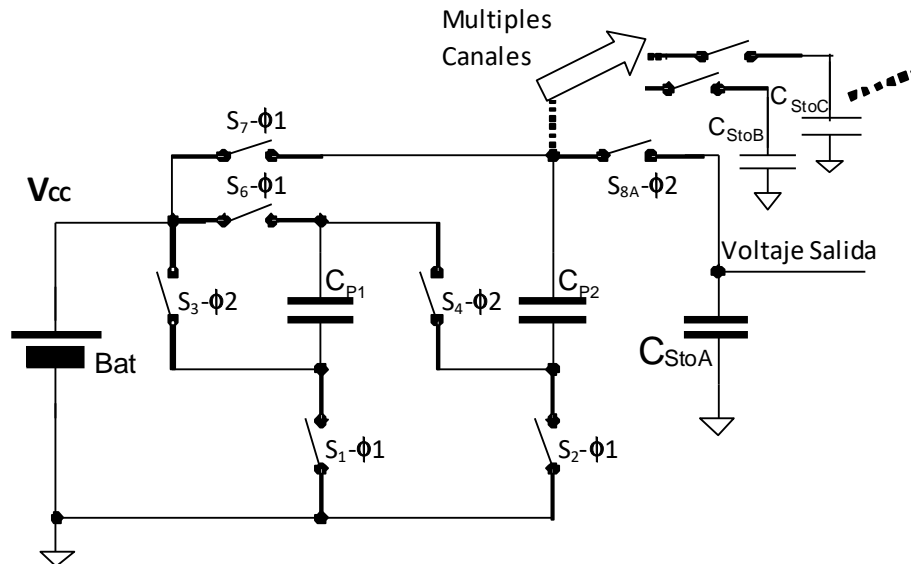


Figura 3-20 Esquema simplificado de un multiplicador de voltaje 3X del tipo bomba de carga, con múltiples canales de salida.  $\phi_1$  fase de carga y  $\phi_2$  fase de bombeo, son fases que no se superponen.

## ASICS para dispositivos médicos implantables

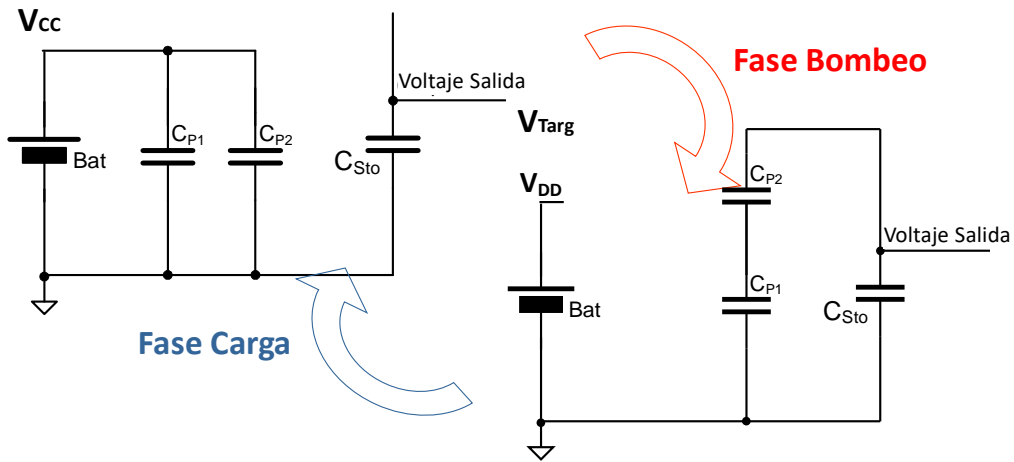


Figura 3-21 Representación del multiplicador en rango 2X (N=2).

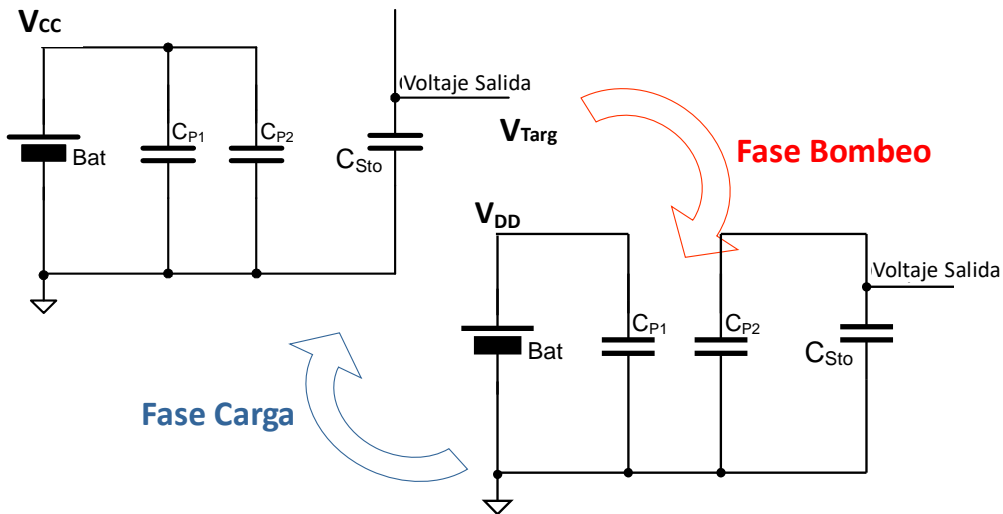


Figura 3-22 Representación del multiplicador en rango 1X (N=1).

### 3.4.1 El multiplicador de voltaje propuesto

El MV es el responsable de cargar los capacitores tanques  $C_{StoX}$  de los distintos canales de estímulo hasta el valor programado  $V_{TargX}$ . En la Figura 3-23, se presenta a nivel de bloques el sistema.

El MV es controlado por una serie de registros digitales, con los cuales se puede prender y apagar el MV y elegir el voltaje  $V_{TargX}$ , el rango N (1,2 o 3), y la velocidad de carga. Un reloj primario de 32.768KHz es dividido dentro del bloque de control o FSM por un valor programando en el registro de control de velocidad a un valor programable entre 256Hz y 4kHz (velocidad de carga). Una vez que el MV es prendido la FSM genera el vector de control  $SS=\{ss1, ss2, ss5, ss7, ss8\}$  (valores lógicos 0- $V_{CC}$ ) con los cuales se controlan las llaves de S1 a S8 de la Figura 3-20 ya sea para el multiplicador 3X o para llevar el mismo circuito de la Figura 3-20 a configuraciones como en la Figura 3-21 o la Figura 3-22 dentro de la matriz de

## ASICS para dispositivos médicos implantables

interruptores MOS y adaptadores de nivel encargados de cargar los  $C_{StoX}$ . En esta matriz se aplicarán los LS desarrollados previamente.

La FSM periódicamente cambia entre las fases de  $\phi_{1A(BCD)}$ -  $\phi_{2A(BCD)}$  de carga y bombeo para  $C_{StoA}$ ,  $C_{StoB}$ ,  $C_{StoC}$ ,  $C_{StoD}$  y así sucesivamente para todos los canales (A,B,C,D) configurados en estado "encendido" en los registros. También es posible para cada fase de bombeo tener un rango independiente, un solo capacitor de bombeo  $C_{P1}$  (1X), dos capacitores de bombeo en serie  $CP_{1,2}$  (2X) o dos capacitores de bombeo  $CP_{1,2}$  y  $V_{CC}$  en serie (3X) lo que se configura en otro registro. Para la comunicación con los registros se implementó un interfaz SPI simple.

El valor de  $V_{TargX}$  es programable con 5 bits y está determinado por,

$$V_{TargX} = V_{BG} f(T_{argX})FS, \quad 3-10$$

donde  $V_{BG}$  es una tensión de referencia generado por un bloque tipo *bandgap* como el de Miguez, et al en [76] típicamente  $V_{BG} = 1.03V$ ,  $T_{argX}$  es un valor de 5 bits independiente para cada canal, y FS un factor de escala programable de 3 bits donde valores máximos de  $V_{TargX}$  posibles son 2, 5, 8, 12 o 16V (el fondo de escala es el mismo para todos los canales). Cuando el valor de  $V_{TargX}$  elegido es alcanzado la FSM deja de hacer el bombeo al capacitor  $C_{StoX}$  correspondiente. La detección del valor alcanzado se realiza a través de un comparador de voltaje y una referencia programable de 5 bits (5bits para cada canal) como se muestra en la Figura 3-23. El comparador es apagado una vez que todos los capacitores  $C_{StoX}$  alcanzan el valor final, y le FSM se detiene (se suspende el reloj) para minimizar el consumo tan solo a fugas.

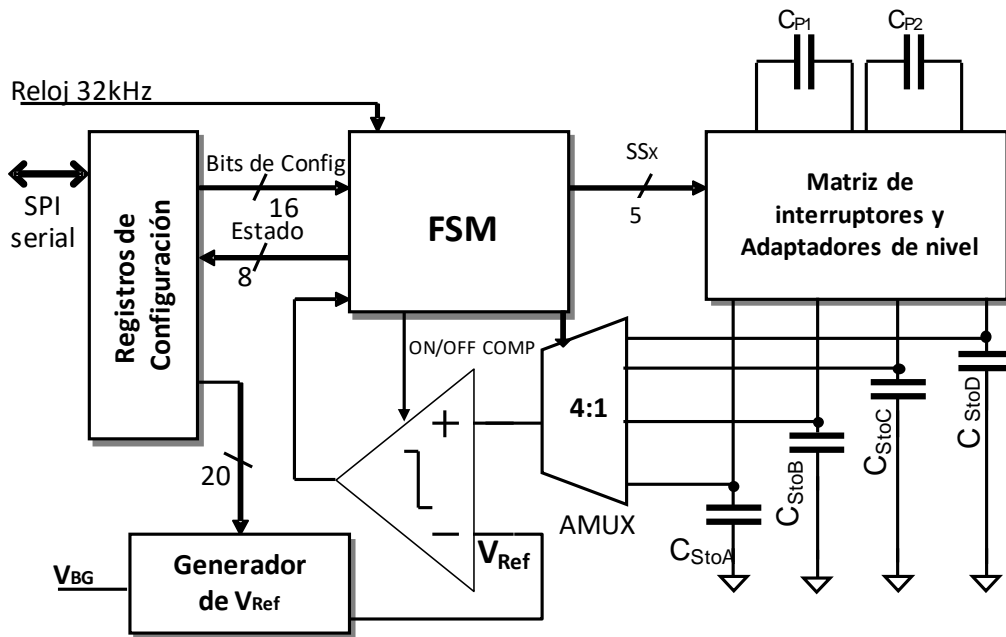


Figura 3-23 MV simplificado a nivel de bloques,  $C_{P1,2}$  y  $C_{StoA,B,C,D}$  externos.

En la Figura 3-24 se presenta una simulación de la carga simultánea de 3 capacitores  $C_{StoA,B,C}$ . Como se puede apreciar los saltos de carga en los diferentes capacitores no son simultáneos, ya que la FSM primero hace una carga en el  $C_{StoA}$  luego el  $C_{StoB}$  y por último el  $C_{StoC}$ . El valor de  $V_{Bat}$  (valor de la batería conectada a  $V_{CC}$ ) es 2.8V,  $C_{StoA}$  se carga con rango 3X y valor  $V_{TargA}=4.55V$

## ASICS para dispositivos médicos implantables

en 100ms,  $C_{StoB}$  se carga con rango 3X y valor  $V_{TargB}=7.5V$  (no se llega a mostrar la carga completa en esta simulación) pero es descargado en  $t=50ms$  por la entrega de un estímulo.

Como se puede apreciar en la Figura 3-24 cómo se detiene la carga y se reanuda luego de finalizado el estímulo para  $t=60ms$ . Finalmente  $C_{StoC}$  se carga con rango 2X y valor  $V_{TargC}=3.8V$ , pero se arranca a cargar a partir de  $t=60ms$  mostrándose que los canales pueden ser prendidos y apagados de forma independiente, todo esto para una frecuencia de la FSM de 2kHz. En la simulación se puede observar una caída en  $V_{CC}$  debido a la impedancia de la batería significativa. A partir de los 110ms se puede apreciar como  $V_{CC}$  se empieza a recuperar luego que  $C_{StoA}$  ha terminado de cargarse. Para controlar la caída en  $V_{CC}$  según el tipo de batería es que es importante poder programar la velocidad de carga (divisor programable del reloj de 32768 Hz).

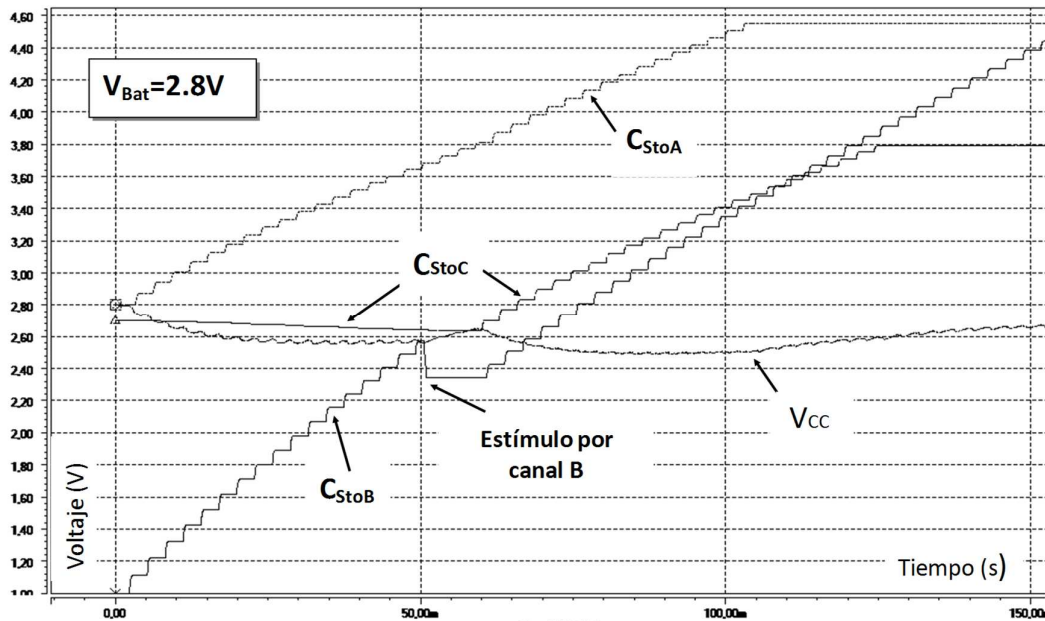


Figura 3-24 Simulación de carga de 3 capacitores con el MV propuesto y efecto de caída de  $V_{CC}$ .

### 3.4.2 Detector de Voltaje

El detector de voltaje es el encargado de medir el voltaje en cada uno de los capacitores  $C_{StoA,B,C,D}$  y enviarle a la FSM (ver Figura 3-23) la señal del alto cuando se llegue al valor de voltaje programado. En la Figura 3-25 se presenta el detector de voltaje a nivel de bloques, compuesto por un generador de referencia variable que determina el voltaje de comparación  $V_{Ref}$ , un comparador, y un multiplexor analógico. La FSM se encarga de ir alternando entre los distintos  $C_{StoA,B,C,D}$  generado las señales de selección  $SS_x$  (señal de 5 bits, un bit por canal, más un bit adicional para transferencia de carga).

El voltaje en cada capacitor es elegido en el momento de la comparación y adaptado mediante un divisor resistivo para poder ser comparado contra la tensión de referencia variable  $V_{Ref}$  que es de bajo voltaje.  $V_{Ref}$  se elige de forma independiente para cada capacitor a través de  $T_{argX}$  (señal de 20 bits, 5 bits por canal). El divisor resistivo también es configurable y va a determinar el fondo de escala FS de la ecuación 3-10.

Cuando el comparador detecta que se llegó al valor de voltaje deseado, la FSM dejará de cargar el capacitor correspondiente alternando solo entre los restantes. Una vez que todos los

### ASICS para dispositivos médicos implantables

capacitores fueron cargados el comparador es apagado para ahorrar consumo (la señal que controla el comparador es ON/FF COMP).

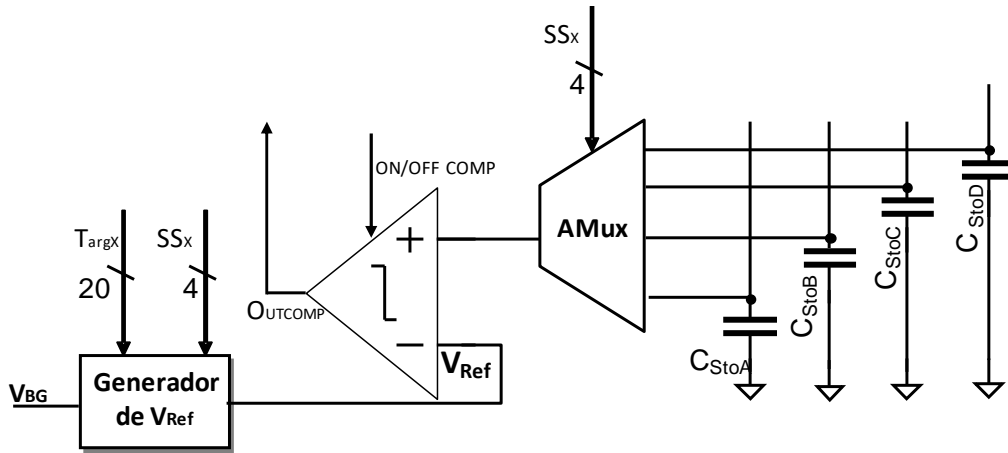


Figura 3-25 Detector de voltaje a nivel de bloques.

En la Figura 3-26 se presenta el generador de  $V_{Ref}$  a partir de un banddgap que consume solo 200nA con  $V_{BGap}=01.024V\pm 3\%$  [76], y un divisor resistivo de 32 taps de 400k $\Omega$  c/u (32 resistencias individuales de rpolh). Con un multiplexor analógico de 32:1 se elige el valor de salida hacia el comparador. A través de las líneas  $SS_x$  se selecciona cuáles de los  $T_{ragx}$  es ingresado al multiplexor analógico.

El comparador utilizado se muestra en la Figura 3-27 En la Tabla 3-4 se presenta un resumen de las dimensiones de los transistores.

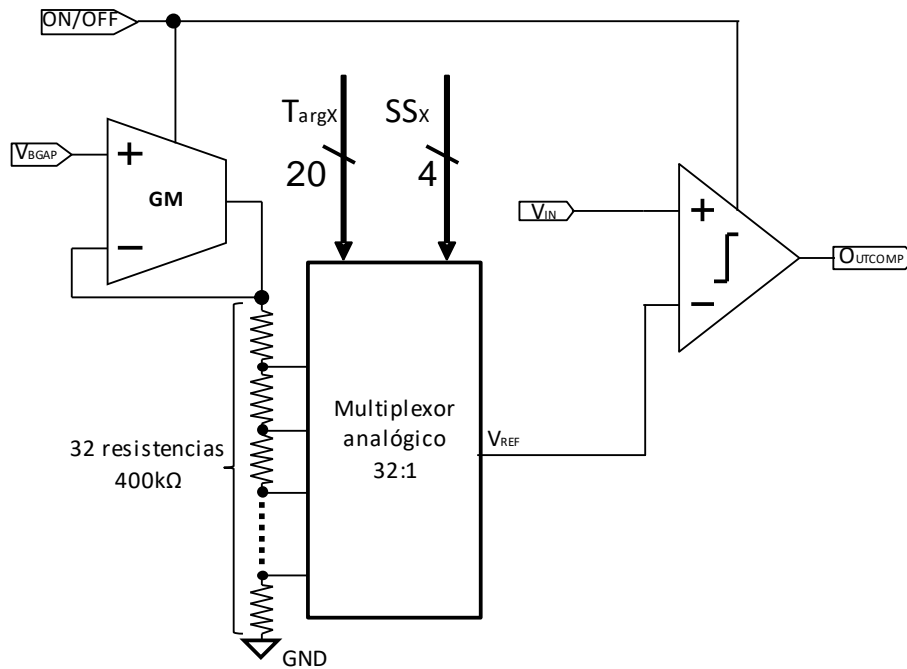


Figura 3-26 Generador de referencian variable y comparador.

## ASICs para dispositivos médicos implantables

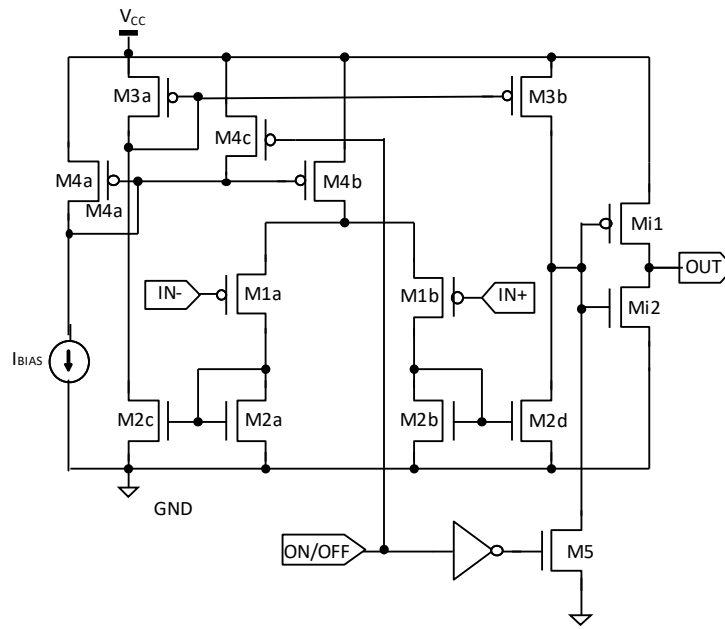


Figura 3-27 Comparador formado por un OTA simétrico con par diferencial PMOS y salida con inversor;  $I_{BIAS}=200nA$ . Los *bulk* de los transistores NMOS y PMOS están conectados a GND y  $V_{CC}$ , no se representan por simplicidad.

Transistor	W/L ( $\mu m / \mu m$ )
$M_{i1,2}$	2/1
$M_{1a,b}$	100/6
$M_{2a,b,c,d}$	160/4
$M_{3a,b}$	12/50
$M_{4a}$	20/10
$M_{4b}$	60/10
$M_{4c,5}$	12/4

Tabla 3-4 Dimensiones del comparador.

### 3.4.3 Matriz de Interruptores y circuito de transferencia carga

Este bloque del MV es el encargado de conectar los capacitores  $C_{P1,2}$  en serie/paralelo según la fase y el rango del multiplicador, para realizar la carga a los capacitores de salida  $C_{StoA,B,C,D}$  de la Figura 3-23.

En la Figura 3-31 se presenta el esquema del arreglo que opera según las fases de las señales  $\phi_1$  y  $\phi_2$  para bombeo y carga respectivamente. En la fase de carga los capacitores  $C_{P1,2}$  son cargados a  $V_{CC}$  a través de los transistores  $M_{1,6a,b}$  para  $C_{P1}$  y  $M_{2,7a,b}$  para  $C_{P2}$ . La fase de carga es independiente del rango, pero durante la fase de bombeo los capacitores se conectan distinto según el rango (1X,2X,3X) seleccionado:

- ➔ Rango 1X, solo el capacitor  $C_{P2}$  es conectado al capacitor  $C_{STOX}$  cerrando el transistor  $M_2$  y el circuito de transferencia de carga  $M_{8a,b}$ . El resto de los transistores se encuentran abiertos.
- ➔ Rango 2X, el capacitor  $C_{P2}$  es puesto en serie con la batería  $V_{CC}$  y se conecta al capacitor tanque  $C_{STOX}$  cerrando los transistores  $M_{5a,b}$  y el circuito de

## ASICS para dispositivos médicos implantables

transferencia de carga  $M_{8a,b}$ . El resto de los transistores se encuentran abiertos.

- Rango 3X, los capacitores  $C_{P1,2}$  son conectador en serie a  $V_{CC}$  y se conecta al capacitor tanque  $C_{STOX}$  cerrando los transistores  $M_{3,4}$  y el circuito de transferencia de carga  $M_{8a,b}$ . El resto de los transistores se encuentran abiertos.

Cada uno de los 4 canales de salida tiene su propio circuito de transferencia de carga y comparten el resto de la matriz de interruptores; en la Figura 3-31 se muestra un solo circuito de transferencia de carga por simplicidad. Se utilizan transistores HV ( $M_{1,2}$  son de voltaje medio MV) ya que en algunos casos se llega a valores elevados de voltaje hasta 16V, también es posible cargar los capacitores tanques a valores tan bajos como 100mV.

Para poder manejar la apertura y cierre de los transistores en el rango de tensiones de trabajo se utilizan adaptadores de nivel de rango completo como el de la Figura 3-6 (FR-LS4 tiene salida complementaria una pequeña variante de FR-LS de la Figura 3-6). Para limitar picos de corriente elevadas en las conmutaciones de los transistores, se utiliza un par de resistencias  $R_{1,2}$  de bajo valor (120 $\Omega$ ).

Las llaves son en su mayoría dobles para poder bloquear corriente en ambos sentidos y los LS se conectan a los voltajes adecuados para controlar las mismas. Para dimensionar los transistores de las llaves, nos basamos en las curvas de resistencia simuladas (ver Figura 3-28, Figura 3-29, y Figura 3-30) y utilizando llaves de largo mínimo y ancho suficiente para que la constante de tiempo de la carga de los capacitores no afectara el correcto funcionamiento de la bomba de carga.

Los transistores  $M_{1,2}$  son transistores de rango medio (NGMV) de voltaje, poseen también óxido grueso de *gate* (como los NHV y PHV descritos previamente) pero no se utiliza un *drain* difundido de modo que el largo mínimo de canal es 1.4 $\mu\text{m}$  pero soportan una tensión  $V_{DS}$  máxima de tan solo 13V. se denotan con un símbolo diferenciado a los HV como se puede apreciar en la Figura 3-31.

En la Tabla 3-5 se muestran las dimensiones de los transistores. En la tabla abajo a la derecha de la Figura 3-31 se muestra el valor lógico de las señales de control {SS1, SS2, SS5, SS7, SS8} que deben tomar en cada fase según el rango X1, X2, X3. La FSM es quien proporciona en cada fase el valor correcto.



### ASICs para dispositivos médicos implantables

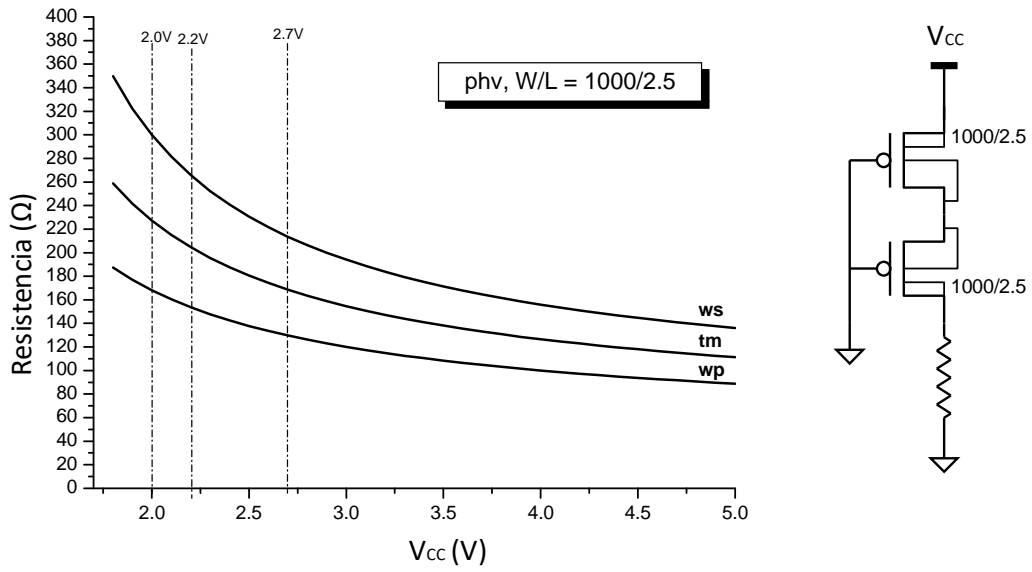


Figura 3-28  $R_{ON}$  simulada transistor PHV doble.

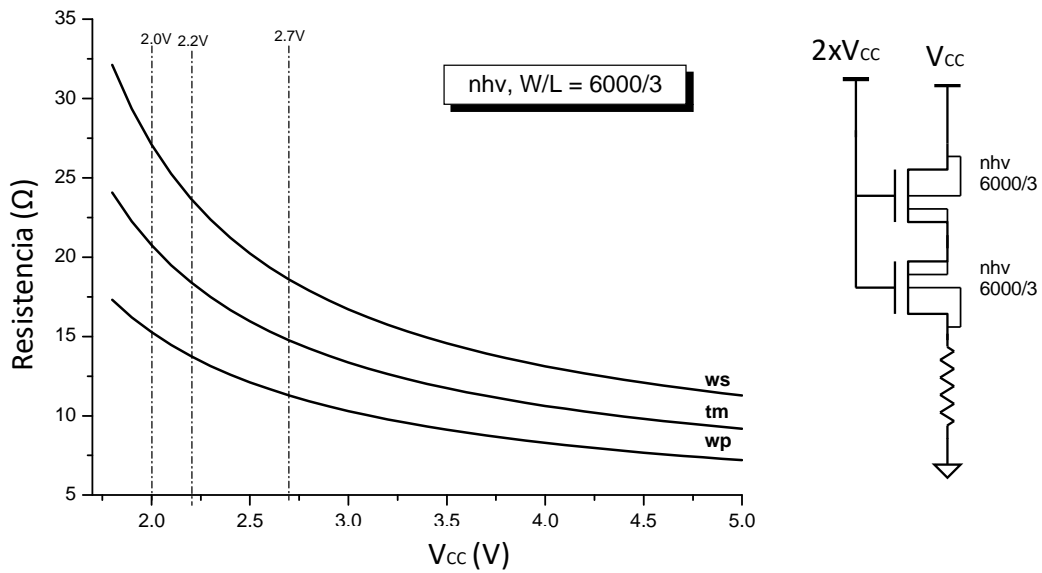


Figura 3-29  $R_{ON}$  simulada transistor NHV doble.

### ASICs para dispositivos médicos implantables

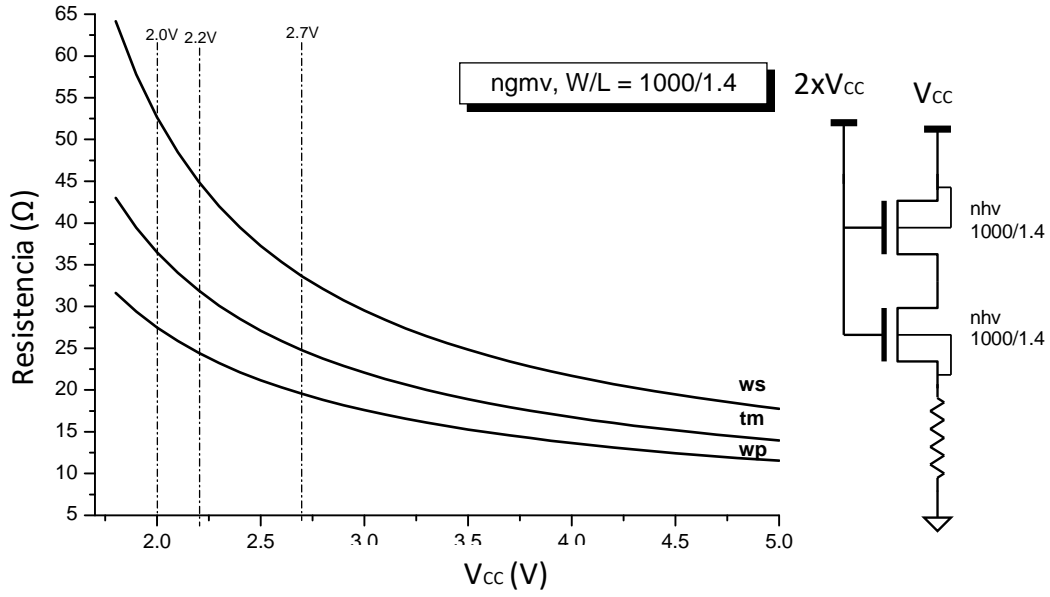


Figura 3-30  $R_{ON}$  simulada transistor NGMV doble.

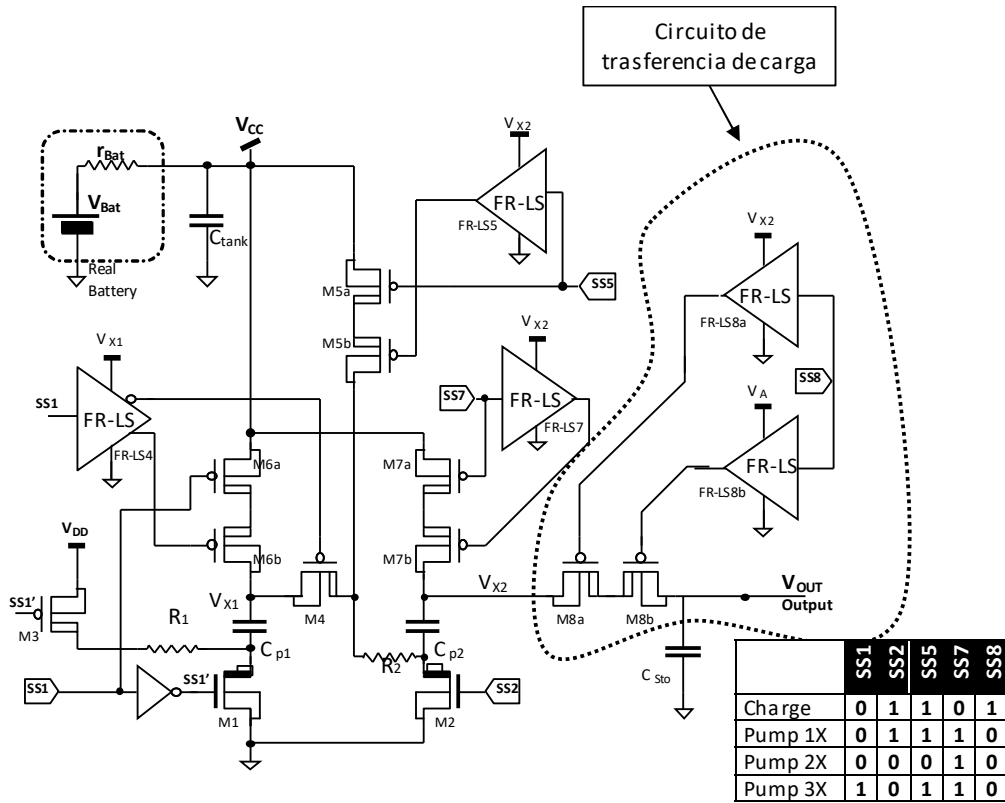


Figura 3-31 Matriz de interruptores y circuito de transferencia carga.

## ASICS para dispositivos médicos implantables

Transistor	W/L ( $\mu\text{m}/\mu\text{m}$ )
$M_{1,2}$	250/1.4
$M_{3,4,5(a,b),6(a,b),7(a,b),8(a,b)}$	600/2.5

**Tabla 3-5 Dimensiones de los transistores la matriz de interruptores y circuito de transferencia carga.**

La FSM toma los valores programados por algún sistema de  $\mu\text{P}$  en los registros la Figura 3-23 y en función de ellos genera todas las señales  $S_{Gx}$ . En nuestro caso de implementación la FSM tiene 9 estados para poder controlar la carga de 4 capacitores tanque  $C_{\text{StoA,B,C,D}}$ .

### 3.5 Medidas

El multiplicador de voltaje programable (MV) propuesto fue implementado para un sistema de 4 canales en tecnología HV CMOS de  $0.6\mu\text{m}$  XT06 de XFab. La Figura 3-32 se presenta una microfotografía del MV.

Se midió el sistema en un amplio rango de voltajes de batería  $V_{\text{CC}}$ , para diferentes voltajes de los capacitores  $C_{\text{StoA,B,C,D}}$ . Los resultados obtenidos confirman las simulaciones realizadas, se midieron  $V_{\text{Targ}}$  desde 0.2V hasta 16V con  $V_{\text{CC}}$  entre 1.6V y 5.5V. En la Figura 3-33 se presenta la medida de la carga de 3 de los 4 canales para  $V_{\text{TargA}}=4\text{V}$ ,  $V_{\text{TargB}}=5\text{V}$  y  $V_{\text{TargC}}=6\text{V}$  con  $V_{\text{CC}}=3.3\text{V}$ ,  $C_{\text{P1,2}}=220\text{nF}$  y  $C_{\text{StoA,B,C}}=10\mu\text{F}$  para una frecuencia de la FSM de 4kHz. Nótese que la carga de los capacitores tanques se asemeja a una exponencial, pero luego de que un capacitor completa su carga ( $C_{\text{StoA}}$ ) los capacitores restantes se cargan más rápido ya que la FSM asigna el espacio de tiempo libre a cargar los otros capacitores.

En la Tabla 3-6 se presentan varias características medidas. Para las medidas de eficiencia y consumo se emuló una configuración tipo marcapaso donde los capacitores de salida son cargados y luego descargados de forma periódica a través de una resistencia de  $500\Omega$  durante algunos ms, como Prutchi, et. al en [73]. Se midió la corriente media por la batería ( $V_{\text{CC}}$ ) y los voltajes iniciales de los capacitores tanque  $C_{\text{StoX}}$ , con las ecuaciones **3-8** y **3-9** se determinó la eficiencia del sistema. Los resultados para 4 estímulos por segundo en un solo canal, son presentados en la Tabla 3-7. Se verifica una eficiencia de carga medidas del 95% y cerca de un 90% de eficiencia en potencia respecto al máximo teórico.

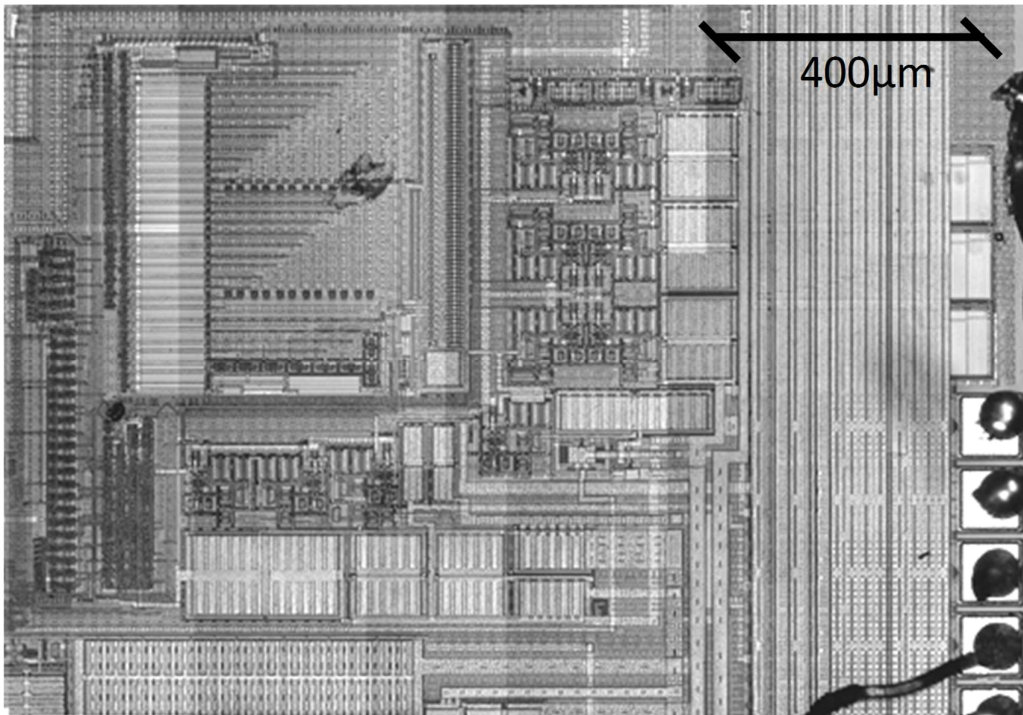


Figura 3-32 Microfotografía del MV.

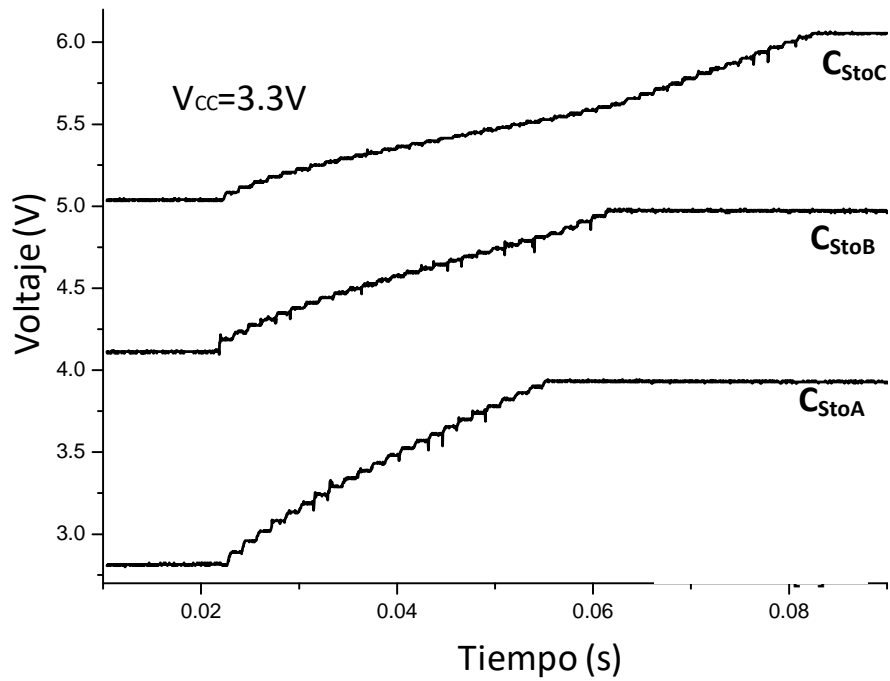


Figura 3-33 Carga medida de 3 capacitores tanque.

## ASICS para dispositivos médicos implantables

**Tabla 3-6 Características del MV.**

Característica	Valor
$V_{CC}$	1.6 – 5.5V
Voltaje de carga	hasta 16V
Área del circuito (a)	1.7 mm <sup>2</sup>
Corriente activa en DC consumida (b)	600 nA

(a) PADs & resistencias incluidas, capacitores externos.

(b) Todos los bloques analógicos incluidos, no consumos de conmutación.

**Tabla 3-7 Eficiencia medida del MV, en carga y en potencia.**

Configuración	$\eta_Q$	$\eta_P$	$\eta_P/\eta_{Pmax}$
$V_{CC}=3.3V, V_{targ}= 8.2V, N = 3X$	96%	73%	89%
$V_{CC} = 2V, V_{targ}= 5V, N = 3X$	98%	74%	89%
$V_{CC}=2.8V, V_{targ}= 5V, N = 2X$	96%	79%	89%

### 3.6 Conclusiones y resumen

En este capítulo se presentó el diseño y aplicación de adaptadores de nivel “ciegos” aplicables a circuitos implantables. En una primer aproximación su diseño parece sencillo, pero como se mostró en la sección 3.2 si deben trabajar en un amplio rango de operación es necesario desarrollar un criterio de diseño y modificaciones en la arquitectura de los circuitos típicos. Se implementaron algunos adaptadores de nivel en tecnología HV de 0.6 $\mu$ m, uno estándar (LS) como el de la Figura 3-2 capaz de operar desde valores en el entorno de  $V_{CC}$  hasta 18V, y otro de rango completo (FR-LS) como el de la Figura 3-6 capaz de operar desde 0V hasta 18V, ambos para un  $V_{CC}$  de 2V. Se presentó además un adaptador de nivel para voltajes negativos

Como ejemplo de aplicación de los adaptadores de nivel, se presentó un multiplicador de voltaje (MV) programable del tipo bomba de carga multicanal (sección 3.4), capaz de alcanzar hasta 16V. El MV es muy versátil, permitiendo variar, el voltaje “target”, el rango de operación (1X,2X,3X), y velocidad de carga desde 512Hz hasta 4kHz.

Se verifico la correspondencia de las simulaciones con las mediciones en un amplio rango de la tensión de entradas (1,6V hasta 5,5V). Se realizaron medidas de la eficiencia emulando una configuración tipo marcapasos para 4 estímulos por segundo en un solo canal, mostrando una eficiencia de carga del 95%, y cerca de un 90% de eficiencia en potencia.

El sistema implementado funciona con 4 canales de estímulo, pero es fácilmente escalable a más canales, modificando la máquina de estados que gobierna el MV, y agregando tantos adaptadores de voltaje y circuitos de transferencia de carga como se requiera.

Parte de los resultados de este capítulo se presentaron en las publicaciones [77] y [78].

## 4 Circuitos de estimulación segura

### 4.1 Introducción

Para los dispositivos médicos implantables se aplican dos aspectos claves, la confiabilidad y la seguridad. La confiabilidad entiende a la probabilidad de fallas, un circuito confiable es poco probable que falle. Para poder garantizar que un circuito sea confiable, durante el diseño de un ASIC se aplican prácticas especiales como márgenes de tolerancia en las dimensiones mínimas, contactos redundantes, entre otros. Durante la fabricación se aplican por ejemplo controles redundantes y prácticas especiales, incluso en los circuitos médicos implantables casi siempre se realiza un *burn-in* del producto terminado, según Chen en [79].

Aun tomando todas las precauciones no es posible afirmar que un circuito no va a fallar nunca, por eso los circuitos implantados aun en condición de falla no deben causar ningún daño al paciente. La seguridad de un dispositivo atiende a la protección de los sistemas críticos ante una falla, de manera tal que no cause un evento catastrófico (este concepto se aplica en muchos sistemas críticos además de la electrónica médica, como el caso de la navegación aérea, control de tráfico, por ejemplo). En cada caso es necesario definir qué se entiende por un “evento catastrófico”, que en el caso de sistemas médicos es cualquier daño al paciente. Un dispositivo médico seguro, no causará daño al paciente en caso de una falla simple; por ejemplo, falla en un transistor, capacitor, o error de software entre otros.

Los tipos de fallas dependen de la aplicación específica del dispositivo, en el caso de un marcapaso podríamos considerar la estimulación del corazón a un ritmo demasiado elevado por un error en el programa del controlador. En el caso de marcapasos siempre se incluye un control redundante de modo de evitar bajo cualquier circunstancia estímulos por encima de 200ppm.

En general los dispositivos médicos implantables, estimulan y/o miden señales en el tejido (ver Figura 1.1). Como regla básica de seguridad se toma que, en el caso de una falla simple en un circuito electrónico en contacto con el tejido biológico, nunca circule por el tejido una corriente DC mayor a algunos  $\mu\text{A}$ . Esta regla no es arbitraria, el problema con la corriente DC es que puede por fenómenos electroquímicos (electrólisis), causar un daño irreversible al tejido; y para mayor detalle se sugiere revisar la referencia [19]. Por falla simple se entiende por ejemplo un *Gate* en cortocircuito en un MOS, un transistor en conducción permanente, un contacto abierto. Si nuestro circuito es confiable, se puede considerar que es virtualmente imposible que ocurran a la vez dos fallas si éstas son independientes. Por tanto el análisis de seguridad se limita a una falla a la vez y las que se pueden desencadenar como consecuencia de la primera falla. Bajo estos supuestos se tiene una falla simple.

En este capítulo se presentarán algunos ejemplos de circuitos de estimulación tanto en tensión como en corriente que cumplan con las normas de seguridad impuestas por [19], incluso a nivel de *layout*. Se presentarán algunas estructuras de circuito innovadoras, y la adaptación del Level Shifters como en el capítulo 3 para entrar en contacto directo con tejido biológico.

## 4.2 Primer ejemplo: estimulación segura en tensión

En la Figura 4-1 a) se presenta la representación un sistema sesillo de estimulación, similar al de [20], que consiste de un transistor de paso PMOS HV ( $M_1$ ). El *gate* de  $M_1$  se conectó a una señal de control que alterna entre  $V_{STIM}$  y GND para suministrar o detener el estímulo respectivamente. La apertura o cierre del transistor puede realizarse con un simple inversor CMOS en caso de que  $V_{STIM}$  no supere a  $V_{CC}$  o con un adaptador de nivel (por ejemplo, LS o FR-LS del Capítulo 3, según corresponda) para terapias con  $V_{STIM}$  mayores a  $V_{CC}$ . Pero en ambos casos cuando se está cortando el estímulo, frente a una ruptura de *gate* de  $M_1$  (falla simple) se tendría un camino directo a través de tejido a  $V_{CC}$  (o  $V_{STIM}$  según caso) generándose una corriente DC elevada como se muestra en la Figura 4-1 a).

Una solución tradicional que resuelve problema descrito, es colocar un capacitor en serie con el tejido así bloqueando cualquier componente de continua ante una falla. Esta es la solución tradicional, algunos circuitos ejemplo se muestran en según Prutchi, et. al [73] y Lentola, et. al [26]. Pero un capacitor en serie trae aparejado algunos inconvenientes, puede distorsionar la forma del pulso de estímulo, debe ser descargado (balance de carga, Capítulo 1) e incrementa la cantidad de componentes externos. En muchos casos no es posible colocar un capacitor en serie.

Una alternativa al método mencionado, es colocar un circuito RC en serie con el *gate* de transistor  $M_1$ , como se muestra en la Figura 4-1 b). La resistencia se coloca para limitar la corriente DC ante una falla, y el capacitor permite abrir o cerrar rápidamente la llave. Una transición '0' a ' $V_{CC}$  ( $V_{STIM}$  según corresponda)' se canaliza a través del capacitor  $C_1$  y luego el valor DC es mantenido por la resistencia  $R_1$  ( $2M\Omega$  por ejemplo) y en caso de una ruptura de *gate* de  $M_1$  la corriente DC que fluye a tejido es limitada a algunos  $\mu A$ . La principal desventaja de este tipo de técnica, es que si la llave  $M_1$  es (como ocurre generalmente) muy grande, requiere un capacitor mucho más grande para comandarla de forma rápida, de modo que se vuelve impráctico de implementar en forma integrada. Siendo importante reducir el área es que resulta de interés estudiar alguna otra posibilidad para realizar la estimulación en forma segura.

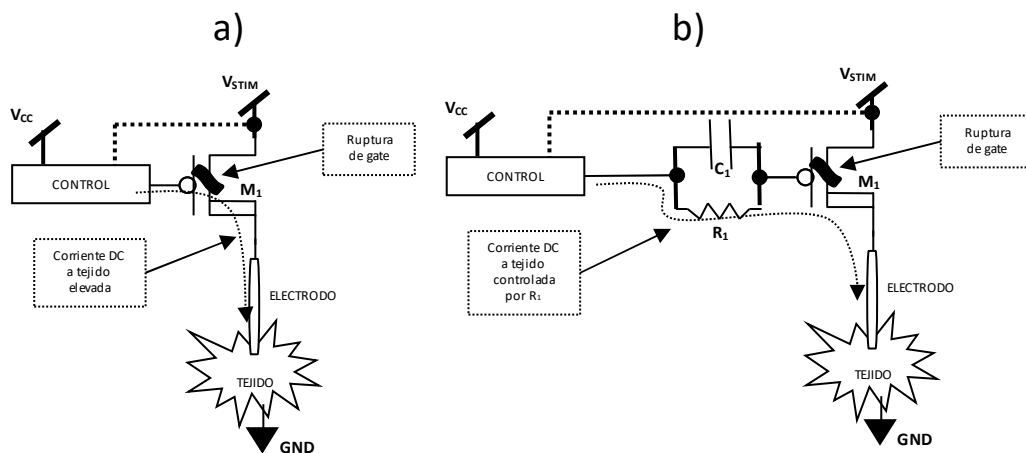


Figura 4-1 a) Sistema sencillo de estimulación en tensión no seguro, b) Solución clásica a problema de seguridad en a.

## ASICS para dispositivos médicos implantables

A continuación, se presentan el diseño, simulación y testeo de un sistema innovador seguro para el control de estimulación en tensión para un sistema tipo marcapaso. El circuito fue fabricado en una tecnología HV de 0.6 $\mu$ m.

El driver seguro es presentado en la Figura 4-2, este driver protege la estimulación a tejido contra falla simple (ruptura de *gate* de  $M_1$ ) emulando el sistema de la Figura 4-1 b), sin la utilización de capacitores. El sistema limita la corriente entregada por el driver ( $D_{RIV}$ , el cual puede ser un inversor estándar o un LS del Capítulo 3, según corresponda) a través de la resistencia  $R_1$  de 2M $\Omega$ , pero se debe garantizar una acción rápida '0' a ' $V_{CC}$  ( $V_{STIM}$  según corresponda)' y ' $V_{CC}$  ( $V_{STIM}$  según corresponda)' a '0'.

La idea es sustituir el capacitor de la Figura 4-1 b) por un *transmission gate* (TG) HV monoestable como se muestra en la Figura 4-2 controlado por una máquina de estados finita (FSM por su sigla en inglés). La FSM funciona con un reloj de 512Hz (este reloj se supone presente), la señal de entrada IN controla el estado de las salidas CTRL y CTRLN las cuales conmuta entre 0 y  $V_{CC}$  ( $V_{STIM}$  según corresponda) para la apertura y cierre del TG. Cuando es necesario conmutar a  $V_{STIM}$  a la salida de la FSM se coloca un LS con salidas complementarias (una pequeña variante al LS del Capítulo 3), en el caso aquí implementado no fue necesario conmutar contra  $V_{STIM}$  así que se prescinde del adaptador de nivel.

Para garantizar tiempos de apertura del transistor  $M_1$ , un TG es conectado en paralelo con la resistencia  $R_1$  (ver Figura 4-2). Una simple FSM controla este TG, la cual cierra el TG (CTRL= $V_{CC}$  y CTRLN=0) inmediatamente seguido de una transición  $V_{CC}$  a 0 de la entrada IN y lo mantiene cerrado por al menos un periodo del reloj CLK. De esta manera luego de cada flanco de bajada de la señal INFSM, el TG cerrado cargando rápidamente el *gate* de  $M_1$  a  $V_{CC}$  abriendo el transistor. Pasado ese período de reloj donde se dejó cerrado el TG el mismo se abre y  $V_{CC}$  es mantenido en el *gate* de  $M_1$  a través de  $R_1$ , lo cual garantiza que en caso una ruptura del *gate* del mismo, la corriente en DC elevada sobre tejido no durara más allá de un período de reloj y luego de este período la corriente se limita a unos pocos  $\mu$ A gracias a  $R_1$ .

La FSM consta de dos Flip-Flops tipo D ( $Q_0$  y  $Q_1$ ), y sus ecuaciones de estado y salida son las siguientes,

$$\left\{ \begin{array}{l} Q_1^* = \overline{Q_1} \cdot Q_0 + INFSM \cdot Q_0 \\ Q_0^* = Q_0 + INFSM \\ CTRL = INFSM \cdot Q_0 \cdot Q_1 \\ CTRLN = \overline{CTRL} \end{array} \right. \quad 4-1$$



## ASICS para dispositivos médicos implantables

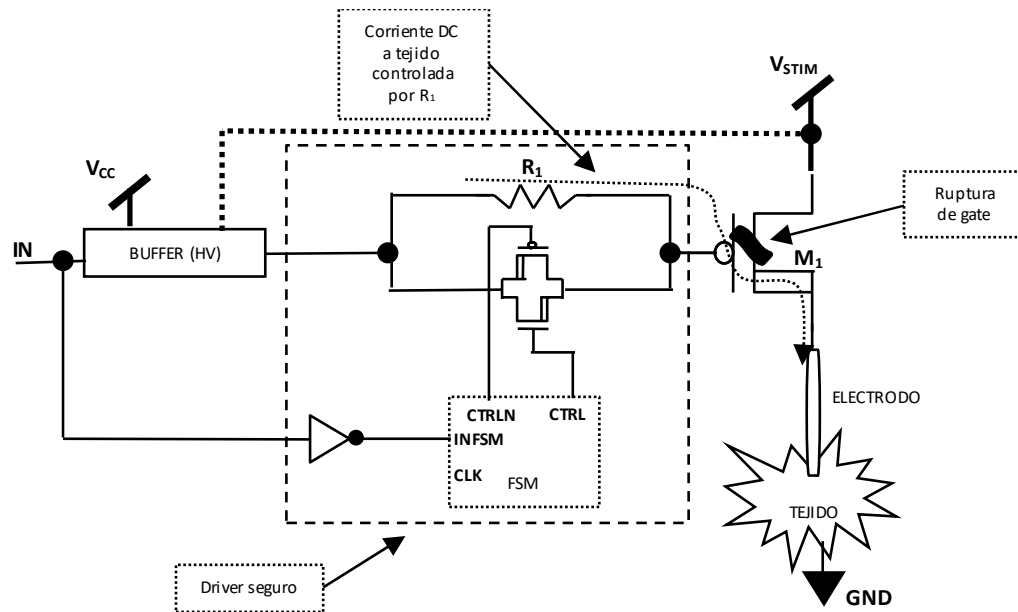


Figura 4-2 Sistema de estimulación con driver seguro.

El driver seguro controla la apertura y cierre del transistor  $M_1$  de la Figura 4-1, garantizando tiempos de respuesta debajo de  $10\mu s$  (cierre de  $M_1$ ) y protegiendo al sistema frente a una ruptura de *gate* de  $M_1$  (falla simple). La FSM genera las señales de control CTRL y CTRLN (señal invertida de CTRL), la cual siempre es opuesta a IN (de hecho, un nombre más apropiado sería inversor seguro en lugar de driver seguro) pero debe mantenerse en alto por lo menos 2ms luego de que IN vuelve a esta dos alto "V<sub>CC</sub>". En la Figura 4-3 se presenta una simulación simple de la FSM, mostrando que la señal CTRL efectivamente se mantiene en alto por un período de la señal de reloj CLK de 512Hz (reloj disponible en el sistema).

Para simular un evento de falla se conecta la salida del driver directo a GND (emulando ruptura de *gate* de  $M_1$ ), los resultados se presentan en la Figura 4-4 donde se aprecia que al comienzo la corriente se dispara a valores muy elevados (cientos de  $\mu A$ ) pero luego de algunos mili segundos baja a unos pocos  $\mu A$ .

Los tiempos de apertura y cierre fueron simulados para un transistor  $M_1$  de paso con  $W=10000\mu m$ ,  $L=3\mu m$ , PMOS HV para los modelos típicos, más lentos y más rápidos, en todos los casos estos tiempos se encontraron por debajo de los  $10\mu s$ .

## ASICS para dispositivos médicos implantables

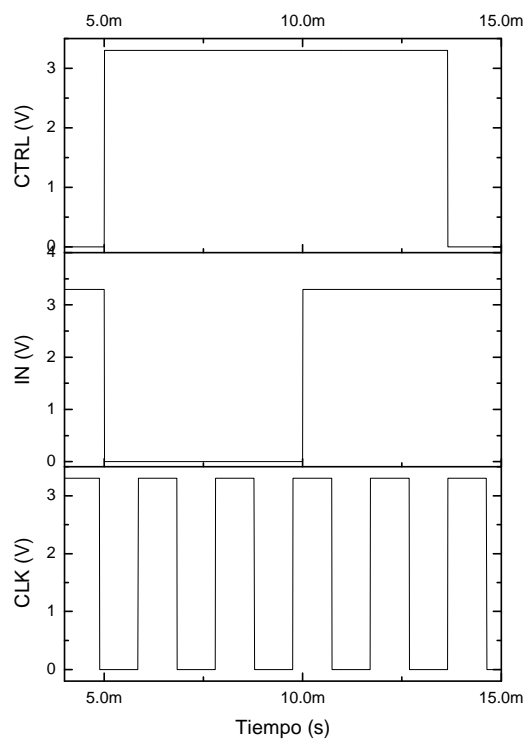


Figura 4-3 Simulación transitoria de la FSM, para  $V_{CC}=3,3V$

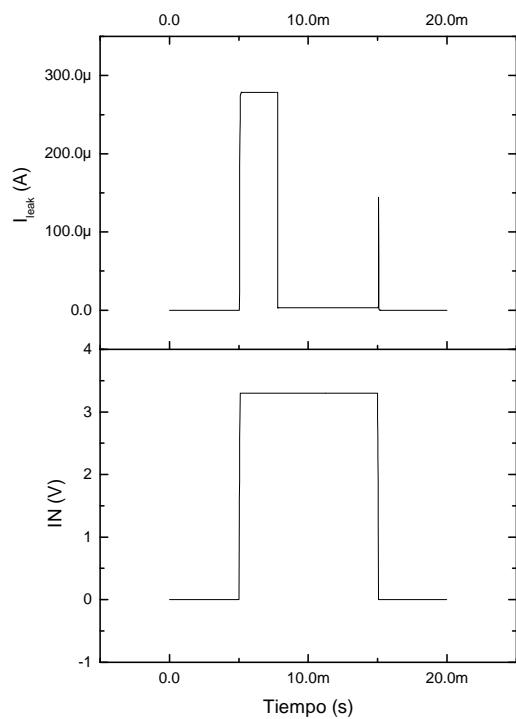


Figura 4-4 Simulación de falla simple ruptura de *gate* de  $M_1$ .

### 4.2.1 Layout del driver seguro

Un *layout* adecuado es muy importante a la hora de la implementación, para cumplir las restricciones en temas de seguridad durante el diseño. Puede ser catastrófico si no se tiene especial cuidado al realizar el *layout*, el resultado puede ser un circuito no seguro.

Carece de sentido el diseño del driver seguro para protegerlo contra ruptura de *gate* de  $M_1$  (ver Figura 4-1), si a la hora de realizar el *layout* los cables que lleva la alimentación ( $V_{CC}$ ) van en paralelo a cables en la misma capa de metal que se conectan a tejido y se encuentran separados por la distancia mínima impuesta por la tecnología. En ese caso cualquier imperfección durante el proceso de fabricación puede dar lugar a un cortocircuito y un evento catastrófico como se muestra en la Figura 4-5. Para evitar este tipo de problema de seguridad, se tomaron las siguientes reglas específicas de *layout* (este tipo de cuidados se tuvieron en cuenta para todo *layout* de esta tesis):

- ➔ Conductores en Metal que llevan líneas de  $V_{CC}$  o de HV deben estar separados a por lo menos tres (3) distancias mínimas a señales en la misma capa de metal que se conectan a electrodos estimuladores (ver Figura 4-5).
- ➔ Conductores en Metal que llevan líneas de  $V_{CC}$  o de HV no deben cruzar por arriba a cables que se conectan a electrodos estimuladores. En caso de no poder cumplirse esto se pide que como mínimo se dejen una capa de metal de por medio y de ser posible esta capa intermedia esté conectada al potencial de *clamping* del tejido (ver Figura 4-5).

En la Figura 4-6 se muestra el *layout* del driver seguro y en la Figura 4-7 una microfotografía del mismo, el cual ocupa un área de  $193\mu\text{m} \times 83\mu\text{m}$ .

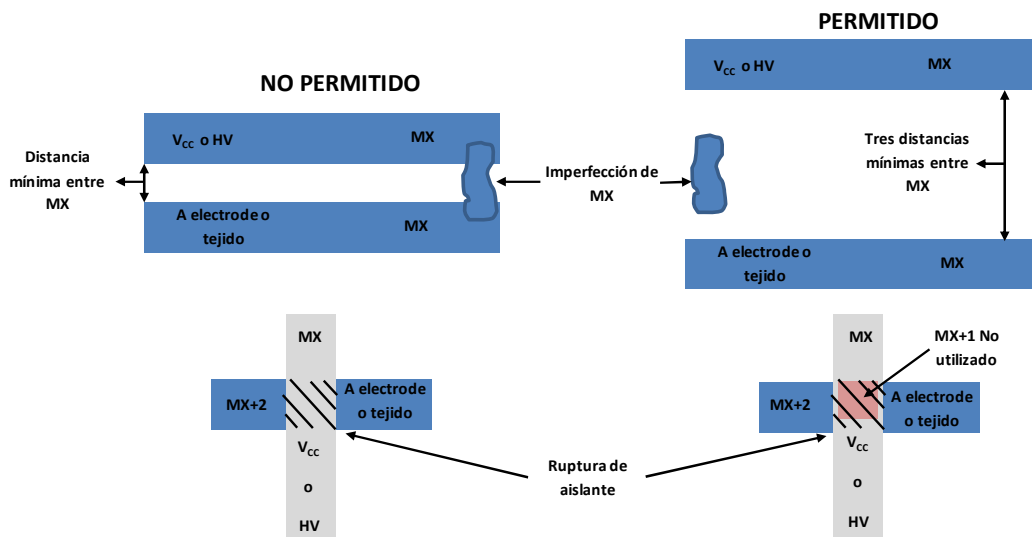


Figura 4-5 Reglas de seguridad de *Layout*. MX (Metal capa X), en la tecnología elegido se tiene 3 capas de metal.

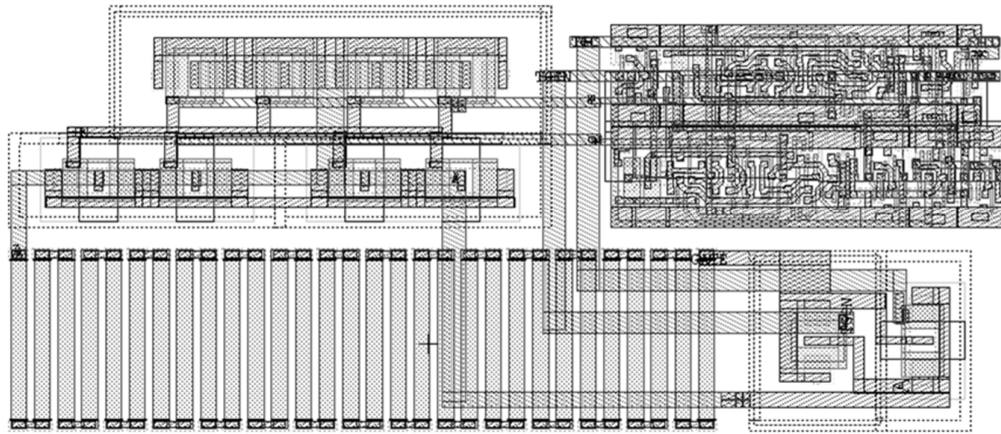


Figura 4-6 Layout del Driver Seguro.

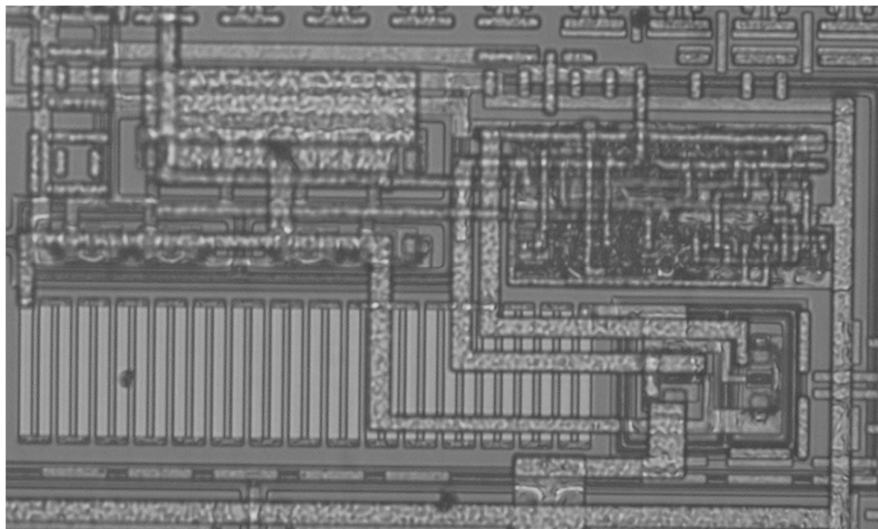


Figura 4-7 Microfotografía del Driver Seguro.

### 4.2.2 Medidas del driver seguro

El Driver Seguro fue fabricado en tecnología de  $0.6\mu\text{m}$  HV y luego medido. Con la tecnología disponible en nuestro laboratorio no es posible generar rupturas de *gate* de forma artificial, pero algunas características eléctricas fueron medidas. En el circuito fabricado  $M_1$  (ver Figura 4-2) es de  $W=10000\mu\text{m}$  y  $L=3\mu\text{m}$  PMOS HV capaz de soportar hasta 18V de  $V_{\text{STIM}}$ . El sistema de estimulación funcionó de forma correcta para un amplio margen valores de fuentes,  $V_{\text{CC}}$  desde 1.8V a 5V y  $V_{\text{STIM}}$  desde 100mV a 16V. La impedancia medida de la llave de paso  $M_1$  fue por debajo de los  $12\Omega$  para  $V_{\text{STIM}}=2\text{V}$ . Se midió un consumo debajo de 5nA en estado estacionario, siendo éste prácticamente despreciable.

El tiempo de retardo medido es menor a los  $10\mu\text{s}$ , en la Tabla 4-1 se presenta un resumen de las características medidas. En la Figura 4-8 se muestra la medida de un pulso de estímulo, donde se aprecia la fase de estimulación y la fase de balance de carga [73].

## ASICS para dispositivos médicos implantables

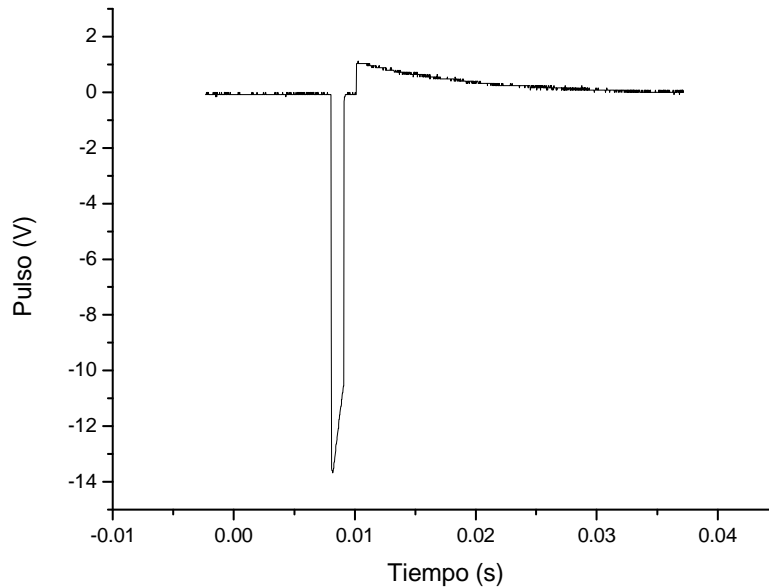


Figura 4-8 Pulso de estímulo y balance de cargas medidos en un sistema multicanal del tipo marcapaso.

Tabla 4-1 Características medidas del driver seguro.

Característica	Valor medido
$V_{CC}$	1.8V-5V
$V_{STIM}$	0.1V-16V
Impedancia $M_1@V_{STIM}=2V$	12 $\Omega$
Consumo estático	<50nA
Retardo	<10 $\mu$ S

### 4.3 Segundo Ejemplo: Adaptador de nivel seguro de rango completo (SFR-LS) para contacto con tejido biológico.

En algunos sistemas para estimular tejido biológico, es necesario entregar y sobre todo bloquear el paso de corriente en ambos sentidos. Una solución habitual es implementar una llave MOS doble, con dos transistores en serie como en el circuito de matriz de interruptores del multiplicador de voltaje del Capítulo 4. En la Figura 4-9 se muestra un posible sistema de estimulación en tensión con esta característica. Cuando se está estimulando se coloca a 0V el *gate* de los transistores PMOS  $M_{1,2}$  permitiendo el paso de corriente desde  $V_{STIM}$  a tejido, y para corta el estímulo el *gate* del transistor  $M_1$  es conectado a  $V_{STIM}$  y el *gate* del transistor  $M_2$  es conectado a tejido.

El circuito de la Figura 4-9 permite asegurar que no hay conducción de corriente independientemente de los valores de  $V_{STIM}$  y el voltaje de tejido que puede variar si por ejemplo se estimula por un segundo canal. Otra ventaja del circuito es la baja capacidad vista desde el tejido, que evitará pulsos parásitos (indeseados) de corriente a través del electrodo. Sin embargo, algunas desventajas son la resistencia de la llave que es el doble al conectar dos MOSFET en serie, y sobre todo que se requiere un circuito relativamente complejo de comando del *gate* del transistor en contacto con tejido.

## ASICS para dispositivos médicos implantables

En el circuito de Figura 4-9, la acción de abrir y cerrar las llaves de estímulo se realiza mediante un adaptador de nivel, como  $V_{STIM}$  puede ir desde los 100mV hasta los 16V es necesario utilizar el FR-LS del Capítulo 3. En el estado de llave abierta (estado en el cual se permanece la mayoría del tiempo) el *gate* de los transistores  $M_{7,9}$  del FR-LS, se encuentra a  $V_{CC}$ , en el caso de una falla simple (ruptura del *gate*  $M_7$  o  $M_9$ ) habría un camino directo entre  $V_{CC}$  y tejido generando un corriente DC muy elevada, lo mismo sucede en estado de llave cerrada, pero con el transistor  $M_8$  del FR-LS. De ese análisis se desprende que el FR-LS no cumple con la regla de seguridad propuesta en [19], en la Figura 4-10 se muestra en detalle la falla de seguridad.

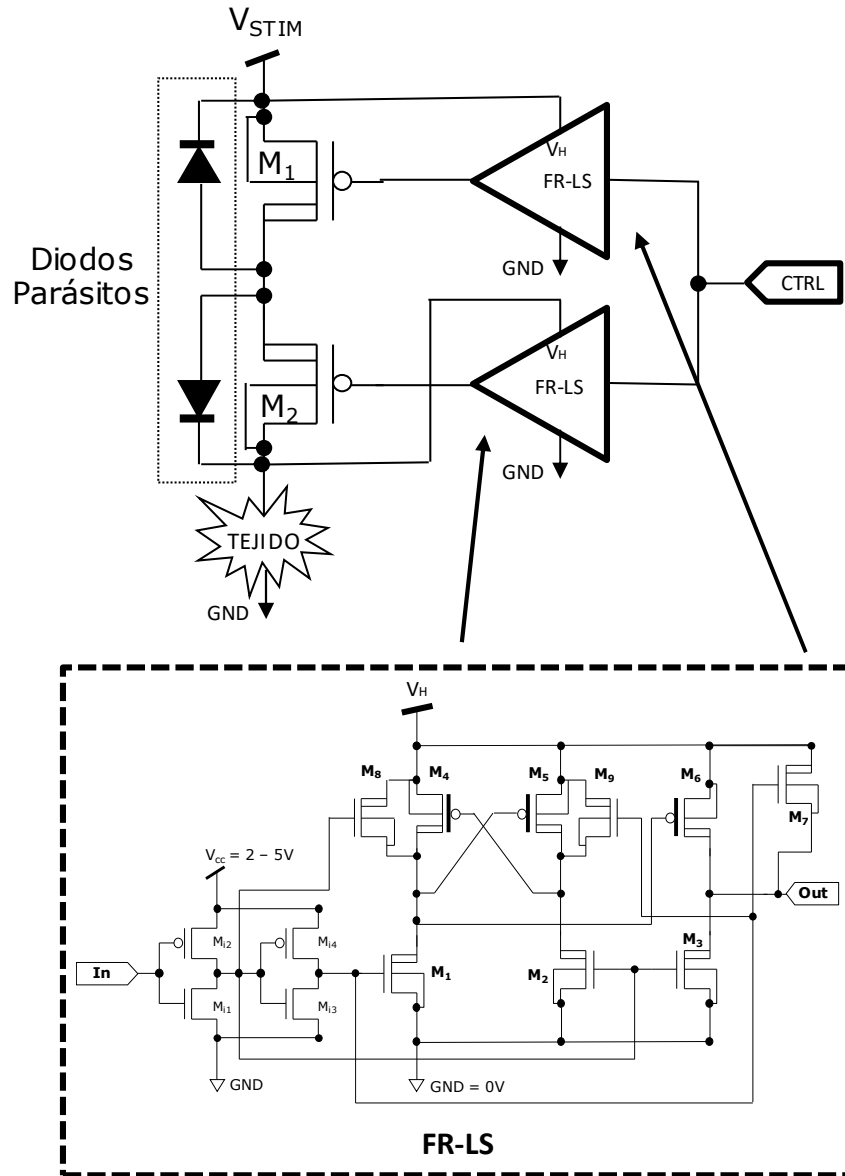


Figura 4-9 Sistema de estimulación en tensión

## ASICs para dispositivos médicos implantables

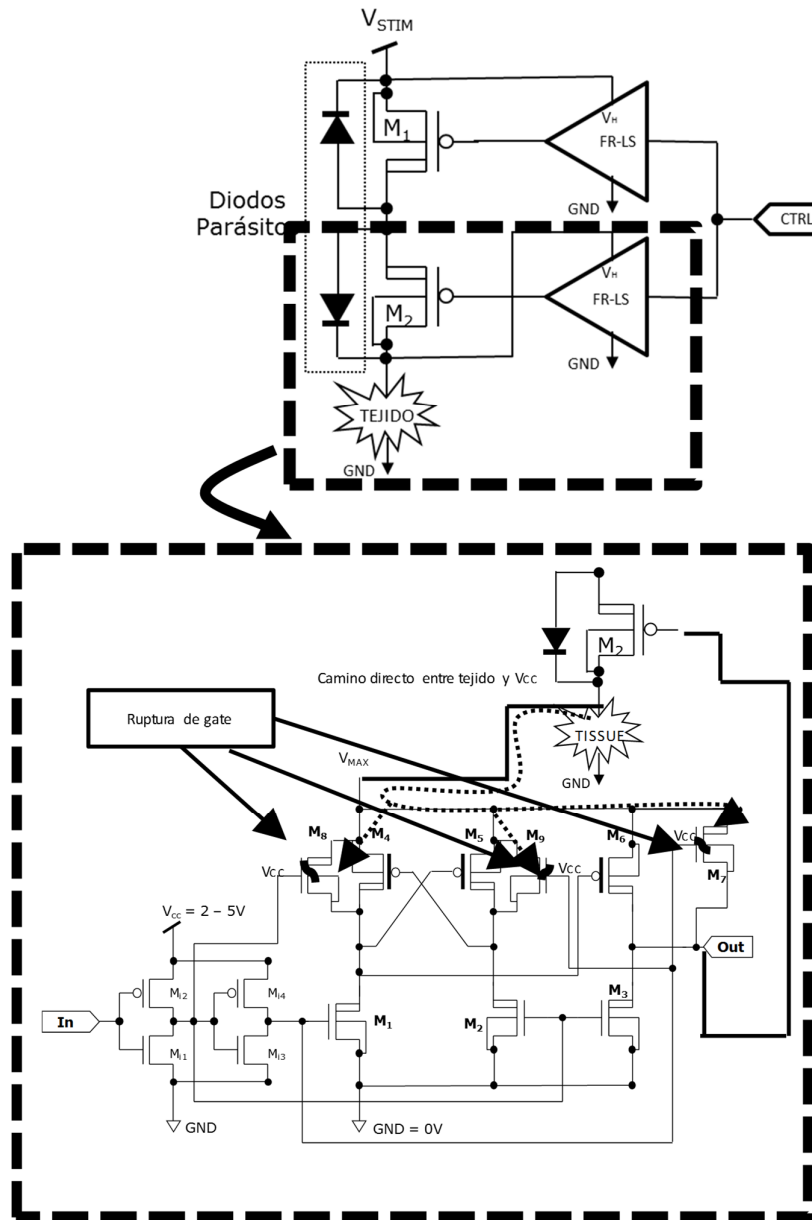


Figura 4-10 Detalle de la falla de seguridad del FR-LS.

En la Figura 4-11 se presenta un adaptador de nivel que resuelve la falla de seguridad del FR-LS. A este adaptador de nivel se lo de n mina adaptador de nivel de rango completo seguro (SFR-LS). La soluci n propuesta consiste en colocar una resistencia en serie ( $R_{1,2,3,4}$ ) con los *gates* de  $M_{7,8,9}$  esto hace que en caso de una ruptura de *gate* la corriente a tejido no supera unos pocos  $\mu\text{A}$  (el valor m ximo va a depender de la aplicaci n y el valor de la resistencia). Los capacitores  $C_{1,2,3,4}$  se colocan en paralelo a las resistencias  $R_{1,2,3,4}$  para mejorar el tiempo de repuesta del SFR-LS, el pulso de acci n pasa r pidamente por los capacitores mientras que el valor luego es mantenido por las resistencias.

Se utilizan dos capacitores en serie ya que la tensi n m xima que soportan los capacitores poly-poly de la tecnolog a utilizada es 8V y  $V_H$  puede llegar a 16V en nuestro caso (ver Tabla 1.1). Una desventaja de esta soluci n es el incremento del  rea del circuito por los capacitores integrados, las resistencias no agregan tanta  rea ya que la tecnolog a elegida posee poly de

## ASICs para dispositivos médicos implantables

alta resistividad que permite integrar resistencias de valor elevado con un área razonablemente pequeña.

En la Tabla 4-2 se muestran las dimensiones los transistores y valores de los componentes utilizados, el área del SFR-LS es  $430\mu\text{m}\times 400\mu\text{m}$ . En la Figura 4-13 y la Figura 4-14 se muestra el *layout* y una micrografía del SFR\_LS respectivamente. No se tienen medidas de este adaptador de nivel ya que forma parte de un sistema completo de estimulación y no se tiene acceso directo al mismo, pero en la Figura 4-12 se presenta una simulación de este adaptador de nivel, donde se muestra opera de forma satisfactoria en todo el rango de  $V_{\text{STIM}}$ .

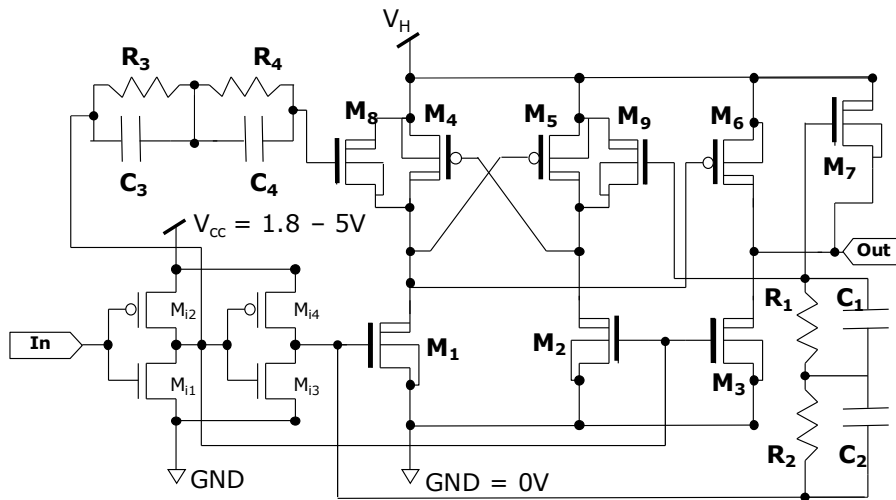


Figura 4-11 Adaptador de nivel de rango completo seguro (SFR-LS).

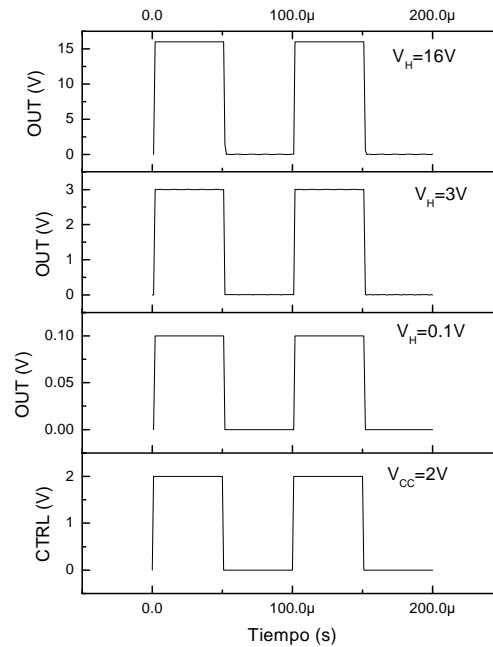


Figura 4-12 Simulación del SFR-LS estándar para  $V_{\text{H}}$ , mucho mayor, cercano, y mucho menor a  $V_{\text{CC}}$ .



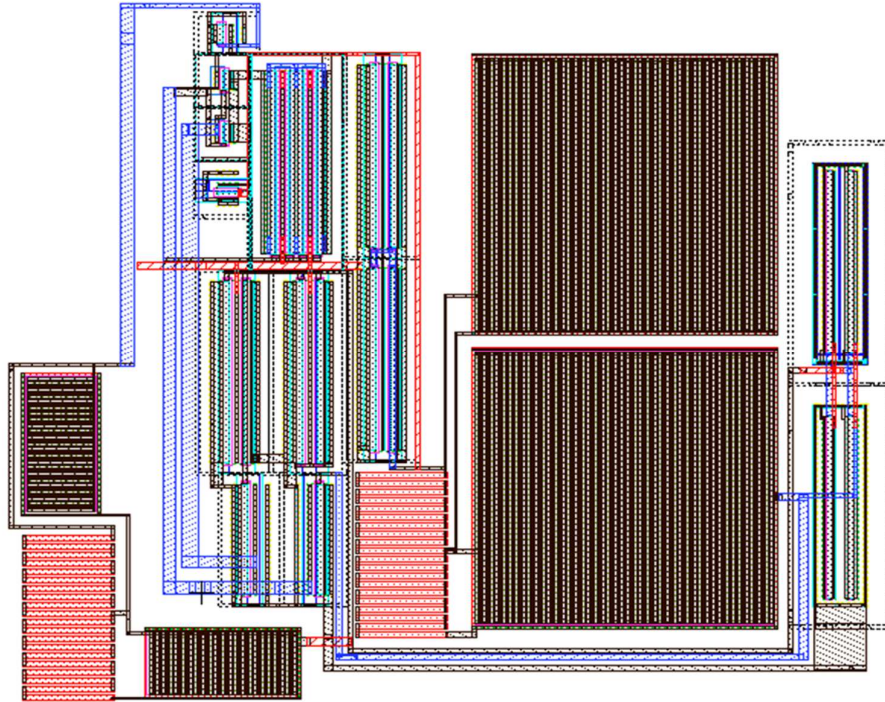


Figura 4-13 *Layout* del adaptador de nivel de rango completo seguro (SFR-SLS), en tecnología XT06.

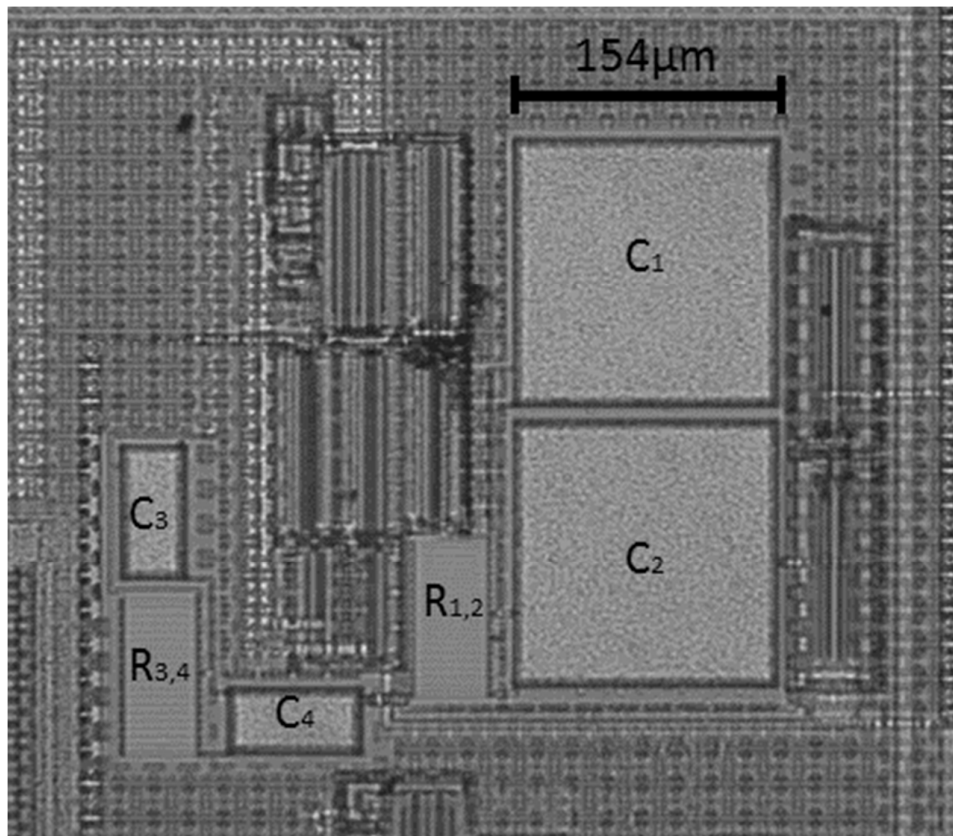


Figura 4-14 Microfotografía del adaptador de nivel de rango completo seguro (SFR-SLS).

Transistores	W/L ( $\mu\text{m}/\mu\text{m}$ )
$M_{i1-4}$	20/3
$M_{1,2}$	60/3
$M_{3,6,7}$	400/3
$M_{4,5,8,9}$	10/3
Componente	Valor
$C_{1,2}$ (cpoly-poly)	20pF
$C_{3,4}$ (cpoly-poly)	5pF
$R_{1,2,3,4}$ (rpolyh)	500k $\Omega$

Tabla 4-2 Dimensiones de transistores y valores de componentes del SFR-LS.

#### 4.4 Tercer ejemplo: Estimulación segura en corriente

En la Figura 4-15 a) muestra un caso simple de estimulación en corriente similar a la de, Suárez, et. al en [21]. Las características de esta corriente, su módulo, frecuencia y duración de los pulsos depende del tipo de patología que se esté tratando. En modo general podemos decir que dichos pulsos van de cientos de  $\mu\text{A}$  hasta alguna decena de mA y la duración puede variar desde algunos  $\mu\text{s}$  hasta decenas de ms. Pueden ser pulsos aislados o trenes de pulsos. Este sistema de estimulación consiste de un transistor PMOS HV ( $M_1$ ) y la tensión de aplicación  $V_{\text{STIM}}$  puede llegar a 16V, un transconductor  $G_M$  como elemento activo en lazo de realimentación, una resistencia  $R_1$  y dos interruptores  $SW_{1,2}$  (estos interruptores pueden ser *transmission gates* HV y/o adaptadores de nivel según necesidad de diseño).

Para entregar el estímulo se cierra  $SW_1$  con  $SW_2$  abierto, conectando el *gate* de  $M_1$  a la salida del  $G_M$  siendo la corriente de estimulación determinada por  $I_{\text{STIM}} = \frac{V_{\text{REF}}}{R_1}$ . Para cortar el estímulo se cierra  $SW_2$  con  $SW_1$  abierto, conectando el *gate* de  $M_1$  a  $V_{\text{STIM}}$ . En el caso de una ruptura de *gate* de  $M_1$  (falla simple) se tendría un camino directo en tejido y  $V_{\text{STIM}}$  generándose una corriente DC elevada como se muestra en la Figura 4-15 a), no cumpliéndose la regla de seguridad impuesta por [19].

Una posible solución al problema descrito, sería agregar al  $S_{W2}$  una resistencia en serie  $R_1$  (M $\Omega$ ) y un capacitor  $C_1$  en paralelo como se muestra en la Figura 4-15 b). El capacitor  $C_1$  es para poder realizar el corte del estímulo de forma rápida y la resistencia es para mantener el valor de  $V_{\text{STIM}}$  y limitar la corriente a unos pocos  $\mu\text{A}$  en caso de ruptura de *gate* de  $M_1$ . Esta solución ya fue presentada en la sección 4.2 y tiene la desventaja que para poder obtener tiempos de respuestas apropiadas el valor de  $C_1$  debe ser elevado, más aún en el caso de que la estimulación en corriente fuera programable utilizando varios transistores de paso en paralelo (ver Figura 4-16) [21].

Siendo importante reducir el área al máximo es que resulta de interés estudiar alguna otra posibilidad, en esta sección presenta un sistema innovador de control de estímulo que prescinde del uso de capacitores, a este nuevo circuito se lo denomina conmutador seguro el cual fue diseñado en tecnología CMOS HV de 0.6 $\mu\text{m}$ .

## ASICS para dispositivos médicos implantables

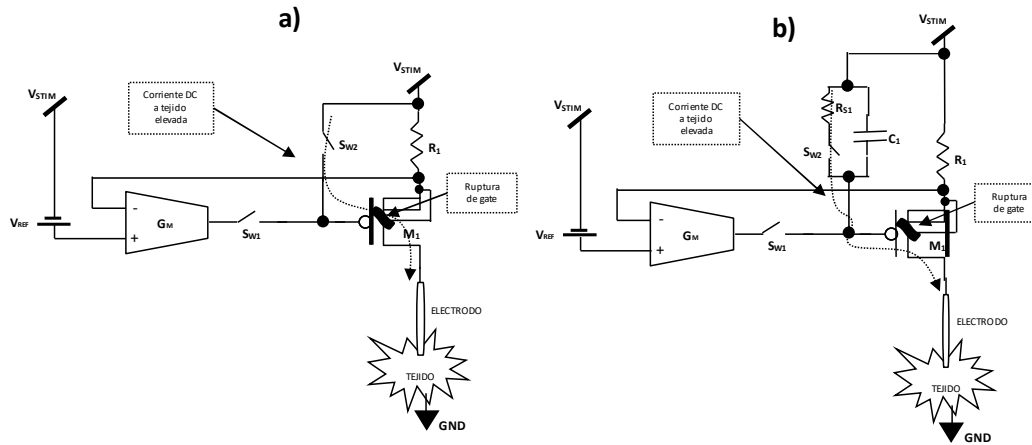


Figura 4-15 a) Sistema sencillo de estimulación en corriente no seguro, b) Solución clásica de problema de seguridad en a.

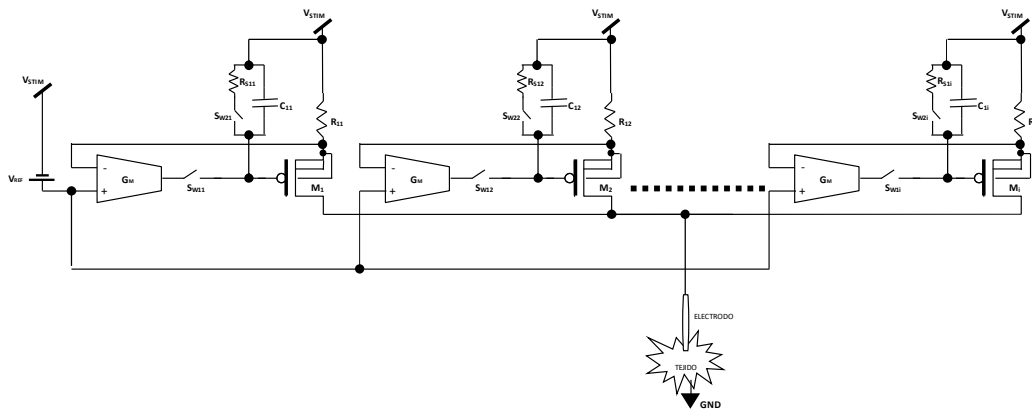


Figura 4-16 Representación simplificada de una fuente de corriente programable segura.

El circuito fue diseñado, pero no fabricado aún. El conmutador seguro se presenta en la Figura 4-17, el cual protege la estimulación a tejido en corriente contra falla simple (ruptura de *gate* de  $M_1$ ) emulando el sistema de la Figura 4-15 b), sin la utilización de capacitores. El sistema limita a corriente entregada por a través de  $SW_{W2}$ , pero garantiza una acción rápida “Z” (alta impedancia) a  $V_{STIM}$ .

La solución consiste en, sustituir la resistancia y capacitor de la Figura 4-15 b) por el conmutador seguro el cual genera un  $V_{STIM}$ , controlado por una máquina de estados finita (FSM). La FSM es asíncrona, la señal de entrada CTRL y el generador de delay (cadena de inversores asimétricos, Figura 4-19) controlan el estado de las salidas  $O_{UT1}$  y  $O_{UT2}$  (salida con niveles lógicos 0- $V_{CC}$ ). Para garantizar tiempos de apertura de corte del estímulo, se generar dos caminos (de aquí el nombre conmutador) que conectan  $V_{STIM}$  al *gate* de  $M_1$  como se muestra en la Figura 4-17.

En primera instancia la salida  $O_{UT1}$  se pone a 0 ( $O_{UT2}$  a  $V_{CC}$ ) haciendo que  $M_{1PS}$  se cierre ( $M_{2PS}$  abierto) colocando rápidamente  $V_{STIM}$  en el *gate* de  $M_1$ , un retraso  $t_d$  (tiempo de delay generado), la salida  $O_{UT2}$  se pone a 0 ( $O_{UT1}$  a  $V_{CC}$ ) haciendo que  $M_{2PS}$  se cierre ( $M_{1PS}$  abierto) manteniendo el valor de rápidamente  $V_{STIM}$  en el *gate* de  $M_1$ , a través de una resistancia de  $1M\Omega$  ( $R_{CM}$ ) la cual limita la corriente a unos pocos  $\mu A$  en caso de ruptura de *gate* del transistor  $M_1$ .

## ASICS para dispositivos médicos implantables

Se debe remarcar que este sistema solo protege con la ruptura de *gate* de  $M_1$  para el corte del estímulo (la mayoría del tiempo se encuentra cortado). En el caso de estímulo se puede llegar a estimular con algunas decenas de mA, no siendo necesario limitar la corriente.

La apertura y cierre de los transistores  $M_{1,2CM}$  se realizan mediante adaptadores de nivel FR-LS del Capítulo 3 ya que  $V_{STIM}$  puede ir desde 100mV hasta 16V. Cuando se desea estimular el conmutador seguro pasara a estado de alta impedancia, para que  $S_{W1}$  conecte la salida del  $G_M$  al *gate* del transistor  $M_1$ . De esta manera un solo puente seguro y varios interruptores, uno por cada rama, se pueden controlar haciendo una fuente de corriente segura programable utilizando varios transistores de paso en paralelo como en la Figura 4-16.

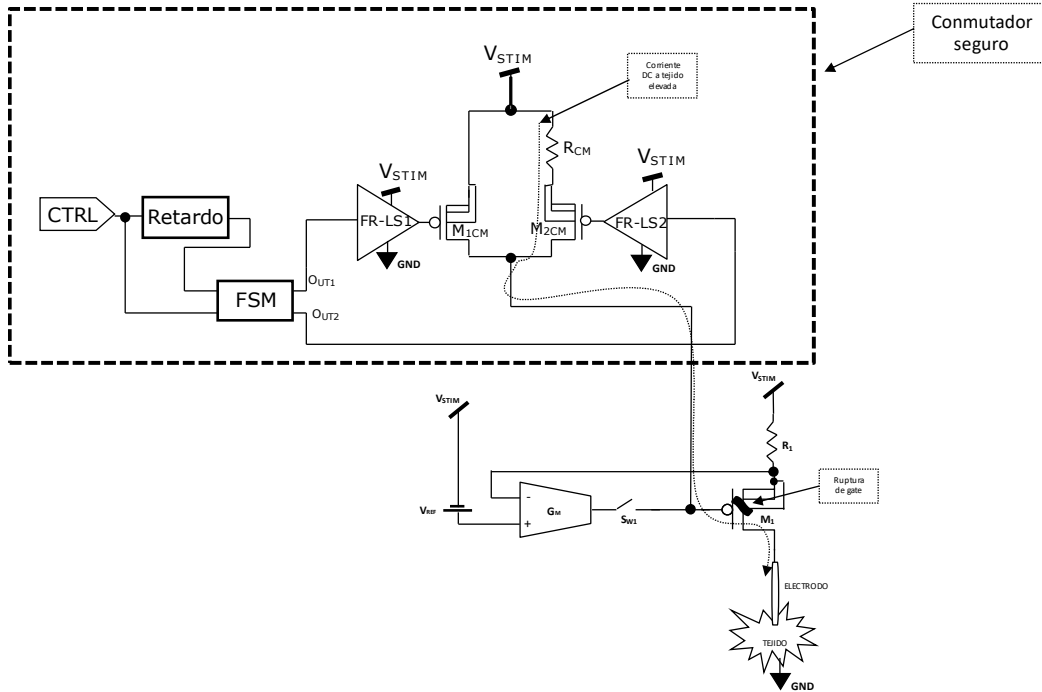


Figura 4-17 Sistema de estimación en corriente con puente seguro.

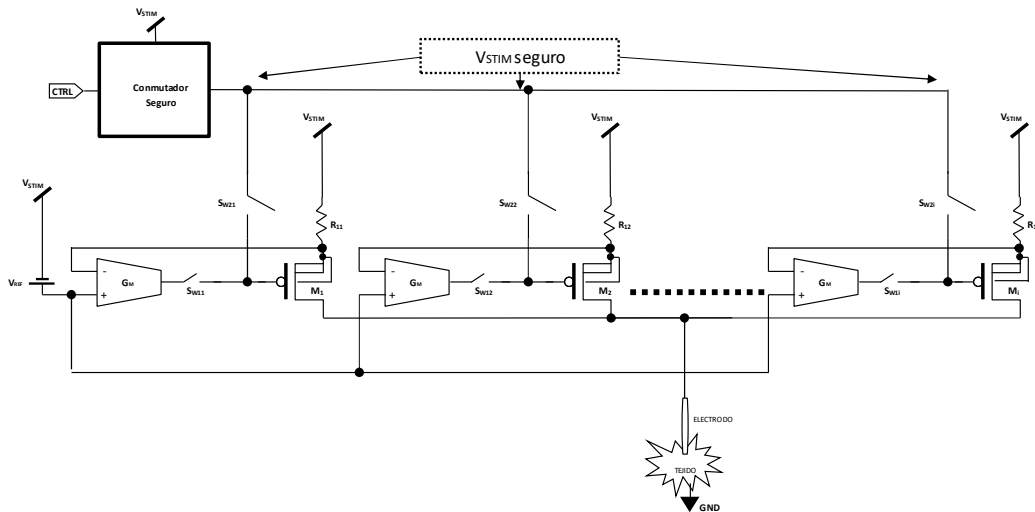
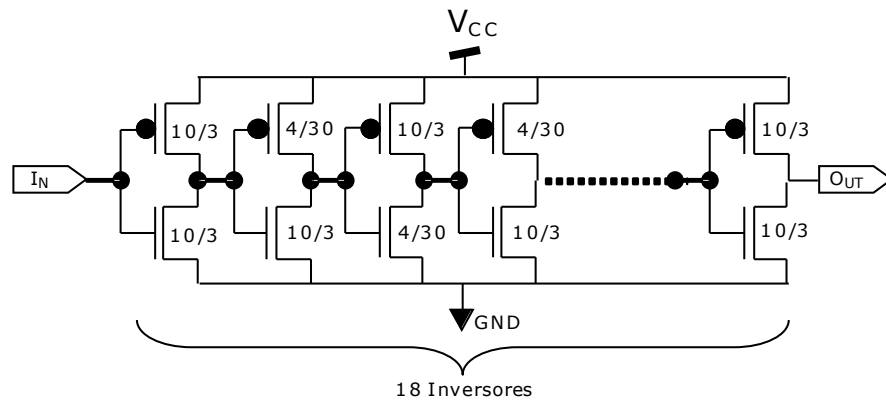


Figura 4-18 Fuente de corriente segura programable para estimación de tejido biológico.

## ASICS para dispositivos médicos implantables

El generador de retardo digital está formado por una cadena de inversores asimétricos como se muestra en la Figura 4-19, que genera un retardo significativo en el flanco de subida siendo depreciable el retardo generado en el flanco de bajada. La cadena de inversores asimétricos se forma haciendo que unos de los transistores el NMOS o PMOS tenga un largo "L" grande mientras que el otro un largo "l" pequeño, alternándose de un inversor al otro el NMOS y PMOS acumulando los efectos en un mismo sentido. Arnaud, et. al en [80] y Bremermann, et. al en [81], realizan una descripción más detallada de los inversores asimétricos. Con el circuito propuesto se logra tener un retardo significativo en el flanco deseado siendo depreciable el retardo en el otro (sin depender de un reloj ni utilizar lógica complementaria).

Este generador de retardo consta de dos inversores de encuadre (primero y último) y dieciséis inversores asimétricos, como se muestra en la Figura 4-19.



**Figura 4-19 Generador de delay, cadena de inversores asimétricos.**

El conmutador seguro controla el corte del estímulo de corriente de la Figura 4-17, garantizando tiempos de respuesta debajo de los 4 $\mu$ s y protegiendo al sistema frente a una ruptura de *gate* de  $M_1$  (falla simple). El tiempo de respuesta está dado por el generador de retardo, en la Figura 4-20 se presentan una simulación transitoria donde se puede apreciar el retardo solo en el flanco positivo de la señal de entrar como era de esperarse ya que está compuesto por inversores asimétricos (Figura 4-19), se simuló para modelo típico, lentos, rápidos y varios valores de  $V_{CC}$  en todos los casos se estuvo por debajo de los 4 $\mu$ s, por simplicidad solo se muestran dos casos.

La FSM (Figura 4-17) genera las señales de control  $O_{UT1,2}$  complementarias pero desfasadas un tiempo  $td$  (generado por el delay), cuando la señal CTRL pasa de  $V_{CC}$  a 0. En el caso que CTRL 0 lleva al puente seguro a estado de alta impedancia abriendo los transistores  $M_{1,2CM}$  de la Figura 4-17, en la Figura 4-21 se presenta una simulación transitoria de la FSM.

Cuando la señal de control  $C_{TRL}$  se encuentra a  $V_{CC}$ , el conmutador seguro (Figura 4-17), en primera instancia  $O_{UT1}$  de la FSM se pone a 0 y  $O_{UT2}$  a  $V_{CC}$ , generando que FR-LS1 ponga a 0V el *gate* de  $M_{1CM}$  haciendo que este conduzca  $V_{STIM}$  a al *gate* de  $M_1$  y el FR-LS2 ponga  $V_{CC}$  en el *gate* de  $M_{2CM}$  abriendo este transistor.

Un tiempo  $td$  después, las salidas  $O_{UT1,2}$  de cambian de valor haciendo que la rama de la izquierda se abra y la de la derecha se cierre, manteniendo  $V_{STIM}$  en el *gate* de  $M_1$  a través de una resistencia  $R_{CM}$  de 1M $\Omega$ , implementada en poly de alta resistividad (rpolyh) lo cual permite que sea integrada. De esta manera se logra tener un corte rápido de la llave de paso ( $M_1$ ) y un

## ASICS para dispositivos médicos implantables

tiempo  $t_d$  luego mantener el corte a través de una resistencia de  $R_{CM}$  de  $1M\Omega$  garantizando la seguridad.

Cuando la señal de  $C_{TRL}$  se encuentra a 0 el conmutador seguro pasa a estado de alta impedancia "Z", permitiendo que el  $G_M$  controle el *gate* de  $M_1$ .

En la Figura 4-22 se muestra la simulación transitoria del sistema completo, a la salida del conmutador seguro se colocó una resistencia de  $1M\Omega$  para poder ver las conmutaciones del sistema, haciendo que la salida del conmutador se genere una tensión  $V_{STIM}/2$  (recordar que la resistencia del conmutador es  $1M\Omega$ ) cuando está funcionando y 0V cuando se pone en estado Z.

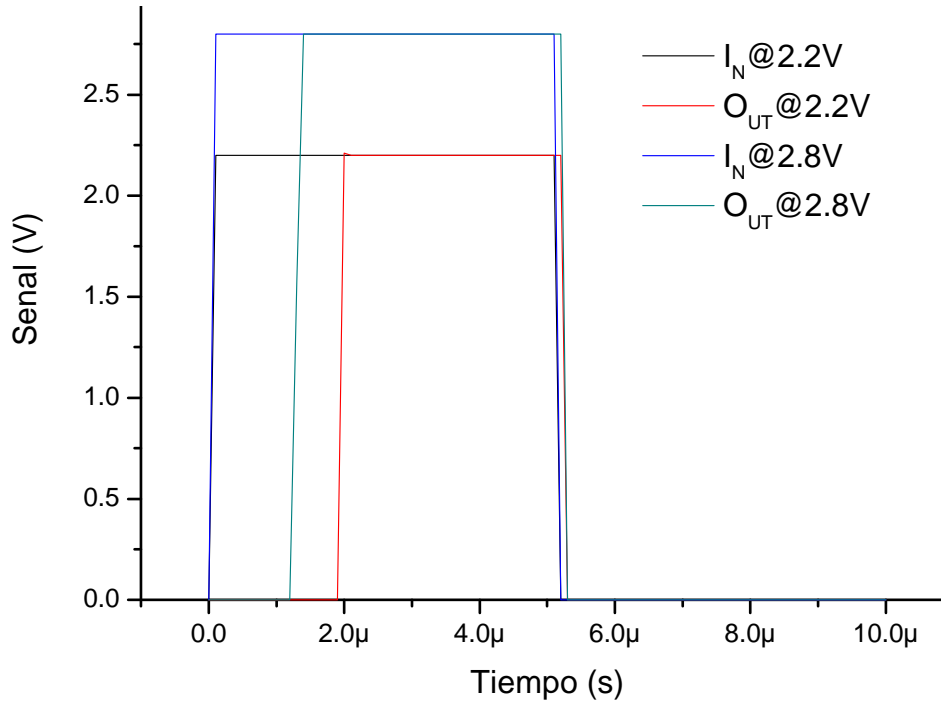


Figura 4-20 Simulación transitoria inversores asimétricos.

### ASICS para dispositivos médicos implantables

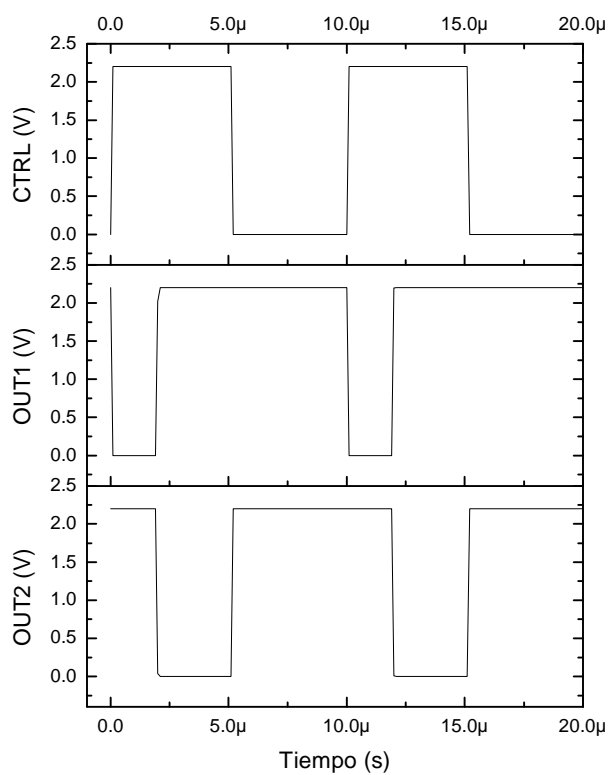


Figura 4-21 Simulación FSM.

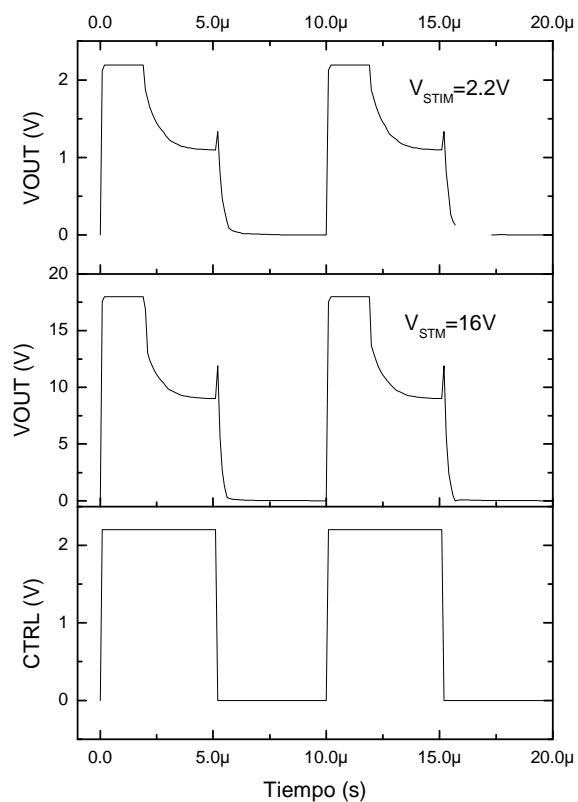


Figura 4-22 Simulación conmutador seguro completo.

### 4.5 Conclusiones y resumen

En este capítulo se presentó el estudio de sistemas de control para la estimulación segura tanto en tensión como en corriente, a estos sistemas de control se les denominados, driver seguro, adaptador de nivel seguro de rango completo (SFR-LS), y puente seguro.

El driver seguro (Figura 4-2) fue diseñado, simulado, implementado y medido en una tecnología CMOS HV de 0.6 $\mu$ m. Se mostró que este sistema de control es capaz de garantizar los tiempos de corte y entrega de estímulo (debajo de los 10 $\mu$ S), soporta tensión de 0 hasta los 16V y puede ser alimentado en amplio rango de  $V_{CC}$  desde 1.8V hasta 5V. En el laboratorio no fue posible realizar una ruptura de *gate* de  $M_1$  de la Figura 4-2 (falla simple) para mostrar que efectivamente el circuito limita la corriente a unos pocos  $\mu$ A, pero se presentaron simulaciones (Figura 4-4) que verifican el comportamiento apropiado de este sistema. Una microfotografía del driver es presentada en la Figura 4-7.

Cuando se trata de ASICs para dispositivos médicos implantables nos solo es importante cumplir con las normas de seguridad de punto de vista de la aplicación del estímulo sino también a la hora de hacer el *layout*, donde se generaron dos reglas (sección 4.2.1) las cuales son aplicadas para todo *layout* de partes del sistema que tengan contacto con tejido.

Se presentó el SFR-LS (Figura 4-11) como segunda alternativa para la estimulación segura en tensión, el cual es una variante a un adaptador de rango completo (FR-LS) del Capítulo 3. El SFR-LS presenta la desventaja de que necesita utilizar capacitores integrados para poder conmutar de forma rápida, generando un aumento considerable de área frente al FR-LS, pero es una alternativa sencilla a la hora de estimular de forma segura y puede ser utilizado en el caso de que no sea necesario un sistema masivo multicanal. En la Figura 4-14, se presenta una microfotografía del SFR-LS, no se pudieron obtener medidas directas ya que forma parte de un sistema más complejo y no se tiene acceso directo.

El conmutador seguro (Figura 4-17) se puede considerar como el complemento del driver seguro, ya que su aplicación es para controlar estímulo en corriente. Este conmutador fue diseñado, simulado en tecnología CMOS HV de 0.6 $\mu$ m, aun no fabricado. Como se mostraron en las simulaciones (ver Figura 4-22) funciona apropiadamente y tanto protegiendo en caso de una falla simple como dejando la salida del puente en alta impedancia a la hora de generar el estímulo.

Los sistemas de control de estímulo presentan una mejora fundamental frente a las soluciones clásicas para estímulo seguro presentadas en las Figura 4-1 b) y Figura 4-15 b), que es la disminución considerable de área del dispositivo o ASIC, ya que prescinde del uso de capacitores, más aun en el caso del conmutador seguro ya que para el caso de fuente de corriente programable de las Figura 4-16 con un solo puente seguro es posible controlar tantas ramas como se desee como se muestra en la Figura 4-18. Es importante tener presente que ambos sistemas solo protegen contra falla simple en el caso de corte del estímulo. Es único caso que se considera pertinente, porque la mayor parte del tiempo el circuito estimulador se encuentra en este estado. En período de estimulación el tejido será expuesto a tensiones y corrientes "elevadas" de expreso.

Se debe resaltar que el driver seguro se publicó en el trabajo [28] y el SFR-LS en [77].



## 5 Conclusiones

En este trabajo se presentaron las contribuciones al desarrollo de circuitos integrados eficientes para medida y de estimulación en dispositivos médicos implantables. A continuación, se resume las principales conclusiones de este trabajo, algunas de ella ya fueron abordadas en su sección específica. También se hace una pequeña reseña a trabajos futuros y/o pendientes considerados pertinentes por el autor de este trabajo.

### 5.1 Sobre Degeneración de *Bulk* en OTAs Lineales de Bajo Voltaje.

Se estudió la degeneración de *bulk* de pares diferenciales en OTAs para ampliar el rango lineal de los mismos y/o poder reducir el voltaje de alimentación. En este tema el foco se puso en el desarrollo de OTAs con offset mínimo para nano consumo y muy baja transconductancia. Se mostró mediante simulaciones y medidas las ventajas en cuanto al rango lineal, distorsión armónica, y voltaje de alimentación.

Fue diseñado y medido, un OTA de tan solo 160nS que combina degeneración de *source* y *bulk*, fabricado en una tecnología CMOS de 0.6 $\mu$ m con valores típicos de  $V_{TN}$ ,  $V_{TP}$  de 0.8V y -1V respectivamente. El OTA propuesto tiene un rango lineal por encima de 1V para una fuente de alimentación ( $V_{CC}$ ) a partir de 1.8V, pero funciona hasta 1.6V de  $V_{CC}$ , reduciendo un poco el rango lineal.

Se puede concluir que la degeneración de *bulk* permite el diseño de OTAs con un rango lineal ampliado (por encima de 1V en nuestro caso) y con menor distorsión armónica, con un deterioro despreciable en consumo, ruido y offset referidos a la entrada, o área de silicio en comparación con la técnica ampliamente adoptada de degeneración de *source*. En condiciones similares, la combinación de degeneración de *source* y de *bulk* muestra un incremento de un 25% del rango lineal con respecto a la aplicación de degeneración de *source* solamente.

Es posible afirmar entonces que el uso de la degeneración de *bulk*, es una técnica valiosa para mejorar el desempeño de OTAs de muy baja transconductancia y filtros  $G_m$ -C requeridos en sistemas de procesamientos de señal donde el consumo de energía y el voltaje de alimentación es crítico, como es el caso de las aplicaciones médicas implantables.

En la Tabla 2-3 se presenta un resumen de las características de OTA propuesto.

**Tabla 5-1 Resumen del OTA propuesto.**

Característica	Valor
Fuente de alimentación ( $V_{CC}$ )	1.6 – 5.5V <sup>(a)</sup>
Consumo total de corriente	160nA
Rango lineal medido @ $V_{CC}=2.1V$	>1V
Transconductancia	160nS
Offset referido a la entrada medido	<5mV
Área del circuito	275 $\mu$ m $\times$ 340 $\mu$ m

a) El rango lineal se ve muy degradado  $V_{CC}=1.6V$

Como aplicación práctica de los OTAs linealizados por *bulk*, se diseñó e implemento un circuito Biomédico para el procesamiento de la señal de un acelerómetro piezoeléctrico para estimar la actividad física en un marcapaso adaptativo. El circuito es un filtro ( $G_m$ -C) amplificador-rectificador, con un consumo total de apenas 500nA. El rectificador es de precisión, consumiendo 120nA. Todo el circuito fue fabricado y medido.

El circuito completo es capaz de discriminar señales a la entrada mayores 15 $\mu$ V gracias al bajo offset referido a la entrada, de tan solo 5mV, de los OTAs linealizados, y mejora la distorsión y voltaje de alimentación en comparación con trabajos previos, como los de Arnaud et. al en [5] y [6].

La técnica de degeneración de *bulk* puede ser utilizada no solo en circuitos biomédicos sino en un amplio rango de aplicaciones donde el bajo voltaje de alimentación o la distorsión son relevantes tales como audio, circuitos de RF, etc. Se ha realizado una contribución original en su comprensión. Aunque no se puede afirmar que la degeneración de *bulk* sea una técnica completamente nueva, existe poca referencia de su uso práctico en circuitos.

Recién en el año 2007 en el artículo de Monsurró, et. al en [7], se estudia la degeneración de *bulk* como tal por primera vez, pero el análisis se limita a inversión fuerte y se aplica en la linealización de un OTA de alta velocidad mostrando solo mediante simulaciones, la reducción en la distorsión armónica. En nuestro trabajo no se realizó una demostración analítica complementaria, pero si varias simulaciones, y además se presentan resultados experimentales sobre circuitos fabricados. En particular sería muy interesante desarrollar circuitos que aprovechen el óptimo en distorsión armónica que aparece en ambos trabajos [7] y [65].

Como trabajo a futuro resta completar el estudio teórico para extenderlo inversión débil y moderada, aunque la demostración al salir de pequeña señal es compleja. Se piensa que además de los OTAs de muy baja transconductancia, la técnica de linealización de *bulk* tiene mucho potencial en circuitos para audio o radiofrecuencia donde reducir la distorsión armónica es importante.

## 5.2 Sobre adaptadores de nivel y estimulación segura

Se analizó el diseño y aplicación de adaptadores de nivel (LS) “ciegos” para formar parte de circuitos de estimulación. Por LS ciego se entiende aquel dónde la tensión de salida es desconocida en un amplio rango de posibles valores incluso a partir de 0V. A pesar que el LS es un circuito conocido y utilizado con regularidad, siempre es para voltajes estables y no se reporta una metodología de diseño clara.

Para el caso de las aplicaciones médicas el diseño de LS se convierte en un desafío considerable. En este trabajo por un lado se desarrolló un criterio de diseño simple pero válido para LS ciegos, y por otro se presentó una modificación en la topología que permite trabajar con voltaje de salida desde 0V hasta el máximo  $V_{GS}$  permitido por los transistores de HV.

Para validar la propuesta se implementaron adaptadores de nivel en tecnología HV de 0.6 $\mu$ m, uno estándar y otro modificado de rango completo (FR-LS) en el segundo caso capaz de operar desde 0V hasta 16V, ambos para un  $V_{CC}$  a partir de 1.8V y hasta 5.5V. También se desarrolló un adaptador de nivel negativo (N-LS) capaz de conmutar a la salida valores por debajo de tierra. Los circuitos implementados fueron medidos en un amplio rango de condiciones mostrando un correcto funcionamiento.

## ASICS para dispositivos médicos implantables

Como aplicación concreta de los adaptadores de nivel, se implementó un multiplicador voltaje (MV) programable del tipo bomba de carga multicanal, capaz de alcanzar hasta tensiones de 16V. El MV es muy versátil y permite modificar el voltaje de salida (o voltaje target), el rango de operación (1X,2X,3X), y velocidad de carga, ocupando un área menor a  $2\text{mm}^2$  (*pads* incluidos).

El MV fabricado se midió en un amplio margen de condiciones con  $V_{CC}$  desde 1,6V hasta 5,5V obteniéndose resultados muy próximos a los simulados. También se realizaron medidas de la eficiencia, presentando una eficiencia de carga del 95% y cerca de un 90% de eficiencia respecto a la energía máxima teórica. El sistema implementado es para 4 canales de estímulo, pero es fácilmente escalable a más canales, simplemente modificando la máquina de estado que gobierna el MV y agregando tantos adaptadores de voltaje y circuitos de transferencia de carga como se necesario.

Finalmente se estudiaron y desarrollaron bloques de circuito para la estimulación segura de tejido biológico, tanto en tensión como en corriente, denominamos, driver seguro, adaptador de nivel seguro de rango completo (SFR-LS), y conmutador seguro.

El driver seguro se trata del driver para una llave PMOS de gran tamaño en contacto con tejido biológico, que ante una ruptura en la llave (incluyendo casos como un cortocircuito entre *gate* y *source* o *drain*) limita el flujo de corriente a unos pocos  $\mu\text{A}$ . El driver fue implementado y medido en una tecnología CMOS HV de  $0.6\mu\text{m}$ . Se mostró que este sistema de control es capaz de garantizar los tiempos de corte y entrega de estímulo (debajo de los  $10\mu\text{s}$ ), soporta tensión de hasta los 16V y puede ser alimentado en amplio rango de  $V_{CC}$  desde 1.8V hasta 5V. En el laboratorio no fue posible realizar un evento de falla simple para mostrar que efectivamente el sistema controla la corriente a unos pocos  $\mu\text{A}$ , pero se presentaron simulaciones de un evento de falla. Se mostró que a la hora de desarrollar sistemas de control de estímulo no es solo importante cumplir con las normas de seguridad de punto de vista de la aplicación del estímulo, sino también a la hora de hacer *layout*.

Como segundo ejemplo se realizó una adaptación de los LS del Capítulo 3 para poder utilizarlos en forma segura en contacto con tejido biológico; el SFR-LS es una variante a un adaptador de rango completo (FR-LS). Este nuevo adaptador limita la corriente ante fallas mediante un RC, y aunque presenta la desventaja de utilizar capacitores integrados de gran tamaño, es una alternativa sencilla a la hora de estimular de forma segura y puede ser utilizado en el caso de que no sea necesario un sistema multicanal de muchos electrodos.

El conmutador seguro se puede considerar como el complemento del driver seguro, ya que su finalidad es manejar el estímulo en corriente de forma segura. Este conmutador fue diseñado y simulado en tecnología CMOS HV de  $0.6\mu\text{m}$  (aun no fabricado). Como se mostraron en las simulaciones este sistema tuvo un correcto funcionamiento, tanto protegiendo en caso de una falla simple como dejando la salida del conmutador en alta impedancia a la hora de generar el estímulo.

Con un solo conmutador es posible controlar tantas ramas como se desee, generando la posibilidad de una fuente de corriente programable, sin la necesidad de utilizar capacitores para garantizar su seguridad.

### 5.3 Aspectos finales y trabajo futuros

A modo de resumen como principales contribuciones de este trabajo podemos resaltar:

- El avance en el conocimiento de la degeneración de *Bulk* como técnica de circuito en amplificadores y filtros de baja distorsión y bajo voltaje.
- El desarrollo de adaptadores de nivel para un rango completo de tensiones de salida incluyendo una metodología simple de diseño “a mano” y modificaciones al circuito básico para alcanzar el rango completo.
- Desarrollo de circuitos detallados, completos, en tecnología HV para estímulo seguro de tejido biológico y un multiplicador de tensión. Se considera que estos circuitos no son una solución única o completamente innovadora para los problemas planteados, pero sí son una contribución valiosa en un área donde las referencias son muy escasas.

Buena parte del trabajo se ha presentado en las publicaciones [65], [28] y [77].

Como trabajo futuro, en la actualidad se continúa con fabricar el conmutador seguro para validar su diseño con medidas y poder realizar un ejemplo de aplicación del mismo. Se está trabajando en una fuente de corriente multicanal programable a través de interfaz SPI que no solo entrega corriente a tejido, sino que también toma corriente de este (fuente *sink-source* complementaria).

En el Anexo A se muestra la arquitectura, donde se puede apreciar en la parte superior un conmutador seguro, y en la parte de abajo con transmisión *gates* HV (para implementar una fuente segura frente a un evento de falla simple).

En cuanto a la técnica de degeneración de *bulk* como se mencionó, se continuará trabajando en el abordaje analítico del problema en todas las regiones de inversión, y en ampliar los ejemplos y aplicaciones de la técnica de circuito.

## 6 Bibliografía

- [1] Medtronic, «Implantable Cardioverter Defibrillators,» <http://www.medtronic.com/us-en/patients/treatments-therapies/defibrillator-icd.html>.
- [2] CochlearTM, «<http://www.cochlearamericas.com/es/>».
- [3] Medtronic, «Neuroestimulators,» <http://www.medtronic.com/our-therapies/neurostimulators-pain-conditions/>.
- [4] Quallion, «[www.quallion.com/](http://www.quallion.com/),» [En línea].
- [5] A. Arnaud y C. Galup-Montoro, «Fully integrated signal conditioning of an accelerometer for implantable pacemakers,» *J. Analog Integr. Circuits and Signal Process*, vol. 49, pp. 313-321, 2006.
- [6] A. Arnaud, Very Large Time Constant Gm-C Filters, Tesis Doctoral.
- [7] P. Monsurrò, S. Pennisi, G. Scotti y A. Trifiletti, «Linearization Technique for Source-Degenerated CMOS Differential Transconductors,» *IEEE Trans. Circuits and Systems II*, vol. 54, nº 10, pp. 848-852, 2007.
- [8] S. Haddad, R. Houben y W. Serdijn, «The Evolution of Pacemakers,» *IEEE Engineering in medicine and biology magazine*, vol. 25, nº 3, pp. 38-48, 2006.
- [9] Medtronic, «Programmable Infusion System,» <http://professional.medtronic.com/devices/synchromed-II-for-pain/overview/index.htm>.
- [10] F. Group, «Implantable Medical Devices,» <http://www.freedoniagroup.com/industry-study/2852/implantable-medical-devices.htm>, 2015.
- [11] Implantable Medical Devices, Freedomia Group, 2012.
- [12] A. B. Amar, A. B. Kouki y H. Cao, «Power Approaches for Implantable Medical Devices,» *Sensors*, vol. 15, pp. 28889-28914, 2015.
- [13] O. Soykan, «Power Sources for Implantable Medical Devices,» *Medical Devices Manufacturing Technology*, 2002.
- [14] F. Silveira, C. Rossi y A. Arnaud, «Diseño de CIs para dispositivos medicos implantables,» CVIT online course.
- [15] R. Rieger y Y.-Y. Pan, «A bio-signal amplifier system with very-large dynamic-range,» *TENCON 2007 - 2007 IEEE Region 10 Conference*, pp. 1 - 4, 2007.
- [16] M. Sahin, «A low-noise preamplifier for nerve cuff electrodes,» *IEEE Transactions on Neural Systems and Rehabilitation Engineering*, vol. 13, nº 4, pp. 561 - 565, 2005.
- [17] Y. Sun, N. Ye y F. Pan, «A novel design of EEG signal amplifier,» *24th Chinese Control and Decision Conference (CCDC)*, pp. 3369 - 3372, 2012.
- [18] P. Gerrish, E. Herrmann, L. Tyler y K. Walsh, «Challenges and Constraints in Designing Implantable Medical ICs,» *IEEE Transactions on devices and materials reliability*, vol. 5, nº 3, pp. 435 - 444, 2005.
- [19] I. E. Commission, «Norma IEC 60601-1,» 2005-2015.
- [20] J.Gak, A.Arnaud y M.Miguez, «An integrated switch in a HV-SOI wafer technology, with a novel selfprotection mechanism,» *Journal Integrated Circuits and Systems*, vol. 5, nº 1, pp. 7-15, 2010.
- [21] J. Suárez y J. Osta, «Fuente de corriente programable, integrada para dispositivos médicos implantables, Tesis de Grado,» 2010.
- [22] D. R. Merrill, M. Bikson y J. G. Jefferys, «Electrical stimulation of excitable tissue: design of efficacious and safe protocols,» *Journal of Neuroscience Methods*, pp. 171-198, 2005.

## ASICS para dispositivos médicos implantables

- [23] K. Sooksood, T. Stieglitz y M. Ortmanns, «An experimental study on passive charge balancing,» *Advances in Radio Ciencia*, vol. 7, pp. 197-200, 2009.
- [24] Y. Moghe y T. Lehmann, «A Novel Safety System Concept and Implementation for Implantable Stimulators: A Universal DC Tissue Leakage Current Detector,» de *IEEE International Symposium on Circuits and Systems*, Seattle, 2008.
- [25] R. Shannon, «A model of safe levels for electrical stimulation,» *IEEE TRANSACTIONS ON BIOMEDICAL ENGINEERING*, vol. 39, nº 4, 1992.
- [26] L. Lentola, A. Mozzi, A. Neviani y A. Baschiroto, «A 1 $\mu$ A Front End for Pacemaker Atrial Sensing Channels With Early Sensing Capability,» *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, vol. 50, nº 8, pp. 397 - 403, 2003.
- [27] W. Tacker y L. Geddes, «The Laws of Electrical Stimulation of Cardiac Tissue,» *Proceedings of the IEEE*, vol. 84, nº 3, pp. 355 - 365, 1996.
- [28] J. Gak, A. Aruand y P. Mandolesi, «A Safe MOSFET Driver for Stimulation of Biological Tissue,» de *IEEE Latin American Symposium on Circuits and Systems*, Montevideo, 2015.
- [29] J. LASA, A. ARNAUD y M. MIGUEZ, «Complete Integrated Cardiac Sensing Channel for Pacemakers,» de *Conferencia Argentina de Microelectrónica, Tecnología, y Aplicaciones*, Córdoba, 2012.
- [30] J. LASA, A. ARNAUD, M. MIGUEZ y J. GAK, «On the design of micro power practical GmC filters for biomedical applications,» de *24th Symposium on Integrated Circuits and System Design*, Joao Pessoa, 2011.
- [31] V. Potani y E. Potanin, «High-Voltage tolerant power supply in a low-voltage CMOS technology,» de *International Symposium on Circuits and Systems*, Vancouver, 2004.
- [32] G. P. Singh y R. B. Salem, «High-Voltage-Tolerant I/O Buffers with Low-Voltage CMOS Process,» *IEEE Journal of Solid-State Circuits*, vol. 34, nº 11, pp. 1512-1525, 1999.
- [33] Y. Geng, R. Bondade y D. Ma, «High-voltage tolerant power driver with enhanced current drivability for integrated power applications,» *Analog Integrated Circuits and Signal Processing*, vol. 79, nº 3, p. 469-477, 2014.
- [34] W. Sun y L. Shi, «High Reliability HV-CMOS Transistors in Standard CMOS Technology,» de *Proceeding of 10th International Symposium Physical and Failure Analysis of Integrated Circuits*, Singapur, 2003.
- [35] R. Schaumann, «Continuous-Time Integrated Filters - A Tutorial,» de *IEEE Conference Publications*, 1989.
- [36] E. Sanchez-Sinencio y J. Silva-Martinez, «CMOS transconductance amplifiers, architectures and active filters: a tutorial,» *IEE Proceedings - Circuits, Devices and Systems*, vol. 147, nº 1, pp. 3-12, 2000.
- [37] C. D. Salthouse y R. Sarpeshkar, «A Practical Micropower Programmable Bandpass Filter for use in Bionic Ears,» *IEEE J. Solid-State Circuits*, vol. 38, nº 1, pp. 63-70, 2003.
- [38] R. Rieger, A. Demosthenous y J. Taylor, «A 230-nW 10-s Time Constant CMOS Integrator for an Adaptive Nerve Signal Amplifier,» *IEEE J. Solid-State Circuits*, vol. 39, nº 11, pp. 1968-1975, 2004.
- [39] S. S. Bustos, J. S. Martínez, F. Maloberti y E. S. Sinencio, «A 60dB Dynamic Range CMOS Sixth-Order 2.4Hz Low-Pass Filter for Medical Applications,» *IEEE Trans. Circuits Syst. II*, vol. 47, nº 12, pp. 1391-1398, 2000.
- [40] Y.-T. Liu, D. Y. C. Lie, W. Hu y T. Nguyen, «An ultralow-power CMOS transconductor design with wide input linear range for biomedical applications,» de *Proc. IEEE Int. Symp. Circuits Syst. (ISCAS)*, Seoul, Korea, 2012.

- [41] A. J. Casson y E. Rodriguez-Villegas, «A 60 pW gm-C Continuous Wavelet Transform Circuit for Portable EEG Systems,» *IEEE J. Solid-State Circuits*, vol. 46, nº 6, pp. 1406-1415, 2011.
- [42] J. M. H. Karel, S. A. P. Haddad, S. Hiseni, R. L. Westra, W. A. Serdijn y R. L. M. Peeters, «Implementing Wavelets in Continuous-Time Analog Circuits With Dynamic Range Optimization,» *IEEE Trans. Circuits Systems. I*, vol. 59, nº 2, pp. 229-242, 2012.
- [43] Z. Chen, Y. Zheng, F. C. Choong y M. Je, «A Low-Power Variable-Gain Amplifier With Improved Linearity: Analysis and Design,» *IEEE Trans. Circuits Systems I*, vol. 59, nº 10, pp. 2176-2185, 2012.
- [44] R. Sarpeshkar y C. M. R. F. Lyon, «A Low-Power Wide-Linear-Range Transconductance Amplifier,» *J. of Analog Integr. Circuits and Signal Process*, vol. 13, pp. 123-151, 1997.
- [45] F. Krummenacher y N. Joehl, «A 4-Mhz CMOS continuous-time filter with on-chip automatic tuning,» *IEEE J. Solid State Circuits*, vol. 23, nº 3, pp. 750-758, 1988.
- [46] A. Veeravalli, E. Sánchez-Sinencio y J. Silva-Martínez, «Transconductance Amplifiers Structures with Very Small Transconductances: A Comparative Design Approach,» *IEEE J. Solid-State Circuits*, vol. 37, nº 6, pp. 770-775, 2002.
- [47] A. Yodtean, P. Isarasena y A. Thanachayanont, «0.8- $\mu$ W CMOS bulk-driven linear operational transconductance amplifier in 0.35- $\mu$ m technology,» de *Asia Pacific Conf. on Circuits and Systems*, Kuala Lumpur, Malaysia, 2010.
- [48] J. M. A. Miguel, C. A. d. I. C. Blas y A. J. López-Martín, «CMOS triode transconductor based on quasi-floating-gate transistors,» *IEEE Electronic Letter*, vol. 46, nº 17, pp. 1190-1191, 2010.
- [49] J. M. A. Miguel, A. J. Lopez-Martin, L. Acosta, J. Ramirez-Angulo y R. G. Carvajal, «Using Floating Gate and Quasi-Floating Gate Techniques for Rail-to-Rail Tunable CMOS Transconductor Design,» *IEEE Trans. Circuits Systtems I*, vol. 58, nº 7, pp. 1604-1614, 2011.
- [50] P. R. Agostinho, S. A. Haddad, J. A. Lima y W. A. Serdijn, «An ultra low power CMOS pA/V transconductor and its application to wavelet filters,» *J. of Analog Integr. Circuits and Signal Process*, vol. 57, nº 12, pp. 19-27, 2008.
- [51] Z. El-Khatib, L. MacEachern y S. A. Mahmoud, «Highly-linear CMOS cross-coupled compensator transconductor with enhanced tunability,» *IEEE Electronic Letter*, vol. 46, nº 24, pp. 1597-1598, 2010.
- [52] A. Arnaud, R. Fiorelli y C. Galup-Montoro, «Nanowatt, Sub-nS OTAs, With Sub-10-mV Input Offset, Using Series-Parallel Current Mirrors,» *IEEE J. Solid State Circuits*, vol. 41, nº 9, pp. 2009-2018, 2006.
- [53] B. Linares-Barranco y T. Serrano-Gotarredona, «On the design and characterization of Femtoampere current-mode circuits,» *IEEE J. Solid State Circuits*, vol. 38, nº 8, pp. 1353-1363, 2003.
- [54] A. Arnaud y C. Galup-Montoro, «Pico-A/V range CMOS transconductors using series-parallel current division,» *IEEE Electronic Letter*, vol. 39, nº 18, pp. 1295-1296, 2003.
- [55] A. I. A. Cunha, M. C. Schneider y C. Galup-Montoro, «An MOS transistor model for analog circuit design,» *IEEE J. Solid State Circuits*, vol. 33, nº 10, pp. 1510-1519, 1998.
- [56] S. Chatterjee, P. R. Kinget y Y. Tsvividis, «Low Voltage Transconductor Amplifiers Circuits». Patente US8,030,999 B2, 4 Octubre 2011.
- [57] C. Popa y D. Coadă, «A new linearization technique for a CMOS differential amplifier using bulk-driven weak inversion MOS transistors,» de *International Symposium on Signals, Circuits and Systems*, 2003.

## ASICS para dispositivos médicos implantables

- [58] M. J. M. Pelgrom, A. C. J. Duinmaijer y A. P. G. Welbers, «Matching properties of MOS transistors,» *IEEE J. Solid State Circuits*, vol. 24, nº 5, pp. 1433-1440, 1989.
- [59] P. Kinget y M. Steyaert, *Analog VLSI integration of massive parallel signal processing systems*, Kluwer Academic Publishers, 1996.
- [60] Berkeley, «<https://www2.eecs.berkeley.edu/Pubs/TechRpts/1998/3486.html>,» [En línea].
- [61] J. Gak, M. Miguez, M. Bremermann y A. Arnaud, «On the reduction of thermal and flicker noise in ENG signal recording amplifiers,» *Analog Integr. Circuits Signal Process*, vol. 57, nº 1, pp. 36-48, 2008.
- [62] E. M. Camacho-Galeano, C. Galup-Montoro y M. Schneider, «A 2-nW 1.1-V self-biased current reference in CMOS technology,» *IEEE Trans. Circuits and Systems*, vol. 52, nº 2, pp. 61-65, 2005.
- [63] J. Silva-Martínez y J. Salcedo-Suñer, «IC voltage to current transducers with very small transconductance,» *J. of Analog Integrated Circuits and Signal Processing*, vol. 13, pp. 285-293, 1997.
- [64] M. Miguez, J. Gak, G. Costa y A. Arnaud, «A low-voltage, low-power 1.03V voltage reference for implantable medical devices,» de *Argentine School of Micro-Nanoelectronics*, 2012.
- [65] J. Gak, M. Miguez y A. Arnaud, «Nanopower OTAs with Improved Linearity and Low Input Offset Using Bulk Degeneration,» *Trans. on Circuit and Systems*, vol. 61, nº 3, pp. 689-698, 2014.
- [66] R. M. Forsyth, «Technology and Design of integrated circuits for up to 50V, applications,» de *Proceedings of the International Conference on Industrial Technology*, Slovenia, 2003.
- [67] M. Khorasani, L. v. d. Berg, P. Marshall, M. Zargham, V. Gaudet, D. Elliott y S. Marte, «Low-Power Static and Dynamic High-Voltage CMOS Level-Shifter Circuits,» de *International Symposium on Circuits and Systems*, Seattle, 2008.
- [68] S.-C. Luo, C.-J. Huang y Y.-H. Chu, «A Wide-Range Level Shifter Using a Modified Wilson Current Mirror Hybrid Buffer,» *IEEE TCAS I*, vol. 61, nº 6, pp. 1656-1665, 2014.
- [69] M. Ashouei, H. Luijmes, J. Stuijt y J. Huisken, «Novel wide voltage range level shifter for near-threshold designs,» de *17th IEEE International Conference on Electronics, Circuits and Systems*, 2010.
- [70] J. Zhou, C. Wang, X. Liu, X. Zhang y M. Je, «A fast and energy-efficient level shifter with wide shifting range from sub-threshold up to I/O voltage,» de *IEEE Asian Solid-State Circuits Conference*, 2013.
- [71] N. Dommel, T. L. Y. Wong, N. L. P. Byrnes-Preston y G. Suaning, «Microelectronic Retinal Prosthesis: II. Use of High-Voltage CMOS in Retinal Neurostimulators,» de *28th IEEE EMBS Annual International Conference*, New York, 2006.
- [72] L. S. Y. W. e. al, «A very low power CMOS mixed signal IC for implantable pacemaker applications,» *IEEE Solid-State Circuits*, vol. 39, nº 12, pp. 2446-2456, 2004.
- [73] D. Prutchi y M. Norris, *Cardiac Pacing and Defibrillation Chapter 8 in Design and Development of Medical Electronic Instrumentation*, 2005: Wiley-Interscience.
- [74] S. R. Sridhara y e. al, «Microwatt Embedded Processor Platform for Medical System-on-Chip Applications,» *IEEE Journal of Solid-State Circuits*, vol. 46, nº 4, pp. 721-730,, 2011.
- [75] M. Miguez, A. Arnaud, A. Oliva y P. Julian, «Step Down DC/DC converter for Micro-Power Medical Applications,» *Analog Integrated Circuits and Signal Processing*, 2016.
- [76] M. Miguez y G. C. A. A. J. Gak, «A Low-Voltage, Low-Power 1.03V Voltage Reference for Implantable Medical Devices,» de *CAMTA*, Crodoba, 2012.



## ASICS para dispositivos médicos implantables

- [77] J. Gak, A. Arnaud y M. Pablo, «Blind range level shifters from 0 to 18V,» de *IEEE LASCAS 2017*, Bariloche, 2017.
- [78] J. Gak, M. Miguez y A. Arnaud, «A Programmable Charge Pump Voltage Converter for Implantable Medical Devices in a HV Technology,» de *Latin American Symposium on Circuits and Systems*, Cusco, Peru, 2013.
- [79] Z. Chen, Y. Li y E. Pan, «Joint optimization of degradation-based burn-in, quality, and preventive maintenance,» de *Industrial Engineering and Engineering Management (IEEM)*, 2016.
- [80] A. Arnaud y C. Rossi, «Análisis de una cadena de inversores asimétricos como elemento de retardo,» de *VII Workshop de Iberchip*, Montevideo, 2001.
- [81] J. Gak, M. Bremermann y A. Arnaud, «Simulation and measurements of asymmetrical delay elements: a study in temperature and supply voltage,» de *SForum, Sociedad Brasileira de Microelectrónica*, Florianopolis, 2005.

## Anexo A. Fuente de corriente programable

En esta sección, se presenta una breve reseña de una fuente de corriente HV multicanal programable a través de interfaz SPI que no solo que entrega corriente a tejido, sino que también toma corriente de este (fuente *sink-source* complementaria), en la Figura A-1 se presenta un esquema general de la fuente.

La fuente de corriente deberá ser capaz de entregar o tomar corriente desde los 100µA hasta 25.5mA en 255 pasos, soportar tensiones de estímulo desde los 100mV hasta 16V y una fuente de alimentación desde los 1.8V hasta 5V. Debe cumplir con todos los mismos criterios de seguridad que se ha aplicado a largo de todo este trabajo, y ser los más independiente posible del proceso de fabricación.

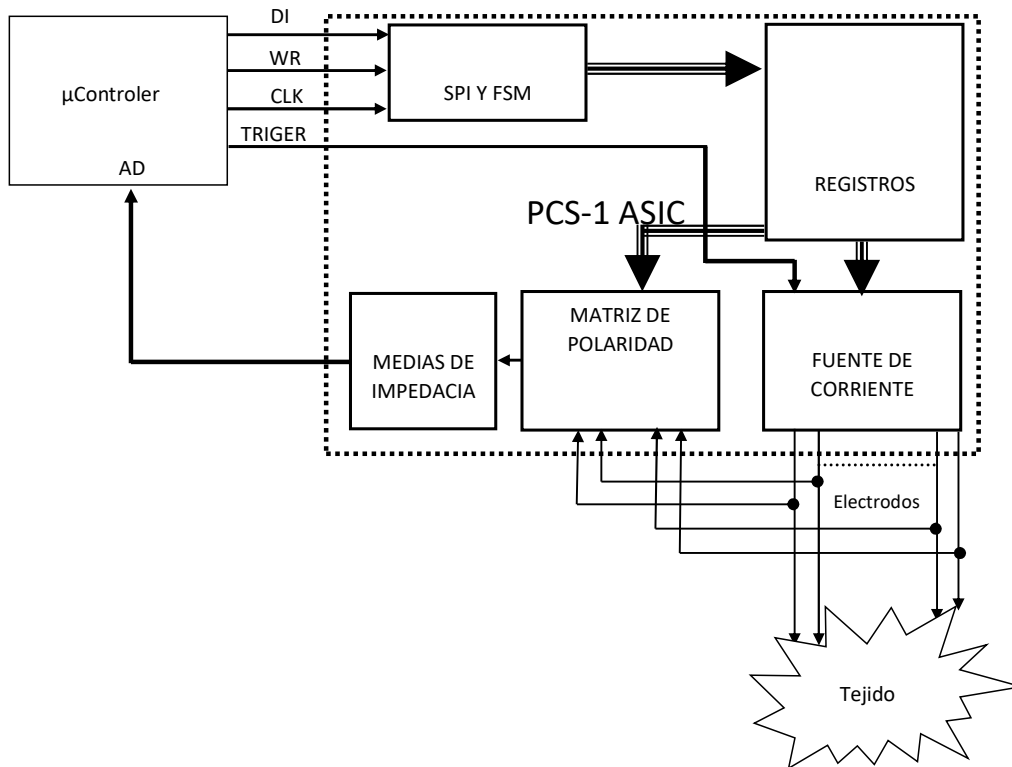


Figura A-1 Esquema general de la fuente.

En la Figura A-2 se muestra (solo dos ramas por simplicidad) una arquitectura posible para la fuente de corriente. Es independiente respecto del proceso de fabricación, fijando la tensión de referencia a través de resistencias integradas ( $R_{REF}$ ), y con el mismo tiempo de resistencias de se implementan las de realimentación  $R_{IX}$ . De esta manera la corriente que entregaría la fuente sería,

$$I_{STIM} = \frac{I_{REF} R_{REF}}{\sum R_{IX}}$$

A-1

## ASICS para dispositivos médicos implantables

Entonces si  $R_{REF}$  varia, las  $R_{1X,2X}$  variaran en la misma proporción manteniéndose constante la razón, haciendo que  $I_{STIM}$  no varié. La corriente  $I_{REF}$  sería generado por una fuente de corriente autopolarizante como la presentada por Camacho, et. al en [62], pero se le agrega una salida programable para el ajuste fino.

La fuente de corriente utilizar un conmutador seguro para garantizar aspecto de seguridad en la parte que entrega corriente y se conectan ( $S_{WD3,4}$ ) a GND los *gates* de los transistores  $M_{1N,2N}$  cuando se está cortando el estímulo para evitar un corriente a tejido en DC elevada en caso de ruptura de los *gates* de estos transistores.

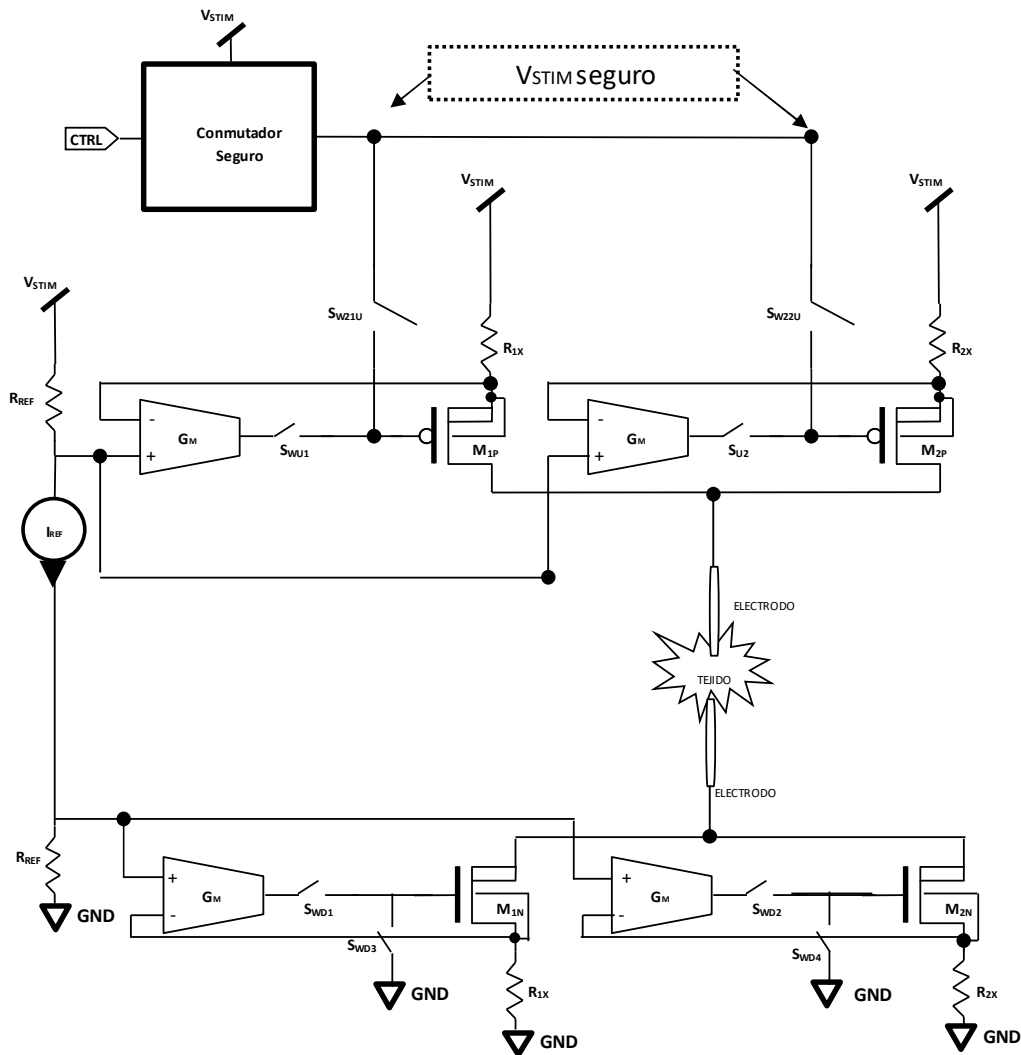


Figura A-2 Arquitectura posible para la fuente de corriente.