



UNIVERSIDAD NACIONAL DEL SUR

TESIS DOCTOR EN INGENIERÍA

ADMINISTRACIÓN DE ENERGÍA EN SISTEMAS
EMPAQUETADOS O MULTI-CHIP

ING. ANGEL JOSÉ SOTO

BAHÍA BLANCA

ARGENTINA

2015

Prefacio

Esta Tesis se presenta como parte de los requisitos para optar al grado Académico de Doctor en Ingeniería de la Universidad Nacional del Sur y no ha sido presentada previamente para la obtención de otro título en esta Universidad u otra. La misma contiene los resultados obtenidos en investigaciones llevadas a cabo en el ámbito del Instituto de Investigaciones en Ingeniería Eléctrica “Alfredo Desages” (UNSCONICET) durante el período comprendido entre el 7 de Diciembre de 2010 y 3 de Marzo de 2015, bajo la dirección del Dr. Alejandro Oliva, Prof. Adjunto, Área 3, Electrónica y del Dr. Simon Ang, Prof. y Director del HiDEC en University of Arkansas.

Bahía Blanca, 3 de Marzo de 2015

Angel José Soto

Departamento de Ingeniería Eléctrica y de Computadoras

UNIVERSIDAD NACIONAL DEL SUR



UNIVERSIDAD NACIONAL DEL SUR

SECRETARÍA GENERAL DE POSGRADO Y

EDUCACIÓN CONTINUA

La presente tesis ha sido aprobada el/..../....., mereciendo la calificación de
(.....)

Resumen

En los últimos años dispositivos móviles y sistemas de cómputo han logrado disminuir sus tamaños y aumentar su funcionalidad sin sacrificar sus consumos energéticos a través de buenas estrategias de administración de energía. En esta tesis se aborda la implementación de convertidores de potencia para administración de energía. Dos líneas de investigación serán abordadas; la primera a nivel de sistemas empaquetados (*system in a package*) y la segunda en sistemas en circuitos integrados (*system on chip*). En la primera parte se presenta un análisis de la técnica de desvío de ondulación (*ripple steering*) aplicada a tecnologías de cerámicas de baja temperatura de sinterizado (*low temperature co-fired ceramics*, LTCC) magnético y se analiza la factibilidad de usarla en filtros de potencia. Luego se determina la zona de trabajo en la que el filtro con *ripple steering* presenta mayor atenuación que un filtro LC de 2^{do} orden con el mismo volumen. Para esto se modela el comportamiento del filtro dependiendo de diferentes parámetros de fabricación y se propone una figura de mérito que evalúa la mejora en la atenuación entre el filtro con *ripple steering* y el filtro clásico LC de 2^{do} orden con el mismo volumen.

Para validar el modelo propuesto y la figura de mérito se construyen inductores acoplados en LTCC que son utilizados en un filtro de potencia. Los resultados experimentales muestran que el filtro con *ripple steering* se desempeña mejor, con una atenuación 66 % más alta que el filtro clásico LC de 2^{do} orden. Ambos filtros son luego utilizados como filtros de salida de un convertidor reductor (*buck*) y se comprueba que la ondulación de salida (*ripple*) también es 66 % menor para el filtro con *ripple steering*.

En la segunda parte de la tesis se aborda el caso de estudio de un convertidor de múltiples salidas utilizando una única inductancia (*single inductor multiple outputs*,

SIMO) completamente integrado, orientado a la administración de energía dentro de la misma pastilla de silicio (*die*) de un sistema en circuito integrado. El convertidor posee dos salidas, una reductora (*buck*) y otra elevadora (*boost*) de tensión.

Para llevar a cabo la implementación se elige una tecnología CMOS de 65 nm, ampliamente utilizada en sistemas en circuitos integrados. Se propone y desarrolla una estrategia de control por histéresis, los módulos y circuitos necesarios para su implementación. Comparadores de alta velocidad, transductores de corriente instantánea y media y los sensores de corriente cero por la inductancia son desarrollados junto con una máquina de estados asincrónica que ofrece las mejores características para el control del sistema.

El convertidor desarrollado genera tensiones de 1.2 V y 0.8 V a partir de una tensión de 1 V. Las salidas poseen una regulación del 10 % en la condición de máxima carga que es de 50 mA. El convertidor logra un pico de eficiencia mayor al 70 %, que es comparable a la eficiencia reportada en trabajos previos y superior a la que se puede obtener con reguladores lineales.

Abstract

In recent years, mobile devices and computer systems have reduced their size and increased functionality without increasing their energy consumption through good energy management strategies. In this thesis the implementation of power converters is discussed for power management. Two lines of research will be addressed; the first in system in a package and the second in system on chip.

In the first part, an analysis of the ripple steering technique applied to magnetic low temperature co-fired ceramics (LTCC) and the feasibility to be applied to power filters are presented. The working zone where the filter with ripple steering shows a greater attenuation than a LC filter of 2nd order with the same volume is determined. With this purpose, the filter behavior is modeled depending on various manufacturing parameters and a figure of merit which evaluates the improvement in attenuation between the filter with ripple steering and classical LC filter 2nd order with the same volume is proposed.

To validate the proposed model and the figure of merit LTCC coupled inductors which are used in a power filter are constructed. Experimental results show that the filter with ripple steering performs better than the classic LC filter 2nd order with an attenuation 66 % higher. Both filters are then used as output filters of a buck converter and it can be checked that the output ripple is 66 % lower for the filter with ripple steering.

In the second part of the thesis the case study of a converter with multiple outputs using a single inductor (SIMO) fully integrated, oriented power management within the same die of a system integrated circuit. The inverter has two outputs, a buck-like and a boost-like.

To carry out the implementation, 65 nm CMOS technology is chosen since it

is widely used in system on a chip. A hysteretic control strategy is proposed and developed; modules and circuits necessary for its implementation are also carried on. High speed comparators, instantaneous, average and zero inductor current transducers and sensors are developed together with an asynchronous state machine which offers the best features for control the system.

The developed converter generates output voltages of 1.2 V and 0.8 V from a input voltage of 1 V. The outputs have a regulation of 10 % at maximum load condition (50 mA). The converter achieves a peak efficiency of 70 %, which is better than the expected efficiency of a linear regulator and it is comparable with the fully integrated power converter efficiency previously reported in the literature

Agradecimientos

Agradezco a mis directores por brindarme su confianza y la asistencia para que este trabajo de investigación pudiera ser realizado. A CONICET y a MINCyT por las becas otorgadas. Al Departamento de Ingeniería Eléctrica y de Computadoras de la Universidad Nacional de Sur y a todos los miembros del Grupo de Investigación en Sistemas Electrónicos y Electromecatrónicos (GISEE) por brindarme el espacio y los medios para el desarrollo de esta tesis. A los compañeros de oficina, por su tiempo, paciencia, conocimientos compartidos y espíritu de superación. A mis amigos de toda la vida por apoyarme en este camino. A mis padres, por haber dado todo para darme la mejor educación posible. A mi hermano Manuel, por ser motivarme a mejorar. Finalmente a Astrid, por estar a mi lado y ser mi punto de apoyo en todo este viaje.

Índice general

1. Introducción a la Administración de Energía	1
1.1. Sistema de Potencia Empaquetados (PWRSiP)	6
1.2. Sistemas de Potencia en Chip (PWRSoC)	9
1.3. Objetivos de la tesis	14
2. Administación de Energía en SiP con LTCC y RS	16
2.1. Introducción	16
2.1.1. Introducción a la tecnología LTCC	16
2.1.2. LTCC en Convertidores	20
2.1.3. Topologías con Inductores Acoplados	22
2.1.4. Filtros de Salida de un Convertidor Buck	23
2.2. Modelo de Inductores Acoplados en LTCC	26
2.2.1. Inductores en LTCC	26
2.2.2. Inductores Acoplados Simétricos	28
2.2.3. Inductores Acoplados Asimétricos	32
2.3. <i>Ripple-Steering</i> en LTCC	38
2.3.1. Intro. RS y su Factibilidad en LTCC	38
2.3.2. Modos de Trabajo de un Filtro con <i>Ripple-Steering</i>	39
2.3.3. Análisis de <i>Ripple-Steering</i> en LTCC	41
2.3.4. Comparación de Filtros RS y LC en LTCC	45
2.4. Resultados Experimentales	49
2.4.1. Comparación de Respuestas en Frecuencia	49
2.4.2. Convertidor Buck	54
2.5. Resumen	59

3. Administración de Energía en SiC	61
3.1. Introducción	61
3.2. Implementación de Capacitores e Inductores en Silicio	62
3.2.1. Capacitores	62
3.2.2. Inductores	63
3.3. Arquitectura y Estrategia de Control	65
3.3.1. Arquitectura	65
3.3.2. Estrategia de Control	67
3.4. Simulación de Arquitectura y Estrategia de Control	70
3.5. Implementación de Bloques Específicos	72
3.5.1. Comparador de Alta Velocidad	73
3.5.2. Sensores de Corriente Instantánea y Promedio	75
3.5.3. Circuitos Disparadores de las Llaves	78
3.5.4. Detector de Corriente Cero	79
3.6. Implementación	80
3.7. Sistema Completo	81
3.8. Resumen	86
A. Espejo de Corriente de Alta Velocidad	88
B. Publicaciones	91

Capítulo 1

Introducción a la Administración de Energía

La industria electrónica entiende por **Administración de Energía** (o *Power Management* en inglés) a la ingeniería relacionada con el diseño de circuitos integrados y sistemas electrónicos que permitan entregar en forma eficiente y precisa la potencia eléctrica requerida por una carga. Esto incluye la conversión eficiente de tensiones no reguladas provenientes de la red eléctrica (Corriente Alterna (ca)), baterías (Corriente Continua (cc)) y otras fuentes a niveles de tensión precisos, regulados y protegidos [1]. Los circuitos integrados de administración de energía manejan además las transiciones entre los distintos modos de operación del sistema: carga, descarga, encendido, hibernación, bajo consumo, plena carga, etc.

Las principales empresas del ramo producen circuitos integrados para administración de energía que cumplen funciones específicas, como por ejemplo: reguladores lineales, convertidores cc-cc, módulos de potencia, supervisores y cargadores de baterías, controladores PWM, semiconductores de potencia, controladores de pantallas LCD y OLED, amplificadores de audio, controladores de potencia por USB y Ethernet, entre otras. Estos circuitos integrados, desarrollados con distintas tecnologías de integración, son luego combinados en circuitos impresos para construir funciones más complejas. A medida que avanza la tecnología de integración y encapsulado, se van fusionando algunos de estos bloques dentro de circuitos integrados de administración de energía más potentes, con el fin de reducir costos y el tamaño total, a

la vez que aumenta su confiabilidad. La evolución de los procesos de fabricación de semiconductores ha avanzado a tal punto que en la misma pastilla de silicio (*die*) pueden combinarse tanto llaves de potencia como circuitos de control. Varias compañías de semiconductores como Freescale, Texas Instrument, Analog Devices y On Semiconductors ya ofrecen en el mercado circuitos integrados con estas características. La integración de componentes pasivos empleados en los circuitos de potencia, principalmente inductores y capacitores es aún incipiente debido al gran espacio de silicio que ocupan en las tecnologías actuales.

Los sistemas de administración de energía están compuestos por circuitos que procesan potencia y otros que procesan señal. El procesamiento de potencia se hace con circuitos lineales y de conmutación; estos últimos son preferidos porque permiten obtener una mayor eficiencia. Por otro lado, el tratamiento de la señal se realiza mediante circuitos analógicos y digitales, dependiendo de la complejidad y velocidad de los algoritmos de control.

Los convertidores conmutados tienen la capacidad de transformar y controlar los niveles y formas de onda de voltajes y corrientes, lo que permite adaptar y transformar la energía eléctrica para distintos fines. Para ello acumulan energía proveniente de la fuente en forma de campo eléctrico o magnético mediante capacitores o inductores. Considerando que los capacitores e inductores son elementos puramente reactivos y que la conmutación se realiza con llaves ideales, toda la energía almacenada puede ser extraída y suministrada a la carga sin ninguna pérdida. De esta manera, la eficiencia energética ideal del convertidor es del 100 %. En la práctica, este tipo de convertidores permite obtener una alta eficiencia energética y una reducción de peso y tamaño considerable al compararlo con su equivalente lineal.

El uso de convertidores conmutados se ha generalizado rápidamente gracias a la evolución de las llaves semiconductoras y de nuevas tecnologías de componentes electrónicos.

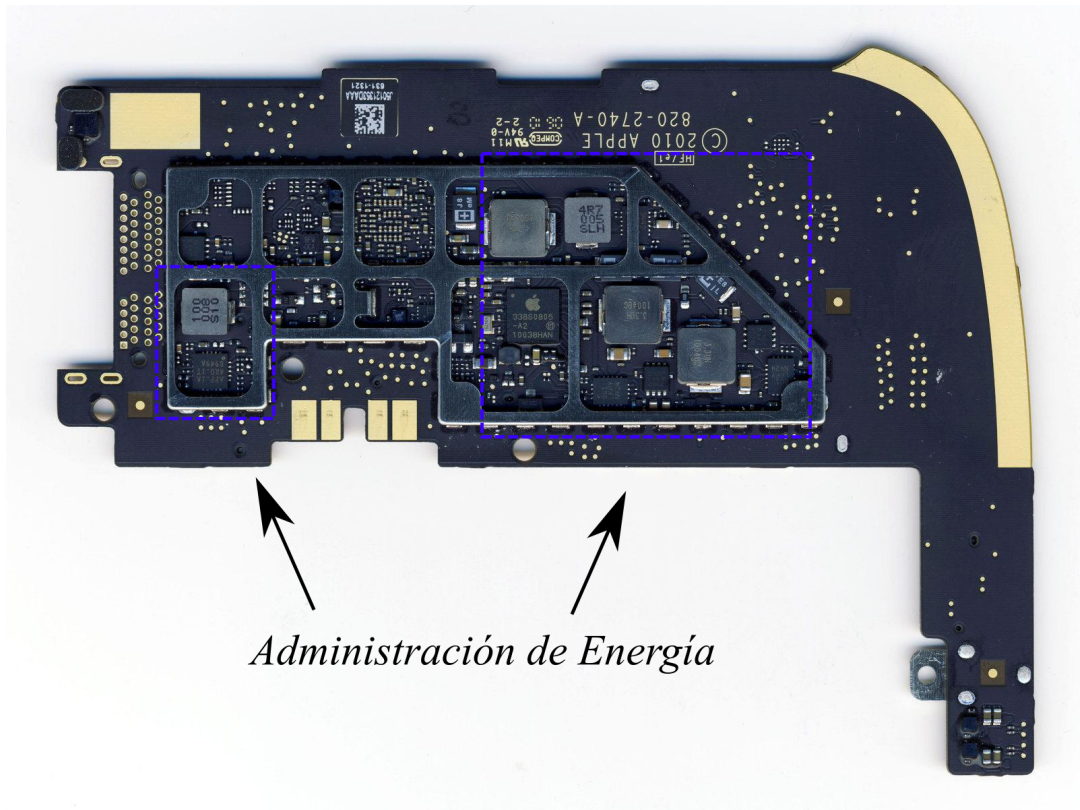
La miniaturización de los convertidores conmutados acompaña la tendencia del resto de los sistemas electrónicos, donde desarrollar dispositivos más pequeños, más versátiles y con más funciones se ha convertido en uno de los principales objetivos de la industria electrónica. En [2] se analiza como la electrónica de potencia destinada a alimentar el resto de los circuitos de un dispositivo electrónico disminuye su

tamaño manteniendo la potencia que puede manejar, o mantiene el tamaño mientras aumenta su capacidad de manejo potencia; lo que se traduce en un incremento de densidad de potencia. Este estudio muestra la tendencia a la miniaturización de los convertidores conmutados, desde una fuente tradicional con objetivo final en un convertidor completamente integrado en una pastilla de silicio.

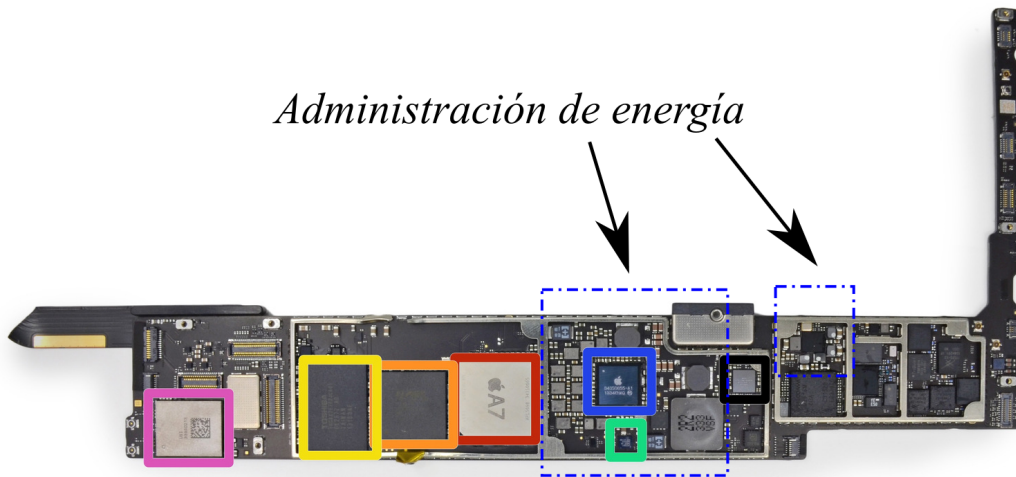
Este trabajo plantea un mapa de ruta para el desarrollo de convertidores conmutados, a partir del análisis de varios dispositivos comerciales. Aspectos como el tamaño, densidad de potencia, tensiones de entrada y salida, costo, funcionalidad, conexión y eficiencia son analizados. A partir de ellos se realiza una estimación de la posible evolución de los distintos componentes que conforman los convertidores. Se concluye que el tamaño de los convertidores en el futuro se reducirá gradualmente, mientras que la densidad de manejo de corriente se incrementa a un ritmo mayor. Las tensiones de entrada y salida disminuirán conforme a las tensiones de trabajo de ASIC, FPGAs y CPUs. La frecuencia de trabajo se incrementará y el empaquetado evolucionará de tal manera que los mismos sean capaces de manejar mayores densidades de potencia. Finalmente, el costo por Amper bajará gradualmente.

Tomando como referencia este mapa de ruta, se pueden analizar tanto los semiconductores como los componentes pasivos. El tamaño de los elementos pasivos puede reducirse en primera instancia al incrementar la frecuencia de conmutación. Afortunadamente, MOSFET rápidos y dispositivos basados en GaN y SiC permiten utilizar frecuencias de conmutación de varios MHz manteniendo pérdidas bajas [3]. Estas tecnologías permiten reducir el tamaño total del convertidor, y está penetrando rápidamente en el segmento de los dispositivos móviles. Sin embargo, la tecnología de los semiconductores evoluciona en forma más rápida que la de los elementos pasivos y el tamaño de estos últimos se ha transformado en un obstáculo que impide avanzar hacia la miniaturización del convertidor.

Tomemos por ejemplo el iPad de primera generación, cuya placa principal puede verse en la Fig. 1.1(a); en este dispositivo la mayor parte del volumen es ocupada por la batería y la pantalla. Según se aprecia en la figura, aproximadamente el 40 % de la placa principal está destinada a los circuitos de administración de energía, siendo los componentes pasivos los que ocupan mayor espacio. Entre éstos, los inductores se destacan por ser los componentes más voluminosos.



(a) Placa principal del primer iPad.



(b) Placa principal del iPad Air.

Fig. 1.1: Placas principales de dispositivos iPad. En ellas puede distinguirse el área ocupada por convertidores conmutados.

Sin embargo, el iPad de primera generación ya es un dispositivo obsoleto (fue presentado en 2010). En la Fig. 1.1(b) se muestra la placa principal de un iPad Air de última generación (2014), se puede apreciar que los componentes están montados sólo en una de las caras debido a la necesidad de minimizar el espesor del dispositivo. A pesar de la evolución de los circuitos integrados (hay una menor cantidad de ellos), que permitió reducir el área de silicio dedicada a llaves de potencia y circuitos de control, los componentes pasivos siguen ocupando una gran parte del área destinada a los convertidores conmutados. Puede verse que el número de inductores también ha disminuido con respecto al modelo anterior aunque siguen siendo los elementos más voluminosos dentro de la placa. El hecho de que haya menos inductores se puede deber a la incorporación de nuevas topologías de convertidores [4], como la SIMO que se tratará más adelante.

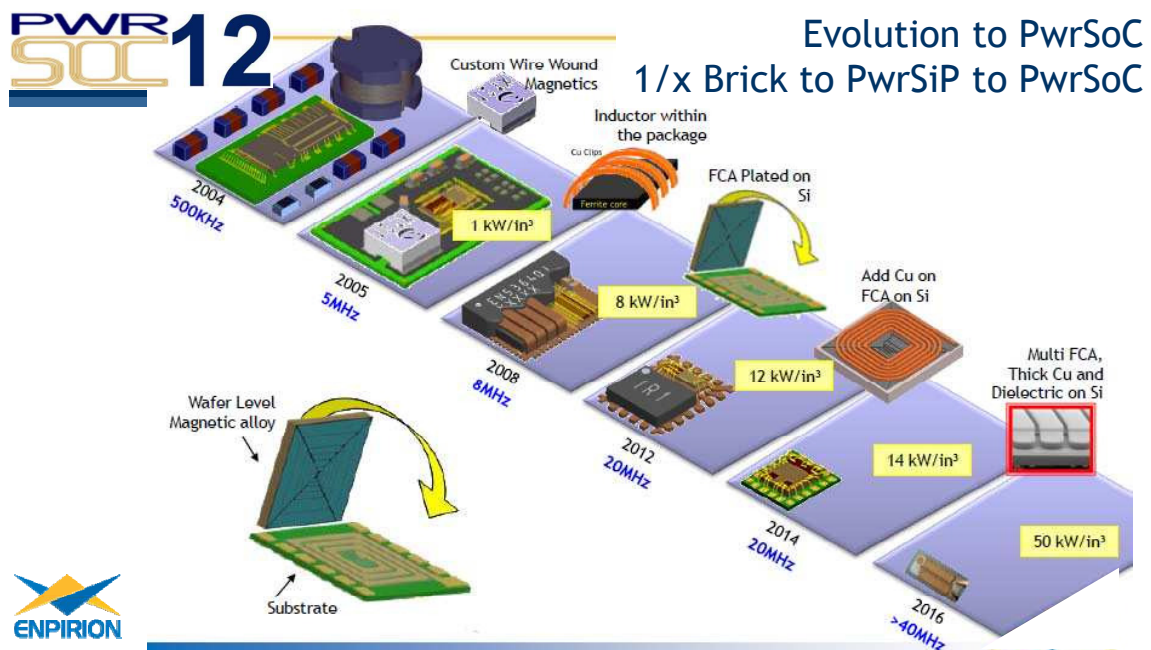


Fig. 1.2: Evolución esperada de los circuitos administradores de energía. Desde un módulo tradicional (*brick*) hasta un PWRSoC [5].

Con el fin de minimizar el tamaño del convertidor, se plantean mapas de ruta como el de la Fig. 1.2. Allí se pueden ver dos líneas de trabajo, la primera es el incremento de la frecuencia de conmutación mediante nuevas tecnologías de semiconductores [3] y la segunda es el desarrollo de nuevos materiales [6–8] que posibiliten la integración de inductores junto con el convertidor de potencia.

De lo presentado anteriormente se desprende que los inductores siguen siendo uno

de los cuellos de botella a la hora de reducir el tamaño de un convertidor conmutado. Por eso, optimizar el uso de inductores tanto como lograr su miniaturización han sido foco de varios trabajos de investigación.

En [6, 7] se muestra la evolución de los inductores y cómo su tamaño influye en el volumen total de un convertidor. Estos trabajos también presentan una recopilación de las diferentes formas en las que se puede adosar el inductor al convertidor dependiendo de la tecnología en la cual esté fabricado. Se abordan implementaciones desde los clásicos diseños en placa FR4 con inductores discretos (módulo de potencia), la implementación de inductores en el mismo empaquetado que contienen a los circuitos integrados de control y potencia (PWRSiP) y por último el diseño de inductores espirales implementados en la misma pastilla de silicio donde se encuentra el convertidor de potencia y el circuito a ser alimentado (PWRSoC). En las secciones siguientes se describirán las posibles formas de implementar inductores en las tecnologías PWRSiP y PWRSoC.

1.1. Sistema de Potencia Empaquetados (PWRSiP)

El término PWRSiP proviene de las siglas en inglés de *Power System in a Package*. Por esto se entiende un sistema de administración de energía que ha sido implementado dentro de un encapsulado (o empaquetado) de potencia (SiP). La implementación de un PWRSiP se presenta como una buena opción cuando es necesaria una potencia del orden de las decenas de Watts. La densidad de potencia que se maneja en este tipo de convertidores es del orden del kW/cm³. Suele incluir componentes pasivos y activos en un único empaquetado, reduciendo de esta manera el área y volumen del sistema. Para lograr tamaños menores, se eleva la frecuencia de conmutación a varios MHz y los niveles de corriente se llevan a las decenas de Amperes; aunque los niveles de tensión que suelen manejar son relativamente bajos y están orientados a la alimentación de circuitos digitales. Cada vez es más frecuente que los fabricantes ofrezcan PWRSiPs en los que el inductor se encuentra dentro del empaquetado.

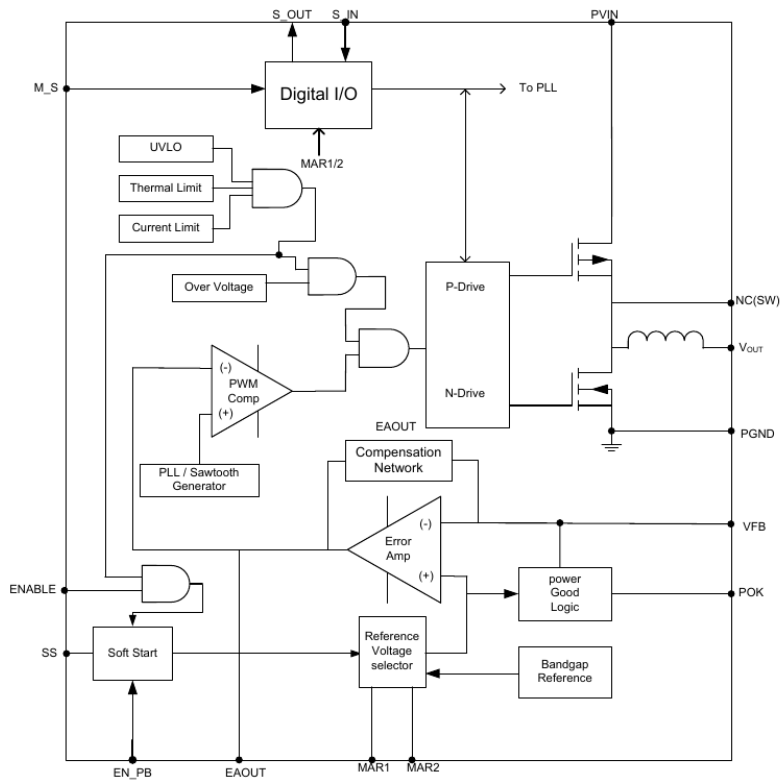
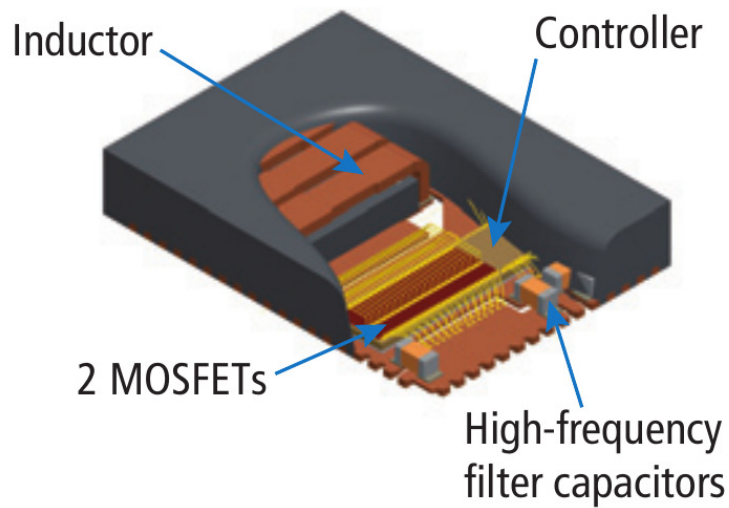


Figure 3: System block diagram.

(a) Diagrama en bloques de un PWRSiP.



(b) Estructura de un PWRSiP.

Fig. 1.3: Circuito de administración de potencia totalmente empaquetado (PWR-SiP) [9].

Una ventaja adicional es que al combinar los circuitos de control, los circuitos de disparo (*drivers*) y las llaves de potencia en el mismo empaquetado se reducen los elementos parásitos de interconexión entre los distintos componentes. Esto mejora notablemente las condiciones de conmutación del convertidor reduciendo efectos no deseados como las oscilaciones parásitas (*ringing*) y mejorando de esta forma también la eficiencia.

Por lo general los dispositivos del tipo PWRSiP comerciales al día de la fecha implementan convertidores reductores (*buck*), que reducen el nivel de tensión a la salida. Estos convertidores se usan para generar las diferentes tensiones de alimentación para los circuitos integrados digitales, microprocesadores, ASICs dedicados al procesamiento de señales y FPGAs, que forman parte de sistemas para aplicaciones móviles, aplicaciones fijas de alto nivel de procesamiento como data-centers y aplicaciones industriales.

En [6–8] se presentan varias tecnologías para la fabricación de inductores, desde inductores discretos de bajo perfil hasta inductores integrados en silicio. Una en particular se destaca por sobre el resto por su densidad de inductancia, fabricación sencilla, compatibilidad para el empaquetado con pastillas de silicio y excelentes características térmicas. Esta tecnología es la de cerámicas sinterizadas de baja temperatura (*Low Temperature Co-fired Ceramics* o LTCC). En la última década el desarrollo de la tecnología LTCC ha permitido generar inductores de capacidades de manejo de corriente del orden de decenas de Amperes y valores de inductancia que rondan la centena de nHy. Estas características la convierten en un candidato perfecto para la implementación de inductores para convertidores monolíticos que operen con frecuencias de conmutación de algunos MHz.

Este tipo de tecnología permite no sólo la implementación de inductores simples, sino también de inductores acoplados. Esto ha sido reportado en [10], donde se muestra la implementación de un convertidor *buck* entrelazado con inductores acoplados utilizando LTCC magnético y se mencionan las ventajas que éste presenta en cuanto a volumen y tamaño sin sacrificar desempeño.

La implementación completa de un módulo PWRSiP es reportada en [11]. Aquí no sólo se estudia el modelado del inductor, sino también la inducción de tensiones parásitas en distintas partes del circuito y cómo aislar el mismo para mejorar su

desempeño.

Sin embargo, para obtener una alta densidad de potencia y lograr valores de ondulación (*ripple*) de corriente y tensión razonables en un PWRSiP es necesario que el convertidor trabaje con frecuencias de conmutación en el orden del MHz. Al aumentar la frecuencia de conmutación los valores de inductancia y capacidad pueden reducirse sin incrementar los valores de *ripple*.

1.2. Sistemas de Potencia en Chip (PWRSoC)

A medida que la tecnología CMOS ha ido evolucionado hacia nano escalas cada vez más pequeñas, el diseño de sistemas completos en una pastilla de silicio (SoC *System on a Chip*) se ha hecho más factible y confiable, permitiendo incorporar mayor cantidad de funciones en una simple pastilla de silicio (*die*).

Por lo general los SoCs están compuestos por un núcleo dedicado al procesamiento intensivo de información y periféricos que manejan los puertos de entrada/salida y otras funciones.

El núcleo es la parte que trabaja a mayor velocidad y por ello es que se usan tensiones de alimentación cada vez más bajas; esto es debido a que el consumo de un circuito digital es proporcional al cuadrado de su tensión de alimentación. Al disminuir la tensión de alimentación se puede aumentar la frecuencia de reloj, lo que mejora el desempeño y velocidad; sin embargo, esto hace aumentar el consumo de corriente.

Generalmente, el núcleo de los SoCs trabaja en tensiones cercanas al Volt (1 V) y frecuencias por encima de los GHz, mientras que la comunicación con el mundo exterior se hace a más baja frecuencia y a tensiones mayores (entre 1.8 V y 5 V), que además de bajar el consumo mejoran la inmunidad al ruido.

Usualmente, el SoC es alimentado por dos o más fuentes externas, para satisfacer los requerimientos de tensión de los distintos bloques, lo que aumenta la cantidad de pines que son necesarios. Por ejemplo, un núcleo de 1 V/ 100 Watts consume 100 A y un gran número de pines son requeridos para poder suplir esa corriente, lo que incrementa el valor del encapsulado y el costo del montaje. Una alternativa sería alimentar al SoC con una tensión más alta y contar con un convertidor conmutado

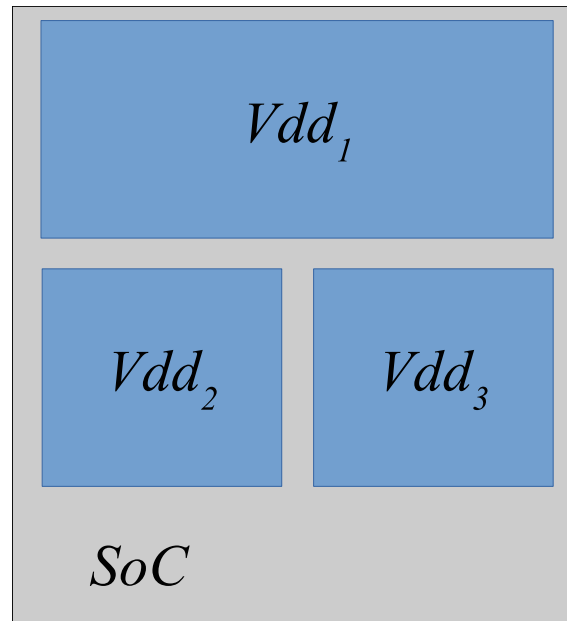


Fig. 1.4: SoC con diferentes dominios de tensión.

dentro del mismo SoC que la reduzca la tensión a 1 V. Ya que la eficiencia teórica del convertidor es del 100%, el producto tensión corriente se mantiene constante y de esta forma la corriente de entrada es menor, reduciendo la cantidad de pines necesarios, abaratando los costos del encapsulado.

El concepto de incorporar un convertidor de potencia en la misma pastilla de silicio para realizar administración de energía podría dar respuesta a los diferentes niveles de tensión que son necesarios en un SoC [12]. Esta clase de sistemas de Administración de Energía dentro del chip debe alcanzar una alta eficiencia energética sin comprometer el desempeño del sistema [13, 14], y por eso se deben implementar con convertidores conmutados, de lo contrario no habrá ventaja en la reducción de tensión.

Adicionalmente, como el consumo varía en forma directa a la tensión de alimentación, se pueden aplicar estrategias de administración de energía que permitan reducir el consumo. Tomemos como ejemplo una distribución de dominios de tensión en un SoC como se ve en la Fig. 1.4. Suponiendo que una parte del chip localizada en el dominio de V_{dd1} necesita realizar un cálculo de gran carga computacional, la tensión del mismo puede elevarse mientras que las tensiones de los otros dos dominios se mantienen sin cambios. Si al mismo tiempo los circuitos localizados en los

dominios V_{dd2} y V_{dd3} necesitan los datos que entrega el circuito del dominio V_{dd1} , los mismos se encontrarán ociosos hasta que estos datos arriben; por lo tanto, sus tensiones pueden disminuir a fin de minimizar su consumo. Este tipo de estrategia también requiere de varias fuentes de alimentación para cada dominio, y si se desea modificar el desempeño de cierto dominio en tiempo de ejecución las fuentes deben ser variables.

Por estos motivos, nuevamente, la posibilidad de tener un convertidor de potencia en la misma pastilla donde se encuentran los circuitos digitales resulta sumamente atractiva.

La fabricación de estos convertidores se lleva a cabo en tecnologías CMOS sub-micrónicas (por debajo de los 200 nm), las mismas que se utilizan para la fabricación de un SoC y su diseño e implementación suele ser un desafío. Para implementar un convertidor conmutado completamente integrado que utilice inductores y capacitores, la frecuencia de conmutación debe ser alta con el objetivo de alcanzar valores de *ripple* de tensión razonables. Al igual que en los convertidores discretos, los componentes pasivos son los que mayor superficie requieren, y el inductor es el más costoso desde el punto de vista de área.

Existe un tipo de convertidor conmutado, el convertidor a capacitores conmutados, que sólo requiere llaves y capacitores. Estos convertidores pueden ser integrados fácilmente debido a que no necesitan del inductor, puede lograr elevadas eficiencias, comparables con las de un convertidor conmutado con capacitores e inductores. Sin embargo, estos altos valores de eficiencia solo se alcanzan bajo determinadas condiciones de conversión donde la tensión de salida es un múltiplo de las posibles combinaciones serie/paralelo de los capacitores. Además, la eficiencia y la regulación se ven afectadas por la carga del convertidor. Por estas razones, este tipo de convertidores no es abordado en esta tesis [15, 16].

El tipo de convertidor que se busca integrar es el que posee tanto capacitores como inductores [17, 18]. Este tipo de convertidor conmutado ofrece una eficiencia teórica del 100% y no depende ni de la relación de transformación de los niveles de tensión ni tampoco, idealmente, de la carga. Al ser integrado en la misma pastilla de silicio, el convertidor se ve obligado a utilizar las mismas reglas de diseño que el resto del SoC. Por las reducidas dimensiones, la densidad de componentes pasivos

será baja. La imposibilidad de contar con un núcleo magnético fuerza el uso de inductores con núcleo de aire, donde su inductancia sólo dependerá de su forma y tamaño y tendrán valores de algunos nHy. La densidad de capacidad es relativamente mayor, ya que existe la posibilidad de que sean implementados con capacitores MOS, logrando alcanzar algunos nF.

Con estos valores de componentes pasivos, las frecuencias de conmutación de estos convertidores deben estar en el orden de los cientos de MHz a fin de mantener valores de *ripple* aceptables en las corrientes y tensiones del convertidor. Esto también representa un reto para el diseño del convertidor. Las tecnologías submicrónicas están optimizadas y pensadas para trabajar con circuitos en conmutación, por lo que el diseño de las llaves de potencia resulta factible y razonable. Sin embargo, los circuitos de control son mucho más complejos. Las altas frecuencias de conmutación implican que los circuitos de control, digitales o analógicos, deben ser incluso más veloces. Si bien la implementación de circuitos digitales es idónea en este tipo de procesos, la implementación de circuitos analógicos no lo es debido a la variabilidad del proceso, incluso dentro de la misma pastilla de silicio [19].

Los primeros convertidores conmutados completamente integrados fueron reportados en tecnologías de procesos orientadas a la radio frecuencia como silicio-germanio (SiGe) [20–22]. Esta elección se debía principalmente a dos factores, la capacidad de fabricar llaves rápidas debido al proceso y la posibilidad de integrar inductores gracias a un nivel de metal más grueso que mejoraba su factor de calidad. En la Fig. 1.5 se puede apreciar el convertidor fabricado.

A la izquierda en la Fig. 1.5(a) se puede ver la implementación de las llaves de potencia mientras que a la derecha en la Fig. 1.5(b) se muestra el inductor utilizado para el convertidor. En este proceso se logró una capacidad de 6 nF, un inductor de 11 nHy y una frecuencia de conmutación de 45 MHz.

Con el avance de los procesos CMOS, la disponibilidad de más niveles de metales y de un mayor espesor, la implementación de inductores se hizo más viable. De la misma forma, el incremento en las velocidades de los procesos permite la implementación de llaves de potencia. Estos avances posibilitan la implementación de convertidores completamente integrados en procesos CMOS estándar [23–26].

La Fig. 1.6 muestra un convertidor implementado en un proceso CMOS de $0,13\mu\text{m}$.

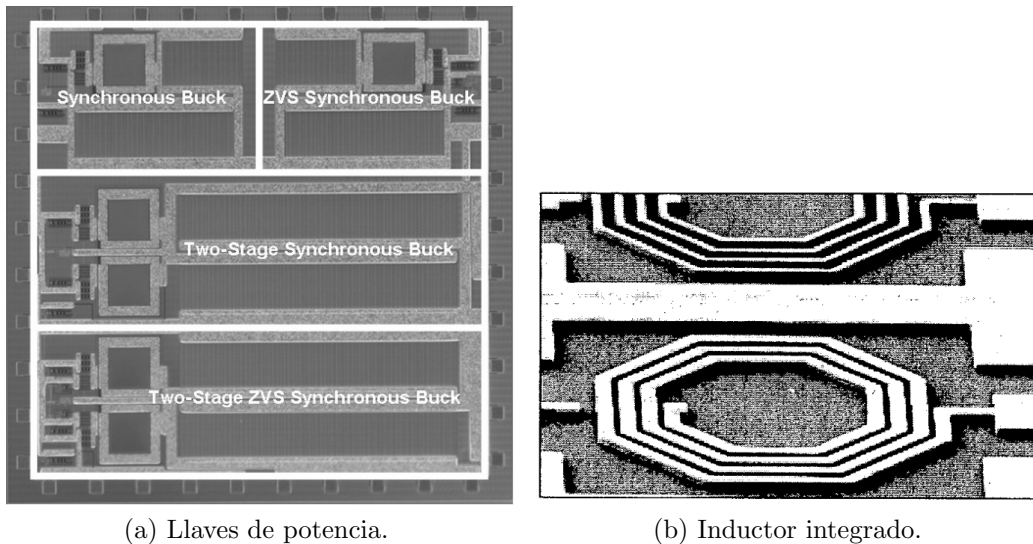


Fig. 1.5: Convertidor reductor (*buck*) entrelazado en SiGe $0,18\mu\text{m}$ [21].

Este trabajo [26] presenta un convertidor entrelazado con inductores acoplados con valores de 2 nHy , capacidades de entre $2\text{ y }4\text{ nF}$ y una frecuencia de conmutación de 170 MHz .

Los trabajos previos sólo implementan convertidores completamente integrados con eficiencias bajas comparadas con convertidores discretos. Sin embargo, el aporte de estos trabajos yace en demostrar la factibilidad de la implementación de convertidores completamente integrados.

Las topologías de convertidores presentadas anteriormente, reductoras *buck* o elevadoras *boost*, se basan en convertidores que sólo ofrecen una salida de tensión. Por otro lado, como se mencionó anteriormente, existe la posibilidad de que varias salidas sean necesarias para administrar diferentes dominios de tensión.

A fin de minimizar la cantidad de elementos pasivos, los convertidores SIMO (*Single-Inductor Multiple-Output*) pueden generar varios niveles de tensión continua (salidas elevadoras y reductoras) con un solo inductor. De esta manera el componente pasivo que más área requiere es reducido en número mientras que se obtiene la cantidad de salidas necesarias para alimentar las distintas partes del circuito.

Este tipo de topología sólo utiliza un inductor además de varias llaves y capacitores que se combinan dependiendo de la cantidad de salidas que sean necesarias. El hecho de usar un solo inductor le da una ventaja relativa a otros convertidores. Varios tipos de topologías son presentados, con salidas que pueden ser elevadoras

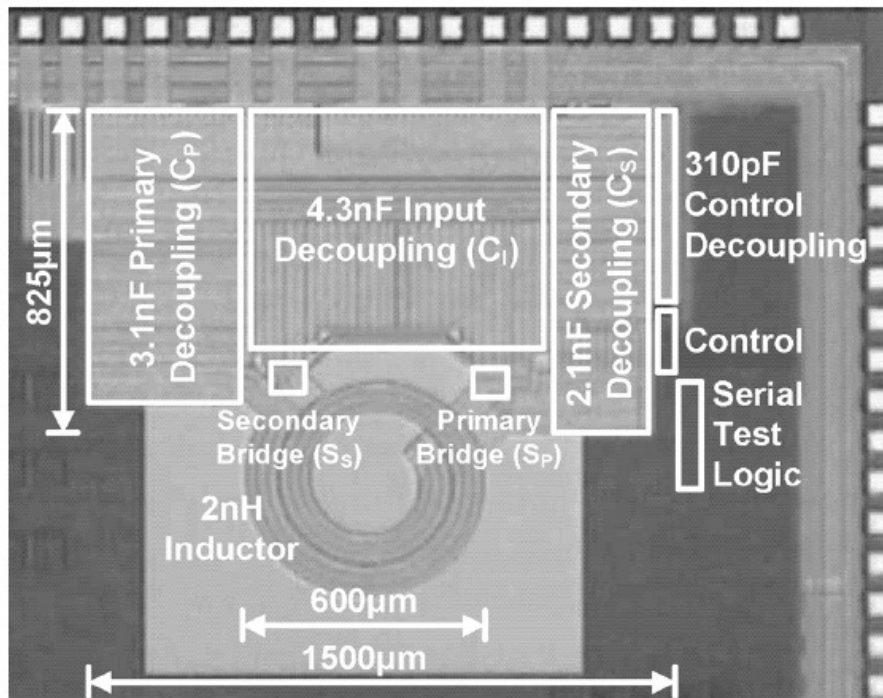


Fig. 1.6: Convertidor *buck* entrelazado con inductores acoplados en proceso CMOS [26].

o reductoras de tensión [27–30]. También se presentan innumerables estrategias de control, desde un control lineal hasta estrategias por histéresis [31–33].

Si bien existen muchas publicaciones donde se reportan convertidores SIMO integrados, generalmente los inductores y capacitores son componentes externos y no son integrados en la misma pastilla de silicio que el convertidor. Esto se debe a que la limitada densidad de elementos pasivos obliga a elevar las frecuencias de conmutación, por ende, los circuitos necesarios para el control también deben elevar su ancho de banda. Esta es la mayor limitante a la hora de integrar en forma completa un convertidor SIMO, ya que desde el punto de vista de elementos como llaves, capacitores e inductores no existe mucha diferencia con un convertidor completamente integrado de topología clásica.

1.3. Objetivos de la tesis

Las líneas previas presentan una breve introducción a la miniaturización de convertidores conmutados, los desarrollos actuales y los esfuerzos para reducir su tamaño a fin de acompañar la miniaturización que en la que está inmersa la electrónica en

general.

El objetivo de esta tesis de doctorado es profundizar sobre la problemática de integración de los convertidores; lo que se tratará en dos partes. La primera está orientada a sistemas de potencia empaquetados. En ella se aborda el diseño del filtro de un convertidor buscando su optimización, ya que su volumen es uno de los factores determinantes para definir el tamaño total del sistema. Se utilizará tecnología de cerámicas de baja temperatura de sinterizado (*Low Temperature Co-fired Ceramics*, LTCC) para implementar los inductores del filtro en conjunto con técnicas de minimización de ondulaciones (*ripple*) con inductores acoplados. El objetivo es minimizar la ondulación del convertidor manteniendo frecuencia de conmutación y tamaño del filtro.

En la segunda parte de la tesis se presentará el diseño un convertidor completamente integrado utilizando una topología de múltiples salidas con una única inductancia (SIMO por sus siglas en inglés), de manera de poder generar diferentes tensiones para alimentar distintos circuitos dentro de un mismo SoC. Al utilizar esta topología la cantidad de componentes pasivos disminuye y se libera área para ser utilizada para los circuitos de procesamiento del SoC. Técnicas de diseño de circuitos analógicos en tecnologías submicron para alta velocidad y bajo consumo serán utilizadas para maximizar la eficiencia energética del convertidor.

Finalmente, los avances presentados en la tesis son discutidos y evaluados. Junto con ellos, se plantean trabajos a futuro buscando profundizar en los avances y contribuir al conocimiento en materia de diseño y miniaturización de convertidores conmutados para PWRSiP y PWRSOC.

Capítulo 2

Administración de Energía en Sistemas Empaquetados con LTCC y Ripple-Steering

2.1. Introducción

El propósito de este capítulo es determinar la factibilidad de la utilización de la técnica de *ripple-steering* en tecnología de cerámica sinterizada a baja temperatura (*low temperature co-fired ceramics*, LTCC) y su aplicación para el diseño de filtros de convertidores conmutados. Se analiza un filtro de potencia con *ripple-steering*, el que luego es comparado con un filtro similar de 2^{do} orden con el mismo volumen. Los inductores acoplados son fabricados con LTCC magnética. Teniendo en cuenta las limitaciones del proceso de construcción, el acoplamiento de inductores simétricos no es comparable con el de inductores bobinados tradicionales, entonces se explora la implementación de inductores asimétricos. Se desarrolla un modelo para inductores acoplados asimétricos, extendiendo modelos previos para inductores simétricos que fueron propuestos en [34, 35].

2.1.1. Introducción a la tecnología LTCC

Los comienzos de la tecnología LTCC se encuentran a finales de los años 50, cuando se desarrolló con el fin de fabricar capacitores robustos [36]. Más tarde, en

1965, la idea se utilizó como sustrato para la fabricación de placas electrónicas [37].

El LTCC es una técnica de implementación de prototipado en película gruesa basada en vidrio y cerámicas dieléctricas, las que se distribuyen en forma de rollos de cinta cuyo coeficiente de encogimiento está apareado con el de pastas metálicas que se utilizan para la impresión de pistas en LTCC de tal manera de compatibilizar el sinterizado. Con esta tecnología se pueden construir circuitos multicapa e incluso 3D.

A fines de los 90s, la tecnología se posicionaba como la candidata para el desarrollo de módulos multicircuitos (*Multi-Chip Module*, MCM) [38] debido a sus varias ventajas:

- Posibilidad de producir pistas muy delgadas.
- Bajas resistencias de metalización.
- Excelentes características de radio frecuencia.
- Capacidad de diseños tridimensionales.
- Orificios de interconexión entre capas (vías) de diámetro pequeño.

Sin embargo, se planteaban dudas acerca del coeficiente de encogimiento, disipación térmica y el cambio del dieléctrico para aplicaciones de UHF. Todos estos interrogantes fueron abordados por investigadores, que contribuyeron a consolidar la tecnología.

Fabricantes como Murata [39] y Heraeus [40] ofrecen LTCC que sólo se encojen en dirección Z, reduciendo de esta forma el tiempo de diseño, ya que no se deben realizar corridas de prueba para obtener el coeficiente de encogimiento del material en forma experimental. Esta ventaja es muy buscada en el desarrollo de sistemas de RF, donde filtros, adaptaciones de impedancia e incluso antenas son implementadas por pistas, y sus dimensiones son cruciales para el buen funcionamiento.

La disipación térmica, un punto importante en el diseño de módulos multicircuitos (MCM), también fue objeto de investigación. Mediante la utilización de distintos diseños de vías, distintas pastas conductoras y un mejor diseño sobre el LTCC se logran mejoras en la capacidad de disipación del empaquetado [41–43].

La investigación en LTCC ha llevado al desarrollo de cintas LTCC especialmente orientadas a diseños de RF [44] y también LTCCs magnéticos que pueden ser utilizados para la implementación de inductores dedicados en sistemas MCM [45–47].

El proceso de fabricación de prototipos en LTCC consiste de varios pasos, la Fig. 2.1 muestra las etapas de la fabricación.

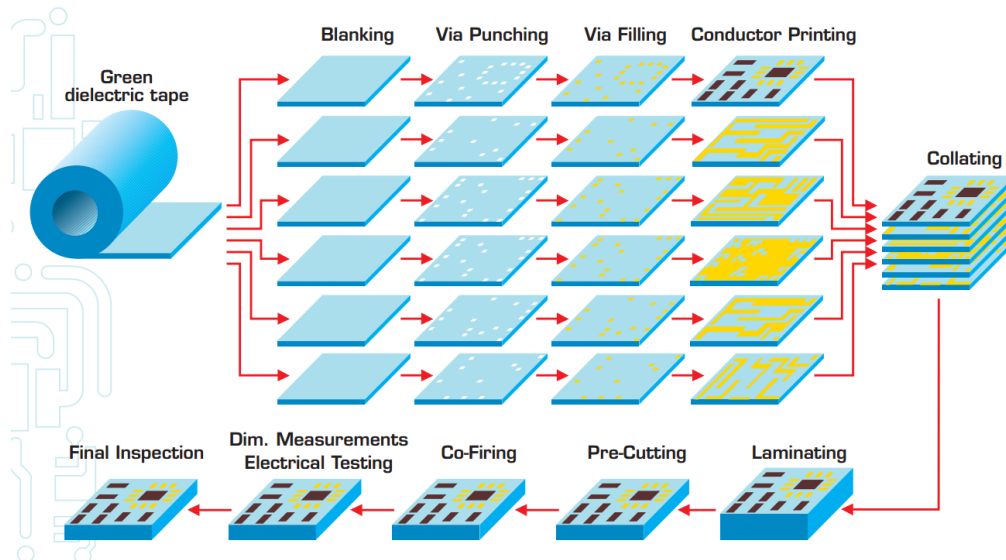


Fig. 2.1: Proceso de fabricación de LTCC [48].

El primer paso es la preparación de las láminas o cintas en verde (*green tape*), aquí se inspecciona el material en búsqueda de imperfecciones que puedan afectar el prototipo final. Luego se realiza el perforado de las vías (*via punching*), generalmente por una máquina perforadora (*punching machine*). En esta etapa no sólo se generan las vías, sino que también pueden generarse cortes internos en la estructura con la intención de generar cavidades en el prototipo final. Luego, se realiza el llenado de las vías (*via filling*), el mismo suele realizarse con pasta conductora específica para esta tarea, ya que su grado de viscosidad debe ser el adecuado para no escurrir.

La siguiente etapa es la impresión de las pistas conductoras. Se utiliza una pasta específica para este fin con una viscosidad diferente a la de la pasta de llenado de vías. La forma de transferir el diseño de las pistas a la cinta verde es mediante serigrafía, con una malla metálica en un marco que posee una máscara con el diseño a imprimir. Incrementando la cantidad de hilos de la malla se pueden lograr pistas de menor ancho.

Tanto el llenado de las vías como la impresión de los conductores requieren un

proceso de secado para evaporar los solventes que dan la viscosidad a las pastas.

Una vez que todas las capas están listas, se procede al ensamblaje del prototipo, se colocan todas las cintas juntas y alineadas. Luego son laminadas con una prensa a presión y temperatura controladas. Este paso es muy importante, ya que tiene gran influencia en el encogimiento que sufrirá el prototipo al momento de ser cocido.

Luego del laminado, se procede al corte del prototipo, el mismo puede ser realzado por cuchillo caliente (*hotknife*) o láser. El paso siguiente es el sinterizado, el cual es un proceso en el que se coloca al prototipo laminado y cortado en un horno. Se sigue un perfil térmico sugerido el fabricante del LTCC. Al seguir dicho perfil, el encogimiento del prototipo debería encontrarse dentro de los parámetros especificados por el fabricante.

Cuando el proceso de sinterizado está terminado, se realizan nuevas medidas para confirmar que el encogimiento del prototipo se encuentre dentro de los parámetros requeridos por el diseñador. También se realizan verificaciones eléctricas para comprobar que todas las conexiones internas se encuentren en buenas condiciones y no hayan sido afectadas en ninguna etapa de la fabricación.

Una vez que el diseño está listo, se puede proceder a montar los componentes externos. La Fig. 2.2 muestra las diferentes clases de componentes y las formas de montarlos y conectarlos con el sustrato LTCC.

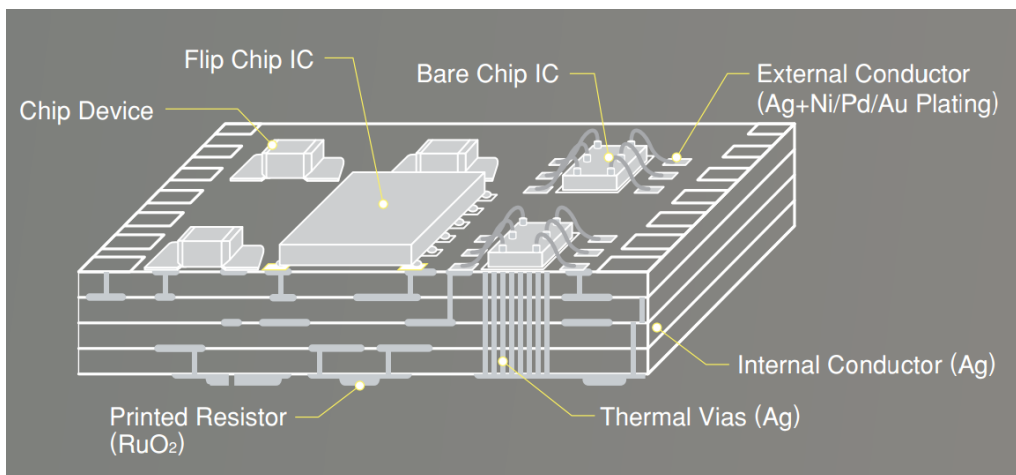


Fig. 2.2: Prototipo LTCC con componentes adicionales [48].

Se pueden adosar al diseño una gran variedad de componentes. Entre ellos se encuentran aquellos que son impresos directamente sobre el LTCC, estos se fabrican

con pastas especiales, que tienen características resistivas o dieléctricas, lo que da la posibilidad de generar resistores o capacitores. También se pueden adosar componentes SMD mediante métodos regulares de soldado.

Por último, queda la posibilidad de adosar pastillas de silicio (*die*) directamente sobre el LTCC. Dependiendo del tipo de *die* puede cambiar el método de conexión. Por ejemplo, si se tiene un conexionado del tipo *flip-chip*, donde el conexionado se realiza mediante pequeñas bolas de estaño, la conexión se realizará de la misma manera en la que se realiza con un empaquetado *flip-chip*.

Por otro lado, se puede conectar pastilla de silicio regular, donde conexiones de sus *pads* quedarán apuntando hacia arriba. En este caso, el *die* se adhiere al LTCC mediante un pegamento especial. Dependiendo de la disipación de potencia que tenga el *die*, se seleccionará un pegamento con capacidades de dilatación y transferencia de calor acorde al caso. Para mejorar la disipación de calor, es posible implementar vías que transmitan el calor de una cara del prototipo a otra, donde es posible generar una gran superficie metalizada que funcione como disipador. Finalmente, el conexionado eléctrico se realiza mediante *bondwire*.

Lo que diferenció al LTCC de otras técnicas de película gruesa, es que el LTCC permite trabajar todas las capas que conforman un prototipo en paralelo, unir las en un solo paso y por último sinterizarlas, dando un prototipo terminado. Mientras que otros procesos de película gruesa requerían un nuevo proceso de sinterizado o cocción por cada nueva capa adherida.

2.1.2. LTCC en Convertidores

Por la versatilidad que ofrece el sustrato LTCC, la idea de fabricar un módulo de potencia que contenga todos los componentes necesarios resulta muy plausible. En la bibliografía científica se pueden hallar varios artículos en los que se documenta el uso de LTCC como sustrato para la construcción de convertidores monolíticos. Debido a que el inductor es el componente de perfil más elevado en el convertidor, grandes esfuerzos en la investigación apuntan a minimizar su volumen.

En la literatura se evalúan las características de la LTCC magnética al momento de momento de cumplir las funciones de sustrato para un MCM de potencia. Varios

aspectos del diseño y fabricación de un convertidor sobre LTCC son analizados, desde la geometría del inductor hasta su eficiencia en un régimen de baja carga.

Los primeros reportes del uso de LTCC como sustrato fueron presentados en [49, 50]. Ambos artículos consideran que es factible el uso de LTCC magnético para la fabricación de inductores de bajo perfil. Hahn y otros [49] reportan una caracterización completa de un inductor y analizan su potencial como inductor de bajo perfil para convertidores. Mikura y otros [50] van un paso más allá y reportan resultados experimentales de un convertidor *buck* utilizando un inductor de bajo perfil fabricado en LTCC.

Lim y otros [51] presentan un convertidor de potencia donde el inductor es construido con un material LTCC magnético comercial. Ellos utilizan una metodología presentada anteriormente por Prieto [34], la cual está basada en la geometría del inductor y en la permeabilidad del núcleo para diseñar el inductor. Un inductor con una estructura diferente es analizado e implementado en [52, 53], donde un convertidor *buck* fue construido utilizando como llaves transistores de nitruro de galio (GaN). Una buena guía para el diseño de inductores en LTCC es presentada en [10, 54].

Se reportó por primera vez la construcción de inductores acoplados en tecnología LTCC por la época en que se comenzó a trabajar en esta tesis. En ese entonces se utilizó un sustrato magnético de LTCC para construir un transformador para un convertidor *flyback* [55]; al año, la implementación de un inductor acoplado para un convertidor *buck* entrelazado fue presentada en [10, 54], reportando una densidad de potencia de 1.5 kW/in³.

También es posible implementar aislación magnética en esta tecnología, como lo mostró Lee en 2010 [11] con un inductor aislado magnéticamente.

Los convertidores conmutados basados en LTCC operan a altas frecuencias, por encima del MHz, en principio limitados por la máxima inductancia que se puede fabricar actualmente a costos y tamaños razonables (unos 100 nH). Las corrientes que circulan por estas inductancias suelen tener una componente importante de *ripple* cuyo armónico principal está a la frecuencia de conmutación.

Estos materiales requieren nuevas técnicas de medición que combinen medidas de alta frecuencia con condiciones de polarización de continua para proveer información sobre permeabilidad y densidad de pérdidas en el núcleo bajo condiciones normales

de operación. La descripción de los materiales y métodos necesarios para el ensayo y caracterización de circuitos basados en LTCC son presentados en [56].

Esta tecnología no está limitada a laboratorios de investigación; algunos productos comerciales como [57–59] ya están utilizando sustrato LTCC y LTCC magnético para convertidores cc-cc completamente integrados que incorporan el inductor y las llaves de potencia en el mismo empaquetado. Sin embargo, estos productos utilizan una tecnología de llaves que les permite conmutar a velocidades de 2 a 5 MHz y manejar corrientes de varios Amperes. Esto representa un reto desde el punto de vista del semiconductor y también desde el punto de vista del control.

Los avances mencionados hasta ahora enfocan su contribución en el desarrollo y modelado de inductores LTCC para convertidores de potencia. Sólo unos pocos autores combinan la tecnología LTCC con topologías de convertidores más complejas [10, 54, 55].

En esta tesis se propone aumentar la densidad de potencia mediante el uso de una topología aún no evaluada en LTCC, que utiliza inductores acoplados en tecnología LTCC magnética. Al utilizar acoplamientos magnéticos puede reducirse el *ripple* de corriente en ciertos puntos del convertidor, minimizado de esta forma el *ripple* de tensión.

2.1.3. Topologías con Inductores Acoplados

En la competencia por incrementar la densidad de potencia de los convertidores conmutados, la primera opción es incrementar la frecuencia de conmutación, pero este camino alcanza rápidamente el límite tecnológico impuesto por los semiconductores. Estructuras de circuitos más elaboradas han sido propuestas para reducir el tamaño de los componentes magnéticos al mismo tiempo que se mantiene o mejora el desempeño general. Algunos ejemplos son topologías que incluyen estructuras entrelazadas combinadas con inductores acoplados [10, 60–62] y filtrado activo [63–65].

Durante la década de 1980 Čuk propuso una nueva topología de convertidor que utilizaba inductores acoplados para minimizar el *ripple* y el volumen de convertidores conmutados [66–68]. Sin embargo, esas técnicas no son ampliamente utilizadas porque se requiere una alta precisión al momento de fabricar los inductores neces-

rios para estos convertidores, lo que incrementa su costo. Esto es lo que motivó a Hamill en 1996 a desarrollar un filtro activo para convertidores cc-cc con inductores acoplados para aplicaciones aeroespaciales [64]; el filtro contaba con cancelación de *ripple* basada en lazos anticipativos de realimentación (*feedforward* y *feedback*). Incluso cuando el *ripple* y el volumen del inductor son reducidos, la eficiencia del convertidor disminuye a causa de la pobre eficiencia de los amplificadores lineales utilizados para la cancelación del *ripple*.

En 1999, Hamill y Krein [69] escribieron un tutorial sobre cancelación de *ripple* utilizando inductores acoplados, una técnica que también es llamada *ripple-steering*. Una versión extendida de este trabajo fue publicada recientemente en [70], donde una breve reseña histórica muestra que la técnica de *ripple-steering* ha sido utilizada y redescubierta con diferentes nombres y para diferentes aplicaciones desde los principios de la era electrónica. El *ripple-steering* puede mejorar el desempeño de un filtro; pero desafortunadamente, es muy sensible al coeficiente de acoplamiento. Un ejemplo de su aplicación en un filtro de salida de un convertidor reductor (*buck*) puede encontrarse en [70]. Tal vez esta técnica comience a ser usada con más frecuencia, ya que casi para la misma época aparecieron en el mercado de componentes electrónicos los inductores acoplados empaquetados. Estos inductores son bobinados con técnicas constructivas que permiten tener cierta certeza de su constante de acoplamiento y demás parámetros circuitales.

En esta tesis se reflota una vez más la técnica de *ripple-steering*, pero ahora se trata de evaluar si resulta factible su aplicación a filtros de potencia para convertidores conmutados implementados en tecnología LTCC. Se espera demostrar que es posible implementar la técnica de *ripple-steering* en cerámicas de baja temperatura de sinterizado (Low Temperature Co-fired Ceramic (LTCC)) y que empleando un filtro con *ripple-steering* es posible reducir el volumen del convertidor con respecto del que ocuparía el mismo convertidor con un filtro LC.

2.1.4. Filtros de Salida de un Convertidor Buck

Tres posibles topologías de filtros que pueden ser utilizadas como filtro de salida de un convertidor buck se muestran en la Fig. 2.3; desde arriba hacia abajo se puede

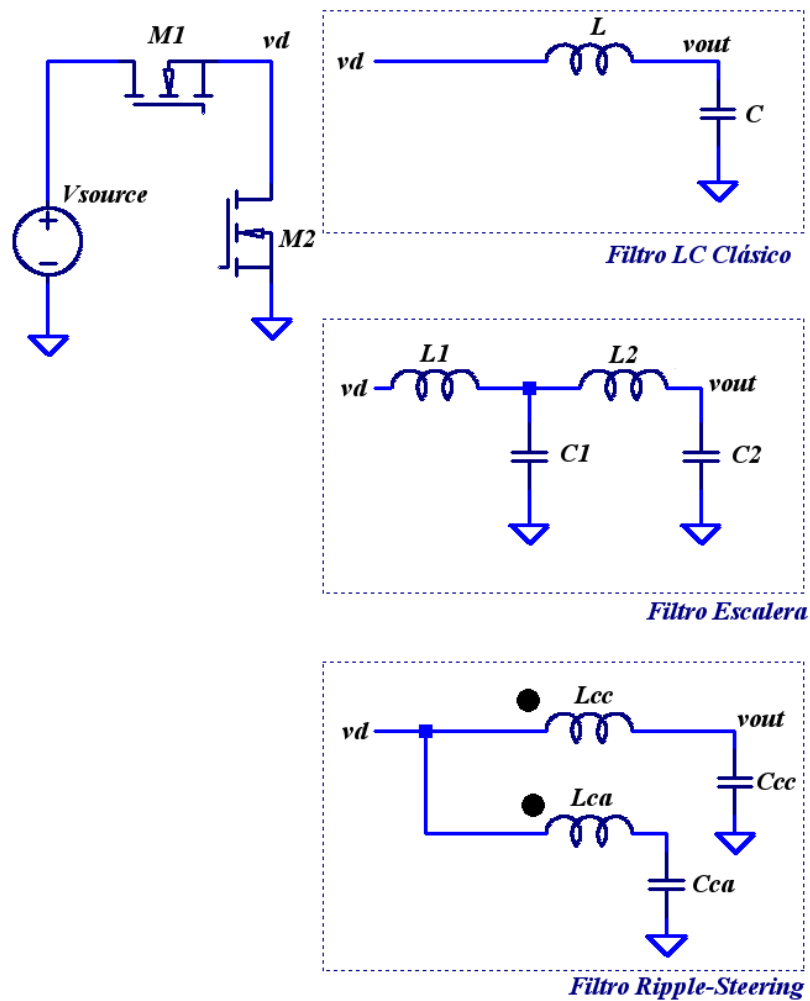


Fig. 2.3: Tres posibles filtros de salida para un convertidor buck.

ver un filtro clásico pasabajos LC de 2^{do} orden, un filtro cascada pasabajos de 4^{to} orden y un filtro pasabajos con *ripple-steering*. El propósito de esta sección es el de determinar cuál de estas topologías es la mejor para minimizar el *ripple* de la tensión de salida del convertidor cuando es implementado en tecnología LTCC.

Los filtros están caracterizados por el módulo de sus ganancias mostrados en el gráfico de la Fig. 2.4; las curvas se identifican con colores como sigue. Azul para el filtro de 2^{do} orden LC clásico, verde para el filtro escalera o cascada de 4^{to} orden y rojo para el filtro con *ripple-steering*. Para analizar sólo el comportamiento de los filtros, se muestra su respuesta a lazo abierto y sin cargas o resistencia parásitas.

El filtro LC de 2^{do} orden es el más utilizado como filtro de salida de convertidores

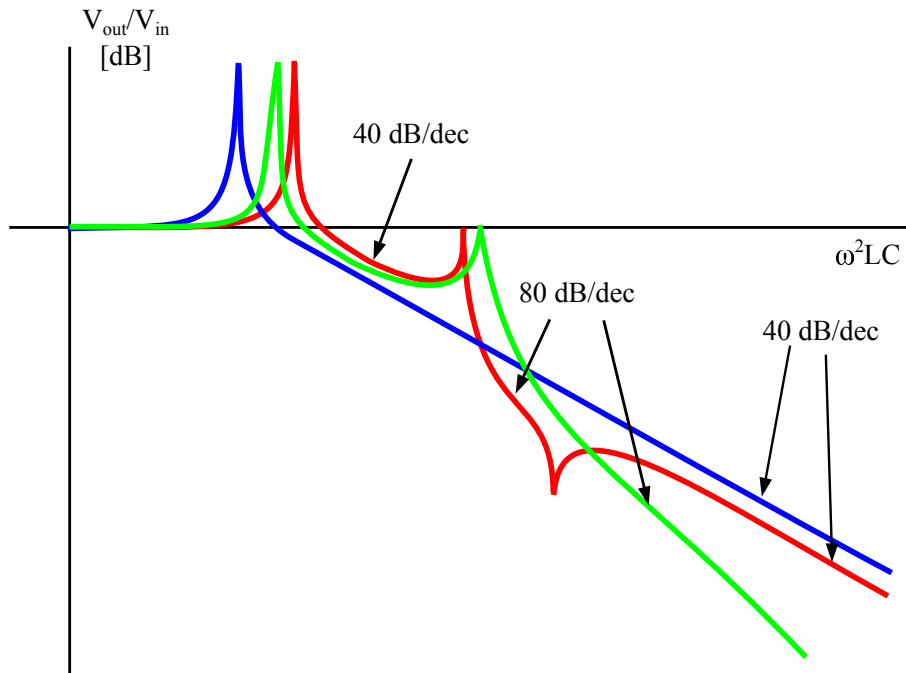


Fig. 2.4: Gráficos de Bode comparativos. Filtro LC clásico (azul), filtro escalera (verde) y filtro *ripple-steering* (rojo).

reductores (*buck*). Tiene una función transferencia de 2^{do} orden con sólo dos polos complejos conjugados (cuando la carga es nula). La contribución total de fase de los dos polos es de 180 grados y la misma se alcanza aproximadamente una década después de la frecuencia de los polos. Esta contribución de fase debe ser tomada en cuenta al momento de diseñar el control.

El filtro cascada o escalera tiene una función transferencia de 4^{to} orden; su contribución total de fase es un desplazamiento de 360 grados. Usualmente, el lazo de realimentación se cierra después de la primera etapa LC para simplificar el control, dejando la segunda etapa LC a lazo abierto. Puede cerrarse el lazo en la salida de la segunda escalera, pero el orden del filtro incrementa la dificultad comparado con un filtro LC sencillo. Una realimentación completa de estados puede ser utilizada para obtener un buen desempeño, pero la misma requeriría sensar las cuatro variables de estado o generarlas a partir de estimadores. Debido que las estrategias de control para estos filtros suelen ser más complejas que las utilizadas en filtros LC simples, no son muy utilizados como filtro de salida de convertidores tipo *buck*.

El filtro con *ripple-steering* es el menos usual. A diferencia de los filtros anteriores, se implementa utilizando inductores acoplados. Su función transferencia consta de

dos pares de polos y un par de ceros, los que lo convierten en un sistema de 2^{do} orden bajo ciertas circunstancias. La misma estrategia de control utilizada en un filtro clásico LC de 2^{do} orden puede entonces ser utilizada en un filtro con *ripple-steering* si es diseñado correctamente. La atenuación que se puede obtener de un filtro con *ripple-steering* puede ser mayor que la de un filtro LC de 2^{do} orden, pero menor a la de un filtro cascada de 4^{to} orden.

El filtro con *ripple-steering* se convierte entonces en una solución de compromiso entre una mayor atenuación y una estrategia de control más sencilla, mejorando el desempeño en cuanto al *ripple* del convertidor con un simple cambio en el diseño del filtro sin complicar el lazo de control.

2.2. Modelo de Inductores Acoplados en LTCC

Varios artículos científicos que tratan el modelado de LTCC pueden ser encontrados en la literatura; ellos describen la forma de calcular el camino magnético, su relación con la inductancia y cómo la saturación del núcleo afecta los valores de inductancia [10,34,52]. Generalmente se llega a una ecuación que describe inductancia por metro y al multiplicar ésta por el largo del inductor se puede obtener el valor total de inductancia [34].

2.2.1. Inductores en LTCC

Los inductores para fuentes conmutadas usualmente se fabrican como se muestra en la Fig. 2.5, donde un conductor es bobinado sobre un núcleo, preferentemente magnético a fin de aumentar la inductancia.

La corriente i genera una fuerza magneto motriz que produce el flujo magnético ϕ . Asumiendo que la permeabilidad magnética del núcleo es constante, la inductancia se define como

$$L = \frac{\phi}{i}. \quad (2.1)$$

Luego, la caída de tensión sobre el bobinado se encuentra dada por

$$e = \frac{d\phi}{dt}. \quad (2.2)$$

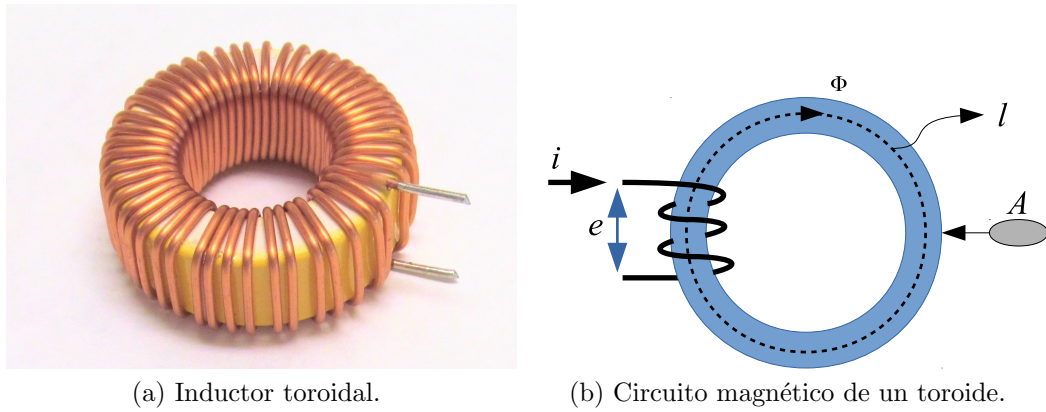


Fig. 2.5: Inductor bobinado.

De acuerdo a la ley de Lenz, la tensión inducida en bornes del bobinado es opuesta a la que la genera.

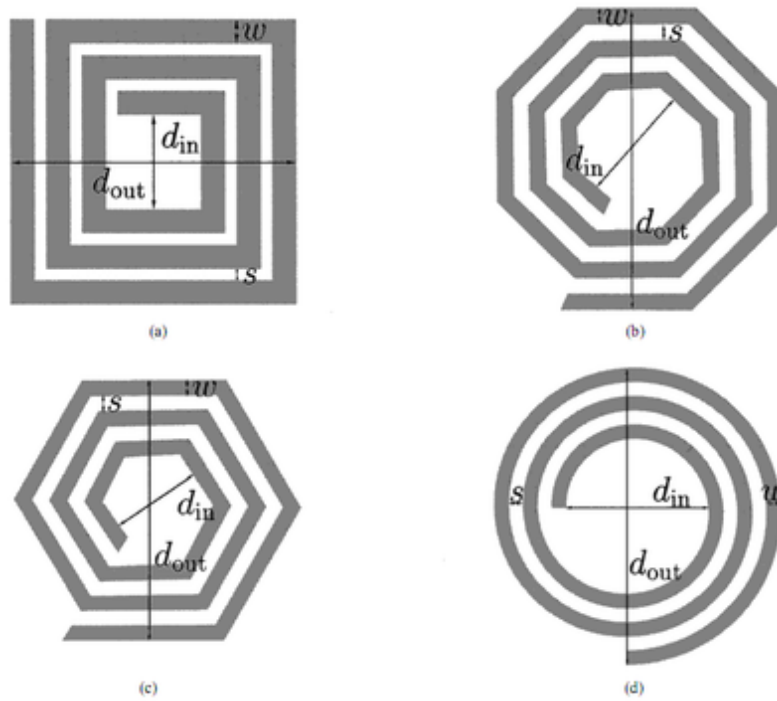
Por otro lado, al momento de implementar inductores de alta frecuencia como los que se implementan en circuitos integrados, la forma del mismo cambia. Cuando un inductor debe ser implementado en circuitos integrados, se recurre a inductores espirales.

Esta clase de inductor resulta de generar una espiral en el sustrato, como se ve en la Fig. 2.6

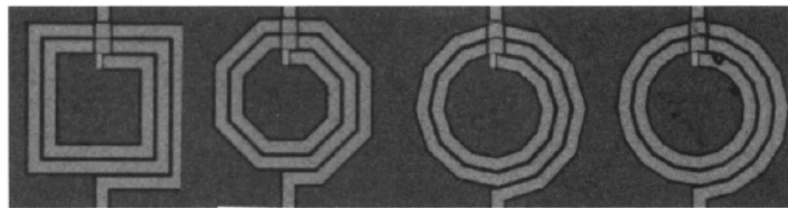
Por su implementación, el valor de estos inductores está sólo determinado por su geometría. Al tener núcleo de aire, su valor inductivo no se ve afectado por la saturación o no linealidades del núcleo, cualidades que los hacen buenos candidatos para aplicaciones de RF. Sin embargo, la falta de un núcleo da como resultado valores de inductancia bajos.

Por último, queda analizar los inductores en LTCC orientados a convertidores conmutados, que son parte principal de este capítulo. Estos inductores tienen una construcción como la que se ve en la Fig. 2.7. La forma del inductor de la figura es muy diferente a un inductor bobinado o un inductor espiral. La disponibilidad de cerámicas magnéticas posibilita la fabricación del núcleo, mientras que el conductor se implementa en pastas conductoras (plata u oro).

En la Fig. 2.7 se ve la forma de un inductor en LTCC para aplicaciones de potencia. La estructura difiere de la de inductores mencionados anteriormente y se comporta como un inductor de una sola espira. La estructura minimiza de esta manera las pérdidas por conducción al minimizar el largo del conductor y maximizar



(a) Inductores espirales de distintas formas.



(b) Implementación en silicio.

Fig. 2.6: Inductores espirales en circuitos integrados [71, 72].

su sección.

Al rodear el conductor por material magnético, el flujo generado por el conductor es canalizado a través del núcleo, lo que aumenta el valor de inductancia. La inductancia resultante será proporcional al espesor del núcleo y al largo del conductor. El procedimiento para obtener el valor de inductancia se detalla a continuación.

2.2.2. Inductores Acoplados Simétricos

Un análisis sobre inductores simétricos acoplados fabricados en LTCC fue desarrollado en [10], donde se muestran los resultados de simulación de varias estructuras diferentes de inductores. Las estructuras compuestas por conductores superpuestos uno sobre el otro mostraron un coeficiente de acoplamiento más elevado que el resto. Un modelo que describe esta estructura de inductores fue desarrollado consideran-

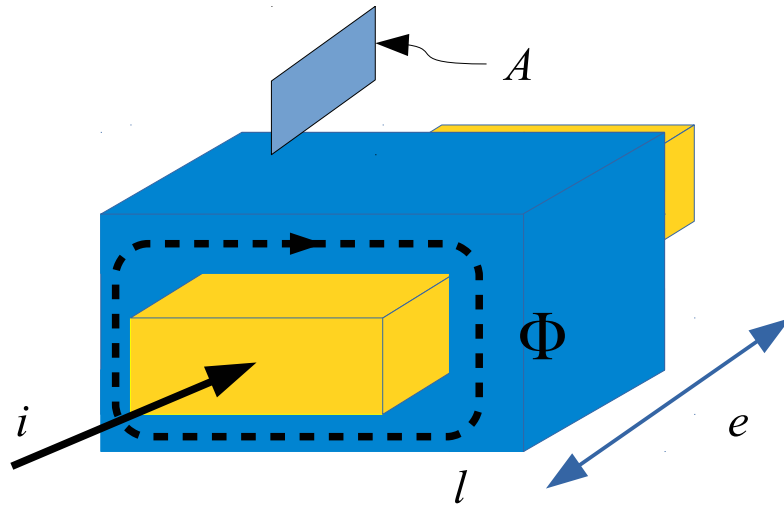


Fig. 2.7: Inductor en LTCC.

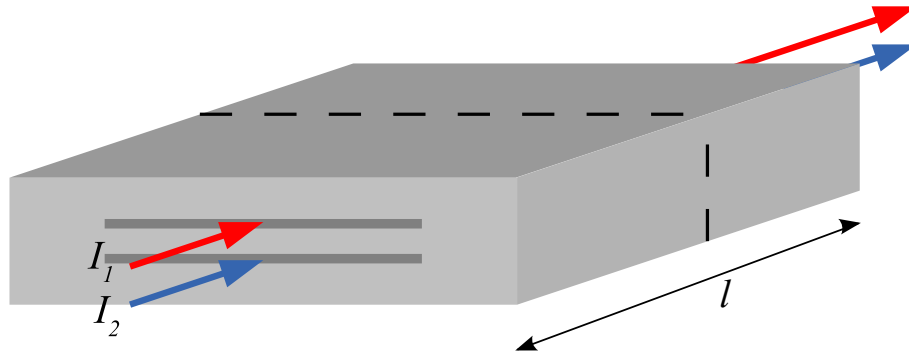
do dos conductores del mismo largo, uno encima del otro y rodeados por LTCC magnético. La forma de este tipo de inductores puede verse en la Fig. 2.8 que muestra la estructura de los inductores acoplados y la corriente que circula por ambos conductores. En la Fig. 2.8(b) se muestra la sección transversal del inductor en el corte determinado por la línea punteada de la Fig. 2.8(a). Aquí, w corresponde al ancho del conductor, d_1 es la distancia entre ambos conductores y d_2 es la distancia que existe entre el borde del conductor superior y el límite superior del cuerpo magnético del inductor.

Es posible llegar a un modelo sencillo simplificando la descripción del camino magnético. Como es descrito en [10], la cantidad de material magnético a los lados de los conductores es mucho mayor que la que está por debajo y por encima de ellos; entonces su reluctancia será despreciable comparada con la reluctancia que presenta el material magnético que está por encima y por debajo de los conductores. De esta manera, al momento de calcular el camino magnético puede ser despreciado el material a los costados de los conductores.

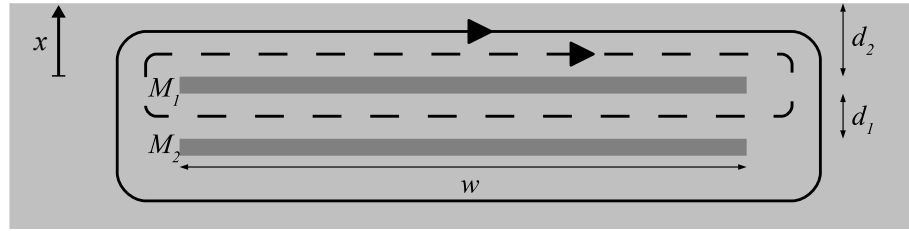
El cálculo del valor de inductancia de la estructura de la Fig. 2.8 parte del análisis del flujo generado por los conductores, el cual se define como:

$$\phi_0 = \frac{NI}{R_{m0}}, \quad (2.3)$$

donde I es la corriente que circula por el conductor y N es el número de vueltas



(a) Cuerpo de los inductores acoplados simétricos.



(b) Sección de los inductores acoplados simétricos.

Fig. 2.8: Inductores acoplados simétricos en LTCC.

del conductor, con un valor igual a uno (1) para este tipo de estructura. R_{m0} es la reluctancia que representa el núcleo y es inversamente proporcional al valor de inductancia.

La permeancia se define como la inversa de la reluctancia, es decir $P_{m0} = 1/R_{m0}$. La misma define la capacidad de conducción de campo magnético por el núcleo. Debido a que el campo decrece con el cuadrado de la distancia del conductor que lo genera, se plantea un cálculo de la permeancia utilizando un diferencial de permeancia que es dependiente de la distancia del diferencial con respecto al conductor que genera el campo.

El diferencial de camino magnético puede expresarse como

$$dP_{m0} = \frac{\mu dx}{(w + 2x)(1 + 1/n)}. \quad (2.4)$$

Aquí, $\mu = \mu_0 \times \mu_r$ donde μ_r es la permeabilidad relativa del LTCC magnético, x es la dirección en la que se realizará la integral y $n = (d_2 + d_1)/d_2$ es utilizado para representar la relación distinta entre el camino magnético sobre y por debajo del conductor. Evaluando la integral se obtiene

$$P_{m0} = \int_0^{d_2} \frac{\mu dx}{(w + 2x)(1 + 1/n)}. \quad (2.5)$$

Sabiendo que la inductancia se define como $L = \phi/I$ se puede definir para la estructura propuesta una inductancia por metro $L_0 = \phi_0/I$, que es igual a P_{m0} . Entonces,

$$L_0 = \mu \frac{(d_2 + d_1)}{2(2d_2 + d_1)} \ln\left(1 + \frac{2d_2}{w}\right), \quad (2.6)$$

dando la inductancia por metro lineal. Al multiplicar L_0 por la longitud del inductor l se obtiene la inductancia propia del conductor, dando como resultado

$$L_{propia} = l \frac{\mu(d_2 + d_1)}{2(2d_2 + d_1)} \ln\left(1 + \frac{2d_2}{w}\right). \quad (2.7)$$

El acoplamiento magnético entre ambos inductores puede ser calculado a partir de las dimensiones de la estructura como:

$$k_C \simeq \frac{d_2}{d_2 + d_1}. \quad (2.8)$$

Aquí, k_C es definido como el “coeficiente de acoplamiento constructivo”, ya que sólo depende de las dimensiones constructivas de los conductores, de la cantidad de material magnético que hay entre los conductores y la que hay sobre ellos. Esta última ecuación es válida si el núcleo magnético que rodea a los conductores no está saturado. Si el núcleo se satura en cualquier punto el modelo es inexacto, ya que el μ efectivo de esa sección decrece y por lo tanto el flujo magnético también lo hace. El núcleo debe ser lo suficientemente grande para evitar saturarse en condiciones normales de trabajo.

Cuando los inductores están acoplados magnéticamente utilizando tecnología LTCC, la situación es un poco diferente a la que se da cuando dos inductores están acoplados en un transformador bobinado convencional. Esto se debe a la estructura planar y a la dispersión de parámetros en la fabricación de inductores en LTCC. En realidad con tecnología LTCC convencional el coeficiente de acoplamiento que se puede alcanzar se encuentra en el rango de 0.4 a 0.95, mientras que en un transformador bobinado convencional dicho coeficiente supera fácilmente el valor de 0,95.

Aun cuando el modelado de inductores acoplados en LTCC es un tema recurrente, todas las publicaciones previas se enfocan en modelar inductores acoplados simétricos con la idea de utilizar los inductores en convertidores entrelazados, como se reporta en [10].

Un filtro de potencia con *ripple-steering* será analizado en la Sec. 2.3 utilizando inductores acoplados asimétricos. Ya que no existe un modelo desarrollado para esta situación, la próxima subsección está dedicada a extender los modelos desarrollados por [10,34] para aplicarlos en inductores acoplados asimétricos.

2.2.3. Inductores Acoplados Asimétricos

Consideremos el caso de dos inductores planares asimétricos que están acoplados magnéticamente, teniendo uno de sus conductores más largo que el otro; tal como se muestra en Fig. 2.9. En la figura se pueden observar el cuerpo de los inductores acoplados y las corrientes que fluyen a través de ambos conductores. La vista tridimensional (3-D) de los inductores acoplados y sus corrientes es mostrada en la parte superior de la figura. En la parte baja de la figura se puede ver la sección transversal de un corte realizado en la línea punteada, en ella se distinguen los conductores y las corrientes que fluyen a través de ellos. La estructura es evaluada utilizando un software de simulación por elementos finitos para ser capaces de comprender los campos magnéticos que se producen bajo estas condiciones.

El resultado de la simulación es mostrado en las figuras 2.10, 2.11(a) y 2.11(b), donde la densidad de flujo magnético generado por las corrientes que fluyen a través de ambos conductores es graficada con diferentes colores, dependiendo de su magnitud. La Fig. 2.10 muestra una vista superior de la densidad de flujo magnético de los inductores acoplados. La zona roja en la superficie del cuerpo de los inductores acoplados representa el lugar donde los flujos generados por ambos conductores son aditivos entre ellos.

Las figuras 2.11(a) y 2.11(b) muestran la vista de la densidad de flujo en las secciones transversales. Cuando ambos conductores se superponen, como se muestra en la Fig. 2.11(a), los flujos generados por ambos conductores se suman el uno al otro en la parte externa del cuerpo de los inductores acoplados y se sustraen

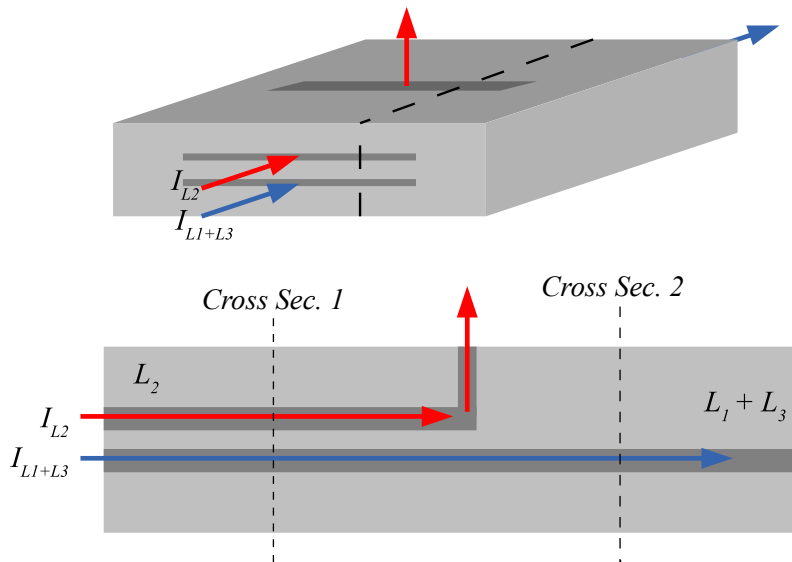


Fig. 2.9: Inductores acoplados asimétricos propuestos. También se muestran secciones transversales 1 y 2.

mutuamente en el espacio que queda entre ambos conductores. Esta situación puede verse reflejada en la densidad de flujo resultante en la sección transversal. En el otro extremo de la estructura, en el corte de la sección transversal 2, sólo hay un conductor. La densidad de flujo es menor, como lo muestra la Fig. 2.11(b), ya que un solo conductor genera campo magnético.

Estos resultados de simulación confirman que los flujos magnéticos generados por ambos conductores interactúan solamente cuando los conductores están superpuestos, permitiendo introducir el siguiente modelo para inductores acoplados asimétricos.

De (2.7) se puede notar que la inductancia propia de cada conductor no depende del otro conductor. Entonces, la inductancia propia de la parte superpuesta de ambos conductores y la inductancia propia de la parte del conductor que no se superpone del conductor más largo, todas pueden ser obtenidas usando (2.7). Luego, la inductancia propia completa del conductor más largo es la suma en serie de dos inductancias diferentes, L_1 que es la inductancia propia de la parte superpuesta del conductor y L_3 que es la inductancia que corresponde a la parte no superpuesta del conductor. La inductancia propia del otro conductor puede obtenerse utilizando la misma ecuación, reemplazando l por el largo del conductor. Luego, el modelo 3-D se comporta como el circuito equivalente constructivo mostrado a la izquierda de

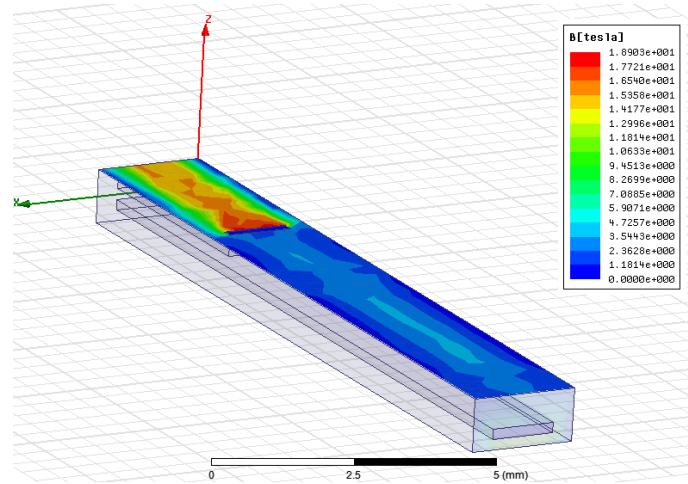


Fig. 2.10: Densidad de flujo en la superficie superior. La zona roja muestra donde se suman los flujos generados por ambos conductores.

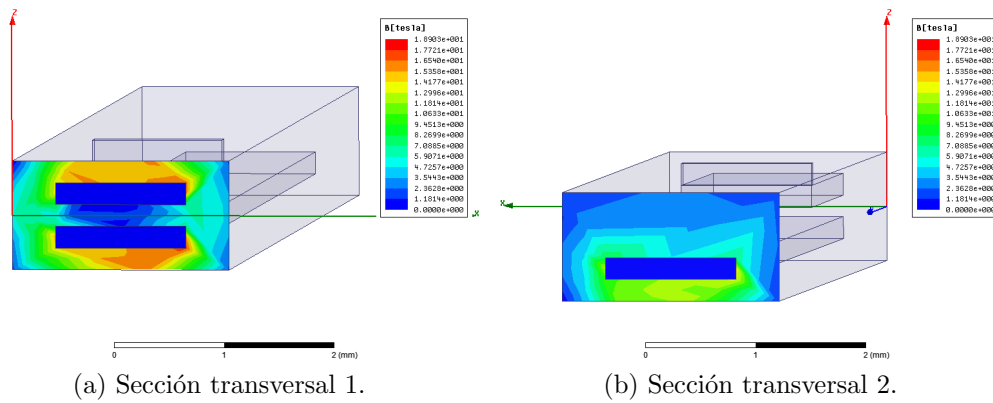


Fig. 2.11: Densidad de flujo en las secciones transversales 1 y 2 de la Fig. 2.9.

la Fig. 2.12. El propósito ahora es derivar un modelo matemático para inductores acoplados asimétricos. Consideremos el circuito esquemático mostrado a la derecha de la Figura 2.12 y encontremos un modelo equivalente.

Basado en el esquemático constructivo, el modelo matemático puede ser escrito como:

$$\begin{aligned} V_1 &= sI_1(L_1 + L_3) + sI_2M \\ V_2 &= sI_1M + sI_2L_2. \end{aligned} \quad (2.9)$$

Aquí, L_1 tiene la misma inductancia que L_2 ya que son constructivamente idénticas.

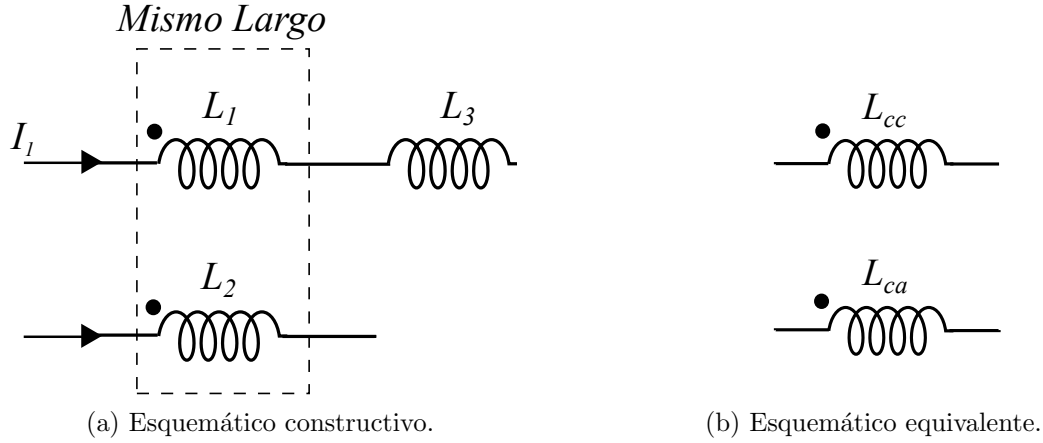


Fig. 2.12: Modelo circuital para inductores acoplados asimétricos.

Por otro lado, la inductancia mutua se define como

$$M = k_C \sqrt{L_1 L_2}, \quad (2.10)$$

y k_C es definido por la ecuación (2.8).

Las ecuaciones para el circuito equivalente son:

$$\begin{aligned} V_1 &= sI_1 L_{cc} + sI_2 M_{eff} \\ V_2 &= sI_1 M_{eff} + sI_2 L_{ca}. \end{aligned} \quad (2.11)$$

donde M_{eff} es la inductancia mutua efectiva. Como los dos circuitos son equivalentes sus componentes también lo son; entonces, se puede decir que $L_{cc} = L_1 + L_3$ y que $L_{ca} = L_2$. La inductancia mutua efectiva se define como

$$M_{eff} = k_{eff} \sqrt{L_{cc} L_{ca}}. \quad (2.12)$$

Como la interacción entre campos magnéticos sólo tiene lugar entre L_1 y L_2 , entonces

$$M = M_{eff}. \quad (2.13)$$

Reemplazando (2.10) y (2.12) en (2.13) puede obtenerse la expresión para k_{eff}

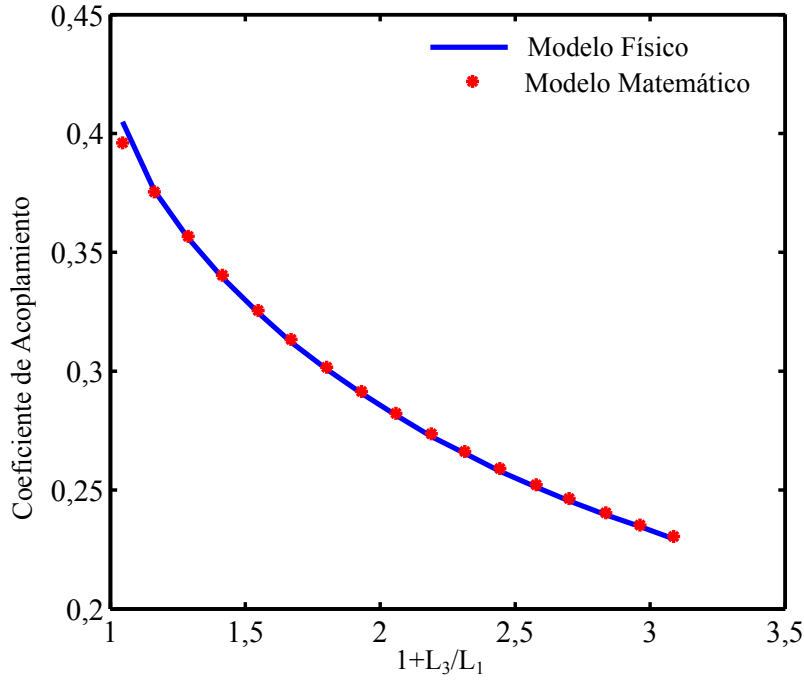


Fig. 2.13: Resultados de la simulación de elementos finitos. (—) Modelo físico. (●) Modelo matemático.

como

$$\begin{aligned}
 M &= M_{eff} \\
 k_C \sqrt{L_1 L_2} &= k_{eff} \sqrt{(L_1 + L_3) L_2}
 \end{aligned}
 \tag{2.14}$$

entonces,

$$k_{eff} = k_C \sqrt{\frac{L_1}{L_1 + L_3}}.
 \tag{2.15}$$

donde k_C es el coeficiente de acoplamiento constructivo. Este coeficiente es definido por la cantidad de material magnético que se encuentra por encima y entre los dos conductores (2.8) y es independiente de la relación entre los largos de los conductores.

Se realizó una simulación basada en un modelo de elementos finitos, que consistió en variar el largo de uno de los conductores mientras que el largo del otro conductor se mantuvo constante. Como puede verse en Fig. 2.13, los modelos matemático y físico predicen valores similares de coeficiente de acoplamiento, validando de esta manera el modelo propuesto para distintos largos de conductor. Estos resultados muestran que el coeficiente de acoplamiento entre ambos inductores se degrada conforme a la relación entre las longitudes de ambos conductores.

Ahora se procederá a realizar la comparación del volumen de un par de inductores acoplados y el volumen de un inductor simple. Para mantener el volumen constante, el valor de inductancia del conductor más largo de la estructura de los inductores acoplados es comparado con la inductancia de una estructura del mismo largo con un solo conductor.

L_{simple} es definido como un inductor simple con el mismo volumen que los inductores acoplados; esto significa que tiene el mismo largo que L_{cc} y la misma sección transversal que los inductores acoplados. La principal diferencia radica en la posición del conductor. L_{simple} será definida como sigue

$$L_{simple} = l \frac{\mu}{4} \ln\left(1 + \frac{2d_2 + d_1}{w}\right), \quad (2.16)$$

donde l , d_1 y d_2 tienen los mismos valores que en (2.7). Para comparar ambos inductores, se evalúa la relación de inductancias como

$$\frac{L_{simple}}{L_{cc}} = \frac{l \frac{\mu}{4} \ln\left(1 + \frac{2d_2 + d_1}{w}\right)}{l \frac{\mu(2d_2 + d_1)}{2(2d_2 + d_1)} \ln\left(1 + \frac{2d_2}{w}\right)} \quad (2.17)$$

$$\frac{L_{simple}}{L_{cc}} = \frac{2(d_2 + d_1)}{2d_2 + 2d_1} \frac{\ln\left(1 + \frac{2d_2 + d_1}{w}\right)}{\ln\left(1 + \frac{2d_2}{w}\right)}. \quad (2.18)$$

Aquí, si $d_2 \gg d_1$ la primera parte de la ecuación tiende a uno y si $w \gg d_2$ el segundo término de la ecuación tiende a uno también. Estas condiciones se cumplen habitualmente para la mayoría de los inductores fabricados en LTCC, por lo tanto se puede decir que $L_{cc} \approx L_{simple}$. Este resultado implica que a volumen constante en el cuerpo del inductor, la inductancia equivalente del conductor más largo de los inductores acoplados, L_{cc} , es aproximadamente igual a la inductancia de L_{simple} . Para el siguiente análisis se considerará que $L_{cc} = L_{simple}$.

El modelo para inductores acoplados asimétricos desarrollado en esta sección será utilizado para analizar la factibilidad de la utilización de la técnica de *ripple-steering* en inductores fabricados en LTCC.

2.3. *Ripple-Steering* en LTCC

La técnica *ripple-steering* es analizada en esta sección desde un punto de vista de implementación en LTCC. El modelo de inductor presentado en la sección previa es aplicado al análisis de *ripple-steering* realizado en [70] para determinar si la técnica de *ripple-steering* tiene aplicaciones potenciales en LTCC. Una vez que se prueba que la técnica puede funcionar en tecnología LTCC, un análisis de su implementación es llevado a cabo.

2.3.1. Introducción al *Ripple-Steering* y Análisis de Factibilidad de su Implementación en Tecnología LTCC

En esta tesis sólo se presenta una breve explicación de la técnica de *ripple-steering*. El concepto básico de *ripple-steering* para un sistema ideal y para uno real basado en inductores acoplados bobinados tradicionalmente es establecido en [70]. El sistema real es modelado como un filtro pasa bajos cuya función transferencia tiene dos pares de polos imaginarios y un par de ceros.

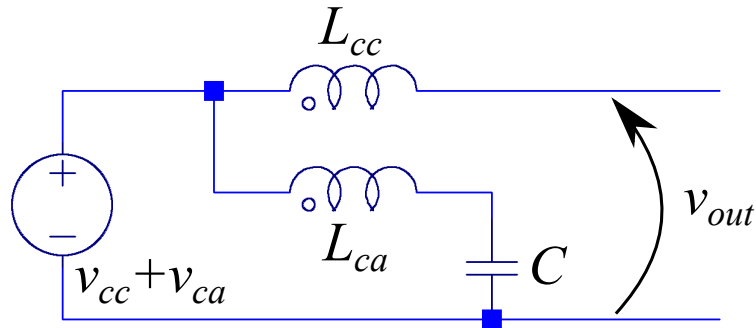


Fig. 2.14: Bloque básico de *ripple-steering*.

La topología del filtro con *ripple-steering* se muestra en la Fig. 2.14; para un primer entendimiento, se supone que el capacitor C tiene un valor de capacidad muy grande (tendiendo a infinito). A causa de la conexión serie de C no hay circulación de corriente continua a través de la rama de ca y la componente de *ripple* de v_d cae en su totalidad sobre L_{ca} .

Asumiendo que L_{cc} es igual a L_{ca} y que tiene un acoplamiento perfecto, el *ripple* de tensión en L_{ca} se refleja en L_{cc} . En consecuencia, la tensión inducida por L_{ca} en L_{cc}

anula la caída de tensión *deripple* sobre L_{cc} , lo que implica que no hay circulación de corriente alterna a través de ella. Todo el *ripple* de corriente de v_d es desviado hacia L_{ca} . Por eso, sólo la componente de cc de v_d alcanza la salida del bloque, logrando de esta manera un filtro sin ondulación de tensión a la salida.

Desafortunadamente, no existe un capacitor cuya capacidad sea lo suficientemente grande para lograr este comportamiento; tampoco es posible conseguir dos inductores idénticos con un acoplamiento perfecto. Cualquier capacitor real tendrá una tensión *deripple* sobre él y la tensión *deripple* sobre L_{ca} no cancelará la tensión *deripple* sobre L_{cc} . La tensión *deripple* residual sobre L_{cc} produce un *ripple* de corriente a través de L_{cc} , lo que causa un *ripple* de tensión a la salida del filtro.

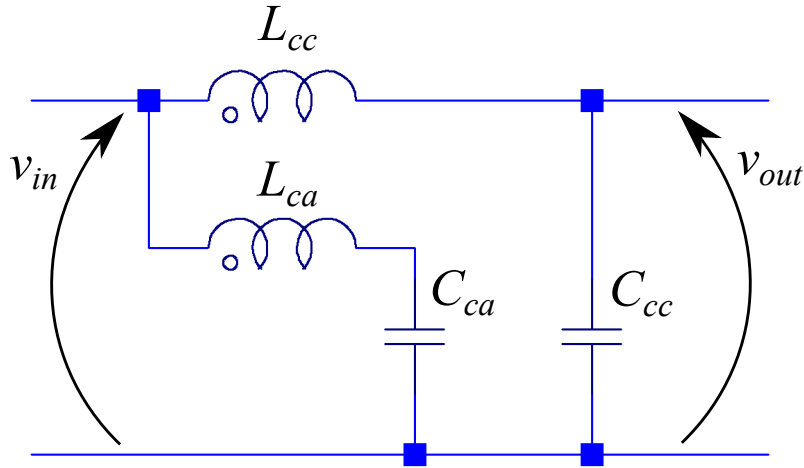


Fig. 2.15: Bloque de filtrado de *ripple-steering*.

La Fig. 2.15 muestra que la entrada del filtro de salida está ubicada en el nodo v_d . De ahora en más, el nodo v_d será referido como v_{in} ya que hace referencia a la entrada del filtro. La ecuación que define al sistema completo es:

$$F(s) = \frac{V_{out}(s)}{V_{in}(s)} = \frac{s^2 a (1 - k \sqrt{\frac{L_{cc}}{L_{ca}}}) + 1}{s^4 (1 - k^2) ab + s^2 (a + b) + 1}, \quad (2.19)$$

donde k es el acoplamiento entre L_{cc} y L_{ca} , $a = C_{ca} L_{ca}$ y $b = C_{cc} L_{cc}$.

2.3.2. Modos de Trabajo de un Filtro con *Ripple-Steering*

Dependiendo del coeficiente de acoplamiento k el filtro puede trabajar de diferentes modos. Existe un modo de trabajo llamado modo NULL, el cual se presenta

cuando el coeficiente de acoplamiento tiene el valor exacto que cancela los ceros del sistema. Este coeficiente de acoplamiento hace que el sistema se comporte como un sistema de 4^{to} orden con sólo dos pares de polos conjugados. k_{NULL} se define como:

$$k_{NULL} = \sqrt{\frac{L_{ca}}{L_{cc}}}. \quad (2.20)$$

Si el coeficiente de acoplamiento entre ambos inductores es igual a k_{NULL} se alcanza el modo NULL y el par de ceros desaparece. Esto hace que la magnitud decaiga a razón de 80 dB/dec.

Si el coeficiente de acoplamiento es mayor que k_{NULL} , entonces el par de ceros se vuelve imaginario y su frecuencia se localiza entre las frecuencias de los dos pares de polos; esta ubicación de ceros y polos da como resultado un sistema con una atenuación menor a la de un filtro pasabajos LC de 2^{do} orden.

Cuando el coeficiente de acoplamiento es menor que k_{NULL} el par de ceros se vuelven reales y se localizan a una frecuencia más alta que la frecuencia del par de polos de más alta frecuencia. Entonces, la pendiente de la ganancia del filtro tiene un comportamiento similar al de la figura 2.4.

¿Cuál de los tres modos es la mejor para ser implementada en LTCC? La primera opción no es alcanzable ya que la precisión requerida para alcanzar el valor exacto del coeficiente de acoplamiento es muy elevada para LTCC e incluso muy elevada para inductores acoplados bobinados, también es difícil de repetir en un proceso comercial. La segunda opción no es deseable debido a su pobre desempeño. Entonces, la última opción es la más conveniente ya que ofrece las mejores características que puede ofrecer un filtro con *ripple-steering*.

El acoplamiento de un inductor en LTCC es ahora analizado para evaluar su factibilidad al momento de utilizar la técnica de *ripple-steering*. Teniendo en cuenta el circuito esquemático mostrado en la Fig. 2.12, L_{cc} es reemplazado por $L_1 + L_3$ y L_{ca} corresponde a L_2 . Ya que L_2 es idéntico a L_1 , se puede reemplazar en (2.26). El coeficiente de acoplamiento efectivo k_{eff} puede escribirse como sigue:

$$k_{eff} = k_C \sqrt{\frac{L_{ca}}{L_{cc}}}. \quad (2.21)$$

k_{NULL} debe ser igual a k_{eff} para alcanzar la condición NULL. Entonces:

$$k_{eff} = k_{NULL} \quad (2.22)$$

$$k_C \sqrt{\frac{L_{ca}}{L_{cc}}} = \sqrt{\frac{L_{ca}}{L_{cc}}}. \quad (2.23)$$

De la ecuación (2.23) se puede ver que el coeficiente de acoplamiento requerido para alcanzar la condición NULL es $k_C = 1$, valor que no es posible alcanzar en inductores implementados en LTCC. En realidad, $k_{eff} < k_{NULL}$ siempre para este tipo de inductores, dejando sólo la tercera opción como la única posible.

Otro punto de operación es propuesto en [70]. Se lo llama “Modo Notch”; aparece sólo cuando $k_{eff} < k_{NULL}$. En este punto de operación hay una frecuencia donde se anula el numerador de (2.19); en esas condiciones el filtro trabaja como un filtro notch. Generalmente la frecuencia de conmutación del convertidor es sintonizada para trabajar a la frecuencia del notch. De esta manera, la componente fundamental de la onda cuadrada que se encuentra en la entrada del filtro es cancelado, pero no ocurre lo mismo con los armónicos, que reciben menor atenuación.

Sin embargo, la atenuación de este filtro notch se ve degradada debido a las resistencia parásitas de L_{ca} y C_{ca} ; y si la resistencia equivalente de estos componentes es lo suficientemente grande, el efecto del notch puede desaparecer.

La segunda desventaja de trabajar a la frecuencia del notch es que la respuesta de la fase del filtro muestra un cambio abrupto a la frecuencia de los ceros. Esta situación requiere que el control del sistema a lazo cerrado sea más complejo.

Debido a estos aspectos negativos el enfoque de trabajar con la frecuencia de conmutación a la frecuencia del notch no es analizado en este documento.

2.3.3. Análisis de *Ripple-Steering* en LTCC

Como se muestra en la ecuación (2.19), el filtro propuesto con *ripple-steering* es modelado como un filtro pasabajos de 4^{to} orden. Para facilitar el análisis, los

inductores y capacitores son parametrizados como:

$$\begin{aligned}
 L_{ca} &= L_2 = L \\
 L_{cc} &= L_1 + L_3 = \alpha L \\
 C_{cc} &= C \\
 C_{ca} &= \beta C
 \end{aligned} \tag{2.24}$$

donde $\alpha \geq 1$ y $0 < \beta$. El coeficiente de acoplamiento está definido como en (2.26) (coeficiente efectivo de acoplamiento) y varía de la siguiente manera: $0 < k_{eff} < 1$.

Entonces, (2.19) puede ser reescrita como:

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{s^2 LC \beta (1 - k_{eff} \sqrt{\alpha}) + 1}{(s^2 LC)^2 \beta \alpha (1 - k_{eff}^2) + s^2 LC (\alpha \beta + 1) + 1}. \tag{2.25}$$

Ya que el coeficiente de acoplamiento efectivo depende de la relación entre L_{cc} y L_{ca} , resulta más conveniente reescribirlo como una variable independiente. Entonces, de (2.15) y (2.24) k_{eff} puede ser expresado como

$$k_{eff} = k_C \sqrt{\frac{L_{ca}}{L_{cc}}} = \frac{k_C}{\sqrt{\alpha}}, \tag{2.26}$$

donde k_C es el coeficiente de acoplamiento constructivo definido en (2.8). Combinando (2.25) y (2.26) la función transferencia resulta en:

$$\frac{v_{out}}{v_{in}} = \frac{s^2 LC \beta (1 - k_C) + 1}{(s^2 LC)^2 \beta (\alpha - k_C^2) + s^2 LC (\beta + \alpha) + 1}. \tag{2.27}$$

La ecuación previa describe el filtro de 4^{to} orden y su respuesta en frecuencia se corresponde con la curva roja graficada en la Fig. 2.4. Esta figura también muestra la respuesta de un filtro LC pasabajos de 2^{do} orden en color azul, que tiene el mismo volumen. Los polos del filtro LC aparecen a una frecuencia más baja que la del primer par de polos del filtro con *ripple-steering*, por eso a bajas frecuencias, el filtro LC tiene una atenuación mayor. Luego de eso, el segundo par de polos aparece en el filtro con *ripple-steering* y la pendiente de la ganancia comienza a caer a razón de 80 dB/dec.

El par de ceros del filtro con *ripple-steering* puede aparecer después del segundo par de polos o a una frecuencia entre ambos pares de polos. La ubicación de los ceros es una parte importante del diseño del filtro; si los ceros se localizan entre ambos pares de polos, el desempeño del filtro será pobre. El mejor enfoque es ubicar los ceros por encima del par de polos de alta frecuencia para obtener el mayor provecho de la pendiente de 80 dB/dec.

Para obtener una mayor atenuación del filtro, los dos pares de polos deberían estar lo más cerca posible entre ellos y el par de ceros deberían localizarse lo más lejos posible por encima del par de polos de alta frecuencia.

Los polos de baja (PBFs) y de alta (PAFs) se localizan en:

$$PBFs = \pm \frac{1}{2\pi} \sqrt{\frac{\beta + \alpha - \sqrt{\alpha^2 + \beta^2 + 2\beta(2k_C^2 - \alpha)}}{LC2\beta(\alpha - k_C^2)}} \quad (2.28)$$

$$PAFs = \pm \frac{1}{2\pi} \sqrt{\frac{\beta + \alpha + \sqrt{\alpha^2 + \beta^2 + 2\beta(2k_C^2 - \alpha)}}{LC2\beta(\alpha - k_C^2)}} \quad (2.29)$$

y la frecuencia de los ceros es:

$$ZFs = \frac{1}{2\pi} \frac{1}{\sqrt{LC\beta(1 - k_C)}}. \quad (2.30)$$

El siguiente análisis busca optimizar la relación entre los dos pares de polos mediante un barrido de la relación entre los inductores y capacitores (α y β). La relación es evaluada como $PAFs/PBFs$, esta expresión no depende de L ni de C , solamente depende de α , β , y k_C . La Fig. 2.16 muestra la relación entre las frecuencias de ambos pares de polos para varios valores de α y β .

Se puede notar que existe un mínimo en la relación entre los pares de polos para cada α . De hecho, la mínima distancia entre los dos pares de polos ocurre cuando el valor de β es igual al valor de α . Otro aspecto importante es que la menor distancia es alcanzada con mayores valores de α . Por lo tanto, existe una mínima distancia para cada diseño de inductores acoplados y se vuelve más pequeña a medida que se incrementa la relación entre las inductancias.

Una vez que la mínima distancia entre los pares de polos de baja y alta frecuencia

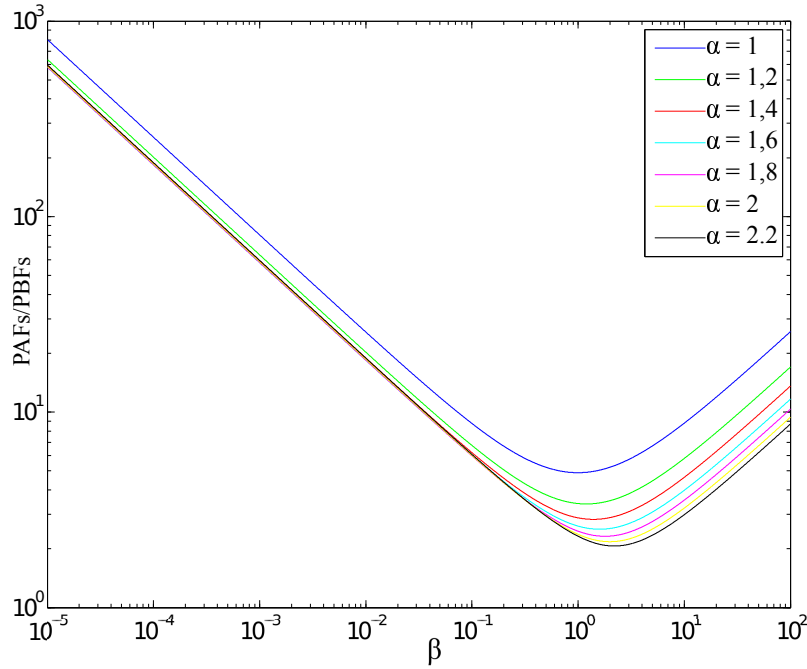


Fig. 2.16: Relación entre pares de polos para varios valores de α , β y $k_C = 0,92$.

ha sido obtenida, la distancia entre el par de polos de alta frecuencia y los ceros es analizada. Igual que antes, la distancia no depende de L y C sino que sólo depende de α , β y k_C .

La Fig. 2.17 muestra la relación entre los polos de alta frecuencia y el par de ceros. El comportamiento de estas curvas es opuesto al comportamiento de las curvas de la Fig. 2.16; se puede ver que el valor de la relación se incrementa para altos valores de α y para bajos valores de β . Por otro lado, cuando β se incrementa la relación entre los polos de alta frecuencia y los ceros se vuelve menor que uno. Esto indica que los ceros están localizados entre ambos pares de polos, lo que resulta en un filtro con un pobre desempeño, ya que la pendiente pasará de -40 dB/dec a 0 dB/dec y luego con el segundo par de polos volverá a ser -40 dB/dec.

La figura también muestra que cuando β tiende a cero la relación entre los ceros y los polos se incrementa y se vuelve asintótica al valor dado por:

$$\lim_{\beta \rightarrow 0} \frac{Z_s}{PAFs} = \sqrt{\frac{\alpha - k_C^2}{\alpha(1 - k_C)}} \quad (2.31)$$

Aquí la distancia sólo depende de α y k_C . Para valores normales del coeficiente de acoplamiento constructivo (no más de $0,95$) y una relación entre inductores ($\alpha \leq$

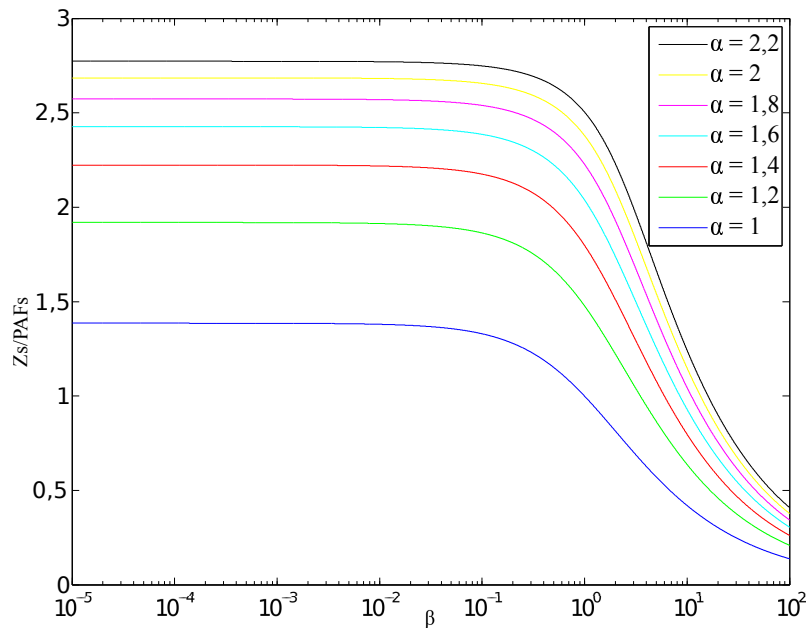


Fig. 2.17: Relación entre el par de polos de alta frecuencia y el par de ceros para diferentes valores de α y β y $k_C = 0,92$.

2,2), la relación no es mayor a tres veces.

De los análisis se puede desprender que no es posible acercar los pares de polos al mismo tiempo que se aleja el par de ceros. También se puede decir que la relación entre los polos de alta frecuencia y los ceros llega a un máximo determinado por α y k_C a medida que β se aproxima a cero. Entonces, el punto de trabajo elegido es una relación de compromiso entre las relaciones entre polos y cero para obtener el mejor desempeño del filtro.

Tampoco se podrá alcanzar un comportamiento similar al descrito anteriormente, en referencia a que con un capacitor infinito se puede derivar todo el *ripple* de corriente a la rama auxiliar. Surge entonces la siguiente pregunta ¿Existe alguna condición para la cual el filtro con *ripple-steering* tenga mejor desempeño que el filtro LC? La próxima sección está destinada a dilucidar esta cuestión.

2.3.4. Comparación de Filtros *Ripple-Steering* y LC de 2^{do} Orden en LTCC

La comparación del desempeño del filtro con *ripple-steering* y del filtro LC de 2^{do} orden requiere de un criterio de comparación justo. Como nuestro objetivo es el de avanzar en la miniaturización del convertidor, en lo que sigue se va a comparar

su atenuación a volumen constante.

El filtro con *ripple-steering* tiene dos capacitores, C_{cc} and C_{ca} , mientras que el filtro LC clásico tiene uno solo, $C_{clasico}$. Para mantener el volumen constante, el capacitor del filtro LC debe ser:

$$C_{clasico} = C_{cc} + C_{ca} \quad (2.32)$$

y combinándolo con (2.24) se puede reescribir como:

$$C_{clasico} = C(1 + \beta). \quad (2.33)$$

De la misma manera, la inductancia de $L_{clasico}$ necesita ser definida de manera tal que el volumen de ambos inductores permanezca igual. A primera vista parece natural intentar definir el valor de $L_{clasico}$ como la suma de L_{cc} y L_{ca} , pero esto resultaría incorrecto. Como se demostró en (2.18), para mantener el volumen constante para ambos filtros, el valor del filtro LC de 2^{do} orden $L_{clasico}$ debe ser igual a L_{cc} , debido a que en procesos habituales de fabricación de inductores en LTCC sus volúmenes serán similares.

Ahora que hemos definido el criterio de comparación de volumen, se procederá a evaluar la mejora en la atenuación. Asumiendo que la frecuencia de conmutación del convertidor es al menos diez veces más alta que la del par de polos o ceros de mayor frecuencia para ambos filtros, la mejora en la atenuación puede ser definida como la relación entre la atenuación de ambos filtros. La relación entre las ganancias (o atenuaciones) de ambos convertidores es evaluada cuando $\omega^2 LC$ tiende a infinito, ya que en ese punto puede decirse que la dinámica de ambos filtros no influirá más en su comportamiento. Entonces, la Mejora en Atenuación (MA) puede escribirse como:

$$MA = \left(\frac{\alpha - k_C^2}{\alpha(1 - k_C)(1 + \beta)} - 1 \right) \times 100[\%] \quad (2.34)$$

La función es graficada en la Fig. 2.18, donde se puede notar que el beneficio es mayor cuando α se incrementa y β decrece. La mejora en la atenuación también crece a medida que se incrementa el coeficiente de acoplamiento constructivo, como se puede ver para $k_C = 0,92$; $k_C = 0,85$ y $k_C = 0,50$.

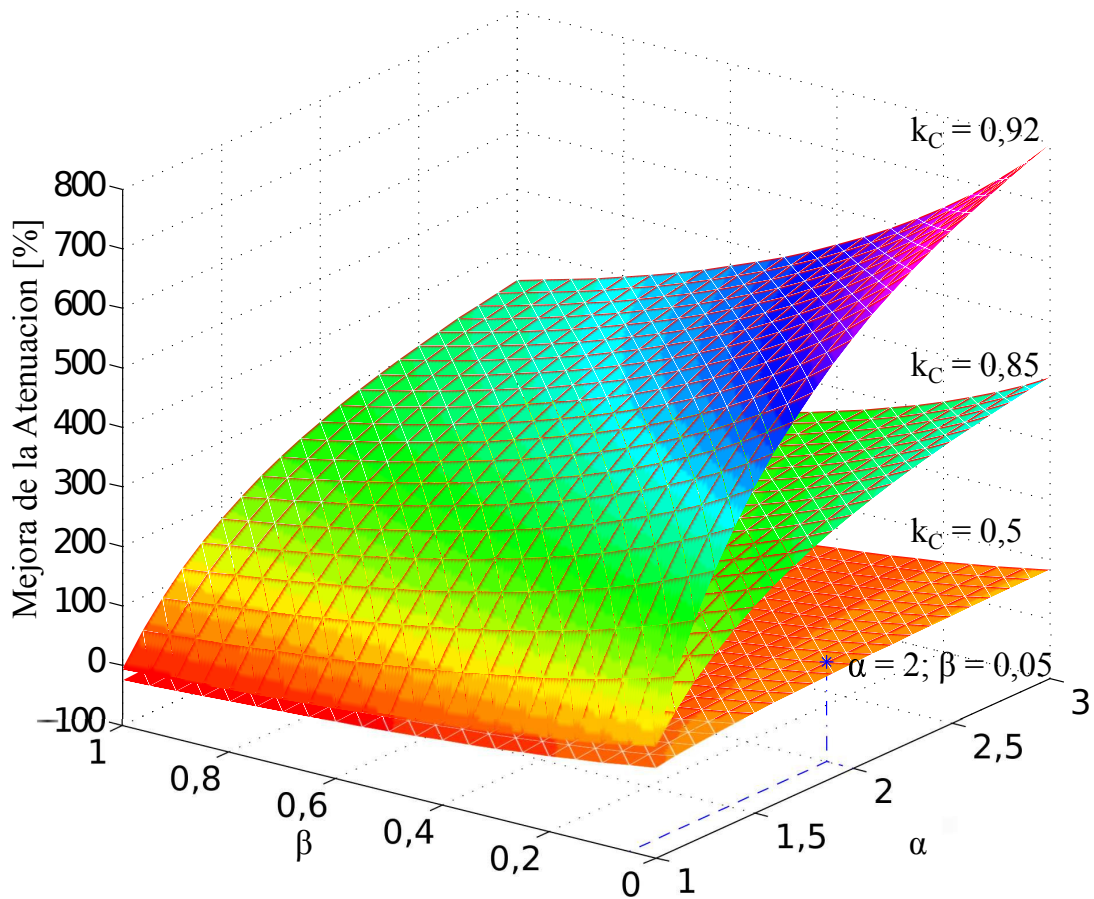


Fig. 2.18: Mejora de la atenuación (MA) cuando un filtro *ripple-steering* es comparado con un filtro LC de 2^{do} orden a volumen constante para $k_C = 0,92$, $k_C = 0,85$ y $k_C = 0,50$.

Bajo estos resultados, se podría decir que $\beta = 0$ sería el valor óptimo. Esto se contradice plenamente con lo planteado en la sección 2.3.1, donde se estipula que β (C_{ca}) debe tender a un valor infinito con el fin de que el *ripple* de tensión en L_{ca} se espeje en forma negativa en L_{cc} , anulando el *ripple* de tensión sobre la misma. De esta manera también se anularía el *ripple* de corriente sobre el inductor y por lo tanto el *ripple* de tensión a la salida del filtro.

No se debe perder de vista que las condiciones de trabajo planteadas allí eran las de $k_{eff} = k_{NULL}$. Esto quiere decir que el filtro se comportaría como un filtro con cuatro polos y en el momento que β tendiera a infinito los polos tendría una frecuencia que tiende a cero. De esta manera la atenuación tendería a ser infinita.

Quedó demostrado por (2.23) que no es posible implementar inductores acoplados en LTCC cuyo k_{eff} sea igual a k_{NULL} , por lo tanto se trabaja con un $k_{eff} < k_{NULL}$. El análisis que surge a partir de la Fig. 2.18 donde un valor de β que tiende a cero otorga una mayor atenuación es válido. Sin embargo, ello implicaría un capacitor de capacidad nula, en otras palabras, un circuito abierto. Esta solución no es factible, ya que un circuito abierto lleva la solución a un filtro LC tradicional, perdiendo todas las ventajas que ofrece el filtro *ripple-steering*.

Otra razón por la cual no es conveniente llevar el valor de β muy cerca del cero es que todo el conjunto de ceros y polos se mueve relativamente en bloque. De (2.30) se puede ver que la frecuencia de los ceros tiende a infinito cuando β tiende a cero, pero Fig. 2.17 que los polos de alta frecuencia nunca se separan más de lo que indica (2.31).

Por lo tanto, a medida que β se acerca a cero todo el conjunto de polos y ceros se mueve a frecuencias más elevadas, lo que implica que la frecuencia de conmutación del convertidor también debe incrementarse para sacar provecho del filtro.

Estos dos efectos determinan también la necesidad de una relación de compromiso entre la frecuencia de conmutación y la mejora de la atenuación. Puede forzarse el parámetro β hasta cierto punto, luego resulta más conveniente aumentar el α o k_C , ya que la reducción de β implicará una frecuencia de conmutación extremadamente alta.

En la siguiente sección se implementa un diseño de filtro para un convertidor buck para cargas digitales de alto consumo.

2.4. Resultados Experimentales

En esta sección se presentan resultados experimentales para comparar el desempeño de un filtro con *ripple-steering* y otro LC pasabajos de 2^{do} orden, ambos implementados en tecnología de LTCC magnético. Los filtros poseen el mismo volumen de elementos pasivos, de acuerdo al criterio de comparación justa que fue establecido previamente.

El primer ensayo compara la respuesta en frecuencia de los filtros sin estar conectados a la salida del convertidor; mientras que para el segundo ensayo, los filtros se encuentran conectados como filtros de salida de un convertidor buck y la tensión *deripple* a la salida es medida para comparar sus desempeños.

La fabricación de los inductores sigue el procedimiento normal de integración de inductores en sustratos de LTCC magnético, similar al que se siguió en [10]. La única diferencia es que la geometría de los inductores acoplados presentados en este trabajo está compuesta por dos conductores de distinta longitud.

Para comprobar experimentalmente las ventajas del filtro con *ripple-steering* sobre un filtro LC clásico se construyeron inductores acoplados siguiendo los lineamientos establecidos en la sección 2.2. Los inductores tienen una relación $L_{cc} = 2 \times L_{ca}$, o $\alpha = 2$ y un coeficiente de acoplamiento constructivo $k_C = 0,5$. Dos configuraciones de filtros fueron ensayadas utilizando estos inductores; una utilizando solamente el inductor L_{cc} junto con capacitores en una configuración LC pasabajos y otra utilizando ambos inductores acoplados y una combinación de capacitores para mejorar la atenuación. El cociente elegido entre capacitores establece un $\beta = 0,05$, lo establece el punto de trabajo marcado con * en la Fig. 2.18.

2.4.1. Comparación de Respuestas en Frecuencia

La Fig. 2.19(c) muestra el circuito impreso donde están implementados los filtros para la medida de la respuesta en frecuencia. Ambos filtros se implementan sobre la misma placa de tal manera que las condiciones en las que son probados sean iguales. En el prototipo pueden distinguirse los conectores SMD que se corresponden de izquierda a derecha con v_{sin} , v_{in} y v_{out} . Si bien v_{sin} y v_{in} tienen el mismo potencial, se definen dos puntos de conexión diferentes, uno para la fuente de señal y otro para

el osciloscopio.

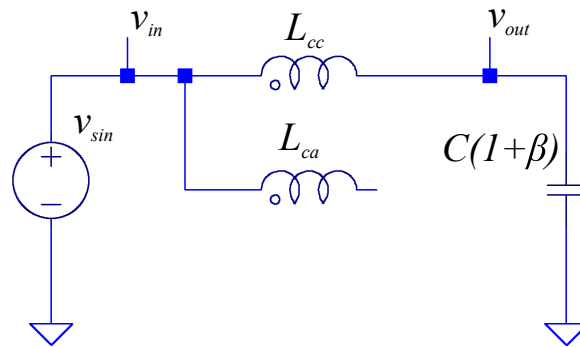
Las respuestas en frecuencia de ambos filtros son mostradas en Fig. 2.20 y Fig. 2.22. La señal de entrada senoidal v_{sin} fue provista por un generador de señales (Agilent 33500B Waveform Generator) y las medidas tanto de las tensiones de entrada (v_{in}) como de salida (v_{out}), fueron tomadas con un osciloscopio LeCroy WaveMaster. Debido a que la impedancia de entrada del filtro tiende a cero a la frecuencia de los ceros, tanto la tensión de entrada como la de salida fueron registradas en un rango de frecuencia de 2 kHz hasta 20 MHz. La ganancia de los filtros se obtuvo como el cociente de las tensiones pico a pico $v_{out}(t)/v_{in}(t)$.

Los resultados de las medidas experimentales se grafican junto con los resultados de simulaciones de los filtros en la Fig. 2.20. La figura muestra las respuestas en frecuencia para el filtro LC de 2^{do} orden (en rojo) y las del filtro con *ripple-steering* (en azul). En el gráfico, la curva en línea continua corresponde a la simulación del filtro y la curva representada por (*) indica que son medidas experimentales.

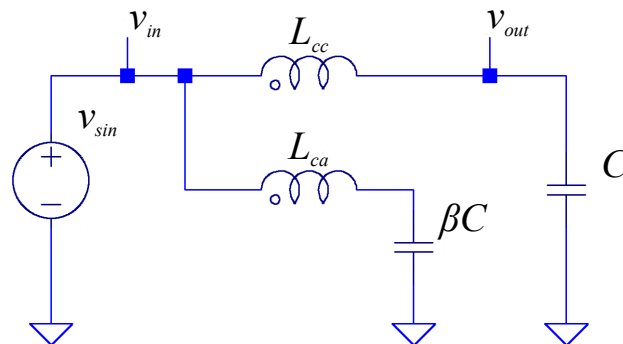
A frecuencias bajas el filtro LC posee una atenuación mayor a la del filtro con *ripple-steering* ya que su par de polos está localizado a una menor frecuencia. Después del segundo par de polos del filtro *ripple-steering*, la pendiente de su atenuación pasa de 40 dB/dec a 80 dB/dec, incrementándose de manera más rápida que la pendiente del filtro LC. Luego, luego en cierto punto ambas curvas se cruzan y para frecuencias más altas el filtro con *ripple-steering* logra una mayor atenuación que el filtro LC. Finalmente, a frecuencias aún más altas, aparece el par de ceros del filtro con *ripple-steering* y la pendiente de atenuación cambia a 40 dB/dec, al igual que la pendiente del filtro LC.

La diferencia más notable entre el modelo presentado en la Sec. 2.1.4 y el comportamiento real es la presencia de un par de ceros adicionales, aproximadamente a 1 MHz. Este comportamiento está presente en ambos filtros y por lo tanto la presencia de estos ceros se puede atribuir a las inductancias parásitas en los capacitores de salida y la inductancia parásita de las pistas del circuito. También se puede ver que el que la presencia del efecto notch se ve afectada por la resistencia parásita de las pistas. Un circuito esquemático con la ubicación de los elementos parásitos que afectan mayormente al filtro se muestra en la Fig. 2.21.

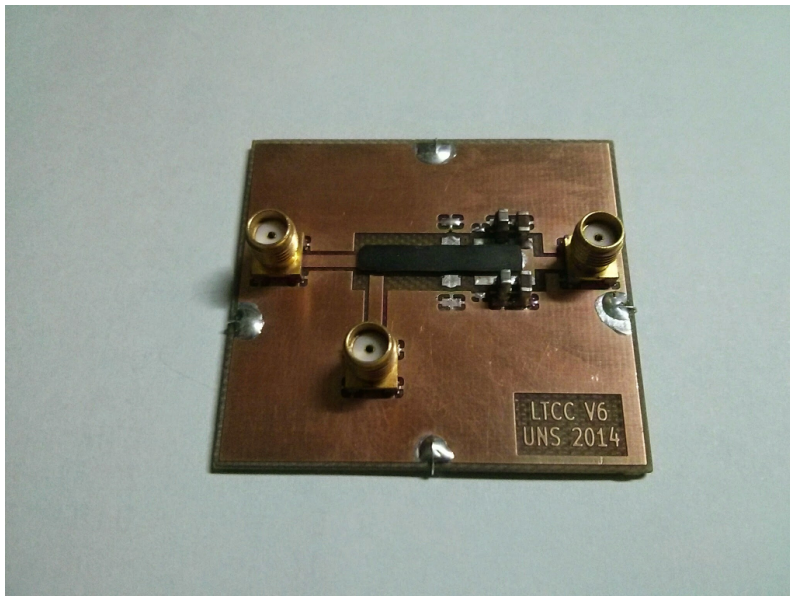
Para evitar una baja en el desempeño del filtro un buen diseño de placa es



(a) Circuito esquemático para la medida de respuesta en frecuencia del filtro LC.



(b) Circuito esquemático para la medida de respuesta en frecuencia del filtro LC.



(c) Filtro fabricado con inductor LTCC, la placa puede implementar los dos filtros.

Fig. 2.19: Ensayo para la medida de la respuesta en frecuencia.

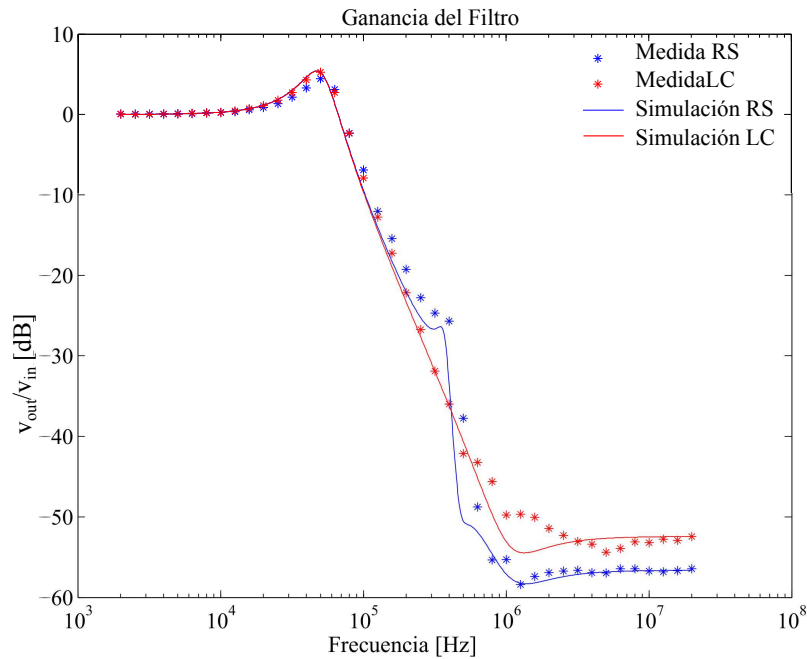


Fig. 2.20: Respuesta en frecuencia de ambos filtros. Los (*) representan las medidas experimentales mientras que las (—) representan los resultados de simulación.

fundamental. Tomar recaudos como minimizar el largo de las pistas es siempre una buena práctica. En este caso en particular, al minimizar el largo de la pista tanto resistencias como inductancias parásitas son minimizadas. Sin embargo, siempre existe una pequeña inductancia parásita (del orden de los pHy); por eso la salida del convertidor debe ubicarse lo más cerca posible del capacitor C_{cc} . De esta manera, la inductancia parásita de la pista se suma la inductancia L_{cc} y mejora el desempeño del filtro.

Por otro lado, al minimizar la distancia de conexión entre L_{ca} y C_{ca} se puede

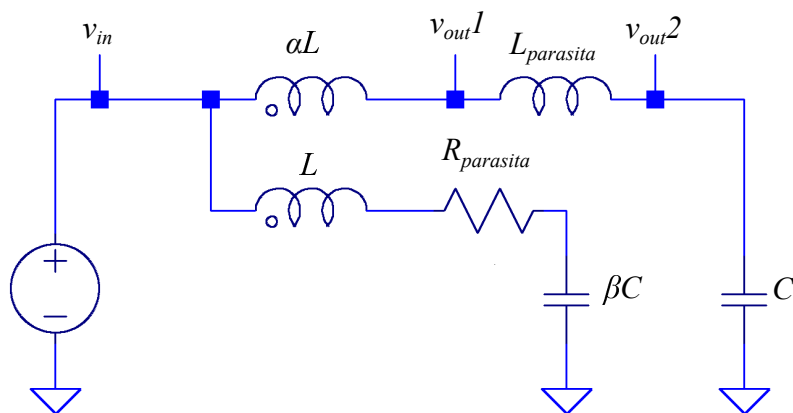


Fig. 2.21: Esquemático del filtro con elementos parásitos.

maximizar el efecto notch. Como se puede ver en la Fig.2.19(c), la distancia entre el inductor y el capacitor es mínima y sin embargo la resistencia parásita resultante tiene un valor suficiente como para degradar el desempeño de un posible efecto notch.

Se puede ver que el filtro *ripple-steering* posee una atenuación mayor a la del filtro clásico LC de 2^{do} orden por encima de la frecuencia del par de polos localizados a una frecuencia de 550 kHz.

La Fig. 2.22 muestra la mejora en la atenuación del filtro. Ya que la inductancia parásita en el capacitor de salida y en la pista que conecta el mismo con el inductor generan un par de ceros a la misma frecuencia para ambos filtros, (2.34) sigue siendo válida.

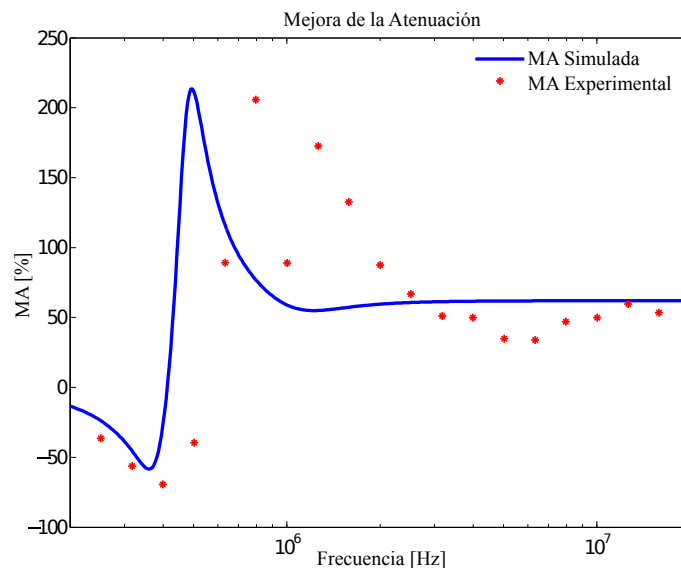


Fig. 2.22: Los (*) representan las medidas y la línea continua(—) representa el MA según la (2.34).

Es más, para los valores dados de α , β y k_C resulta una mejora en la atenuación del 66%. Este resultado concuerda con la mejora estimada en (2.34). El punto que se corresponde con el filtro construido está identificado en la Fig. 2.18 por medio de (*).

En el siguiente ensayo ambos filtros serán utilizados como filtros de salida de un convertidor buck para comprobar su correcto funcionamiento bajo condiciones de trabajo reales.

2.4.2. Convertidor Buck

Los dos filtros evaluados en la sección previa son ahora conectados como filtros de salida de un convertidor buck. Las especificaciones del convertidor buck son similares a las comúnmente usadas en fuentes de alimentación para circuitos digitales de gran poder de procesamiento.

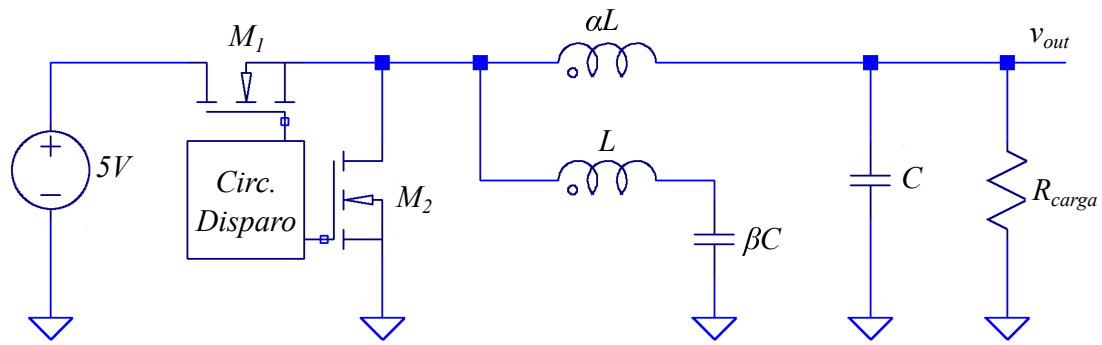
El circuito es un convertidor buck sincrónico con una tensión de entrada de 5 V, una tensión de salida de 1 V, y una resistencia de carga de 165 m Ω , lo que establece una corriente de salida es de 6 A. El convertidor opera a una frecuencia de conmutación de 1.2 MHz. El circuito esquemático y una fotografía del convertidor son mostrados en la Fig. 2.23.

La Fig. 2.23(a) muestra el conexionado para el filtro con *ripple-steering*. Para ensayar el filtro LC clásico de 2^{do} orden, el capacitor βC es desconectado del inductor L_{ca} y reconectado en paralelo con el capacitor de salida C al igual que se hizo para los ensayos de respuesta en frecuencia.

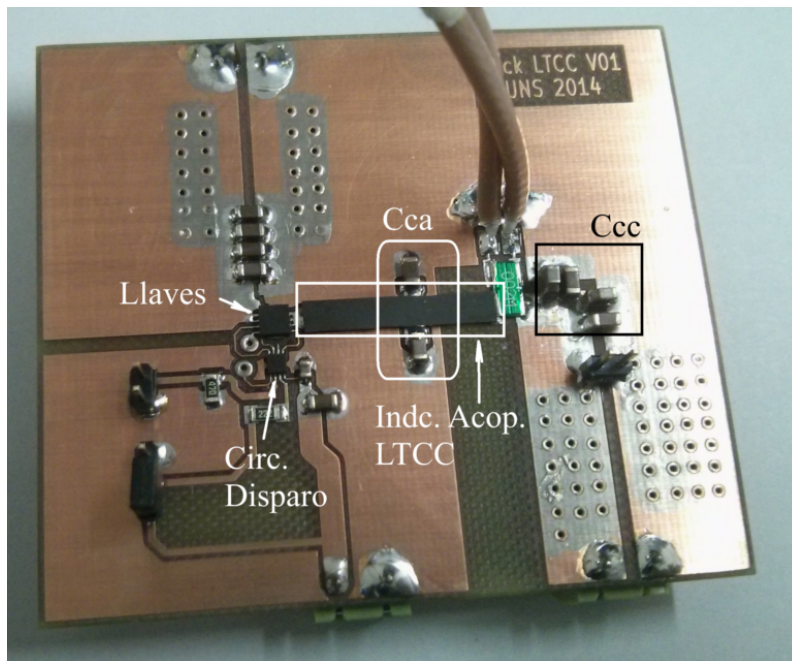
La Fig. 2.23(b) muestra el prototipo con el PCB y el convertidor completo. En ellas se pueden identificar varias partes del convertidor, como las llaves de potencia, sus circuitos de disparo, los inductores acoplados fabricados en LTCC, los capacitores de salida y los capacitores conectados al inductor más pequeño L_{ca} . La distribución del PCB no es la óptima debido a que los componentes fueron separados intencionalmente para facilitar las mediciones y el relevamiento de datos. Una mejor distribución de componentes sólo requeriría 100 mm² de superficie y una altura de 2.5 mm y disminuiría la incidencia de los componentes parásitos en el circuito.

Antes de analizar el *ripple* de salida del convertidor, se realiza una simulación para verificar el buen comportamiento del mismo ante una onda cuadrada en su entrada y las mismas condiciones de carga. La Fig. 2.24 muestra los *ripples* de salida del convertidor, en rojo la salida del filtro LC de 2^{do} orden y en azul la salida del filtro con *ripple-steering*.

Como se ve en la figura, la forma de onda de tensión de ripple a la salida de ambos filtros es muy distinta de la forma cuadrática que se esperaría ver como resultado de integrar una corriente triangular. La diferencia en la forma se debe a la presencia de resistencias e inductancias parásitas. Generalmente, al momento de introducir



(a) Convertidor buck con el filtro *ripple-steering* propuesto como filtro de salida.



(b) Circuito impreso del convertidor buck.

Fig. 2.23: Convertidor buck.

parásitos se suele esperar un *ripple* triangular, producto de la resistencia parásita de los capacitores de salida. Sin embargo, en este caso su inductancia parásita juega un papel más importante, ya que tiene magnitud comparable a la inductancia del mismo filtro.

La caída de tensión en la inductancia parásita del capacitor es proporcional a la derivada de la corriente que circula por el capacitor de salida. El cambio de pendiente en esta corriente produce los picos de tensión que se ven en cada conmutación. Debido a que los componentes parásitos son similares en ambos convertidores, el factor de MA sigue siendo válido, y los resultados de simulación muestran un 66 %

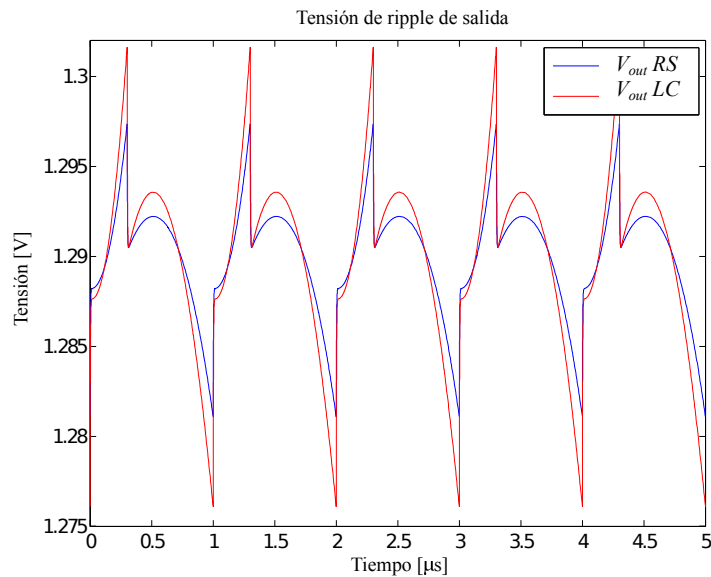


Fig. 2.24: Simulación con elementos parásitos de las tensiones de *ripple* a la salida del convertidor con el filtro LC de 2º orden (rojo) y filtro *ripple-steering* (azul).

de mejora en el filtro con *ripple-steering*.

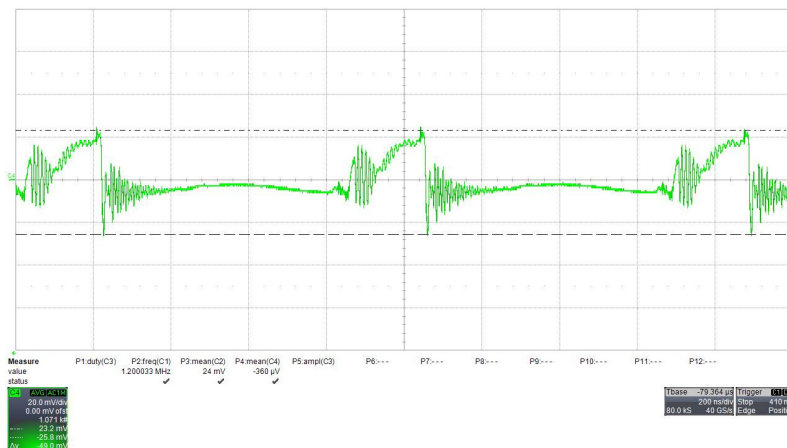
Con estos resultados se procede a analizar el *ripple* de salida del convertidor cuando se conectan cada uno de los filtros. La Fig. 2.25 muestra el *ripple* de salida en ambos casos.

También puede distinguirse la presencia de una oscilación de alta frecuencia en las mediciones que no está presente en las simulaciones. La misma es causada por oscilaciones de encendido en las llaves de potencia. Estas oscilaciones se deben al sistema de segundo orden que se forma en la conexión de las llaves de potencia con sus respectivos circuitos de disparo. La capacidad de las compuertas de las llaves y las inductancias parásitas de las pistas que conectan las mismas con los circuitos de disparo forman un circuito LC. Ante el escalón del encendido (apagado) en la compuerta de la llave el circuito tenderá a oscilar, haciendo que también lo haga la llave. Para evitar esto se suelen colocar resistencias en serie entre la salida del circuito de disparo y la compuerta de la llave; sin embargo, esta práctica hace la llave más lenta y por ende menos eficiente. Una relación de compromiso entre oscilación y eficiencia es parte del diseño.

Ambas configuraciones del convertidor funcionan a lazo abierto, ya que el objetivo es medir la reducción de la tensión de *ripple*. La tensión de *ripple* a la salida es medida en ambos filtros utilizando un osciloscopio de alta velocidad, los resultados se



(a) Tensión *deripple* a la salida del convertidor con el filtro LC de 2^{do} orden. El *ripple* es de 76 mV.



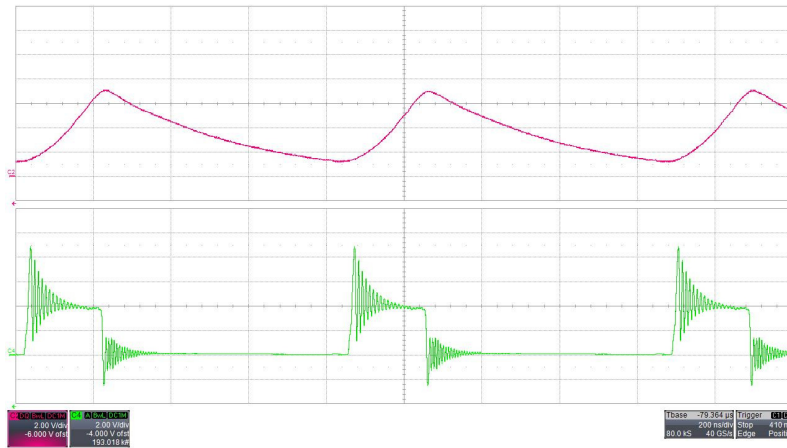
(b) Tensión *deripple* a la salida del convertidor con el filtro *ripple-steering*. El *ripple* es de 49 mV.

Fig. 2.25: Tensión *deripple* de salida para ambas configuraciones de filtros. En ambos casos, la escala tensión es 20 mV/DIV y la escala de tiempo es 200 ns/DIV.

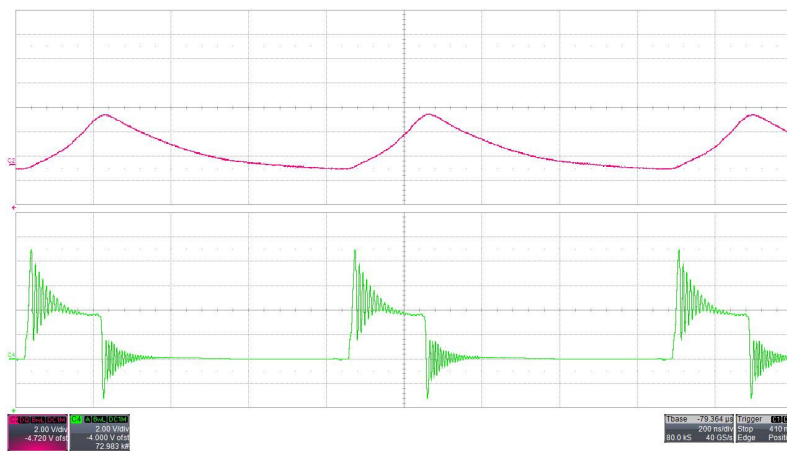
muestran en la Fig. 2.25. El filtro LC tiene una tensión *deripple* de 76 mV, mientras que el filtro con *ripple-steering* tiene una tensión *deripple* de 49 mV. La reducción en la tensión *deripple* en el filtro con *ripple-steering* es del orden del 64.4%; muy cercano a los resultados de (2.34) y la curva mostrada en la Fig. 2.18.

Otro aspecto interesante de ver es la reducción de la corriente por la rama de cc en el filtro *ripple-steering*. La Fig. 2.26 muestra las corrientes para ambos casos.

En la Fig. 2.26(a) se muestra la corriente del filtro LC de 2^{do} orden mientras que en la Fig. 2.26(b) se muestra la corriente por el inductor L_{cc} del filtro *ripple-steering*. En ambas figuras también se puede ver la tensión en el nodo de entrada del filtro. Las medidas fueron tomadas mediante una punta de corriente Aim I-prober



(a) Corriente de *ripple* en L_{cc} para el filtro LC de 2^{do} orden.



(b) Corriente de *ripple* en L_{cc} para el filtro con *ripple-steering*.

Fig. 2.26: Corrientes de *ripple* y tensiones a la entrada del filtro para ambas configuraciones. En ambos casos, la base de tiempo está calibrada en 200 ns/DIV. La tensión está calibrada en 2 V/DIV y la corriente en 2.5 A/DIV para ambas medidas.

520 que mide corriente de manera no intrusiva mediante el campo magnético que genera la corriente en las pistas. Debido a que esta medida es más cualitativa que cuantitativa, sólo se puede analizar la diferencia entre ellas y no valores absolutos. De esta manera, la corriente también experimenta una reducción en *suripple* del orden del 75 %.

A pesar de los elementos parásitos y de las oscilaciones en las llaves de potencia, la *MA* esperada no se ve afectada. Estos resultados confirman que la técnica de *ripple steering* es aplicable a filtros de salida LTCC, reduciendo la tensión de *ripple* y manteniendo al mismo tiempo el volumen del filtro constante. Los resultados del convertidor buck también confirman que el modelo y las ecuaciones presentadas que evalúan la *MA* son válidos cuando el filtro es construido con componentes no ideales.

2.5. Resumen

En este capítulo se presentó brevemente la tecnología LTCC. Puede ser utilizada tanto como sustrato como para la fabricación de inductores para convertidores de potencia. Se estudió el modelado del inductor y a partir del mismo se desarrolló un modelo para inductores asimétricos orientados a inductores de convertidores de potencia. El modelo propuesto parametriza el coeficiente de acoplamiento a partir de parámetros constructivos como el espesor del núcleo y la distancia entre conductores al igual que modelos previos. El aporte del nuevo modelo es la parametrización del coeficiente de acoplamiento en función de los largos de los conductores. Este nuevo parámetro no aumenta la complejidad del modelado ya que relaciona el coeficiente del acoplamiento con la raíz cuadrada del largo de los conductores. De esta manera reduce el tiempo de diseño del inductor al reducir tiempos de simulación de elementos finitos.

La técnica de Ripple Steering utiliza inductores acoplados para aumentar la atenuación de filtros sin sacrificar volumen o reducir volumen sin sacrificar atenuación. La factibilidad de dicha técnica es analizada con el nuevo modelo de inductor asimétrico en LTCC. Se demostró que la técnica es factible, pero se debe utilizar en una región distinta a la sugerida por la literatura, ya que los parásitos que impone la tecnología harían imposible su utilización en otro punto de trabajo.

Con la zona de trabajo definida se procedió a la parametrización del filtro, independizándolo de valores absolutos de inductancia o capacidad a fin de no acotar el estudio a un solo caso de diseño. La parametrización se hizo extensiva a un filtro LC de 2^{do} orden para comparar la atenuación de ambos filtros a volumen constante. Esta comparación se hizo en base a una función de “Mejora de Atenuación” (MA) que muestra el incremento de atenuación de un filtro con *ripple-steering* en función de su relación de inductancias y capacitores (α , k_C y β). De la comparación también se desprenden ciertas consideraciones de diseño como el dimensionamiento de los componentes y por consiguiente la frecuencia de conmutación del convertidor.

Una vez que la factibilidad de utilización de la técnica *ripple-steering* en inductores LTCC fue probada analíticamente se procedió a la implementación de un filtro a fin de obtener resultados experimentales. Se construyeron inductores acoplados en

LTCC magnético, y se procedió a su caracterización. Se implementaron dos filtros, uno LC clásico y uno *ripple-steering*, ambos con el mismo volumen.

Se obtuvo la respuesta en frecuencia de ambos filtros, mostrando que a partir de cierta frecuencia la atenuación del filtro *ripple-steering* supera a la del filtro LC en un 66 % lo que concuerda con la función *MA*. Este ensayo también mostró la presencia de componentes parásitos en el filtro. Estos parásitos se pueden minimizar pero no eliminar; sin embargo, la función *MA* sigue siendo válida ya que los parásitos afectan por igual a ambos filtros. Estos resultados muestran que el comportamiento del filtro es el esperado y que la función *MA* predice con exactitud la mejora en la atenuación del filtro.

Un convertidor *buck* que utiliza ambos filtros como filtros de salida fue construido para comparar el desempeño de los filtros en condiciones de trabajo reales. El convertidor que utilizó *ripple-steering* mostró una atenuación 64.6 % mayor a la del filtro LC. En la implementación del convertidor *buck* la influencia de los componentes parásitos del filtro también se hizo presente, sobre todo en la forma de onda *delripple* de salida. A pesar de ello, el resultado obtenido en la mejora de la atenuación es el predicho por la función *MA*.

Dos conclusiones pueden obtenerse de los ensayos. La primera hace referencia a la influencia de componentes parásitos. En esta tecnología los componentes parásitos tienen valores que pueden ser comparables a los valores de los componentes del filtro y de esta manera degradar su desempeño. Estos parásitos pueden ser minimizados pero no eliminados por completo, ya que son inherentes a la fabricación de los componentes. Sin embargo, el modelo desarrollado y la función *MA* siguen siendo válidos, ya que a volumen constante el diseño de ambos filtros es similar, produciendo parásitos similares que influyen de igual manera en ambos filtros.

La segunda conclusión es la validez de la función *MA* y del modelo de los inductores asimétricos marca el punto de partida para nuevos diseños de filtros de potencia con inductores implementados en LTCC. El modelo demuestra que mediante una mejora sencilla en el diseño de los inductores acoplados, como aumentar el parámetro α o el parámetro k_C , es posible obtener atenuaciones entre 300 % y 400 % mayores sin elevar la complejidad del diseño del convertidor y manteniendo el mismo volumen del filtro.

Capítulo 3

Administración de Energía en SiC

3.1. Introducción

En este capítulo se presenta el diseño de un convertidor conmutado completamente integrado. El mismo se basa una topología con un único inductor y múltiples salidas (SIMO por sus siglas en inglés) y es desarrollado en un proceso estándar con la idea de que sea integrado junto con un sistema digital. Se realizará una breve introducción a la implementación de componentes pasivos, capacitores e inductores, para convertidores conmutados en procesos CMOS. También se presentará la arquitectura de convertidor SIMO tipo elevador (boost) con un control por histéresis. El mismo cuenta con dos salidas, una elevadora y otra reductora. Se propone integrarla en un proceso CMOS de 65 nm de la firma ST, el cual es ampliamente utilizado para la integración de sistemas en una pastilla (SoC por sus siglas en inglés) ya que ofrece dispositivos de alta velocidad y bajo consumo. El convertidor está completamente integrado en una pastilla (die), incluyendo una inductancia simple y los capacitores de salida.

Los convertidores SIMO (por sus siglas en inglés de Single-Inductor Multiple-Output) pueden generar varios niveles de tensión continua (salidas elevadoras y reductoras) con un solo inductor, el cual es multiplexado por cada una de las salidas siguiendo diferentes estrategias de energización y desenergización [73–75]. La posibilidad que ofrece esta topología de entregar varios y diferentes niveles de tensión a las salidas con un solo inductor la hace muy atractiva porque permite reducir costos

de fabricación y producción.

3.2. Implementación de Capacitores e Inductores en Silicio

Los elementos pasivos dentro de un convertidor cumplen la función de acumular energía en forma de campos magnéticos o eléctricos y transferirla sin pérdidas hacia otro terminal del convertidor. En convertidores completamente integrado la implementación de dichos componentes se ve limitada por el proceso de integración. En esta sección se presenta el modelado de estos componentes para sus implementaciones integradas.

3.2.1. Capacitores

El principal requerimiento de la implementación de los capacitores de salida de un convertidor es ofrecer una alta densidad de capacidad con la mínima ocupación de área de silicio. Para mantener las pérdidas bajas y no incrementar el *ripple* en la salida de tensión, un bajo valor de resistencia serie equivalente es deseable.

Para lograr estos requisitos, se utiliza la capacidad parásita de un transistor MOS, es decir, un capacitor MOS. Esta es la forma de lograr un capacitor de elevada densidad, ya que el óxido del *gate* es el dieléctrico más fino que puede utilizarse en el proceso.

Generalmente en los procesos CMOS el valor de la capacidad del óxido (C_{ox}) es un dato conocido. Por lo tanto, se puede estimar el área que ocupará el capacitor requerido por el convertidor como la relación entre el C_{ox} y el valor de capacidad deseado.

Por otro lado, la resistencia serie equivalente del capacitor dependerá de los platos del capacitor, los contactos y la resistividad de los mismos. En un proceso CMOS estandar el plato superior de un capacitor MOS está construido en polisilicio, generalmente con una alta resistividad. Por otro lado, el plato inferior está implementado por el canal del transistor y su resistividad depende de la tensión aplicada al transistor. Adicionalmente, la resistencia serie equivalente no solo será función del área

de ambos platos, sino de su relación de aspecto.

Para minimizar estos efectos se suele optar por una implementación de pequeños capacitores en paralelo en lugar de un gran capacitor. Esta configuración disminuye el impacto de los parásitos del capacitor (al igual que en una implementación discreta) y mejora la distribución de polisilicio, óxidos gruesos y capas de metal; minimizando de esta forma el estrés mecánico del proceso de fabricación.

3.2.2. Inductores

El inductor de un convertidor conmutado es el componente más costoso, en términos de área, para integrar en un proceso CMOS estándar ya que materiales especiales (ferromagnéticos) para aumentar el valor de inductancia no se encuentran disponibles. Esta falta resulta en inductores de mayor tamaño y por ende con una mayor resistencia parásita, lo que degrada la eficiencia del convertidor y consume área de silicio.

Por otro lado, la ausencia de materiales ferromagnéticos implica que no habrá ciclos de histéresis en el inductor, por lo tanto, no habrá pérdidas por conmutación en el núcleo. De la misma manera no habrá efecto de saturación en el núcleo, dejando el valor de inductancia independiente de la corriente que circule por la misma.

El proceso en el cual se integra también limita la geometría del inductor, es decir, deben ser planares. La configuración suele ser la de inductores espirales como se ve en Fig. 3.1.

Existe una amplia bibliografía acerca del diseño de inductores espirales en silicio [71, 76–78]. Todas ellas presentan diferentes ecuaciones, empíricas o con bases físicas para el cálculo del valor de inductancia y en todos los casos el valor de inductancia resulta ser una función de la geometría del inductor.

Tomando como referencia el trabajo [76], el valor de inductancia puede calcularse como el valor de inductancia propia (L_{self}) más los aportes de las inductancias mutuas M^+ y M^- , aditivo y sustractivo respectivamente. Para realizar el cálculo, primero se define el largo del conductor l como

$$l = (4n + 1)d_{in} + (4N_i + 1)N_i(\omega + s), \quad (3.1)$$

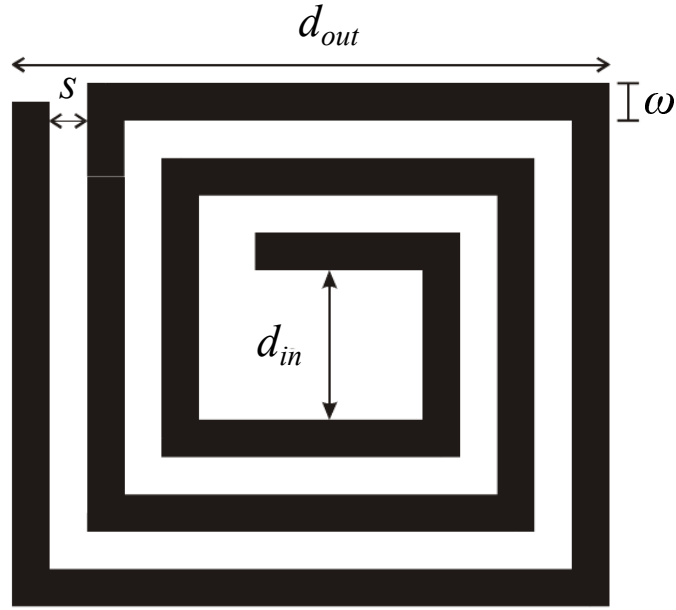


Fig. 3.1: Geometría de un inductor espiral.

donde n es el número de vueltas, N_i el número entero de vueltas, d_{in} es el diámetro interno de la espiral, ω es el ancho del conductor y s es la separación entre conductores. Luego, la inductancia propia L_{self} tiene un valor

$$L_{self} = \frac{\mu_0}{2\pi} l \left(\ln \frac{l}{n(\omega + t)} - 0,2 \right). \quad (3.2)$$

Por otro lado el aporte substractivo de inductancia mutua tiene un valor de

$$M^- = 0,47 \frac{\mu_0}{2\pi} l n. \quad (3.3)$$

Para el aporte aditivo de la inductancia mutua el valor de la distancia promedio entre conductores es necesario, la misma se calcula como

$$d^+ = (\omega + s) \frac{(3n - 2N_i - 1)(N_i + 1)}{3(2n - N_i - 1)} \quad (3.4)$$

para obtener

$$M^+ = \frac{\mu_0}{2\pi} l (n - 1) \left(\ln \left(\sqrt{1 + \left(\frac{l}{4nd^+} \right)^2} \frac{l}{4nd^+} \right) - \sqrt{1 + \left(\frac{l}{4nd^+} \right)^2} + \frac{4nd^+}{l} \right). \quad (3.5)$$

Luego, el valor total de inductancia L es

$$L = L_{self} + M^- + M^+. \quad (3.6)$$

Se puede apreciar que no hay valores empíricos en esta ecuación y que solo depende de las dimensiones del inductor.

3.3. Arquitectura y Estrategia de Control

La Fig. 3.2 muestra la topología elegida, un convertidor cc-cc SIMO con estructura boost. S_1 , S_2 y S_E representan llaves o transistores de potencia mientras que Vr_1 y Vr_2 son las referencias de tensión utilizadas para definir las tensiones de cada una de las salidas. Por simplicidad, los circuitos de disparo de los transistores no se representan en esta figura. Esta arquitectura fue elegida por su sencillez, la misma permite la generación de tensiones por encima y por debajo de la tensión de alimentación dependiendo de la secuencia de conmutación que se escoja. Adicionalmente, esta topología es poco sensible a las inductancias parásitas del encapsulado. Esto es debido a que el inductor del convertidor está directamente conectado a la fuente de alimentación.

3.3.1. Arquitectura

Dos diferentes estrategias de conmutación pueden ser implementadas en arquitecturas del tipo SIMO. Una con intervalo de tiempo de energización individual para cada salida y otra con un intervalo de tiempo de energización común para todas las salidas.

Cada estrategia tiene sus propias ventajas y desventajas; sin embargo, la última ofrece un menor intervalo de tiempo en el que las salidas están desconectadas de la fuente de energización. Por ellos, los capacitores de filtrado en cada una de las salidas pueden ser de menor tamaño, lo que favorece una implementación integrada.

La secuencia de conmutación consiste en un intervalo de tiempo de energización, donde el inductor es energizado al conectarlo entre V_{dd} y G_{nd} a través de S_E . Este intervalo comienza cuando un pulso se hace presente en el terminal f_{reloj} y termina cuando S_E se abre. Luego, S_1 se cierra y la corriente por el inductor (i_L) fluye a

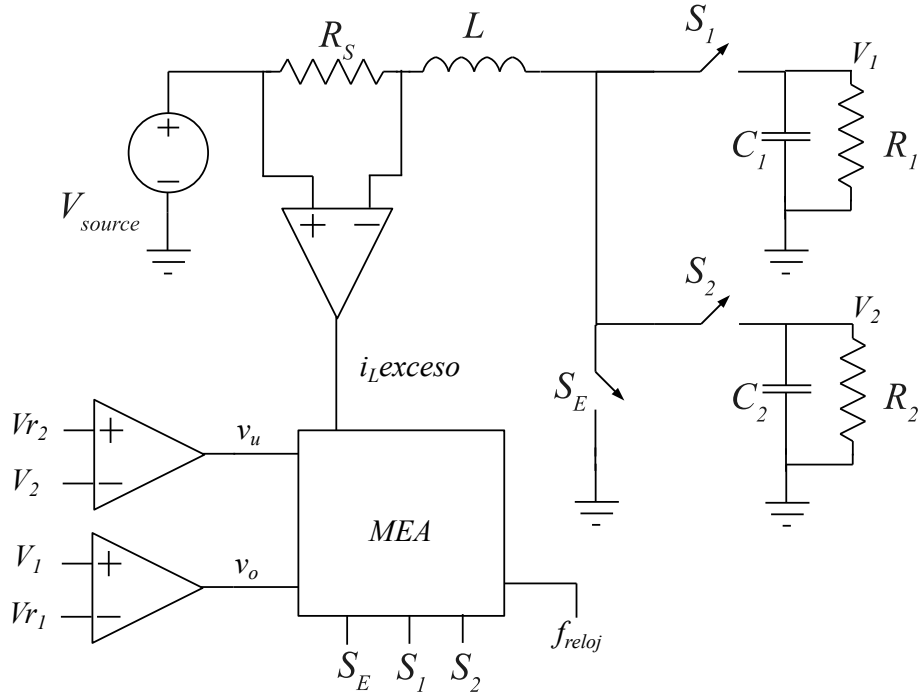


Fig. 3.2: Topología de convertidor SIMO tipo boost.

través de S_1 cargando el capacitor C_1 . Como la tensión del capacitor, controlada por realimentación, es menor a la de la fuente de tensión de alimentación, la corriente a través del inductor sigue incrementándose.

Durante el siguiente intervalo S_1 se abre y S_2 se cierra. La energía remanente en el inductor es entonces transferida hacia el capacitor de salida C_2 . Ya que es una salida elevadora de tensión controlada por realimentación, i_L se reduce a medida que se carga el capacitor.

Las tensiones de salida del sistema están definidas por (3.7)

$$V_{in} = \sum_{k=1}^N D_{o(k)} V_{o(k)}, \quad (3.7)$$

donde V_{in} es la fuente de alimentación general, $D_{o(k)}$ es el ciclo de trabajo de la salida k y $V_{o(k)}$ es su correspondiente salida de tensión.

De acuerdo con la ecuación (3.7), incluso cuando la topología se basa en un convertidor boost, $n - 1$ salidas pueden ser reductoras mientras que al menos una de ellas eleve la tensión de salida por sobre la de entrada.

Esta topología también puede operar en modo de conducción continuo y discontinuo, dependiendo de las condiciones de carga. Los tres modos de conducción

principales para el convertidor SIMO propuesto se muestran en la figura 3.3. El modo de conducción continua (CCM) se grafica en rojo. Puede observarse que i_L nunca se hace cero. En color verde, el modo de conducción crítica (CRM) muestra su principal característica donde i_L se vuelve cero sólo en un punto. El modo de conducción discontinuo (DCM) se muestra en color azul. En este caso, i_L llega a cero y permanece en ese estado por algún tiempo.

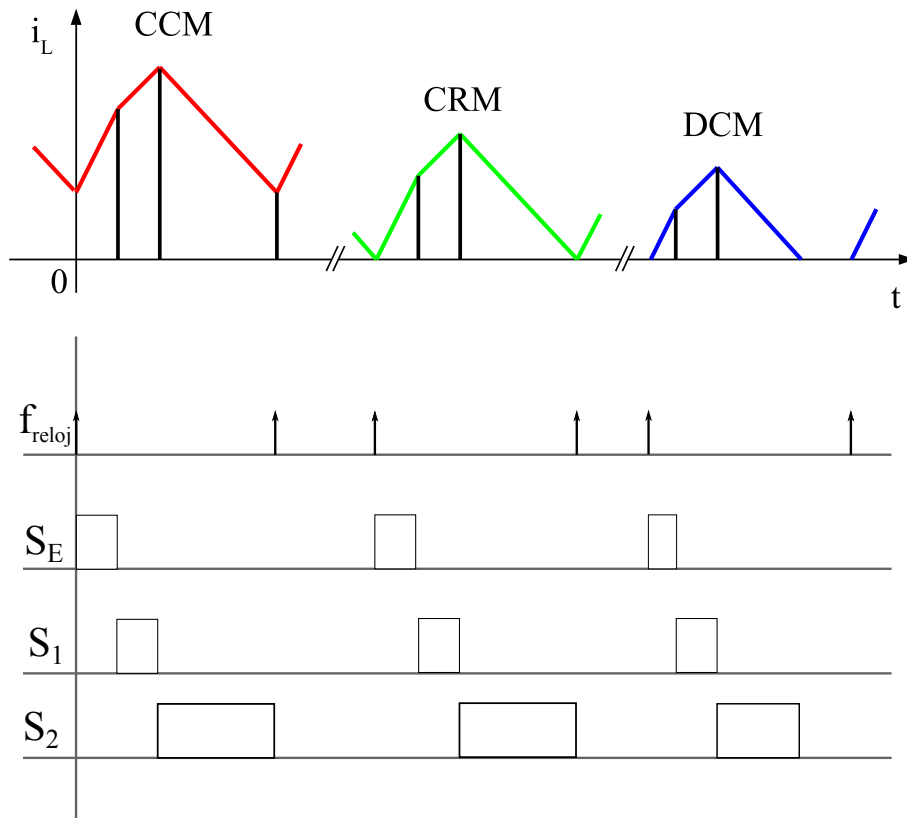


Fig. 3.3: Topología de convertidor SIMO tipo boost, modos de operación y secuencias de conmutación.

Para garantizar el apropiado modo de operación, la estrategia de control debe contemplar la transición de modo discontinuo (DCM) a modo continuo (CCM) y viceversa.

3.3.2. Estrategia de Control

Todos los componentes pasivos deben mantenerse pequeños para permitir su integración en silicio, esto conlleva a incrementar la frecuencia de conmutación del convertidor al orden de los cientos de MHz. A pesar de esto, las restricciones en

el área de silicio disponible limitan el valor máximo del inductor por lo cual el convertidor puede incluso entrar en un modo de operación discontinuo.

Estrategias de control lineal basadas en modulación por ancho de pulso, modulación por frecuencia de pulso y muchas otras requieren de un amplificador operacional que cumpla el papel de amplificador de error. La ganancia necesaria, el desbalance y la velocidad de este amplificador implicarían una alta corriente de polarización, degradando la eficiencia del sistema y requiriendo grandes transistores, lo que consumiría área indispensable que debería ser utilizada por componentes pasivos del convertidor.

Por estas razones se eligió una estrategia de control por histéresis, ya que sólo requiere comparadores de alta velocidad y un integrador de baja velocidad, relajando las restricciones de diseño.

Para el control se descartan máquinas de estado sincrónica debido a que la alta frecuencia de conmutación del convertidor implicaría el uso de una frecuencia de reloj incluso más alta para manejar los circuitos digitales. Además, la eficiencia energética es más elevada desde un enfoque asincrónico. Siguiendo esta dirección, el control del convertidor es implementado por una máquina de estados asincrónica (MEA), la cual es estimulada por señales provenientes del convertidor SIMO (señales como v_u , v_o y iL_{exceso}). Estas señales son generadas por comparadores de alta velocidad y el integrador de baja velocidad y están relacionadas con las tensiones de salida y la corriente por el inductor.

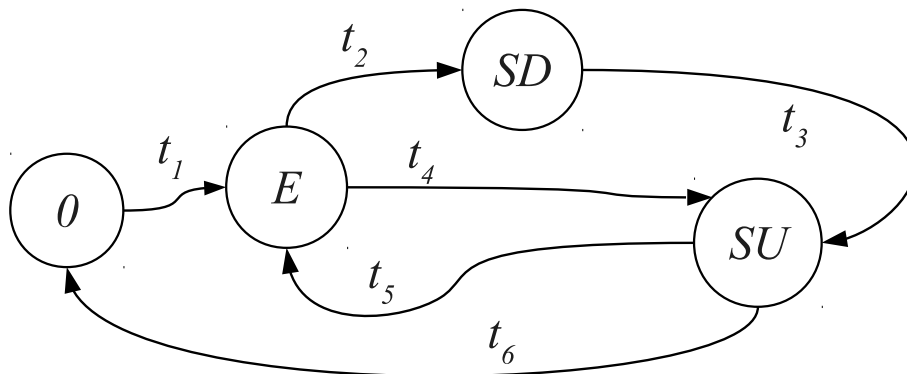


Fig. 3.4: Diagrama de estados de la MEA de control.

El diagrama de estados de la MEA se puede ver en la Fig. 3.4. El estado inicial es 0, donde todas las llaves se encuentran abiertas. La transición t_1 se realiza una

vez que la señal de comienzo de ciclo llega cada $1/f_{reloj}$ segundos. Durante el estado E la llave S_E se encuentra cerrada, energizando el inductor. La transición t_2 ocurre cuando un la tensión cae por debajo de la tensión de referencia en la salida elevadora o si la corriente por el inductor tiene un sobrepico. Luego de t_2 la llave S_E se abre mientras que la llave S_1 se cierra. En este estado la salida reductora es alimentada por la corriente del inductor. S_1 se mantiene cerrada hasta que una sobretensión (v_o) es detectada en la salida reductora. Este evento dispara la transición t_3 , donde S_1 se abre mientras que S_2 se cierra. En este estado la salida elevadora es alimentada por la corriente del inductor. La transición t_5 es forzada por un nuevo inicio de ciclo, el cual reinicia el ciclo completo de energizado y desenergizado.

En caso de que el convertidor entre en modo discontinuo (DCM), la transición t_6 es disparada cuando la corriente por el inductor llega a un valor igual a cero. La MEA entonces evoluciona hacia el estado 0, donde todas las llaves se encuentran abiertas y el convertidor espera por un nuevo ciclo de inicio. Esto previene que el capacitor de la salida elevadora C_2 se descargue a través del inductor y degrade la tensión de salida de la misma. Esta consideración en la MEA permite al convertidor operar en todos los modos de conducción.

El tiempo mínimo requerido para abrir y cerrar una llave es limitado por el proceso en el que se implementa el convertidor. Cuando el convertidor cae en una condición de baja carga y la corriente requerida por la salida reductora disminuye, el intervalo de tiempo cuando S_1 permanece cerrado también disminuye. En esta situación, donde la carga en esta salida es extremadamente baja, el tiempo requerido para cerrar y abrir la llave permite cargar el capacitor de salida en exceso hasta el extremo que el sistema ya no será capaz de controlar esta salida.

Para enfrentar esta situación, si la tensión de la salida elevadora se encuentre por debajo de la tensión de referencia al momento donde t_2 debe ejecutarse, la MEA salta desde el estado E directamente al estado SU siguiendo la transición t_4 y evitando el estado SD .

En el siguiente estado, si la tensión de la salida reductora está por debajo de la referencia, se genera la señal v_u es generada y la llave S_1 se cierra. La corriente a través del inductor carga el capacitor C_1 . Esta situación se muestra en la Fig. 3.5, donde en el primer ciclo la tensión de salida está por debajo de la referencia; aquí

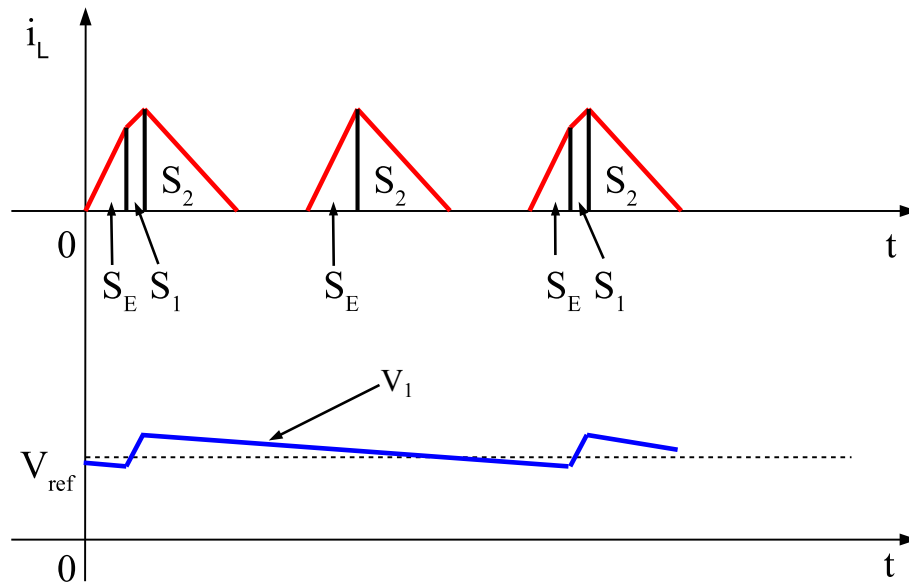


Fig. 3.5: Corriente del inductor en un estado de baja carga (conducción discontinua).

S_1 se cierra y la tensión en la salida reductora crece. En el segundo ciclo la tensión está todavía por encima de la referencia y entonces S_1 no se cierra. Finalmente en el tercer ciclo la tensión de salida está por debajo de la referencia nuevamente, entonces S_1 se cierra e incrementa la tensión en la salida reductora.

3.4. Simulación de Arquitectura y Estrategia de Control

La tensión de entrada es 1 V mientras que las tensiones de salida se establecen en 1,2 V y 0,8 V para la salida elevadora y la reductora, respectivamente. El nivel de ripple deseado a la salida es menor al 10 %. La corriente máxima de salida es de 50 mA para cada salida. De acuerdo con trabajos previos [20, 23] una frecuencia de conmutación de 200 MHz es seleccionada.

En un primer momento se realizan simulaciones en un software específico para simular electrónica de potencia con el fin de comprobar el buen funcionamiento de la topología y estrategia de control propuesta.

La Fig. 3.6 muestra la respuesta del circuito ante un escalón de carga de 40 mA aplicado a la salida elevadora y a la salida reductora. Como resultado, la tensión de pico a pico se incrementa cuando el requerimiento de corriente es mayor. Nótese que

el ripple de salida está determinado por la frecuencia de conmutación y los valores de C_1 y C_2 para las salidas reductora y elevadora, respectivamente.

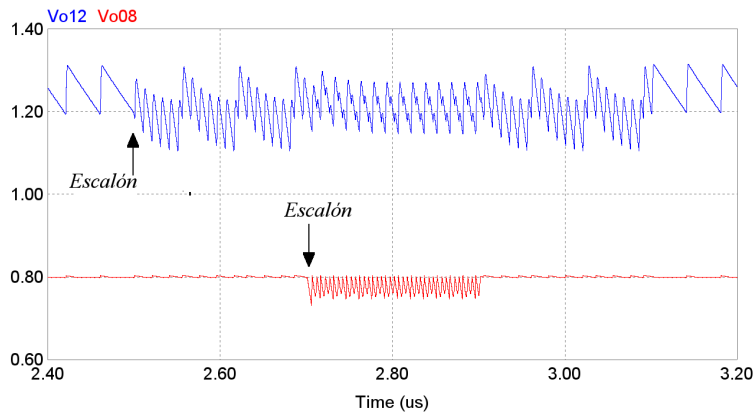


Fig. 3.6: Respuesta de las salidas elevadora y reductora ante un escalón de carga.

Se puede apreciar que la Fig. 3.7 como reacciona el sistema de control ante diferentes condiciones de carga. En este caso, puede verse el control del convertidor cambia de modo de conducción dependiendo de la carga del convertidor. En un primer instante, cuando ambas cargas son bajas, el convertidor opera en condición discontinua. Luego, en $t = t_1$ se produce un escalón de carga en la salida elevadora; puede verse como el ripple se incrementa en esta salida mientras que el ripple en la salida reductora se mantiene constante. También se puede observar que la corriente por el inductor toma valores iguales a cero y que aún se encuentra en modo de conducción discontinua. Un instante después en $t = t_2$, se produce un escalón de carga en la salida reductora, lo que genera que el ripple de la misma aumente. A mismo tiempo, se puede ver que la corriente sobre el inductor se vuelve continua y el convertidor trabaja en un estado de conducción continua. Luego, en $t = t_4$, la carga disminuye en ambas salidas. El ripple en las salidas no cambia demasiado, pero se puede ver que el nivel medio de la corriente sobre el inductor disminuye, llevando al convertidor al límite entre conducción continua y conducción discontinua.

En la figura pueden verse valores de corriente a la salida y en el inductor que sobrepasan los valores de 50 mA por salida, esto se debe a que las condiciones de trabajo de la figura son forzadas para comprobar el funcionamiento del control del

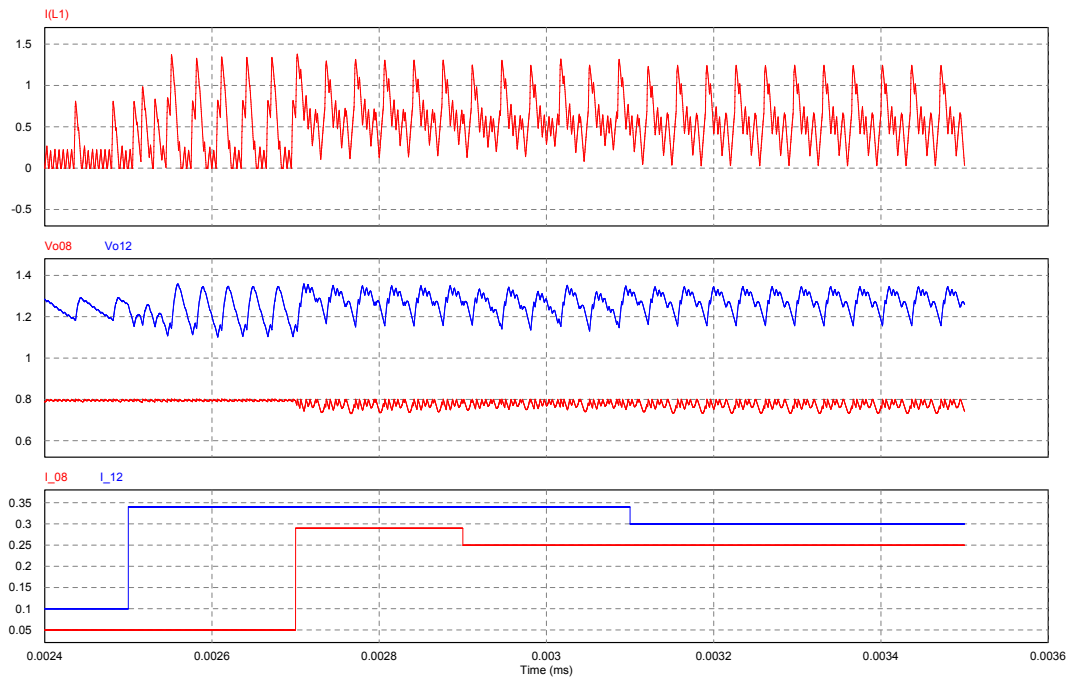


Fig. 3.7: Respuesta del sistema a diferentes escalones de carga en sus salidas.

convertidor. Esto no muestra una condición de trabajo real.

La simulación de la corriente i_L por el inductor durante la condición de baja carga se puede ver en la Fig. 3.8. Dependiendo de la condición de carga, hay ciclos donde S_1 no se cierra. Luego del intervalo de energización i_L disminuye porque el inductor está conectado a través de S_2 con la salida elevadora. Cuando la tensión de la salida reductora es muy baja, el convertidor carga el capacitor nuevamente al cerrar S_1 . Esto se puede apreciar cuando la corriente del inductor se incrementa con dos pendientes diferentes.

3.5. Implementación de Bloques Específicos

Una vez definida la arquitectura y la estrategia de control, el siguiente paso es el desarrollo de todos los bloques pertinentes para generar la señales que necesita la máquina de estados para lograr controlar el convertidor.

El bloque básico será el comparador de alta velocidad, que será utilizado repetidas veces para complementar otros bloques. Luego, el bloque más desafiante será el transductor que se utilizará para tomar medidas de corriente instantánea y media por el inductor. También se desarrollarán bloques como sensores de corriente

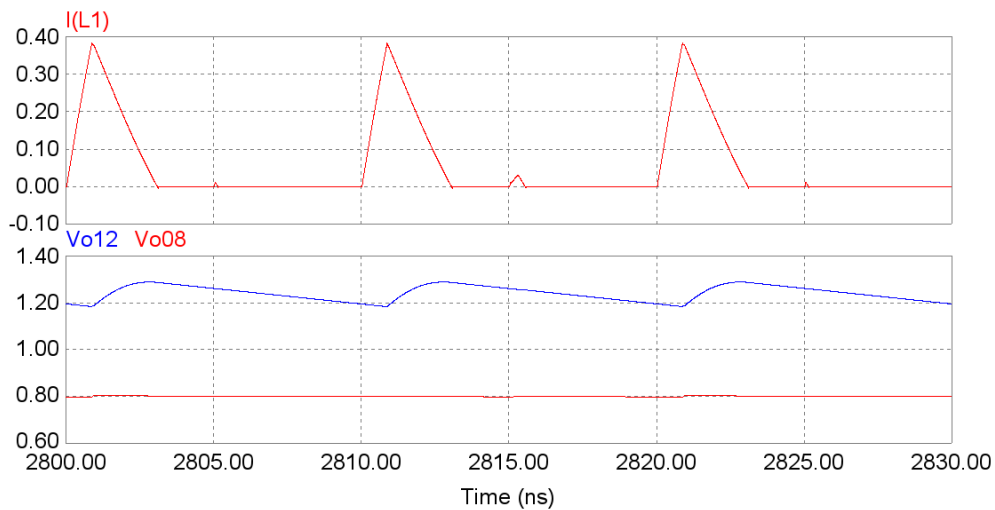


Fig. 3.8: Corriente en el inductor y tensiones de salida en una condición de baja carga.

ceros, circuitos de disparo para los transistores de potencia y transladores de nivel (level-shifter) para las distintas tensiones a medir.

3.5.1. Comparador de Alta Velocidad

Al momento de seleccionar la arquitectura del comparador existen dos tipos principales; los comparadores a tiempo discreto y los comparadores a tiempo continuo. Los comparadores a tiempo discreto pueden ofrecer un consumo menor y el resultado de la comparación en una forma mucho más rápida que los comparadores de tiempo continuo. Sin embargo, para su correcta operación es requerido que la comparación sea llevada a cabo en un instante determinado. Esta limitación por parte de este tipo de comparador lo hace incompatible con el funcionamiento del convertidor, donde un evento de sobre tensión, corriente, etc. puede suceder en cualquier instante. Por esta razón, se elige una arquitectura de comparador a tiempo continuo por sobre una de tiempo discreto. El diagrama esquemático del comparador de alta velocidad se muestra en la Fig. 3.9. Esta topología está basada en el clásico comparador de acoplamiento cruzado.

Ya que el convertidor opera a una frecuencia de conmutación de 200 MHz, hay que tener especial cuidado al momento de diseñar el comparador para alcanzar el desempeño y velocidad deseados. R_1 y R_2 son añadidos para mejorar la velocidad sin afectar el consumo de energía. Estas resistencias incrementan el ancho de banda de

los espejos de corriente mediante al adición de un polo y un cero a la función transferencia del espejo. Como en estado estacionario las compuertas de los transistores no demandan corriente, no es necesaria energía adicional para mejorar la velocidad de comparador. Una explicación más detallada de esta técnica puede encontrarse en el Apéndice A y en [79].

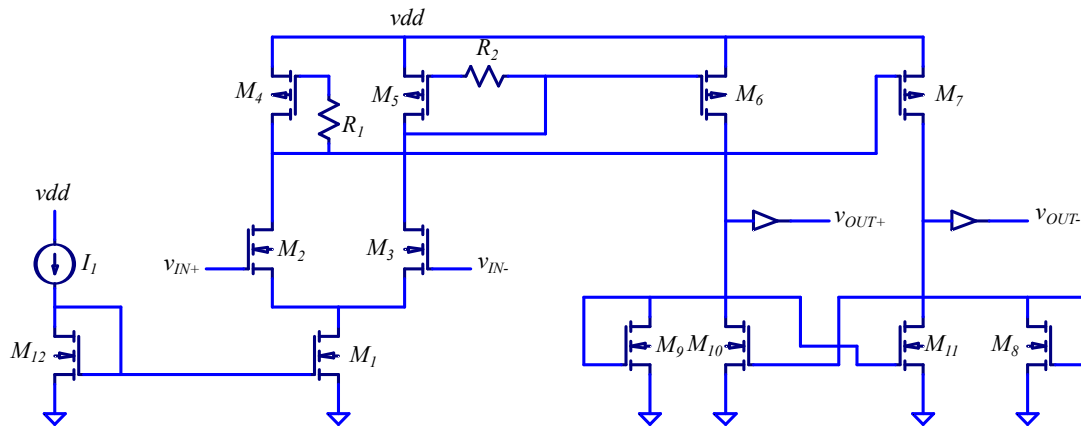


Fig. 3.9: Circuito esquemático de los comparadores de alta velocidad.

La adición del polo y del cero pueden generar un sobrepico si no están propiamente sintonizados. Esto puede ser un problema en un amplificador lineal; pero en un comparador la adición de este sobrepico en la corriente del espejo incrementará la velocidad de la última etapa, lo que mejora aún más el desempeño.

Para aislar la salida del comparador de la carga y regenerar su forma de onda de salida, un buffer digital fue colocado a la salida del comparador. Dos buffers son utilizados para mantener la simetría del comparador y las salidas balanceadas.

Desarrollar un comparador de alta velocidad con un rango de entrada de rango completo implicaría un consumo de corriente mayor, degradando la eficiencia del sistema total. Por eso, para adaptar las tensiones de salida del convertidor a los niveles de entrada del comparador, un translador de voltaje es requerido. El circuito translador es implementado como un amplificador seguidor de fuente.

Por razones de seguridad, el circuito translador se implementa con transistores NMOS de alta tensión disponibles en el proceso, como se muestra en la Fig. 3.10. Ya que el seguidor de fuente no introduce ningún retardo y la salida es igual a la entrada, resulta una excelente solución para desplazar los valores de tensión continua sin introducir cambios en el valor de ripple.

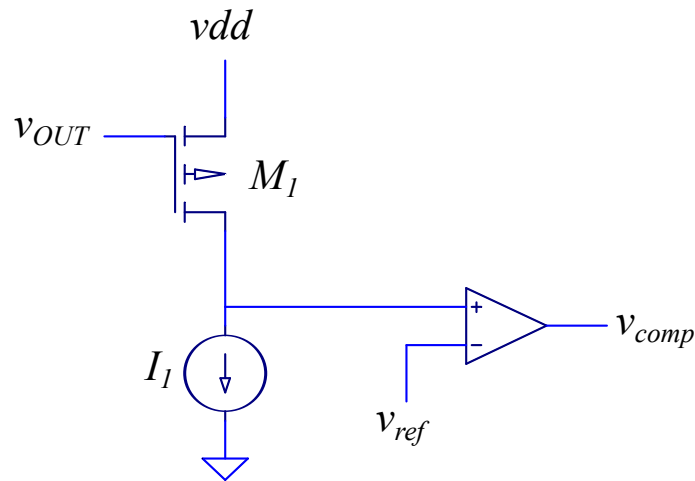


Fig. 3.10: Comparador de alta velocidad con traductor de nivel.

3.5.2. Sensores de Corriente Instantánea y Promedio

El sensor de corriente es una de las partes más importantes del sistema, ya que define cuándo energizar o desenergizar el inductor. La Fig. 3.11 muestra la topología del sensor. La corriente que fluye a través del inductor es sensada mediante la medida de una pequeña caída de tensión sobre una resistencia serie (*shunt*) que se muestra en la Fig. 3.2.

La señal de entrada es una pequeña caída de tensión sobre una resistencia $\{ \text{textitshunt} \}$; las entradas V_{in+} y V_{in-} son conectadas a los nodos V_a y V_b , respectivamente. La etapa de entrada consiste en un amplificador de transconductancia GM con entrada degradada. La resistencia en el terminal fuente del transistor degrada la ganancia del transconductor pero mejora la linealidad del amplificador. La salida de corriente del transconductor es espejada por el espejo de baja tensión localizado en la parte superior de la etapa de entrada.

Al utilizar el espejo de corriente contiene de baja tensión, la corriente espejada no solo es la corriente de señal de los transconductores, sino que también contiene corrientes de polarización necesarias para polarizar el amplificador GM y el espejo de corriente en un punto de operación apropiado. Dichas corrientes adicionales no son corrientes de señal propiamente dichas y es necesario tenerlas en cuenta al momento de realizar las operaciones posteriores

En la etapa siguiente, M_{13} , M_{14} y M_{15} son utilizados para replicar el punto de operación del espejo de corriente de baja tensión y de esta forma poder eliminar su

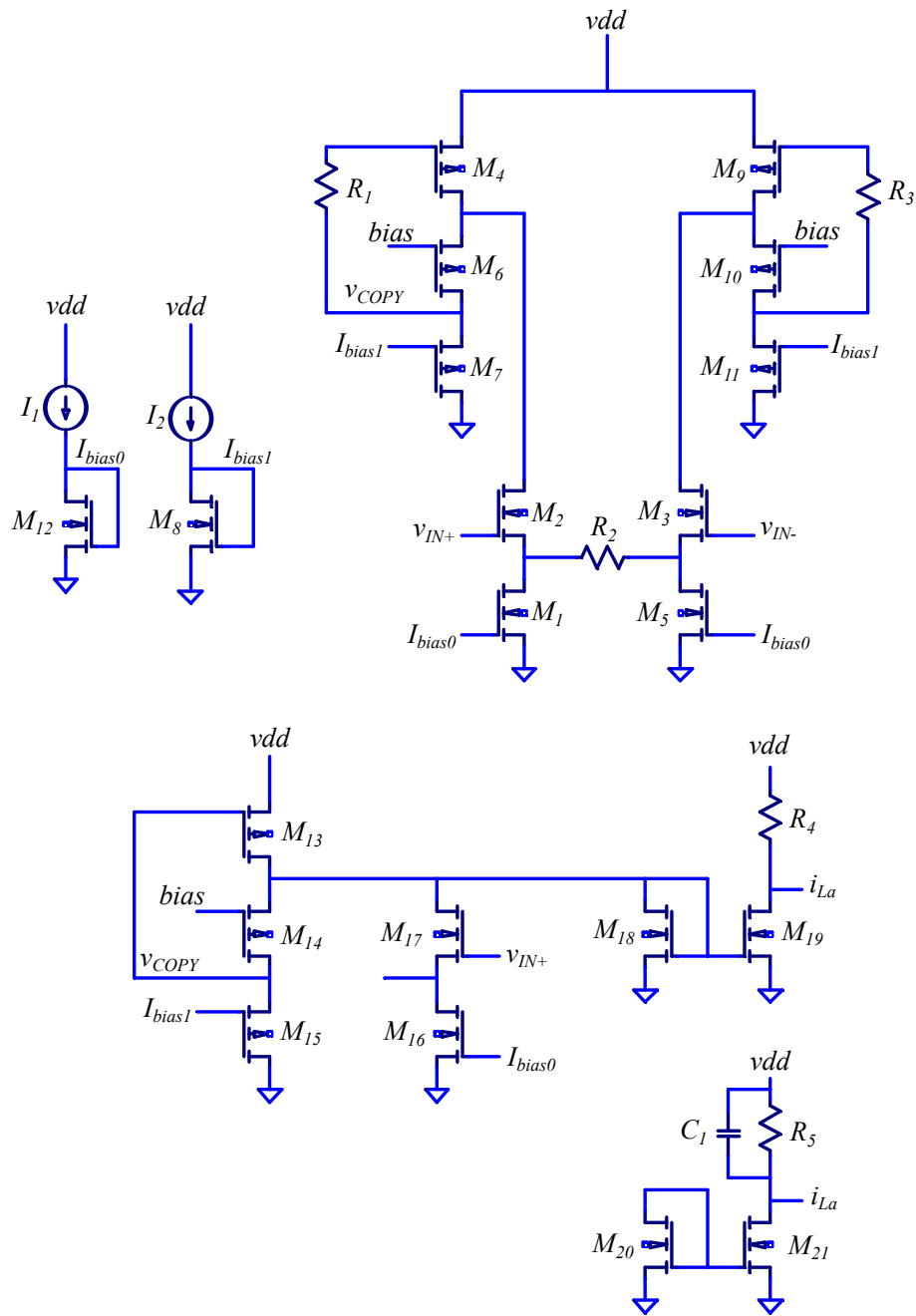


Fig. 3.11: Topología del sensor de corriente promedio y corriente instantánea.

influencia. Luego, los transistores M_{16} y M_{17} substraen el equivalente a la corriente de polarización de los transconductores, dejando solamente la corriente de señal de los transconductores. Esta corriente es utilizada por dos salidas diferentes, la primera es el sensado de la corriente instantánea y la segunda la salida de corriente media. La corriente media puede ser obtenida mediante el filtrado de la corriente instantánea. Ambos valores de corriente son traducidos a voltaje que es comparado por el mismo comparador de alta velocidad presentado en la sección 3.5.1, como se muestra en

la Fig. 3.12.

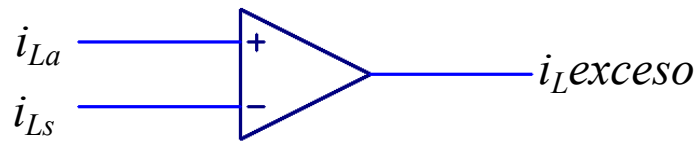


Fig. 3.12: Comparación de corriente instantánea y media.

La Fig. 3.13 muestra las señales i_{L_s} y i_{L_a} que son conectadas a las entradas de un comparador de alta velocidad. El comparador evalúa estas señales y cuando la corriente instantánea excede la corriente media, ocurre un cambio en la salida del comparador.

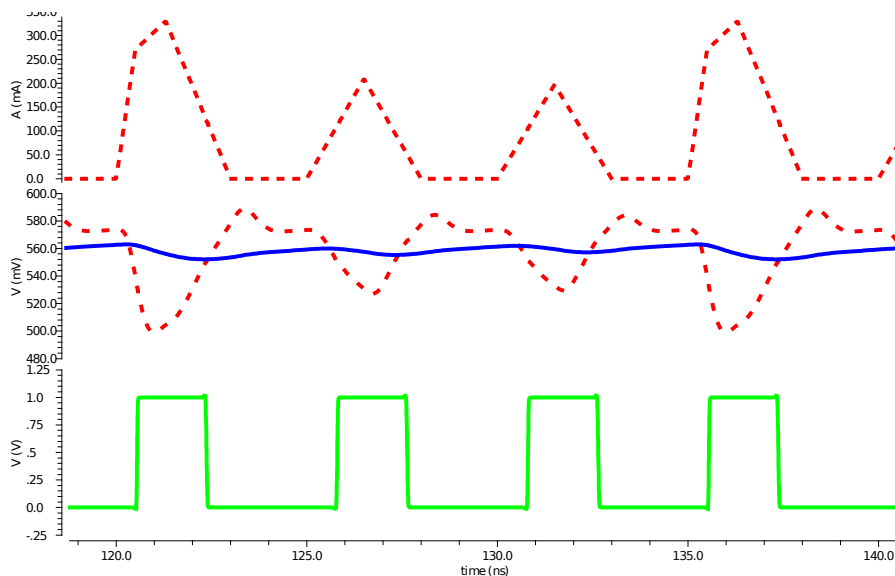


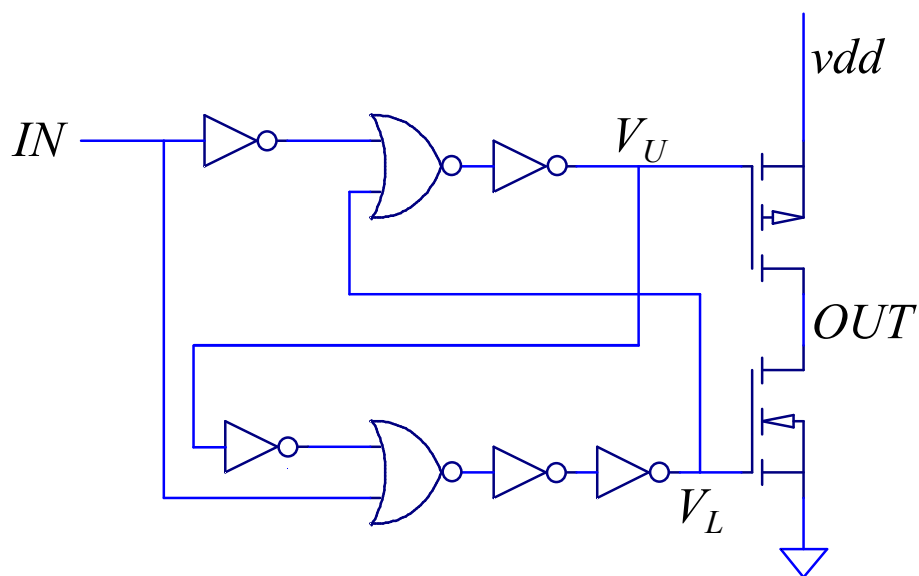
Fig. 3.13: Señales de comparación de corriente. En la parte superior, la corriente a través del inductor y el resultado de su comparación con la corriente promedio. En la parte inferior, las señales de entrada i_{L_a} y i_{L_s} , que se conectan a la entrada del comparador de la Fig. 3.12.

Se puede ver que el retraso temporal entre la entrada de tensión y la tensión desplazada es casi nulo. Incluso cuando un comparador de alta velocidad es utilizado, existe un retraso entre la señal de salida debido al desbalance intrínseco de las entradas del comparador. Este retraso tiene un impacto negativo en la salida elevadora; para mejorar esta situación es necesario un comparador aún más rápido, pero este requerirá una corriente de polarización mayor que puede degradar la eficiencia del convertidor. El enfoque tomado para sobrellevar esta situación requiere de un

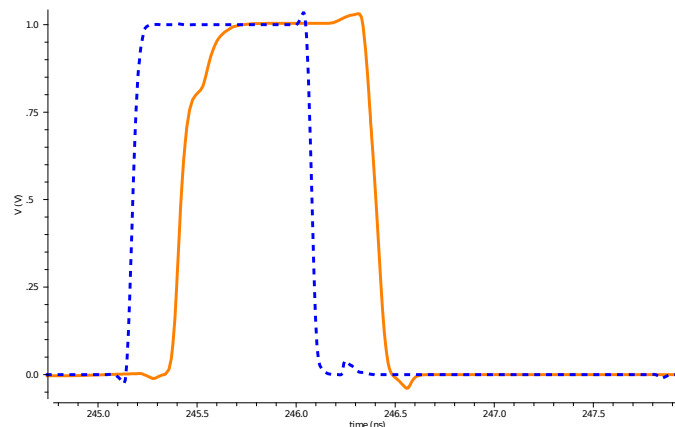
compromiso entre el retraso aceptable y el consumo de corriente.

3.5.3. Circuitos Disparadores de las Llaves

Los transistores que funcionan como llaves tienen un enorme tamaño y demandan una gran cantidad de corriente para encenderse o apagarse. Por esta razón, circuitos de disparo son necesarios para manejar estas llaves. El circuito utilizado se muestra en la Fig. 3.14 y ha sido propuesto en [28]. La última etapa está compuesta por transistores PMOS y NMOS de gran tamaño, usualmente se encuentran conectados como un inversor lógico. Sin embargo, para poder evitar el cortocircuito que se produciría al momento de conmutar la salida ciertos cuidados deben ser tomados.



(a) Circuito de disparo de la llave.



(b) Tiempo de propagación. Señal de entrada (azul). Señal de salida (naranja).

Fig. 3.14: Implementación de los circuitos de disparo.

Debido a esto, la etapa de salida del circuito de disparo es manejada por dos circuitos distintos realimentados. La señal de realimentación V_U y V_L aseguran que cualquiera de los transistores sólo se encenderá luego de que el otro se haya apagado. De esta manera el pico de corriente entre la alimentación y tierra es minimizado.

La adición de varias etapas al driver introduce un retraso de propagación entre la entrada del driver y la salida que ataca al transistor de potencia. Este retraso degrada el margen de fase del lazo de control y puede provocar cierta inestabilidad. Para contrarrestar este efecto el tamaño y la capacidad de manejo de carga (*fanout*) de las compuertas lógicas conectadas en cascada deben ser progresivamente escaladas.

3.5.4. Detector de Corriente Cero

Este bloque se implementa como se muestra en la Fig. 3.15. La idea consiste en utilizar la caída de tensión en la resistencia R_{on} del transistor M_1 para detectar el sentido de la corriente a través del inductor. El transistor tiene la misma corriente que el inductor cuando está encendido. Mientras la corriente fluye desde la fuente de alimentación hacia la carga a través de la conexión serie del transistor y el inductor, la caída de tensión a través de la R_{on} es positiva. Cuando se agota la energía del inductor la corriente se vuelve cero y por lo tanto la caída de tensión también. Luego la corriente tomará un sentido negativo ya que el capacitor tiene un voltaje mayor al de la fuente de alimentación. El capacitor comenzará a descargarse a través del transistor y el inductor y por eso la caída de tensión en el transistor se vuelve negativa.

Este cambio en la caída de tensión es detectado por un comparador de alta velocidad y su salida cambia de cero a uno. Esta salida será utilizada como señal de entrada para la máquina de estados MEA al momento de apagar todos los transistores.

En el circuito mostrado en la Fig. 3.15 dos seguidores de fuente son implementados con transistores de alto voltaje. Los mismos son utilizados para adaptar los niveles de tensión a los niveles apropiados para las entradas del comparador. El voltaje desplazado puede ser calibrado con las corrientes I_1 e I_2 .

En la Fig. 3.16 puede verse el comportamiento del circuito. La tensión del nodo

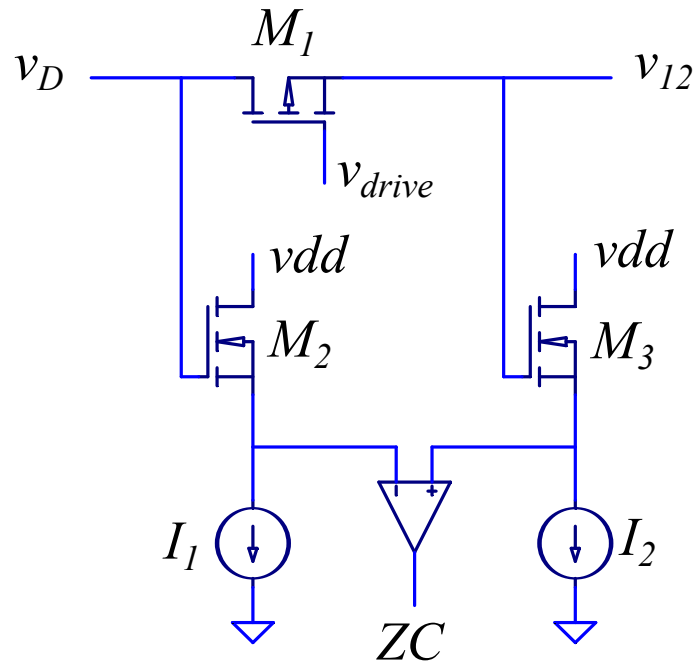


Fig. 3.15: Detector de corriente cero.

conmutado V_d se muestra por la curva verde; la salida de tensión de la salida elevadora se muestra en color rojo. Las curvas cian y magenta son respectivamente los niveles copiados desplazados de las tensiones copiadas. Finalmente, la curva violeta en la parte baja de la figura es la salida del comparador.

3.6. Implementación

El convertidor es implementado en un proceso CMOS 65 nm de la firma ST. Este proceso ofrece características interesantes como compuertas digitales de alta velocidad, capas de metales gruesos, capas de alta resistividad y capacitores MOS de alta densidad.

La elección de la frecuencia de conmutación resulta de una relación de compromiso entre la frecuencia máxima a la que puede operar la tecnología y la reducción del tamaño de los componentes pasivos. La frecuencia de conmutación elegida (200 MHz) es relativamente baja si se la compara con la máxima frecuencia a la que pueden operar las compuertas de librería; esta frecuencia permite disminuir el tamaño de los elementos pasivos y consecuentemente reducir el área de silicio necesaria. Al mismo tiempo, al estar por debajo de la frecuencia máxima a la que pueden operar las

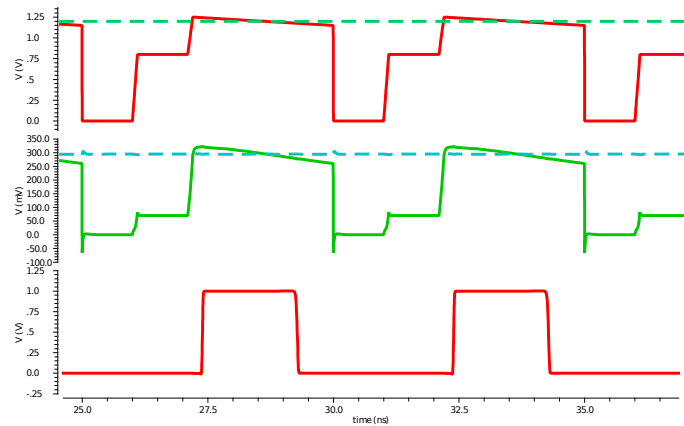


Fig. 3.16: Detector de corriente cero. En la parte superior las tensiones en los nodos V_{12} y V_D . En el medio, las mismas tensiones trasladadas. En la parte inferior el resultado de la comparación.

compuertas lógicas suministradas por librería, el diseño de circuitos analógicos para el sensado de variables resulta más sencillo. El diseño físico preliminar del convertidor SIMO se muestra en la Fig. 3.17. Puede notarse de la figura el inductor y los capacitores de salida son los que ocupan más área.

El inductor de 2 nHy tiene un diseño en espiral y cuenta con varias capas de metal en paralelo para mejorar el factor de calidad del mismo. También posee en el fondo un blindaje en la capa $N+ active$, que minimiza la capacidad entre las capas de metal y el sustrato. Ambos capacitores son implementados con transistores MOS en una capa especial para realizar capacitores. Se implementan como un arreglo de capacitores unitarios, de esta forma el factor de forma de los capacitores puede cambiar de acuerdo al área disponible, maximizando el valor de capacidad. Cada capacitor tiene un valor de 3.3 nF.

3.7. Sistema Completo

Una vez que todos los bloques han sido diseñados y probados en forma aislada, el siguiente paso consiste en cerrar el lazo del realimentación y simular el convertidor completo (Fig. 3.2). La entrada es nuevamente 1 V y las tensiones de salida son 0.8 V y 1.2 V para la salida reductora y elevadora, respectivamente. El convertidor funciona a una frecuencia de conmutación de 200 MHz.

El sensor de corriente instantánea y media es conectado a una resistencia shunt

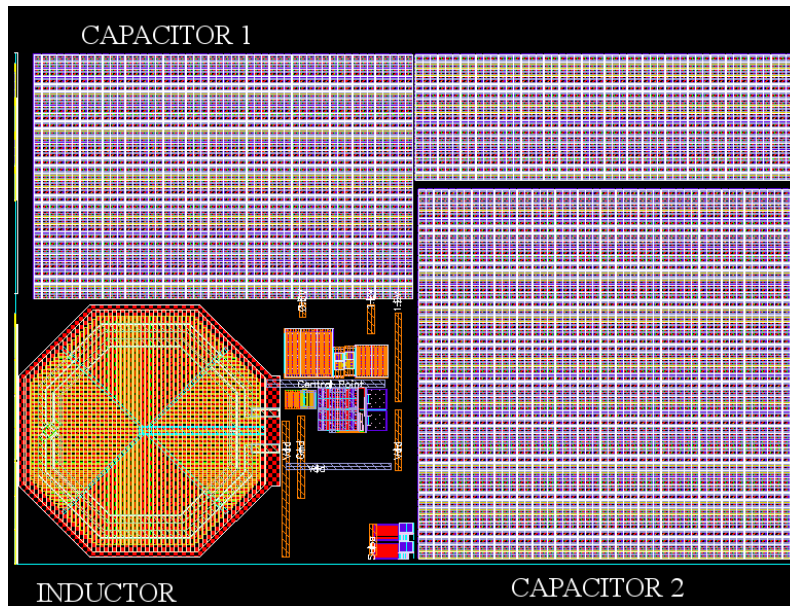


Fig. 3.17: Diseño físico del convertidor completamente integrado. El área utilizada es de 1.4 mm^2 .

y el sensor de corriente cero es conectado en el transistor de la salida elevadora. Las conexiones de los comparadores a las tensiones de salida y su conexión con la MEA también es mostrada. Para mantener la simplicidad circuitos como drivers, buffers o lógica interna no se muestran en Fig. 3.18.

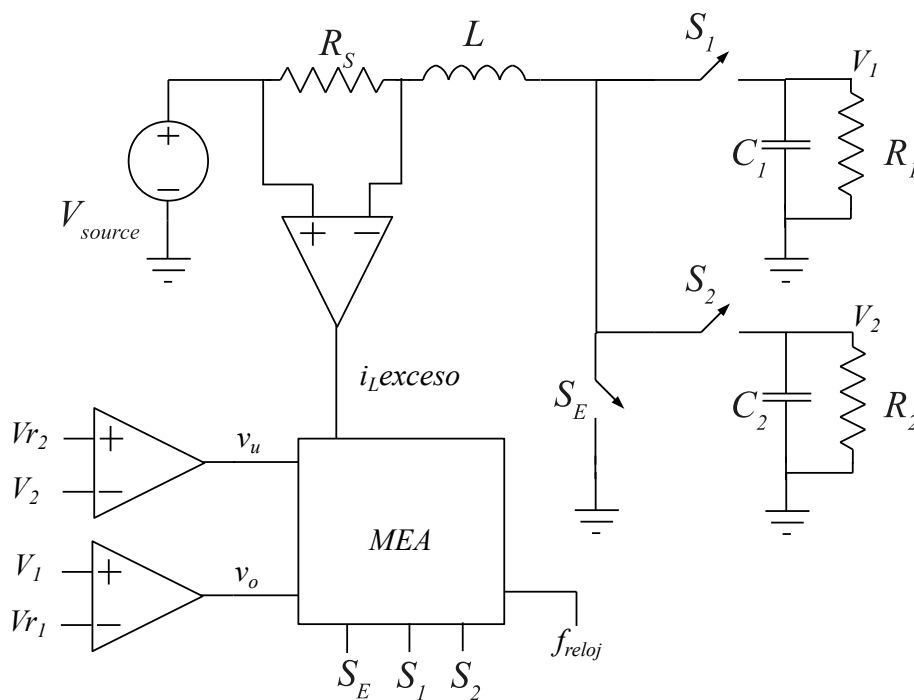


Fig. 3.18: Topología de convertidor SIMO tipo boost.

En la Fig. 3.19 varias formas de onda del sistema a lazo cerrado pueden verse.

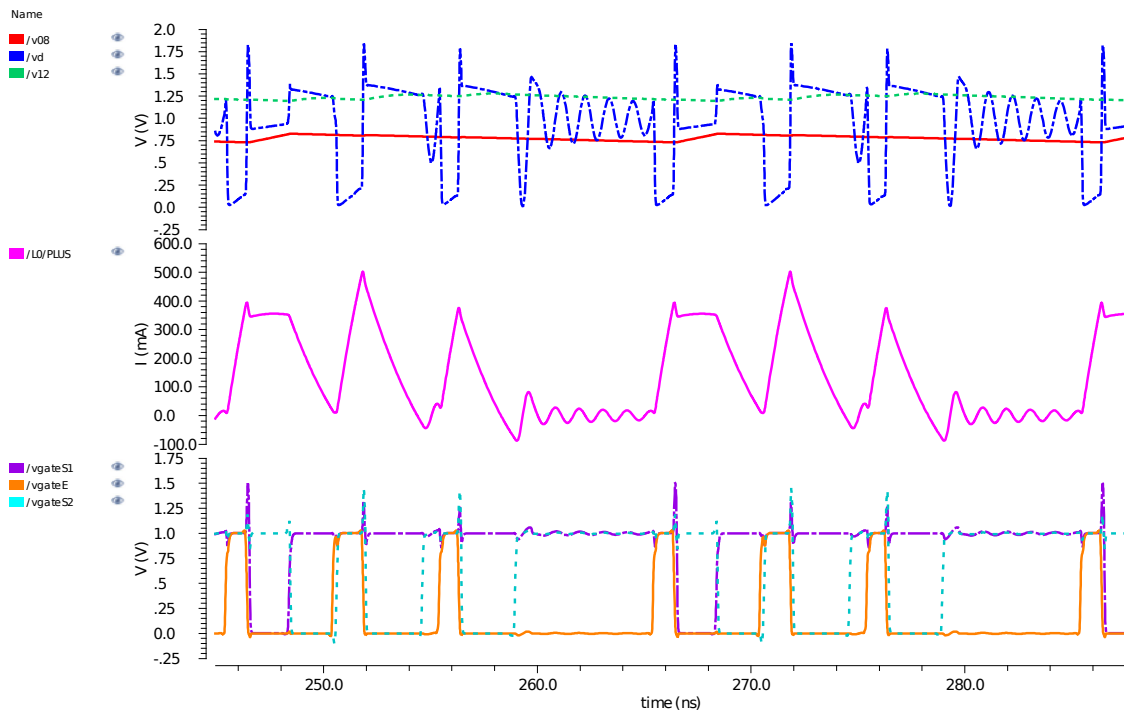


Fig. 3.19: Diferentes señales de salida. En la parte superior tensiones en los nodos V_{12} , V_{08} y V_D . En el medio de la figura se grafica la corriente por el inductor. En la parte inferior de la figura se pueden ver las tensiones de compuerta de las llaves de potencia.

Las tres curvas en el tope de la figura son las tensiones de la salida reductora (V_{08}), la salida elevadora (V_{12}) y del nodo (V_d) (rojo, verde y amarillo, respectivamente).

En el gráfico del centro de la Fig. 3.19, se muestra la corriente por el inductor; puede verse cómo la estrategia de conmutación cambia de acuerdo a la evaluación del estado de carga. La pendiente creciente pronunciada corresponde con el estado de energización del inductor, la parte plana con el estado en que se alimenta la salida reductora y la pendiente pronunciada decreciente con el estado de la salida elevadora. La oscilación que aparece después del estado correspondiente a la salida elevadora puede atribuirse al modo de conducción discontinuo; esto también puede verse en la curva amarilla correspondiente al nodo V_d en el tope de la figura.

Finalmente en la parte inferior de la figura la tensión de las compuertas de los tres transistores es mostrada. Aquí, S_E es el voltaje de la compuerta de un transistor NMOS, mientras que S_1 y S_2 son las tensiones de compuerta de dos transistores PMOS.

Una vez que el funcionamiento en estado estacionario ha sido verificado, se realizan simulaciones para verificar el desempeño del convertidor bajo diferentes condiciones de trabajo.

La primer simulación muestra la eficiencia del sistema en un escenario donde la carga de la salida elevadora se mantiene en su valor máximo (50 mA) mientras que la carga de la salida reductora varía entre su máximo de 40 mA y un 20 % del mismo. Aquí la eficiencia del convertidor se define como

$$Eficiencia = \frac{Pot.V_{1,2} + Pot.V_{0,8}}{P_{IN}} \times 100 \quad (3.8)$$

donde $Pot.V_{1,2}$ es la potencia que entrega la salida elevadora, $Pot.V_{0,8}$ es la potencia entregada por la salida reductora y P_{IN} es la potencia de entrada al convertidor.

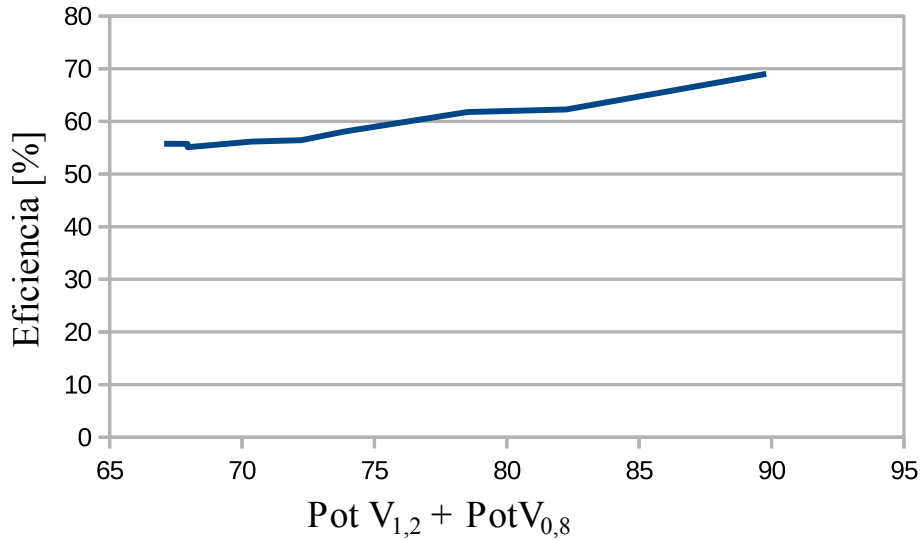


Fig. 3.20: Eficiencia del convertidor con salida elevadora a plena carga y variación en la carga de la salida reductora.

Puede verse que la eficiencia combinada de ambas salidas se mantiene por encima del 55 % y con un pico de 69 %. Sin embargo, debido a que es un sistema con dos salidas, también es necesario evaluar la eficiencia del sistema ante una variación en sus dos salidas. En la Fig. 3.21 se puede ver la eficiencia del convertidor ante esta situación. La carga de la salida reductora es siempre un 20 % menor a la carga de la salida elevadora, donde el valor máximo de carga en la salida elevadora es de 50 mA (salida reductora 40 mA). Ambas, salida reductora y elevadora varían su potencia desde un 20 % de sus valores máximos, 8 mA y 10 mA respectivamente, hasta su

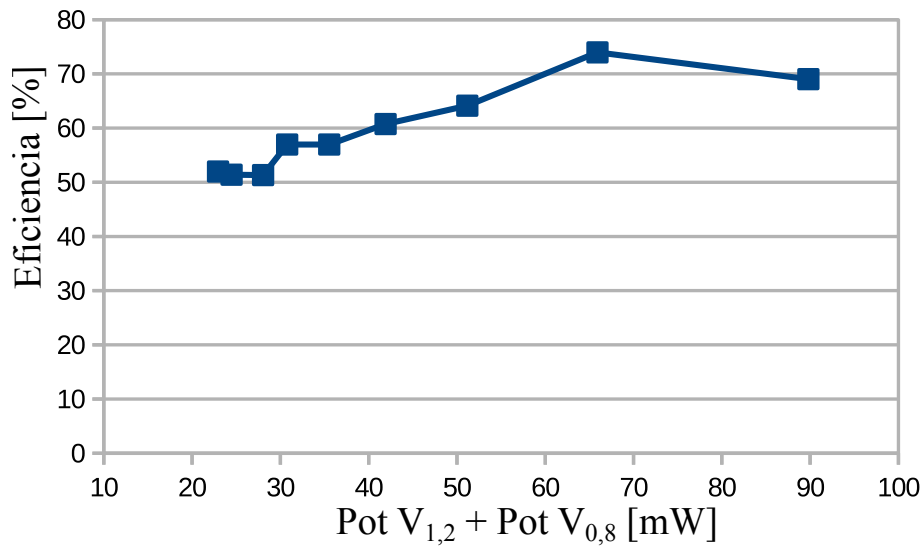


Fig. 3.21: Eficiencia del convertidor para variación lineal en ambas cargas.

máxima corriente de salida de 40 mA y 50 mA respectivamente.

Estos resultados también muestran una buena eficiencia ante cargas altas, con un pico de 73,9% y un buen desempeño para cargas bajas.

Si bien la eficiencia del convertidor es baja comparada con un convertidor conmutado de menor frecuencia, los valores obtenidos son similares a los presentados en otros trabajo de convertidores conmutados completamente integrados [21,23,26].

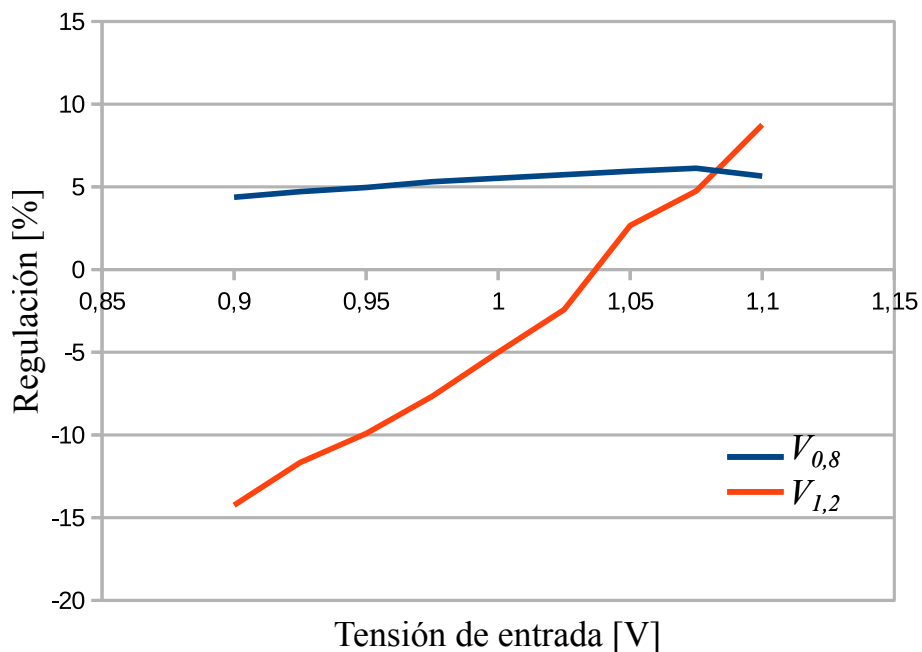


Fig. 3.22: Regulación del convertidor ante una variación en la tensión de entrada.

Por último se evalúa la regulación de ambas salidas a plena carga, 50 mA para la

salida elevadora y 40 mA para la salida reductora, ante una variación en la tensión de alimentación. En la Fig. 3.22 se pueden ver estos resultados. Para la salida reductora se obtiene una regulación mucho mejor, debido a que la estrategia de control siempre mide por este valor para tomar decisiones al momento de definir los ciclos de trabajo. Por otro lado, la salida elevadora tiene una regulación no tan buena; esto se debe a que la estrategia de control entrega el sobrante de energía en el inductor a la salida elevadora.

3.8. Resumen

En este capítulo una breve introducción a los convertidores conmutados completamente integrados es presentada. Las metodologías para la integración de los elementos pasivos así como sus desafíos son presentados y limitantes impuestas por el proceso también son presentadas. Los principios de funcionamiento de los convertidores SIMO, sus ventajas y desventajas también se presentan en ese capítulo.

En primera instancia la metodología para la integración de capacitores e inductancias se aborda. La mayor densidad de capacidad se logra al utilizar la capacidad parásita de un transistor MOS. Si bien la capacidad del mismo no es lineal con la tensión, debido a que las tensiones de salida se encuentran por encima de la tensión de umbral del transistor MOS, la capacidad que puede proveer el mismo es la propia del óxido de la compuerta. El inductor se implementa mediante un diseño de espiral. Si bien el valor de inductancia depende solamente de su geometría, los parásitos son minimizados mediante el ruteo en paralelo de varias capas de metal y la interconexión de las mismas mediante el mayor número de vías posibles. La implementación se realizó en los metales superiores el proceso a fin de minimizar las capacidades parásitas contra el substrato.

Una vez que la implementación de los elementos pasivos del convertidor fue definida, el diseño del convertidor se lleva a cabo. Las ventajas de un convertidor SIMO son presentadas y procedió a el diseño e implementación del mismo. Una arquitectura del tipo *boost* es llevada a cabo. Esta topología ofrece la ventaja de no cambiar su modo de funcionamiento a pesar de los parásitos del empaquetado, utilizando a su favor las inductancias parásitas del mismo. a su favor sin modificar sUna es-

trategia de control alternativa a las presentadas en otros diseños de convertidores completamente integrados es presentada.

Debido a la topología seleccionada, las estrategias de control usualmente utilizadas en convertidores conmutados completamente integrados con son factibles, ya que su velocidad no es lo suficientemente alta para llevar a cabo las secuencias de conmutación de las llaves de una manera precisa. Una estrategia de control por histéresis es llevada a cabo [80].

La ventaja de este tipo de estrategia se encuentra en que puede implementarse sin comparadores de error que requieren de alta precisión para relizar un control eficiente. Solo se requiere de comparadores rápido para evaluar distintas variables del convertidor. La toma de desiciones en cuanto a los tiempos de conmutación es llevado a cabo mediante lógica asincrónica, ya que una lógica sincrónica no es capaz de funcionar a la velocidad requerida, además de tene un consumo de energía mayor [80].

El esquema de control fue verificado mediante simulaciones funcionales, desarrollando un modelo de referencia que contemplase todos los posibles modos de conducción del convertidor para distintos estados de carga. A partir de este modelo el diseño en una tecnología de CMOS de 65 nm fue llevado a cabo. Las no idealidades del desarrollo intregado, como restrasos temporales y no linealidades en los módulos, fueron incorporadas al modelo de referencia para comprobar el correcto funcionamiento del sistema [81].

Una vez que los lazos de contro fueron cerrados y verificados tanto en el modelo de referencia como en el diseño integrado, este último es sometido a diferentes condiciones de trabajo como escalones de carga, vaciaciones en la tensión de alimentación, etcétera. Valores de eficiencia también son obtenidos para diferentes estados de carga, mostrando resultados similares a los de otros convertidores conmutados de salida simple presentados en la literatura [81].

Apéndice A

Espejo de Corriente de Alta Velocidad

Los espejos de corriente representan uno de los bloques básicos para el diseño de circuitos analógicos. Si bien existen diferentes implementaciones, el espejo con solo dos transistores, Fig. A.1 es el más simple y uno de los que más se utiliza para trasladar y multiplicar corrientes en un circuito analógico.

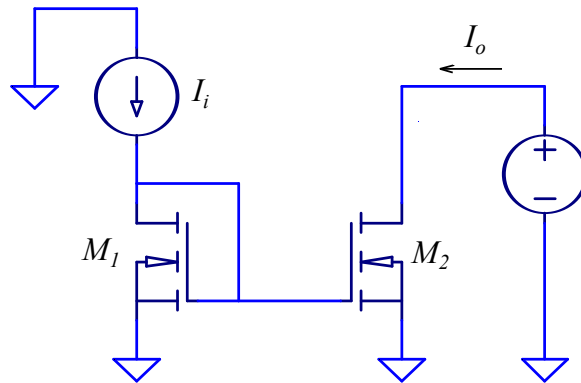


Fig. A.1: Espejo de corriente básico.

Asumiendo que los transistores M_1 y M_2 son iguales, la función transferencia del espejo de corriente se define como

$$H(S) = \frac{I_o(S)}{I_i(S)} = \frac{g_{m2}}{g_{m1}} \frac{1}{1 + S(2C_{gs}/g_{m1})}, \quad (\text{A.1})$$

donde g_m es la transconductancia de cada transistor, C_{gs} es la capacidad entre el *gate* y el *source* de cada transistor. Bajo estas condiciones, el espejo de corriente se

comporta como un sistema de primer orden con un polo en $\omega_0 = g_{m1}/2C_{gs}$. El ancho de banda del espejo es la mitad del f_t del transistor y será aún menor si el ancho de M_2 es mayor al ancho de M_1 .

Para aumentar el ancho de banda del espejo la primer alternativa es aumentar la corriente de polarización; sin embargo, esta solución está atada al presupuesto de corriente disponible en el sistema. Además, debido a que $g_m \propto \sqrt{I_{DC}}$ no es una forma eficiente de incrementar el desempeño en frecuencia.

Si bien parece poco intuitivo, el agregado de un resistor en el *gate* del transistor como se muestra en la Fig. A.2 mejora el comportamiento en frecuencia del espejo de corriente.

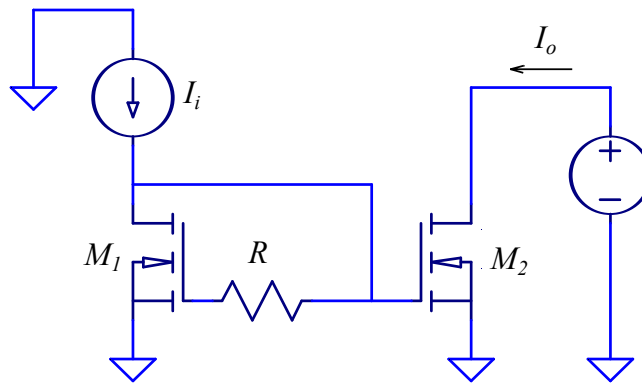


Fig. A.2: Espejo de corriente básico con compensación resistiva.

En el espejo simple con ambos transistores iguales, al presentarse un cambio en la corriente de entrada éste carga las capacidades C_{gs} de cada uno de los transistores por igual. Al cargarse las capacidades la tensión V_{gs} se eleva y por lo tanto también lo hace el valor I_D en ambos transistores. Una vez que se alcanza el nuevo valor de I_i en ambos transistores se llega a un estado estacionario.

El funcionamiento es diferente en el esquema de la Fig. A.2. Aquí cuando se produce un cambio en la corriente I_i éste carga la capacidad C_{gs} de transistor M_2 más rápido que la del transistor M_1 , ya que la primera ofrece un camino con menor resistencia. Sin embargo, una pequeña corriente circula a través de R cargando la capacidad C_{gs} del transistor M_1 y luego de un tiempo, ambas capacidades tendrán el mismo valor de tensión y por lo tanto ambos transistores conducirán la misma corriente. Una vez que el estado estacionario ha sido alcanzado, ambas capacidades C_{gs} se encuentran a la mismo potencial y por lo tanto no hay circulación de corriente

por R . Esto implica que no habrá consumo adicional en estado estacionario

Desde un punto de vista matemático, la incorporación del resistor incorpora un polo y un cero al sistema. Su función transferencia queda determinada por

$$H(S) = \frac{I_o(S)}{I_i(S)} = \frac{g_{m2}}{C_{gs2}} \frac{S + 1/RC_{gs1}}{S^2 + \frac{C_{gs1} + C_{gs2}}{RC_{gs1}C_{gs2}}S + \frac{g_{m1}}{RC_{gs1}C_{gs2}}}, \quad (\text{A.2})$$

con un cero en

$$Z_1 = -1/RC_{gs1}, \quad (\text{A.3})$$

un par complejo de polos en

$$P_{1,2} = \frac{C_{gs1} + C_{gs2}}{2RC_{gs1}C_{gs2}} \left[-1 \pm \sqrt{1 - \frac{4g_{m1}RC_{gs1}C_{gs2}}{(C_{gs1} + C_{gs2})^2}} \right] \quad (\text{A.4})$$

y un ancho de banda de

$$\omega_0 = \sqrt{g_{m1}/RC_{gs1}C_{gs2}}. \quad (\text{A.5})$$

La adición del cero hace a sistema más rápido y oscilatorio a medida que el cero se mueve hacia el origen. Cuando $R = 1/g_{m1}$ y $C_{gs1} = C_{gs2}$ el cero cancela uno de los polos del sistema, haciendo que se comporte como un sistema de primer orden. El sistema opera a $\omega_0 = g_{m1}/C_{gs2}$, que es el doble de frecuencia que la del espejo sin compensación y teóricamente a la frecuencia f_t de los transistores. La técnica se puede hallar en la literatura [79].

Apéndice B

Publicaciones

En este apéndice se muestran los diferentes trabajos publicados.

Fully Integrated Single-Inductor Multiple-Output (SIMO) DC-DC Converter in CMOS 65 nm Technology

Angel J. Soto,
Esteban O. Lindstrom
Alejandro R. Oliva
and Pablo S. Mandolesi
Instituto de Investigaciones en
Ing. Eléctrica (IIIE) Alfredo Desages
(UNS-CONICET).
Depto. de Ing. Eléctrica y de Computadoras.
Universidad Nacional del Sur.
Avda. Alem 1253
(8000) Bahía Blanca, Argentina.
Email: angel.soto@uns.edu.ar

Fortunato Carlos Dualibe
Faculté Polytechnique
Service d'électronique et de
microélectronique
Université de Mons
boulevard Dolez, 31
7000 Mons, Belgium.
Email: fortunato.dualibe@umons.ac.be

Abstract—In the nanoscale technologies, the on-chip Power Management design strategy as a part of a System on Chip (SoC) is becoming extremely important. This work presents a fully integrated SIMO converter in a CMOS 65 nm technology. Since passive components are also integrated and their values should result relatively small the converter operates at a switching frequency of 200 MHz. This version counts with a step-up and a step-down outputs, but it can be easily extended to more outputs. A suitable control strategy for high speed and nano-scale process together with system simulation results are discussed.

I. INTRODUCTION

As long as CMOS technologies evolve towards deep nanoscales, the design of a System on Chip (SoC) is becoming more feasible and reliable, allowing to incorporate more and more functions in a single die. This kind of system however, need on-chip Power Management techniques in order to achieve high power efficiency without compromising the system performance [1], [2]. On the other hand, with the introduction of sub-100 nm CMOS technologies, designers are faced with many new challenges at different phases of analog and power circuits design [3].

Fully integrated switching converters use integrated inductors and capacitors switched at high frequency for achieving a good output voltage regulation performance. Since the converter can be integrated in the same die in a SoC without the need of external components (sometimes more expensive than the silicon die itself) the system becomes cost-effective, while keeping high power efficiency [4]–[6]. Single-Inductor Multiple-Output (SIMO) converters can yield several DC voltage levels (step-down and step-up) with a single inductor, which is time-shared between all outputs by following differ-

ent energizing and de-energizing strategies [7]–[9]. Obtaining several output voltages with a single inductor makes this approach very attractive because of the further cost reduction achieved.

In this work a boost-like architecture of a SIMO converter with a hysteretic control is presented. It has two outputs, one step-up and the other step-down. It is being integrated in a standard ST CMOS 65 nm process, which is widely used for SoC integration since it offers high speed and low consumption devices. The converter is fully integrated in the die, including the single inductor and the output capacitors. Simulation results are presented and compared with previous works.

The work is organized as follow: in section II the architecture and the control strategy are presented. The subsection II-A discusses the topology, subsection II-B presents the employed hysteretic control strategy whereas in subsection II-C comparator topology is shown. Simulation results are shown in section III. Some aspects on the circuit implementation are discussed in section IV. Finally, conclusions and future works are presented in V.

II. ARCHITECTURE AND CONTROL STRATEGY

Figure 1 shows the chosen topology, a boost-like SIMO DC-DC converter. S_1 , S_2 and S_E represent power switching transistors whereas $ref_{1,2}$ and $ref_{0,8}$ are the set-point references for defining the output voltages. For simplicity power transistors' drivers are not represented. This architecture was chosen owing to its simplicity. It allows generating step-up and step-down outputs with the correct switching sequence. Since the converter is fully integrated, this circuit offers increased robustness to the parasitic package inductance effects. This is

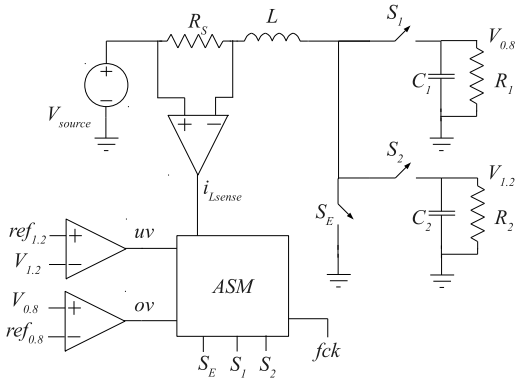


Fig. 1: SIMO boost-like topology.

because the inductor is directly connected to the power supply.

A. Architecture

Two different switching strategies could be implemented for this architecture. One with individual energizing time interval for each output and another with a common energizing time interval for both outputs.

Each strategy has its own advantages and disadvantages; however, the latter leads to a shorter time disconnected from the energizing source. Thus, the filtering capacitors at the outputs result smaller, which favors their on-chip implementation.

The switching sequence consists of an energizing time interval, where the inductor is energized by connecting it between V_{dd} and G_{nd} through S_E . This interval ends when switch S_E opens, S_1 closes and the inductor current (i_L) flows through S_1 charging the output capacitor C_1 . Since the voltage at the capacitor, controlled by feedback, is less than the input source voltage, the current through the inductor continues increasing.

During the next interval S_1 is open and S_2 is closed. The energy remaining at the inductor is therefore transferred to the output capacitor C_2 . Since this is the feedback-controlled step-up output, i_L decreases while charging the capacitor.

The system output is defined by (1)

$$V_{in} = \sum_{k=1}^N D_{o(k)} V_{o(k)}, \quad (1)$$

where V_{in} is the main source voltage, $D_{o(k)}$ is the duty cycle of output k and $V_{o(k)}$ its corresponding output voltage.

According to Equation (1), even when the topology is based on a boost converter, $n-1$ outputs can step down the input voltage provided that at least one output steps it up.

This topology is also able to operate in the continuous and discontinuous modes depending on the loading conditions. The three main conduction modes for the proposed SIMO converter are shown in Fig. 2. The continuous conduction mode (CCM) is plotted in red. It can be seen that i_L never becomes zero. In green, the critical conduction mode (CRM) exhibits its main characteristic where i_L becomes zero at only one instant. The

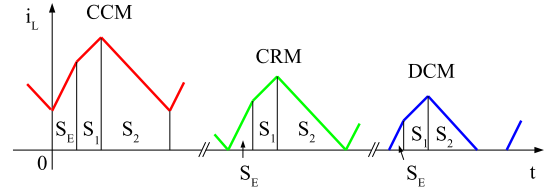


Fig. 2: SIMO boost topology: operating modes.

discontinuous conduction mode (DCM) is shown in blue. In this case, i_L becomes zero during a prolonged time interval.

To guarantee proper operation, the control strategy should account for the transition from DCM to CCM and vice-versa.

B. Control Strategy

All passive components values must be kept small to allow full silicon integration, forcing the switching frequency to be increased into the hundreds of MHz range. In spite of this, silicon area budget restrictions limit the inductance maximum value for which the converter could even fall in the DCM operating mode.

Linear control strategies based on pulse width modulation, pulse frequency modulation and many others require an operational amplifiers to perform the error amplifiers. The necessary gain, offset and speed of this amplifier would imply a high bias current, degrading the system efficiency and leading to large transistors, which would occupy critical area needed for the passive elements of the converter. For these reasons a hysteretic control strategy is chosen that only requires high speed comparators and a low speed integrator, relaxing the design constrains.

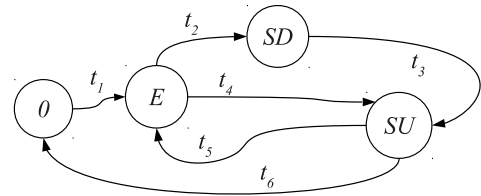


Fig. 3: State diagram of control ASM.

Synchronous state machines are discarded since the converter high switching frequency would imply the use of a higher clock frequency to handle the digital circuitry. Besides, the energy efficiency is higher in an asynchronous approach. In this direction, the converter's control is implemented by an asynchronous state machine (ASM), which is driven by flag signals delivered by the SIMO (i.e. uv , ov and i_{Lsense}). These signals are generated by the high speed comparators and the low speed integrator and they are related to the output voltages and inductor current states.

The ASM state diagram is shown in Fig. 3. The initial state is 0, where all switches are open. Transition t_1 is done once the start cycle signal arrives every $1/fck$ second. During state E switch S_E closes, energizing the inductor. Transition

t_2 happens when an under-voltage (i.e., with respect to the desired output voltage) is detected in the step-up output or if the inductor current over peaks. After t_2 , switch S_E opens whereas S_1 closes. At this state the step-down output is supplied by the inductor current. S_1 keeps closed until an overvoltage (ov) is detected at the step-down output. This event triggers transition t_3 , then S_1 opens while S_2 closes. In this state the step-up output is supplied by the inductor current. Transition t_5 is forced by a new start cycle, which will restart the complete energizing-denergizing procedure.

In case that the converter enters into the DCM, transition t_6 is triggered when the inductor current drops to zero. The ASM then goes to state 0, where all switches are open and waits for a new start cycle. This prevents the step-up capacitor C_2 from discharging through the inductor and degrading in this way the step-up output. This consideration allows the converter to work in all conduction modes.

The minimal time required to open and close a switch is limited by the technology. When the converter goes into the light-load condition and the current required by the step-down output decreases, the time interval when S_1 remains closed also decreases. In this situation, where the load in this output is extremely low, the required time to close and open the switch permits to charge the output capacitor in excess to the extent that the system will not be able to control this output voltage anymore.

To affront this situation, if the under voltage (uv) in the step-down output is not detected at the time where the t_2 should be executed, the ASM jumps from state E directly to state SU following the transition t_4 and, skipping state SD .

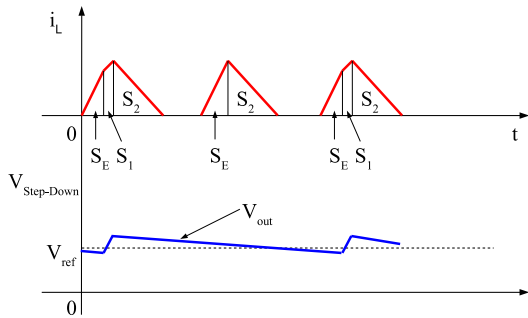


Fig. 4: Inductor current in a light-load condition.

In the next cycle, if the step-down output voltage is below its reference, the uv signal is generated and S_1 closes. The current through the inductor charges capacitor C_1 . This situation is shown in Fig. 4, where in the first cycle the output voltage is below the reference, here S_1 closes and the step-down voltage increases. In the second cycle the voltage is still above the reference and, so S_1 does not close. Finally in the third cycle the output voltage is below the reference again, then S_1 closes increasing the step-down voltage.

C. Comparator Design

Since the switching frequency is in the range of the hundreds of MHz and the behavior of the converter is asynchronous, a high speed continuous time comparator is needed. The used topology is shown in Fig 5. As it can be seen, it is a classic comparator topology with an additional resistor R in the current mirrors. These additional resistors generate a high speed current mirror [10]. These mirrors combined with the positive feedback stage, improves the speed performance without affecting the comparator power consumption.

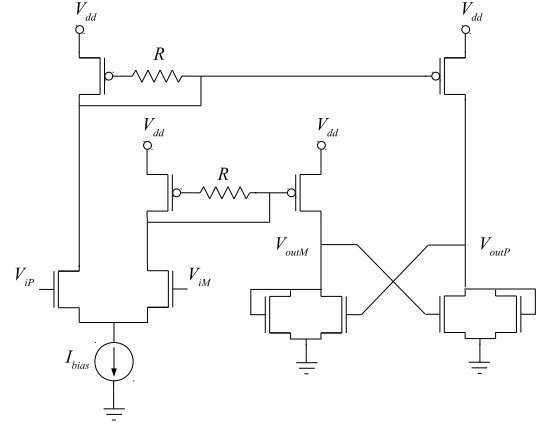


Fig. 5: Comparator topology.

III. SYSTEM SIMULATION

The input voltage is set to 1V whereas the outputs are 1.2 V and 0.8 V for the step-up and step-down outputs, respectively. Outputs voltage ripple were specified to be smaller than 10%. Maximum outputs currents were fixed to 50 mA each. According to previous reported works [4], [5] a switching frequency of 200 MHz is selected. Since the converter has not yet been fabricated, only simulation results are presented. Several simulations were carried out to test the performance of the control strategy.

Figure 6 shows the response of the circuit to a 40 mA load step applied at the step-up and step-down outputs. As a result, the voltage ripple increases. It should be noted that the output ripple is determined by the switching frequency and C_1 and C_2 for the step-down and step-up, respectively. The power efficiency, obtained by simulation, with both outputs in a full load condition is 76.8%. Since other similar converters could not be found in the literature, the converter efficiency is compared with previous single output fully integrated converters.

The inductor current i_L during a light-loading simulation is shown in Fig. 7. As it can be seen, depending on the load condition, there are some cycles where S_1 does not close. After the energizing interval current I_L decreases because the inductor is connected through S_2 to the step-up output. When the step-down output voltage is too low, the converter charges the capacitor again by closing S_1 . This can be appreciated when the inductor current increases with two different slopes.

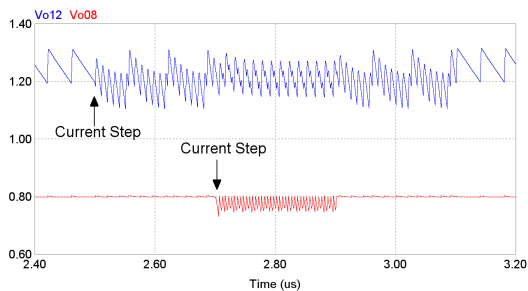


Fig. 6: Step-down and Step-up output voltage responses to a current step load.

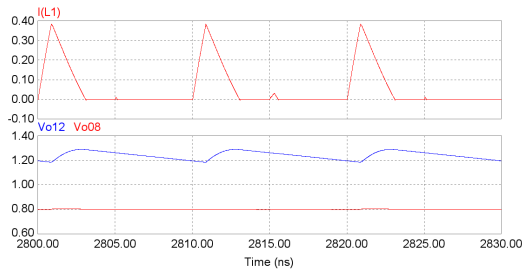


Fig. 7: Inductor current and output voltages in a light-load condition.

IV. IMPLEMENTATION

The converter is being implemented in the ST CMOS 65 nm process. This process offers several interesting features like: high speed digital gates, thick top metal layer, high resistive layers and high density MOS capacitors.

The chosen switching frequency is relatively low if compared to the maximum frequency at which the digital library gates are able to work. Adopting this frequency allows downsizing the passive elements and consequently reducing the necessary die area. The preliminary SIMO layout is shown in Fig. 8. It can be appreciated that the inductor and the output capacitors occupy most of the die

The 2 nH μ y inductor shape is a spiral implemented with several metal layers in parallel to improve the quality factor. It also has a bottom N⁺ active shielding to minimize the capacitance between the metal layers and the substrate. Both capacitors are MOS transistors specially provided for building large capacitors. They are implemented by an array of unity capacitor, in this way the form factor of the main capacitor can change according the available die area, maximizing the capacitor value. Each capacitor has a value of 3.3 nF.

V. CONCLUSIONS

An alternative architecture and control strategy for a dual output SIMO converter in a nano-scale CMOS technology is presented. The high-speed hysteretic asynchronous control strategy was found more suitable than others since it only requires high speed comparators, low speed integrators and an asynchronous state machine. The control scheme shows

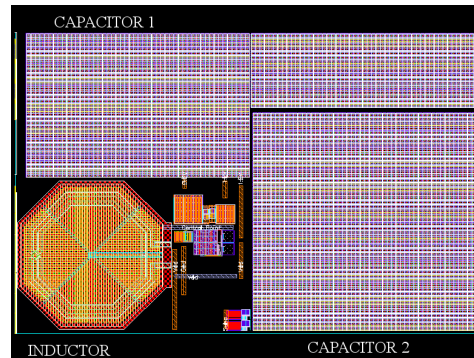


Fig. 8: Fully integrated converter layout. The full converter die area is 1.4 mm².

good response to step loads at both outputs. Also, the light-load control feature improves the output regulation when the converter's load is extremely reduced. Future work will focus mainly on the fabrication of a prototype in order to validate the proposed topology and its control strategy.

VI. ACKNOWLEDGMENT

This work was partially supported by grants PGI-UNS 24/K045, PAE-PICT-2007-02344 (ANPCYT), PIP-CONICET 02671 and PIP-CONICET 0617 0617 and Crédit aux Checheurs N1902921-2010 FNRS (Belgium).

REFERENCES

- [1] C. Shi, B. Walker, E. Zeisel, B. Hu, and G. McAllister, "A highly integrated power management ic for advanced mobile applications," *Solid-State Circuits, IEEE Journal of*, vol. 42, pp. 1723–1731, aug. 2007.
- [2] Y. Huh, "Future direction of power management in mobile devices," in *Solid State Circuits Conference (A-SSCC), 2011 IEEE Asian*, pp. 1–4, nov. 2011.
- [3] L. Lewyn, T. Ytterdal, C. Wulff, and K. Martin, "Analog circuit design in nanoscale cmos technologies," *Proceedings of the IEEE*, vol. 97, pp. 1687–1714, oct. 2009.
- [4] S. Abedinpour, B. Bakkaloglu, and S. Kiaei, "A multi-stage interleaved synchronous buck converter with integrated output filter in a 0.18/spl mu/sige process," in *Solid-State Circuits Conference, 2006. ISSCC 2006. Digest of Technical Papers. IEEE International*, pp. 1398–1407, feb. 2006.
- [5] J. Wibben and R. Harjani, "A high efficiency dc-dc converter using 2nh on-chip inductors," in *VLSI Circuits, 2007 IEEE Symposium on*, pp. 22–23, june 2007.
- [6] M. Rojas-Gonzalez, J. Torres, and E. Sanchez-Sinencio, "Design of a fully-integrated buck voltage regulator using standard cmos technology," in *Circuits and Systems (LASCAS), 2012 IEEE Third Latin American Symposium on*, pp. 1–4, 29 2012-march 2 2012.
- [7] H.-P. Le, C.-S. Chae, K.-C. Lee, S.-W. Wang, G.-H. Cho, and G.-H. Cho, "A single-inductor switching dc 12v/1.5a converter with five outputs and ordered power-distributive control," *Solid-State Circuits, IEEE Journal of*, vol. 42, pp. 2706–2714, dec. 2007.
- [8] M.-H. Huang and K.-H. Chen, "Single-inductor multi-output (simo) dc-dc converters with high light-load efficiency and minimized cross-regulation for portable devices," *Solid-State Circuits, IEEE Journal of*, vol. 44, pp. 1099–1111, april 2009.
- [9] M. Yang, W. Sun, S. Xu, S. Lu, and L. Shi, "A 65nm 10mhz single-inductor dual-output switching buck converter with time-multiplexing control," in *ASIC (ASICON), 2011 IEEE 9th International Conference on*, pp. 870–873, oct. 2011.
- [10] T. Voo and C. Toumazou, "High-speed current mirror resistive compensation technique," *Electronics Letters*, vol. 31, pp. 248–250, feb 1995.

Design and Simulation of the Control Architecture of a Fully Integrated Single Inductor Multiple Output (SIMO) DC-DC Converter

Angel J. Soto, Esteban O. Lindstrom, Fortunato Carlos Dualibe, Alejandro R. Oliva and Pablo S. Mandolesi

Abstract—In the nanoscale technologies, the on-chip Power Management design strategy as a part of a System on Chip is becoming extremely important. Because the value of integrated passive components are low the DC-DC converter operates at a switching frequency as high as 200 MHz. The control architecture of a fully integrated Single-Inductor Multiple-Outputs boost like converter in a CMOS 65 nm technology is presented in this paper. The DC-DC converter counts with a step-up and a step-down outputs, but it can be easily extended to more outputs. The circuit implementation of each converter's blocks and the complete system simulation results are presented in this paper.

Index Terms—SIMO converter, fully integrated power converter, high speed comparator, high speed current sensor, asynchronous state machine

I. INTRODUCTION

The design of System on Chip (SoC) has become feasible and reliable with the evolution of nano-scale technologies. The size and complexity of the SoCs has exponentially increased, thus a smart power management strategy has become a key aspect to be considered at the design time of this kind of systems.

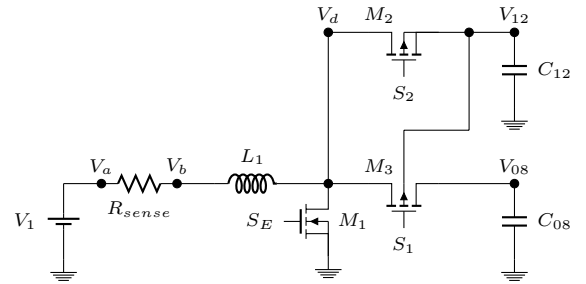
The Single Inductor Multiple Outputs (SIMO) converter became suitable solution to minimize DC-DC converter's volume. Several works have been presented in this field, most of them working with discrete passive components at frequencies from hundreds of kHz to several MHz [1]–[5].

This work focuses the design of the control architecture of the boost-like SIMO converter introduced in [6]. The DC-DC converter has two outputs, one step-up output of 1.2 V and one step-down output of 0.8 V, each one with an output current of 50 mA. It has been designed in a standard CMOS 65 nm process, which is widely used for SoC integration since it offers high speed and low consumption devices. Passive components design has been addressed in previous work [7].

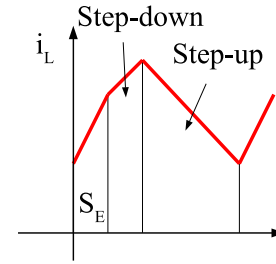
Angel J. Soto, Esteban O. Lindstrom, Alejandro R. Oliva, Pablo S. Mandolesi are with Instituto de Investigaciones en Ingeniería Eléctrica (IEEE) Alfredo Desages (UNS-CONICET), Departamento de Ingeniería Eléctrica y de Computadoras, Universidad Nacional del Sur, Avda. Alem 1253, Bahía Blanca, CP 8000, Buenos Aires, Argentina, {angel.soto, esteban.lindstrom, aoliva, pmandolesi}@uns.edu.ar.

Fortunato Carlos Dualibe is with Faculté Polytechnique Service d'électronique et de microélectronique Université de Mons, boulevard Dolez, 31, 7000 Mons, Belgium. fortunato.dualibe@umons.ac.be.

The research related to this paper was partially funded by ANPCyT, CONICET, Universidad Nacional del Sur and by the Belgian National Research Founding FNRS.



(a) SIMO boost-like converter topology.



(b) Inductor current.

Fig. 1. SIMO boost-like with step-down and step-up outputs and its inductor current.

Hence, this issue is mainly focused on the control circuitry of the DC-DC converter.

This paper is organized as follows: on Sec. II a short explanation of the DC-DC converter working principle and its operation modes is presented. Each part of the SIMO controller and the complete architecture are analyzed in Sec. III. Sec. IV presents the simulation results of the complete system and finally conclusions are presented in Sec. V.

II. SIMO CONVERTER

There are several topologies for SIMO converter that can be chosen in agreement with the specifications. In this work a boost-like topology which is shown in Fig. 1(a) is chosen. It consists on three switches, the first one energizes the inductor while the second and third switches transfer the inductor energy to the step-down and step-up outputs respectively. The resistor R_{sense} has a low resistance and it is used as shunt resistor to measuring the current through the inductor L_1 .

The converter output voltage is define by

$$V_{in} = \sum_{k=1}^N D_{out(k)} \times V_{out(k)}. \quad (1)$$

This equation shows the relation between the outputs and the input. V_{in} is the input voltage, $V_{out(k)}$ and $D_{out(k)}$ correspond to each output voltage and its duty cycle. The boost-like topology is able to generate step-up voltage outputs; however, the equation (1) also shows that this topology can generate a step-down voltage output.

The Fig. 1(b) shows the inductor current behavior when the converter has one step-down and one step-up outputs. At the beginning of each cycle the inductor is energized and its current increases. After that, when the inductor is connected to a step-down output its current and energy keep increasing since the output voltage is lower than the input voltage. On the other hand, when the inductor is connected to a step-up output its current and energy decrease since the output voltage is higher than the input voltage. This behavior explains how it is possible the this topology is able to generate step-down and step-up outputs. Actually, the topology needs only one step-up voltage output while the rest can be step-down outputs.

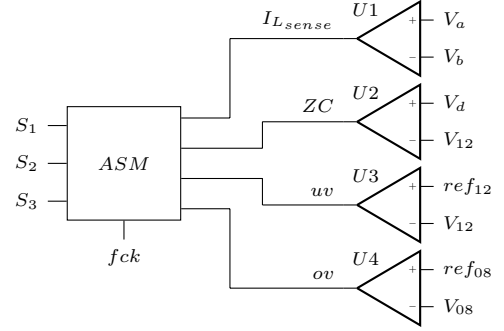
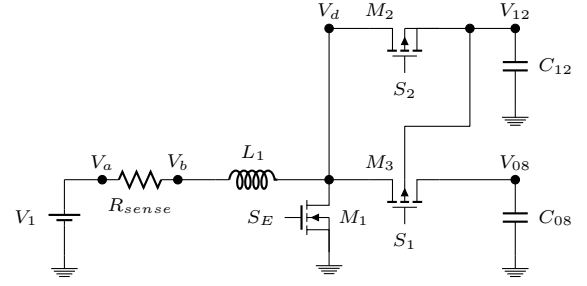
The full explanation of the converter operation modes can be found in [6], even though a brief description of its operation follows.

The converter works by turning on and off the switches in sequence. This sequence starts when switch M_1 turns on first; it connects the inductor between ground and V_1 . In this mode the inductor is energized and its current is increased. In the next mode M_1 is turned off and M_3 is turned on; the inductor is connected to node V_{08} (the step-down output) and its current starts to flow to C_{08} through M_3 . Since capacitor's C_{08} voltage is lower than the input voltage, the inductor current and energy keep increasing. Later, M_3 is turned off and M_2 is turned on; here the inductor is connected to node V_{12} (the step-up output) and its current flows to C_{12} through M_2 . Since the voltage drop across C_{12} is higher than input voltage, the inductor current and energy decrease.

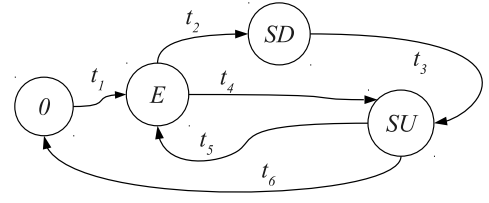
Two different conduction modes can be defined depending on the inductor current. If it becomes zero, M_2 is turned off to avoid the current from flowing from C_{12} to V_1 , which might degrade the output regulation and increase the ripple; in this case, the converter is working in discontinuous conduction mode (DCM). If the inductor current does not become zero and C_{12} charges to the desired voltage, M_2 is turned off and M_1 is turned on again to re-energize the inductor, and the converter is working in the continuous conduction mode (CCM).

III. CONTROL ARCHITECTURE

This section describes the circuit approach to solve the control architecture implementation of the complete system. Due to the high speed and high efficiency requirements of the system, all the blocks need to be designed in a very carefully way. Each block and its connection is show in Fig. 2, the state machine that commands the switches is described and then each block that generate the input signals for the state machine.



(a) Complete converter with ASM and voltage and current sensors.



(b) State machine diagram.

Fig. 2. State machine and its connected with converter's power stage.

A. State Machine

Synchronous state machines are discarded since the converter high switching frequency would imply the use of an even higher clock frequency to handle the digital circuitry. Besides, the energy efficiency is higher in an asynchronous approach. Upon this criteria, the converter's control is implemented by an asynchronous state machine (ASM), which is driven by flag signals delivered by the SIMO. These signals are generated by high speed comparators and current sensors and they are related to the output voltages and inductor current states; the connection scheme is shown in Fig. 2(a).

The ASM state diagram is shown in Fig. 2(b). The initial state is 0, where all switches are open. Transition t_1 is done once the start cycle signal arrives every $1/f_{ck}$ second. During state E switch M_1 closes, energizing the inductor. Transition t_2 happens when an under-voltage (i.e., with respect to the desired output voltage) is detected in the step-up output or if the inductor current over peaks. After t_2 , switch M_1 opens whereas M_3 closes. In this state the step-down output is supplied by the inductor current. M_3 keeps closed until an overvoltage is detected at the step-down1 output. This event

triggers transition t_3 , then M_3 opens while M_2 closes. In this state the step-up output is supplied by the inductor current. Transition t_5 is forced by a new start cycle, which will restart the complete energizing-deenergizing procedure.

In case that the converter enters into the DCM, transition t_6 is triggered when the inductor current drops to zero. The ASM then goes to state 0, where all switches are open and waits for a new start cycle. This prevents the step-up capacitor C_{12} from discharging through the inductor and degrading in this way the step-up output. This consideration allows the converter to work in all conduction modes.

The minimal time required to open and close a switch is limited by the technology. When the converter goes into the light-load condition and the current required by the step-down output decreases, the time interval when S_1 remains closed also decreases. In this situation, where the load in this output is extremely low, the required time to close and open the switch permits to charge the output capacitor in excess to the extent that the system will not be able to control this output voltage anymore.

To face this situation, if the under voltage in the step-down output is not detected at the time where the t_2 should be executed, the ASM jumps from state E directly to state SU following the transition t_4 and, skipping state SD . In the next cycle, if the step-down output voltage is below its reference, the under voltage signal is generated and M_3 closes. The current through the inductor charges capacitor C_{08} .

The connection between the ASM and the converter power stage is shown in Fig. 2a. The scheme shows how the different current sensors and comparators which produce the input signals for ASM are connected. The implementation of these block is discussed in following subsections.

B. High speed comparator

The schematic diagram of the high speed comparator is shown in Fig. 3a. This topology is based on a classic cross coupled comparator. A continuous time topology is chosen over a clocked comparator due to the asynchronous nature of the system to be controlled.

Since the converter operates at a switching frequency of 200MHz, special care must be taken in the design of the comparator to achieve the desired performance and speed. R_1 and R_2 were added to improve the speed without affecting the power consumption. These resistors increase the current mirror bandwidth by adding a pole and a zero to the mirror transfer function. Since in steady state the transistor gates do not demand current, no additional energy is needed to improve the comparator's speed. A deeper explanation is presented in [8].

The addition of the pole and zero could generate an overshoot if they are not properly placed. This could be a problem in a linear amplifier; but in a comparator the adding of the overshoot in the current mirror will increase the speed of its last stage, which improves even more the performance.

To isolate the comparator output from the load and regenerate its output waveform, digital buffer are placed at

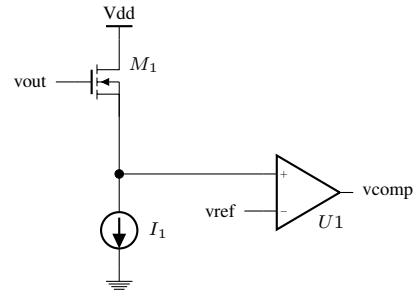


Fig. 4. High speed comparator level shifter.

the comparator outputs. Two buffers are used to keep the comparator's symmetry and its outputs balanced.

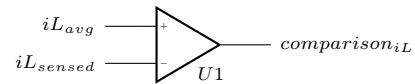
Developing a high speed comparator with a rail to rail input would lead to higher power consumption, degrading the whole system efficiency. Therefore, to adapt the voltage output levels to the input comparator levels, a voltage shifter is required. The shifter circuit is implemented by a source follower stage.

For safety reasons, the shifter circuit is implemented with high voltage NMOS transistors available in the process, as shown in Fig. 4. Since the source follower does not introduce any delay and the output is equal to the input, it is an excellent solution for shifting the DC value without introducing any change to the ac (ripple) value.

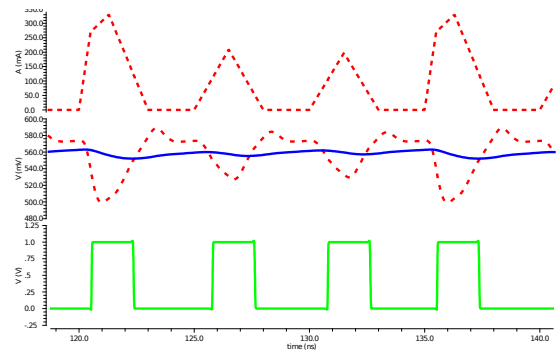
C. Average and instantaneous current sensors

The current sensor is a very important part of the system, since it defines when to energize or deenergize the inductor. The Fig. 3b shows the sensor topology. The current flowing through the inductor is sensed by measuring the small voltage drop across a shunt resistance as is shown in Fig. ??).

The input signal is the voltage drop across the shunt resistor; the inputs V_{in+} and V_{in-} are connected to V_a and

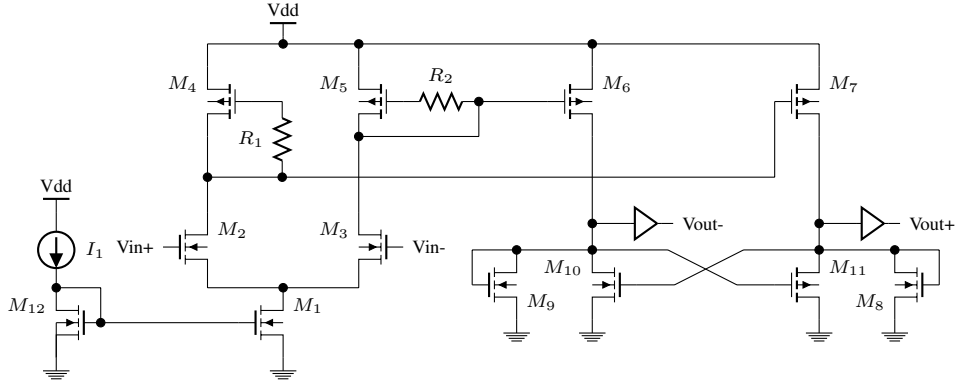


(a) Comparison of iL_{avg} and iL_{sensed} .

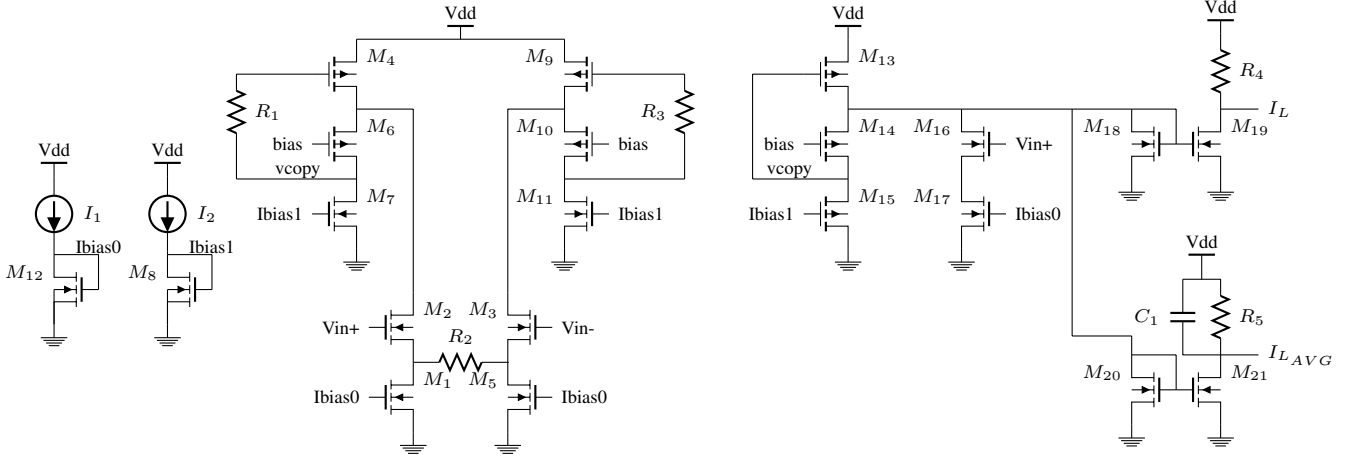


(b) Current comparison signals. On the top the current through the inductor. At the middle the input signals iL_{avg} and iL_{sensed} , which feed the comparator. At the bottom the result of the comparison between current.

Fig. 5. Current Comparison Circuit.



(a) High speed comparator architecture.



(b) Transconductor used to sense inductor current.

Fig. 3. High speed comparator and transconductor.

V_b nodes of Fig. 2(b) respectively. The input stage consists on a source degenerated transconductance amplifier GM. The source resistor degrades the transconductor gain but improves the amplifier linearity. The transconductor output current is mirrored by the low voltage mirror located on the top of the input stage.

The mirrored current contains several bias currents, which are needed for biasing the GM amplifier and the current mirror on a proper operation point. These additional currents are not signal currents and need to be subtracted in the following stage.

This is done in the subsequent stage (M_{13} , M_{14} , M_{15}) where only the signal current is forwarded. This current is mirrored through two different outputs, the first one is the instantaneous sensed current and the second one is the average sensed current. The average sensed current can be obtained by low pass filtering of the instantaneous sensed current. Both values of current are translate to voltages that are compared by the same high speed comparator presented in Sec. III-B, as shown in Fig. 5a.

Fig. 5b shows the signals $i_{L_{sensed}}$ and $i_{L_{average}}$ that are fed to the high speed comparator. The comparator evaluates these signals and when the instantaneous current exceeds the

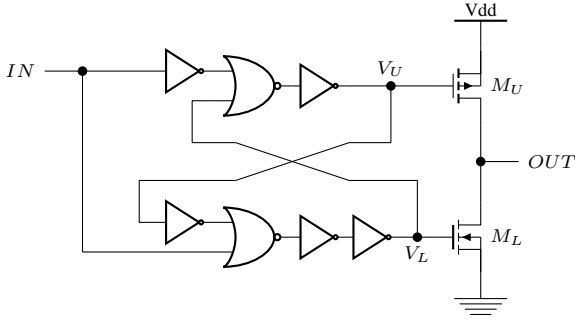
average current value, a change in the output is made.

It can be seen that there is no delay between the input voltages and the shifted voltages. Even when a high speed comparator is uses, there is a delay at the output signal due to the comparator offset. This delay has a negative effect on the step-up output; to improve this situation a faster comparator is needed, but latter will demand higher current that may degrade the converter efficiency. The approach taken to overcome this situation involves a trade off between delay and current consumption.

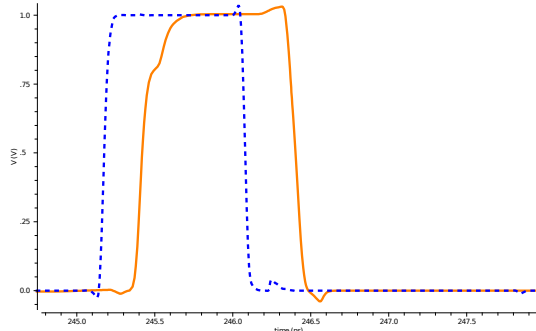
D. Switch driver

Huge switching transistors demand high gates current to switch on and off. For this reason especial drivers are needed. The driver circuit shown in Fig. 6 has been also used in [9]. The driver last stage is composed by a large size PMOS and an NMOS transistors, usually connected as an inverter. However, in order to avoid high shoot-through currents during switching special care must be taken.

Because of this, the output stage of the driver is driven by two different circuits with feedback. The feedback signals V_U and V_L ensure that one transistor will turn on only after the other turns off. This way shoot-through current between power and ground is minimized.



(a) Switch driver circuit.



(b) Propagation delay. Input signal (blue). Output signal (orange).

Fig. 6. Driver implementation.

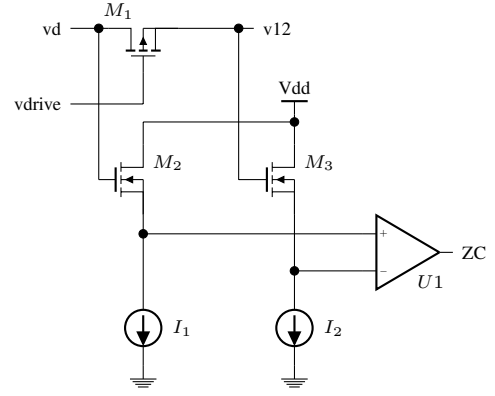
The addition of several stages to the driver introduce a propagation delay between the input and output signals. This delay degrades the control loop phase margin and may lead to instability. To counteracts this effect the drivers logic gates connected in cascade should be progressively scaled.

E. Zero current detector

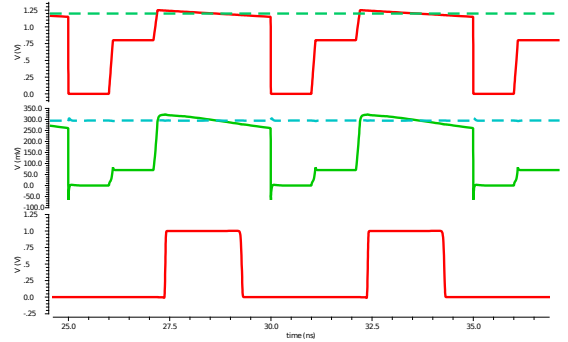
This block is implemented as it is shown in Fig. 7a. It consists in using the voltage drop on the R_{on} resistance of M_1 to detect the current through the inductor. The transistor has the same current as the inductor when it is turned on. While the current is flowing from the voltage supply to the load through the series connection of the transistor and the inductor, the voltage drop across the transistor R_{on} is positive. When the inductor's energy becomes zero the current becomes zero and the voltage drop becomes zero too. After that, the current will become negative since the capacitor has a higher voltage than the voltage supply. The capacitor will start to discharge through the transistor and the inductor, and thus the transistor voltage drop becomes negative.

This change in the voltage drop is detected by the high speed comparator and its output change from zero to one. This output will be used as input signal for the state machine for turning off all transistors.

In the circuit shown in Fig. 7a two source follower implemented with high voltage transistor are used to adapt the voltage level to the proper input level for the comparator. The shifted voltage can be tuned with I_1 and I_2 .



(a) Zero current detector.



(b) Zero current detector. On the top the voltages at V_{12} and V_D . In the middle the shifted version of the previous signal. At the bottom the comparison result.

Fig. 7. Zero current detector. On the top the voltages at V_{12} and V_D . In the middle the shifted version of the previous signal. At the bottom the comparison result.

In Fig. 7 the behavior of the circuit can be appreciated. The voltage of the switching node V_d is shown by the green curve; the output voltage at the step-up output is shown in red. The cyan and magenta curves are the level shifted copies of the previous voltages respectively. Finally, the purple curve on the bottom figure is the comparator output.

IV. COMPLETE SYSTEM

Once all block are designed and isolate tested the next step consists in close the loop and perform a simulation of the whole converter. A complete simulation it is performed. The complete circuit shown in Fig. 2a is implemented and tested. The input voltage is 1 V and the output voltages are 0.8 V and 1.2 V for the step-down and step-up outputs respectively. The converter switching frequency is 200 MHz.

The instantaneous and average current sensor is connected to shunt resistor and the zero current sensor is connected to the step-up transistor. Also the connections for the output voltage comparators and the ASM are shown. For the sake of simplicity complementary circuits as drivers, buffers or internal logic gates are not shown. In Fig. 8 several waveform from the closed loop system can be appreciated.

The three traces on the top are the step-down (V_{08}), step-up (V_{12}) and switching node (V_d) voltages (red, green and yellow

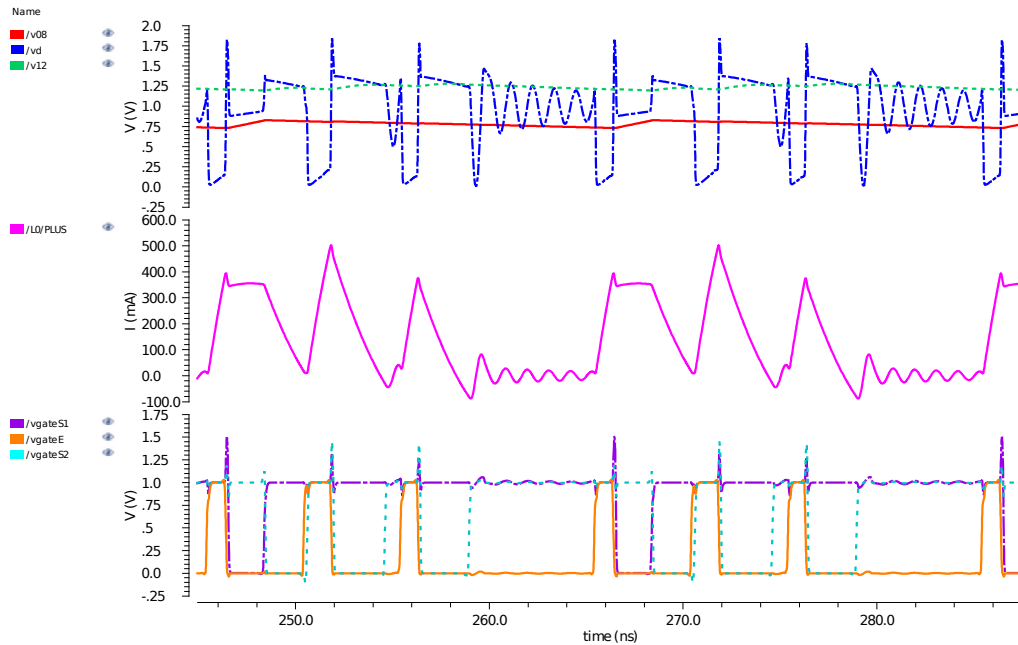


Fig. 8. Output signals. At the top voltage at nodes V_{12} , V_{08} and V_D . In the middle inductor current. At the bottom gate voltages of each power switch.

respectively). A good regulation of both outputs can be achieved with the proposed control strategy even though the non-ideal behavior of each block. The obtained regulations are 12.8% and 7% for the step-down and step-up outputs respectively. The efficiency is 67.6% when the outputs deliver 94.41 mW.

In the middle of the Fig. 8, the inductor current is shown; it can be seen how the switching strategy changes according to the evaluation of the load state. The pronounced increasing slope corresponds to the inductor energize state, the flat portion to the step-down state and the pronounced decreasing slope to the step-up state. The oscillation that appears after the step-up state corresponds to the discontinuous conduction mode; it also can be seen in the yellow trace for the V_d node on the top of the figure.

Finally, on the bottom figure the gate voltage of the three transistors is shown. Here, $S_{E_{gate}}$ is the voltage at the gate of an NMOS transistor, while $S_{1_{gate}}$ and $S_{2_{gate}}$ are the voltages at the gates of two PMOS transistors.

V. CONCLUSIONS

In this paper the complete control architecture for a fully integrated SIMO converter has been presented. The ASM needed to implement the control strategy presented in previous work has been used. The current sensors and high speed comparators required to drive the ASM have been designed and simulated. To test the proper behavior of current and voltages the complete system was simulated in closed loop. The proper behavior of the control architecture was asserted. Moreover, the system changes automatically from different conduction modes to keep in good shape the inductor current and outputs voltages. Future works will focus mainly on the layout design, including testing and trimming circuitries.

REFERENCES

- [1] H.-P. Le, C.-S. Chae, K.-C. Lee, S.-W. Wang, G.-H. Cho, and G.-H. Cho, "A single-inductor switching DC-DC converter with five outputs and ordered power-distributive control," *IEEE Journal of Solid-State Circuits*, vol. 42, pp. 2706–2714, dec. 2007.
- [2] M.-H. Huang and K.-H. Chen, "Single-inductor multi-output (SIMO) DC-DC converters with high light-load efficiency and minimized cross-regulation for portable devices," *IEEE Journal of Solid-State Circuits*, vol. 44, pp. 1099–1111, april 2009.
- [3] M. Yang, W. Sun, S. Xu, S. Lu, and L. Shi, "A 65nm 10mhz single-inductor dual-output switching buck converter with time-multiplexing control," in *ASIC (ASICON), 2011 IEEE 9th International Conference on*, pp. 870–873, oct. 2011.
- [4] M. Belloni, E. Bonizzoni, and F. Maloberti, "On the design of single-inductor multiple-output DC-DC buck converters," in *Circuits and Systems, 2008. ISCAS 2008. IEEE International Symposium on*, pp. 3049–3052, may 2008.
- [5] M. Rojas-Gonzalez, J. Torres, and E. Sanchez-Sinencio, "Design of a fully-integrated buck voltage regulator using standard CMOS technology," in *Circuits and Systems (LASCAS), 2012 IEEE Third Latin American Symposium on*, pp. 1–4, 29 2012-march 2 2012.
- [6] A. Soto, E. Lindstrom, A. Oliva, P. Mandolesi, and F. Dualibe, "Fully integrated single-inductor multiple-output (SIMO) DC-DC converter in CMOS 65 nm technology," in *Circuits and Systems (LASCAS), 2013 IEEE Fourth Latin American Symposium on*, pp. 1–4, Feb 2013.
- [7] J. Aguilera and R. Berenguer, *Design and Test of Integrated Inductors for RF Applications*. Springer, softcover reprint of hardcover 1st ed. 2004 edition ed., Nov. 2010.
- [8] T. Voo and C. Toumazou, "High-speed current mirror resistive compensation technique," *Electronics Letters*, vol. 31, pp. 248–250, feb 1995.
- [9] M.-H. Huang, H.-W. Huang, J.-Y. Peng, T.-L. Tsai, M.-C. Lee, C.-S. Wang, and K.-H. Chen, "Single-inductor dual-output (SIDO) DC-DC converters for minimized cross regulation and high efficiency in soc supplying systems," in *Circuits and Systems, 2007. MWSCAS 2007. 50th Midwest Symposium on*, pp. 550–553, Aug 2007.

Bibliografía

- [1] FREESCALE. Power Management Definition. <http://www.freescale.com/webapp/sps/site/overview.jsp?code=WHATISPWRMGMT>. Accedida el 5 de Enero de 2015.
- [2] R. Foley, F. Waldron, J. Slowey, A. Alderman, B. Narveson, and S.C. O'Mathuna. Technology roadmapping for Power Supply in Package (PSiP) and Power Supply on Chip (PwrSoC). In *2010 Twenty-Fifth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, pages 525–532, Feb 2010.
- [3] D. Disney and Z.J. Shen. Review of Silicon Power Semiconductor Technologies for Power Supply on Chip and Power Supply in Package Applications. *IEEE Transactions on Power Electronics*, 28(9):4168–4181, Sept 2013.
- [4] F. Waldron, R. Foley, J. Slowey, A.N. Alderman, B.C. Narveson, and S.C.O. Mathuna. Technology Roadmapping for Power Supply in Package (PSiP) and Power Supply on Chip (PwrSoC). *IEEE Transactions on Power Electronics*, 28(9):4137–4145, Sept 2013.
- [5] C. Ó Mathúna. PwrSoC Update 2012: Technology, Challenges, and Opportunities for Power Supply on Chip. Presented in IEEE APEC 2013, Plenary Talk, March 18th, 2013, 2013.
- [6] S.C.O. Mathuna, T. O'Donnell, NingNing Wang, and K. Rinne. Magnetics on silicon: an enabling technology for power supply on chip. *IEEE Transactions on Power Electronics*, 20(3):585–592, May 2005.

- [7] C.O. Mathúna, NingNing Wang, S. Kulkarni, and Saibal Roy. Review of Integrated Magnetics for Power Supply on Chip (PwrSoC). *IEEE Transactions on Power Electronics*, 27(11):4799–4816, Nov 2012.
- [8] T. Liakopoulos, A. Panda, M. Wilkowski, A. Lotfi, K.H. Tan, Li Zhang, Chiming Lai, and Dong Chen. Introducing fca, a new alloy for power systems on a chip and wafer level magnetic applications. In *2012 13th International Conference on Electronic Packaging Technology and High Density Packaging (ICEPT-HDP)*, pages 949–954, Aug 2012.
- [9] ENPIRION. EN5394QI. Technical report.
- [10] Laili Wang, Yunqing Pei, Xu Yang, and Zhaoan Wang. Design of Ultrathin LTCC Coupled Inductors for Compact DC/DC Converters. *IEEE Transactions on Power Electronics*, 26(9):2528–2541, Sept 2011.
- [11] M. H F Lim, J.D. Van Wyk, and F.C. Lee. Hybrid integration of a low-voltage, high-current power supply buck converter with an LTCC substrate inductor. *IEEE Transactions on Power Electronics*, 25(9):2287–2298, Sept 2010.
- [12] I. Vaisband and E.G. Friedman. Dynamic power management with power network-on-chip. In *2014 IEEE 12th International New Circuits and Systems Conference (NEWCAS)*, pages 225–228, June 2014.
- [13] Chunlei Shi, B.C. Walker, E. Zeisel, B. Hu, and G.H. McAllister. A highly integrated power management ic for advanced mobile applications. *IEEE Journal of Solid-State Circuits*, 42(8):1723–1731, Aug. 2007.
- [14] Youm Huh. Future direction of power management in mobile devices. In *2011 IEEE Asian Solid State Circuits Conference (A-SSCC)*, pages 1–4, Nov. 2011.
- [15] Fang Lin Luo and Hong Ye. *Power Electronics: Advanced Conversion Technologies*. CRC Press, Boca Raton, 1 edition, January 2010.
- [16] G. Palumbo, D. Pappalardo, and M. Gaibotti. Charge-pump circuits: power-consumption optimization. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, 49(11):1535–1542, Nov 2002.

- [17] Ned Mohan, Tore M. Undeland, and William P. Robbins. *Power Electronics: Converters, Applications, and Design*. Wiley, 3 edition, October 2002.
- [18] Simon Ang and Alejandro Oliva. *Power-Switching Converters, 3era Edición*. CRC Press, Boca Raton, 3 edition, December 2010.
- [19] L.L. Lewyn, T. Ytterdal, C. Wulff, and K. Martin. Analog Circuit Design in Nanoscale CMOS Technologies. *Proceedings of the IEEE*, 97(10):1687–1714, Oct. 2009.
- [20] S. Abedinpour, B. Bakkaloglu, and S. Kiaei. A multi-stage interleaved synchronous buck converter with integrated output filter in a 0.18 μm SiGe process. In *IEEE International Solid-State Circuits Conference, 2006. ISSCC 2006. Digest of Technical Papers*, pages 1398–1407, Feb. 2006.
- [21] S. Abedinpour, B. Bakkaloglu, and S. Kiaei. A multistage interleaved synchronous buck converter with integrated output filter in 0.18 μm SiGe process. *IEEE Transactions on Power Electronics*, 22(6):2164–2175, Nov 2007.
- [22] J. Kirchgessner, S. Bigelow, F.K. Chai, R. Cross, P. Dahl, A. Duvallet, B. Gardner, M. Griswold, D. Hammock, J. Heddleson, S. Hildreth, A. Irudayam, C. Lesher, T. Meixner, P. Meng, M. Menner, J. McGinley, D. Monk, D. Morgan, H. Rueda, C. Small, S. Stewart, M. Ting, I. To, P. Welch, T. Zirkle, and W.M. Huang. A 0.18 μm SiGe:C RFBiCMOS technology for wireless and gigabit optical communication applications. In *Proceedings of the 2001 Bipolar/BiCMOS Circuits and Technology Meeting*, pages 151–154, Sept. 2001.
- [23] J. Wibben and R. Harjani. A high efficiency DC-DC converter using 2nH on-chip inductors. In *2007 IEEE Symposium on VLSI Circuits*, pages 22–23, Jun 2007.
- [24] M.A. Rojas-Gonzalez, J. Torres, and E. Sanchez-Sinencio. Design of a fully-integrated buck voltage regulator using standard CMOS technology. In *2012 IEEE Third Latin American Symposium on Circuits and Systems (LASCAS)*, pages 1–4, March 2012.

- [25] A. Richelli, L. Colalongo, M. Quarantelli, M. Carmina, and Zs.M. Kovacs-Vajna. A fully integrated inductor-based 1.8-6-v step-up converter. *Solid-State Circuits, IEEE Journal of*, 39(1):242–245, Jan 2004.
- [26] J. Wibben and R. Harjani. A high-efficiency DC-DC converter using 2 nH integrated inductors. *IEEE Journal of Solid-State Circuits*, 43(4):844–854, April 2008.
- [27] Ming-Hsin Huang and Ke-Horng Chen. Single-inductor multi-output (SI-MO) DC-DC converters with high light-load efficiency and minimized cross-regulation for portable devices. *IEEE Journal of Solid-State Circuits*, 44(4):1099–1111, April 2009.
- [28] Ming-Hsin Huang, Hong-Wei Huang, Jiun-Yan Peng, Tzung-Ling Tsai, Min-Chin Lee, Ching-Sung Wang, and Ke-Horng Chen. Single-inductor dual-output (SIDO) DC-DC converters for minimized cross regulation and high efficiency in soc supplying systems. In *50th Midwest Symposium on Circuits and Systems, 2007. MWSCAS 2007*, pages 550–553, August 2007.
- [29] Weiwei Xu, Ye Li, Zhiliang Hong, and D. Killat. A 90% peak efficiency single-inductor dual-output buck-boost converter with extended-pwm control. In *2011 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*, pages 394–396, Feb 2011.
- [30] Hanh-Phuc Le, Chang-Seok Chae, Kwang-Chan Lee, Se-Won Wang, Gyu-Ha Cho, and Gyu-Hyeong Cho. A single-inductor switching DC-DC converter with five outputs and ordered power-distributive control. *IEEE Journal of Solid-State Circuits*, 42(12):2706–2714, December 2007.
- [31] C.J. Solis and G.A. Rincon-Mora. Nested hysteretic current-mode single-inductor multiple-output (simo) boosting buck converter. In *2013 IEEE 11th International New Circuits and Systems Conference (NEWCAS)*, pages 1–4, June 2013.
- [32] Hung-Wei Chang, Wei-Hsun Chang, and Chien-Hung Tsai. Integrated single-inductor buck-boost or boost-boost dc-dc converter with power-distributive

- control. In *International Conference on Power Electronics and Drive Systems, 2009*, pages 1184–1187, Nov 2009.
- [33] Miao Yang, Weifeng Sun, Shen Xu, Shengli Lu, and Longxing Shi. A 65nm 10MHz single-inductor dual-output switching buck converter with time-multiplexing control. In *2011 IEEE 9th International Conference on ASIC (ASICON)*, pages 870–873, October 2011.
- [34] M.J. Prieto, A.M. Pernia, J.M. Lopera, J.A. Martin, and F. Nuno. Design and analysis of thick-film integrated inductors for power converters. *IEEE Transactions on Industry Applications*, 38(2):543–552, Mar 2002.
- [35] Mingkai Mu, Yipeng Su, Qiang Li, and F.C. Lee. Magnetic characterization of low temperature co-fired ceramic (LTCC) ferrite materials for high frequency power converters. In *2011 IEEE Energy Conversion Congress and Exposition (ECCE)*, pages 2133–2138, Sept 2011.
- [36] Rodriguez Antonio R; Wallace Arthur B. US Patent 3004197 Ceramic capacitor and method of making it, 1961.
- [37] Stetson Harold W. US Patent 3189978 Method of making multilayer circuits, 1965.
- [38] C.Q. Scrantom and J.C. Lawson. Ltcc technology: where we are and where we're going. ii. In *Digest. 1999 IEEE MTT-S Symposium on Technologies for Wireless Applications, 1999*, pages 193–200, Feb 1999.
- [39] Murata. Murata's Low Temperature Co-fired Ceramics offer highly integrated substrates for automotive modules and RF microwave circuits through a unique combination of ceramic materials and multi-layer/firing techniques. <http://www.murata.com/~media/webrenewal/support/library/catalog/products/substrate/ltcc/n20e.ashx>. Accedida el 13 de Enero de 2015.
- [40] M. Nicak, B. Psota, P. Kosina, J. Stary, and J. Sandera. Zero shrink LTCC 3D structure interconnections. In *2012 35th International Spring Seminar on Electronics Technology (ISSE)*, pages 128–132, May 2012.

- [41] Mingsheng Ma, Zhifu Liu, and Yongxiang Li. Thermal performance of high power LED package based on LTCC. In *2011 12th International Conference on Electronic Packaging Technology and High Density Packaging (ICEPT-HDP)*, pages 1–4, Aug 2011.
- [42] V.A. Chiriac and T.-Y.T. Lee. Thermal assessment of RF integrated LTCC front end module (FEM). In *The Eighth Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems, 2002. ITherm 2002*, pages 520–527, 2002.
- [43] M.A. Zampino, R. Kandukuri, and W.K. Jones. High performance thermal vias in LTCC substrates. In *The Eighth Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems, 2002. ITherm 2002*, pages 179–185, 2002.
- [44] DuPont. GREENTAPE™ 9K7 LTCC MATERIAL SYSTEM. <http://www.dupont.com/products-and-services/electronic-electrical-materials/low-temperature-co-fire-ceramic-materials/brands/greentape-ceramic-circuit/products/green-tape-9k7-ltcc-material-system.html>. Accedida el 13 de Enero de 2015.
- [45] ESL. Lo-Fire Tape for Multilayer and High Frequency Applications Requiring Medium Permeability. <http://www.electroscience.com/pdf/40010.pdf>. Accedida el 13 de Enero de 2015.
- [46] ESL. Lo-Fire Tape for Multilayer and High Frequency Applications Requiring High Permeability. <http://www.electroscience.com/pdf/40011.pdf>. Accedida el 13 de Enero de 2015.
- [47] ESL. Lo-Fire Tape for Multilayer and High Frequency Applications Requiring > 400 Permeability. <http://www.electroscience.com/pdf/40012.pdf>. Accedida el 13 de Enero de 2015.

- [48] DuPont. DuPont Microcircuits Materials. http://www.dupont.com/content/dam/assets/products-and-services/electronic-electrical-materials/assets/datasheets/prodlib/LTCC_DesignGuide.pdf. Accedida el 9 de Enero de 2015.
- [49] R. Hahn, S. Krumbholz, and H. Reichl. Low profile power inductors based on ferromagnetic ltcc technology. In *Proceedings. 56th Electronic Components and Technology Conference, 2006*, page 6, 2006.
- [50] T. Mikura, K. Nakahara, K. Ikeda, K. Furukuwa, and K. Onitsuka. New substrate for micro DC-DC converter. In *Proceedings. 56th Electronic Components and Technology Conference, 2006*, page 5, 2006.
- [51] M. H F Lim, Zhenxian Liang, and J.D. Van Wyk. Low profile integratable inductor fabricated based on LTCC technology for microprocessor power delivery applications. *IEEE Transactions on Components and Packaging Technologies*, 30(1):170–177, March 2007.
- [52] Qiang Li and F.C. Lee. High inductance density low-profile inductor structure for integrated point-of-load converter. In *Twenty-Fourth Annual IEEE Applied Power Electronics Conference and Exposition, 2009. APEC 2009*, pages 1011–1017, Feb 2009.
- [53] Yipeng Su, Qiang Li, Mingkai Mu, D. Gilham, D. Reusch, and F.C. Lee. Low profile LTCC inductor substrate for multi-MHz integrated pol converter. In *2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, pages 1331–1337, Feb 2012.
- [54] Yipeng Su, Qiang Li, and F.C. Lee. Design and evaluation of a high-frequency LTCC inductor substrate for a three-dimensional integrated DC/DC converter. *IEEE Transactions on Power Electronics*, 28(9):4354–4364, Sept 2013.
- [55] A.W. Roesler, J.M. Schare, S.J. Glass, K.G. Ewsuk, G. Slama, D. Abel, and D. Schofield. Planar LTCC transformers for high-voltage flyback converters. *IEEE Transactions on Components and Packaging Technologies*, 33(2):359–372, June 2010.

- [56] Mingkai Mu, Yipeng Su, Qiang Li, and F.C. Lee. Magnetic characterization of low temperature co-fired ceramic (LTCC) ferrite materials for high frequency power converters. In *2011 IEEE Energy Conversion Congress and Exposition (ECCE)*, pages 2133–2138, Sept 2011.
- [57] ENPIRION. EN5335QI. Technical report.
- [58] Texas Instrument. LM3218. Technical report.
- [59] Isao Sano, Yoshikiyo Usui, and Tomonori Seki. A 2nd Generation Micro DC-DC Converter. *Fuji Electronic Review*, 53(3):89–92, 2007.
- [60] Laili Wang, Yunqing Pei, Xu Yang, Xizhi Cui, Zhaoan Wang, and Guopeng Zhao. A class of coupled inductors based on LTCC technology. In *2010 Twenty-Fifth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, pages 2042–2049, Feb 2010.
- [61] Rui Guo, Cong Wang, and Tao Li. Optimum design of coupling inductors for magnetic integration in three-phase interleaving buck DC/DC converter. In *2013 8th IEEE Conference on Industrial Electronics and Applications (ICIEA)*, pages 1029–1033, June 2013.
- [62] H.N. Nagaraja, D.K. Kastha, and A. Petra. Design principles of a symmetrically coupled inductor structure for multiphase synchronous buck converters. *IEEE Transactions on Industrial Electronics*, 58(3):988–997, March 2011.
- [63] S. Feng, W. Sander, and T.G. Wilson. Small-capacitance nondissipative ripple filters for DC supplies. *IEEE Transactions on Magnetics*, 6(1):137–142, Mar 1970.
- [64] D.C. Hamill. An efficient active ripple filter for use in DC-DC conversion. *IEEE Transactions on Aerospace and Electronic Systems*, 32(3):1077–1084, July 1996.
- [65] N.K. Poon, J.C.P. Liu, C.K. Tse, and M.H. Pong. Techniques for input ripple current cancellation: classification and implementation [in smps]. *Power Electronics, IEEE Transactions on*, 15(6):1144–1152, Nov 2000.

- [66] Slobodan Cuk and R.D. Middlebrook. Advances in switched-mode power conversion Part I. *IEEE Transactions on Industrial Electronics*, IE-30(1):10–19, Feb 1983.
- [67] Slobodan Cuk and R.D. Middlebrook. Advances in switched-mode power conversion Part II. *IEEE Transactions on Industrial Electronics*, IE-30(1):19–29, Feb 1983.
- [68] S. Cuk. New magnetic structures for switching converters. *IEEE Transactions on Magnetics*, 19(2):75–83, Mar 1983.
- [69] D.C. Hamill and P.T. Krein. A ‘zero’ ripple technique applicable to any DC converter. In *30th Annual IEEE Power Electronics Specialists Conference, 1999. PESC 99*, volume 2, pages 1165–1171, 1999.
- [70] P.T. Balog, R.S. y Krein. Coupled-Inductor Filter: A Basic Filter Building Block. *IEEE Transactions on Power Electronics*,, 28(1):537–546, 2013.
- [71] Roc Aguilera, Jaime y Berenguer. *Design and Test of Integrated Inductors for RF Applications*. Springer US, 2004 edition, November 2010.
- [72] Thomas H. Lee. *The Design of CMOS Radio-Frequency Integrated Circuits, Second Edition*. Cambridge University Press, Cambridge, UK ; New York, 2 edition edition, December 2003.
- [73] Hanh-Phuc Le, Chang-Seok Chae, Kwang-Chan Lee, Se-Won Wang, Gyu-Ha Cho, and Gyu-Hyeong Cho. A single-inductor switching DC-DC converter with five outputs and ordered power-distributive control. *IEEE Journal of Solid-State Circuits*, 42(12):2706 –2714, December 2007.
- [74] Ming-Hsin Huang and Ke-Horng Chen. Single-inductor multi-output (simo) dc-dc converters with high light-load efficiency and minimized cross-regulation for portable devices. *Solid-State Circuits, IEEE Journal of*, 44(4):1099 –1111, april 2009.
- [75] Miao Yang, Weifeng Sun, Shen Xu, Shengli Lu, and Longxing Shi. A 65nm 10MHz single-inductor dual-output switching buck converter with time-

- multiplexing control. In *2011 IEEE 9th International Conference on ASIC (ASICON)*, pages 870–873, October 2011.
- [76] S. Jenei, B.K.J.C. Nauwelaers, and S. Decoutere. Physics-based closed-form inductance expression for compact modeling of integrated spiral inductors. *IEEE Journal of Solid-State Circuits*, 37(1):77–80, Jan 2002.
- [77] S. Jenei, B. Nauwelaers, S. Decoutere, and A. Naem. Closed form inductance calculation for integrated spiral inductor compact modeling. In *2000. Digest of Papers. 2000 Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, pages 131–135, April 2000.
- [78] S. Musunuri and P.L. Chapman. Multi-layer spiral inductor design for monolithic dc-dc converters. In *2003. 38th IAS Annual Meeting. Conference Record of the Industry Applications Conference*, volume 2, pages 1270–1275 vol.2, Oct 2003.
- [79] T. Voo and C. Toumazou. High-speed current mirror resistive compensation technique. *Electronics Letters*, 31(4):248–250, February 1995.
- [80] A.J. Soto, E.O. Lindstrom, A.R. Oliva, P.S. Mandolesi, and F.C. Dualibe. Fully integrated single-inductor multiple-output (simo) dc-dc converter in cmos 65 nm technology. In *2013 IEEE Fourth Latin American Symposium on Circuits and Systems (LASCAS)*, pages 1–4, Feb 2013.
- [81] A.J. Soto, E.O. Lindstrom, F.C. Dualibe, A.R. Oliva, and P.S. Mandolesi. Design and simulation of the control architecture of a fully integrated single inductor multiple output (simo) dc-dc converter. In *2014 Argentine Conference on Micro-Nanoelectronics, Technology and Applications (EAMTA)*, pages 64–69, July 2014.