



UNIVERSIDAD NACIONAL DEL SUR

TESIS DE DOCTORADO EN INGENIERÍA

TÉCNICAS DE CALIBRACIÓN PARA CONVERTORES
ANALÓGICO-DIGITAL EN SISTEMAS DE
COMUNICACIONES DIGITALES DE ALTA VELOCIDAD

Abel Fredy Paul Solis

BAHÍA BLANCA

ARGENTINA

2023

Prefacio

Esta Tesis se presenta como parte de los requisitos para acceder al grado académico de Doctor en Ingeniería de la Universidad Nacional del Sur y no ha sido presentada previamente para la obtención de otro título en esta Universidad u otra. La misma contiene los resultados obtenidos en investigaciones llevadas a cabo en el DIEC, durante el período comprendido entre el 4 de octubre de 2018 al 1 de septiembre de 2023, bajo la dirección del Dr. Mario R. Hueda, de la Universidad Nacional de Córdoba y del Dr. Pablo S. Mandolesi, de la Universidad Nacional del Sur.

Ing. Abel Fredy Paul Solis



UNIVERSIDAD NACIONAL DEL SUR
Secretaría General de Posgrado y Educación Continua

La presente Tesis ha sido aprobada el 06/03/2024,
mereciendo la calificación de ...10... (...sobresaliente...)

Agradecimientos

A Claudia e Ignacio por su amor y apoyo incondicional en cada etapa de mi carrera.

A mis padres, a mis hermanos y a toda mi familia por el constante apoyo para alcanzar mis objetivos.

A mi mentor, Benjamín Reyes por su confianza, guía y supervisión a lo largo de este trabajo de posgrado.

A mi Director de Tesis Mario Hueda por su dedicación y guía durante el desarrollo de este trabajo.

A mi Co director de Tesis Pablo Mandolesi, a Pedro Julián y a todo el grupo GISEE-IIIE-UNS por el acompañamiento y soporte.

A mis compañeros Agustín, Leandro, Diego, James y Álvaro por el acompañamiento en los años de posgrado.

A Fundación Fulgor y Fundación Tarpuy, y a todo su personal, por el apoyo permanente.

A la Universidad Nacional del Sur y la Universidad Nacional de Córdoba por la oportunidad de realizar este trabajo.

Resumen

El constante incremento de velocidad de los sistemas de comunicaciones digitales hace necesario implementar circuitos conversores analógico-digitales (ADCs) con frecuencias de muestreo cada vez mayores. Actualmente la topología de ADCs por antonomasia en sistemas de comunicaciones de alta velocidad es la de ADCs de tiempo entrelazado (TI-ADCs). Esta permite alcanzar altas tasas de conversión mediante la activación secuencial de múltiples ADCs de baja velocidad y alta eficiencia energética.

Sin embargo, las variabilidades estadísticas en los procesos de fabricación, en las condiciones ambientales y el envejecimiento de los componentes introducen desapareamientos entre los sub ADCs de un TI-ADC y entre los diferentes TI-ADCs de los receptores modernos. Estos efectos limitan la velocidad máxima de operación del sistema y reducen la eficiencia del enlace de comunicaciones. Esta situación se torna aún más apremiante en los sistemas de comunicaciones ópticos coherentes donde su elevada complejidad inherente impide la utilización de esquemas de compensación de desapareamientos que en el pasado fueron exitosamente implementados para sistemas más sencillos.

La presente Tesis propone una nueva técnica para la detección y ajuste en segundo plano de los desapareamientos internos de TI-ADCs en receptores para comunicaciones ópticas coherentes de doble polarización. La técnica también es capaz de corregir las diferencias entre los distintos TI-ADCs de un receptor de forma simultánea. Esta propuesta consiste en una modificación del algoritmo LMS, la cual incorpora *backpropagation* para estimar la contribución de cada componente del TI-ADC al error de salida del sistema. A partir de dicha estimación se realiza la corrección de los desapareamientos de todos los conversores empleando un ecualizador digital o ajustando circuitos re-configurables en el do-

minio analógico.

La viabilidad de la propuesta se evaluó por medio de simulaciones del sistema de comunicaciones óptico coherente de doble polarización y experimentalmente mediante una plataforma de pruebas y un chip TI-ADC, ambos diseñados y fabricados en el marco de esta Tesis. En el primer caso se formuló un modelo matemático del sistema de comunicaciones que reproduce los efectos no ideales en los canales del receptor y es compatible con la inyección de desapareamientos múltiples en los TI-ADCs. Por otra parte, en las mediciones experimentales se evidenció un mejora de 20 dB en la relación señal-ruido-y-distorsión (SNDR) y 25 dB en el rango dinámico libre de espurios (SFDR) del TI-ADC respecto a los escenarios pre y post-calibración/compensación.

Abstract

The constant increase in the speed of digital communication systems demands analog-to-digital converters (ADCs) with increasingly higher sampling frequencies. Currently, the predominant topology for ADCs in high-speed communication systems is Time-Interleaved ADCs (TI-ADCs). This scheme achieves high conversion rates by sequentially activating multiple low-speed energy-efficient ADCs.

However, statistical variabilities in manufacturing processes, environmental conditions, and component aging introduce mismatches between the sub-ADCs of a TI-ADC, as well as among the different TI-ADCs present in modern receivers. These effects limit the maximum operating speed of the system and reduce the efficiency of the communication link. This situation becomes even more critical in coherent optical communication systems where their inherent complexity prevents the use of mismatch compensation schemes that were successfully implemented for simpler systems in the past.

This Thesis proposes a new technique for the real-time detection and correction of impairments in TI-ADCs of coherent dual-polarization optical communications receivers. The technique is also capable of simultaneously correcting mismatches between the different TI-ADCs of a receiver. This proposal consists of a modification of the Least Mean Squares (LMS) algorithm, which incorporates backpropagation to estimate the contribution of each component in the TI-ADC to the system's output error. Based on this estimation, the correction of mismatches in all converters is performed either using a digital equalizer, or by adjusting reconfigurable circuits in the analog domain.

The feasibility of the proposal was evaluated through simulations of the coherent dual-polarization optical communication system and experimentally using

a test platform and a TI-ADC chip, both designed and manufactured in the context of this Thesis. In the first case, a mathematical model of the communication system was formulated, which reproduces non-ideal effects in the receiver channels and is compatible with the injection of multiple mismatches into the TI-ADCs. On the other hand, the experimental measurements showed a 20 dB improvement in Signal-to-Noise and Distortion Ratio (SNDR) and a 25 dB improvement in Spurious-Free Dynamic Range (SFDR) of the TI-ADCs, compared to the pre- and post-calibration/compensation scenarios.

Índice general

Lista de Acrónimos	xvii
Publicaciones	xix
1. Introducción	1
1.1. Motivación	1
1.2. Trabajos relacionados	8
1.2.1. Técnicas de calibración y compensación de TI-ADCs	9
1.3. Aportes de la Tesis	13
1.4. Organización de la Tesis	15
2. Sistemas de comunicaciones digitales de alta velocidad basados en TI-ADC	17
2.1. Introducción	17
2.2. Modelo matemático de sistemas de comunicaciones ópticas coherentes basados en TI-ADCs	19
2.2.1. Receptores de comunicaciones ópticas coherente	19
2.2.2. Modelo de canal óptico	22
2.2.3. Modelo de Optical Front - End (OFE) para receptores de comunicaciones ópticas coherentes	24
2.2.4. Modelo en tiempo discreto de Analog Front - End (AFE) para sistemas de comunicaciones, TI-ADC y sus errores	26
2.3. Modelo de simulación de sistema de comunicaciones óptico coherente de doble polarización	30
2.4. Impacto de los errores del TI-ADC en el desempeño del sistema de comunicaciones	32

2.4.1. Caracterización del modelo de simulación	32
2.5. Conclusiones	37
3. Nueva técnica de corrección de desapareamientos en TI-ADCs de receptores ópticos coherentes para sistemas de comunicaciones ópticos coherentes	39
3.1. Introducción	40
3.2. Técnica de compensación de desajustes en dominio digital	41
3.2.1. Procesamiento del error mediante backpropagation	44
3.2.2. Ecuación digital adaptativa para la compensación de desapareamientos de los TI-ADCs y el AFE del receptor de comunicaciones	48
3.2.3. Convergencia de la implementación de LMS basada en backpropagation	50
3.2.4. Análisis de la complejidad de implementación de la técnica de compensación	51
3.2.5. Alternativa de implementación basada en calibración de señal mixta	56
3.3. Resultados de simulación	59
3.3.1. Análisis de la penalidad de OSNR del receptor pre y post-compensación de desajustes	59
3.3.2. Análisis de Montecarlo de las tasas de error de bit en función de cada tipo de desapareamiento	60
3.3.3. Convergencia de la técnica empleando diezmado en los bloques de <i>backpropagation</i>	62
3.3.4. Resultados de la alternativa de calibración en señal mixta .	63
3.4. Conclusiones	67
4. Diseño e implementación del chip TI-ADC prototipo y la plataforma de emulación de un sistema de comunicación	69
4.1. Plataforma de emulación de un transceptor digital de alta velocidad	69
4.1.1. Transmisor	72
4.1.2. Receptor	73

4.2.	Diseño del circuito integrado TI-ADC de alta velocidad	73
4.2.1.	Red de T&H jerárquica	74
4.2.2.	Red de adaptación de impedancia de entrada y T&H con ancho de banda mejorado	76
4.2.3.	Generación y control de las fases de muestreo del sub cir- cuito T&H	78
4.2.4.	SAR ADC asíncrono de 8 bits	79
4.3.	Caracterización del chip prototipo	85
4.3.1.	Configuración experimental	86
4.3.2.	Resumen de resultados experimentales y comparación con- tra otras propuestas relevantes en el estado del arte	93
4.4.	Conclusiones	94
5.	Verificación experimental de la propuesta de corrección de des- ajustes en TI-ADCs para sistemas de comunicaciones	95
5.1.	Introducción	95
5.2.	Caracterización del canal de comunicaciones en la plataforma de evaluación de TI-ADC	96
5.3.	Procedimiento de inyección de desapareamientos en el sistema de comunicaciones	97
5.4.	Evaluación experimental de la propuesta de corrección de desajus- tes en TI-ADCs	98
5.4.1.	Desempeño del receptor en términos de BER vs SNR con y sin corrección de desapareamientos	99
5.4.2.	Propuesta de compensación digital	100
5.4.3.	Propuesta de calibración de señal mixta	102
5.5.	Comparación con otras técnicas de corrección de desajustes	105
5.6.	Conclusiones	107
6.	Consideraciones finales y trabajos futuros	109
6.1.	Introducción	109
6.2.	Análisis de implementación de la propuesta de corrección de des- ajustes en TI-ADCs	110

6.3. Modelo matemático y modelo de simulación de sistema de comunicaciones	111
6.4. Plataforma experimental de evaluación de sistemas de comunicaciones	111
6.5. Trabajos futuros	112
A. Medidas de desempeño	113
B. Compensación de los desapareamientos en el AFE y TI-ADC	117
C. Compensación adaptativa del <i>offset</i> de DC entre los TI-ADCs del receptor	121
Bibliografía	125

Índice de figuras

1.1. Hoja de ruta de tecnología de comunicaciones	2
1.2. Esquema simplificado de un receptor digital de alta velocidad . . .	3
1.3. Arquitectura de un TI-ADC.	5
1.4. Receptor de comunicaciones típico	6
2.1. Diagrama en bloques de las partes que componen el modelo desa- rrollado.	19
2.2. Esquema de la Interfaz óptico/electrónica	20
2.3. Arquitectura de un receptor para detección coherente	21
2.5. Modelo del AFE	26
2.6. Modificación del modelo del AFE	28
2.7. Modelo de tiempo discreto del AFE	29
2.8. Diagrama de bloques del modelo del sistema utilizado en las si- mulaciones.	30
2.10. Curvas de BER para diferentes modulaciones	34
2.11. FFT de la salida del TI-ADC en presencia de desapareamientos de distintos tipos	35
2.12. Penalidad en el receptor en función de los diferentes desaparea- mientos de TI-ADC	37
3.1. Esquema de compensación usada en receptores sencillos	40
3.2. Esquema simplificado de la compensación digital.	42
3.3. Esquema de la compensación usando <i>backpropagation</i> del error . . .	43
3.4. Implementación digital paralela	53
3.5. Ejemplo de una implementación paralela del CE con $M = 4$, $L_g =$ 3, y factor de paralelismo $P = 2M = 8$	54

3.6. Implementación del bloque EBP con diezmado	56
3.7. Diagrama en bloques de la calibración de señal mixta.	57
3.8. Ejemplo de aplicación de la técnica de señal mixta en TI-ADC de alta velocidad	58
3.9. Penalidad en el receptor en función de los diferentes desaparea- mientos de TI-ADC	59
3.10. Histogramas de BER para errores de tiempo de muestreo y ganancia	61
3.11. Histogramas de BER para errores de time skew I/Q y BW	61
3.12. Histogramas de BER para errores combinados	62
3.13. Convergencia de la BER al emplear diezmado	63
3.14. Comparación de la FFT pre/post calibración	64
3.15. SNDR y SFDR del TI-ADC en función de la frecuencia pre/post calibración.	64
3.16. Evolución de la BER y SNDR en estado estacionario	65
3.17. Evolución de la BER y SNDR en presencia de una perturbación .	66
3.18. Evolución de la BER y SNDR en un TI-ADC jerárquico	67
4.1. Fotografía de la plataforma experimental	70
4.2. Esquema de la plataforma experimental	71
4.3. Arquitectura del chip prototipo TI-ADC	74
4.4. Arquitectura típica de un T&H jerárquico y diagrama temporal. .	75
4.5. Arquitectura del T&H jerárquico propuesto y diagrama temporal.	76
4.6. Red de adaptación de impedancia y circuito de muestreo	77
4.7. Esquema de generación y control de las fases de muestreo para las llaves de muestreo del T&H.	78
4.8. Diagrama en bloques y temporización del SAR ADC usado en la arquitectura	80
4.9. Capacitor unitario C	81
4.10. Esquemático del comparador	83
4.11. Detalle de la calibración de <i>offset</i>	84
4.12. Esquemáticos de compuertas diseñadas	85
4.13. Fotografía del chip prototipo	86
4.14. Detalle del layout del SAR	87

4.15. Medición del desapareamiento de <i>offset</i> de DC pre/post calibración.	87
4.16. DNL e INL del TI-ADC para una entrada senoidal a $f_{in} = 1.8$ MHz.	88
4.17. Rangos de ajuste del retardo de fase mínimo y máximo de la primera jerarquía del T&H.	89
4.18. ENOB y SNDR en función de la frecuencia de entrada.	90
4.19. Detalle del consumo en el SAR ADC	90
4.20. Medición de ENOB y FOM	91
4.21. Medición y comparación del ancho de banda	92
5.1. Diagramas de ojo pre/post canal	97
5.2. Comparación de curvas de BER sin/con compensación	100
5.3. Comparación de diagramas de constelación sin/con compensación	101
5.4. Ejemplo de convergencia de la compensación digital	102
5.5. Ejemplo de convergencia de la calibración	103
5.6. Medición de espectros pre/post calibración	104
5.7. SFDR y SNDR en función de la frecuencia de entrada	105
A.1. Curvas de BER para diferentes modulaciones	114
A.2. Definición de penalidad en el receptor	115
A.3. Definición de error del <i>slicer</i>	116
B.1. Esquema de compensación de errores en TI-ADC	117
B.2. Alternativa de compensación de TI-ADC por canal	118
B.3. Diagrama en bloques del DSP receptor incluyendo el CE	119

Lista de Acrónimos

ADC	<i>Analog to Digital Converter</i>
AFE	<i>Analog Front-End</i>
BER	<i>Bit Error Rate</i>
CMOS	<i>Complementary Metal-Oxide Semiconductor</i>
DAC	<i>Digital to Analog Converter</i>
DGD	<i>Differential Group Delay</i>
DP	<i>Dual Polarization</i>
DD	<i>Direct Detection</i>
BPSK	<i>Binary Phase Shifting Keying</i>
BW	<i>Bandwidth</i>
DSP	<i>Digital Signal Processing</i>
BCD	<i>Bulk Chromatic Dispersion Equalizer</i>
AWGN	<i>Additive White Gaussian Noise</i>
CE	<i>Compensation Equalizer</i>
CTLE	<i>Continuous Time Linear Equalizer</i>
EBP	<i>Error Backpropagation</i>
FIR	<i>Finite Impulse Response</i>
ENOB	<i>Effective Number of Bits</i>
ESD	<i>Electro Static Discharge</i>
CD	<i>Chromatic Dispersion</i>
DNL	<i>Differential Non-linearity</i>
INL	<i>Integral Non-Linearity</i>
PMD	<i>Polarization Mode Dispersion</i>
FCR	<i>Fine Carrier Recovery</i>
FEC	<i>Forward Error Correction</i>
FFE	<i>Feed-Forward Equalizer</i>
FT	<i>Fourier Transform</i>
IFT	<i>Inverse Fourier Transform</i>
FFT	<i>Fast-Fourier Transform</i>

FPGA	<i>Field Programmable Gate Array</i>
FoM	<i>Figure of Merit</i>
HVT	<i>High Voltage Treshold</i>
ISI	<i>Inter Symbol Interference</i>
IM	<i>Intensity Modulation</i>
LVDS	<i>Low-Voltage Differential Signaling</i>
LMS	<i>Least-Mean-Square</i>
LPF	<i>Low-Pass Filter</i>
LSB	<i>Least-Significant Bit</i>
LO	<i>Local Oscillator</i>
MSE	<i>Mean Squared Error</i>
MIMO	<i>Multiple-Input Multiple-Output</i>
ML	<i>Machine Learning</i>
MMSE	<i>Minimum MSE</i>
OSNR	<i>Optical SNR</i>
OSR	<i>Oversampling Ratio</i>
OFE	<i>Optical Front-End</i>
PGA	<i>Programmable Gain Amplifier</i>
PBS	<i>Polarizing Beam Splitter</i>
PM	<i>Phase Modulation</i>
PDF	<i>Probability Density Function</i>
PRBS	<i>Pseudo-Random Binary Sequence</i>
PAM	<i>Pulse Amplitude Modulation</i>
QAM	<i>Quadrature Amplitude Modulation</i>
SAR	<i>Successive Approximation Register</i>
SNDR	<i>Signal-to-Noise-and-Distortion Ratio</i>
SFDR	<i>Spurious Free Dynamic Range</i>
SNR	<i>Signal-to-Noise Ratio</i>
SOP	<i>State of Polarization</i>
SOPMD	<i>Second Order PMD</i>
UDRV	<i>Uniformly Distributed Random Variable</i>
TIA	<i>Trans-Impedance Amplifier</i>
TI-ADC	<i>Time-Interleaved ADC</i>
T&H	<i>Track and Hold</i>
TR	<i>Timing Recovery</i>
VFS	<i>Full-Scale Voltage</i>

Publicaciones

Las siguientes publicaciones han sido realizadas o co-realizadas durante el desarrollo de esta Tesis.

Revista

■ F. Solis, B. T. Reyes, D. A. Morero and M. R. Hueda, “Error-Backpropagation-Based Background Calibration of TI-ADC for Adaptively Equalized Digital Communication Receivers,” in *IEEE Access*, vol. 10, pp. 103013-103027, 2022, doi: [10.1109/ACCESS.2022.3208092](https://doi.org/10.1109/ACCESS.2022.3208092).

■ F. Solis, Á. Fernández Bocco, A. C. Galetto, L. Passetti, M. R. Hueda, y B. T. Reyes, “A 4GS/s 8-bit time-interleaved SAR ADC with an energy-efficient architecture in 130 nm CMOS”, *Int J Circ Theor Appl*, vol. 49, n.º 10, pp. 3171-3185, 2021, doi: [10.1002/cta.3029](https://doi.org/10.1002/cta.3029).

Conferencias

■ F. Solis, A. F. Bocco, D. Morero, M. R. Hueda, y B. T. Reyes, “Background Calibration of Time-Interleaved ADC for Optical Coherent Receivers using Error Backpropagation Techniques”, en *Proc. IEEE Int. Symp. Circuits Syst. (ISCAS)*, Sevilla, Spain, oct. 2020, pp. 1-5. doi: [10.1109/ISCAS45731.2020.9180693](https://doi.org/10.1109/ISCAS45731.2020.9180693).

■ F. Solis, D. Morero, M. R. Hueda, y B. T. Reyes, “Experimental Evaluation of Backpropagation-Based Background Compensation of TI-ADC with Application to Digital Communication Receivers”, en *Proc. IEEE Int. Symp. Circuits Syst. (ISCAS)*, Daegu, Korea, may 2021, pp. 1-5.

Pre-Print

■ F. Solis, B. T. Reyes, D. A. Morero, y M. R. Hueda, “Design and Experimental Verification of a Novel Error-Backpropagation-Based Background Calibration for Time Interleaved ADC in Digital Communication Receivers”, 2022, [En línea]. Disponible en: <https://arxiv.org/abs/2204.04806>

■ F. Solis, B. T. Reyes, D. A. Morero, y M. R. Hueda, “On the Application of Error Backpropagation to the Background Calibration of Time Interleaved ADC for Digital Communication Receivers”, arXiv:2008.02914 [eess], ago. 2020, [En línea]. Disponible en: <http://arxiv.org/abs/2008.02914>

En co-autoría

■ B. T. Reyes, L. Biolato, A. C. Galetto, L. Passetti, F. Solis, y M. R. Hueda, “An 8-bit 3.2 GS/s CMOS Time-Interleaved SAR ADC with Non-Buffered Input Demultiplexing”, en IEEE 9th Latin American Symp. Circuits Syst. (LASCAS), feb. 2018, pp. 1-4. doi: 10.1109/LASCAS.2018.8399947.

■ B. T. Reyes, L. Biolato, A. C. Galetto, L. Passetti, F. Solis, y M. R. Hueda, “An Energy-Efficient Hierarchical Architecture for Time-Interleaved SAR ADC”, IEEE Trans. Circuits Syst. I, vol. 66, n.º 6, pp. 2064-2076, jun. 2019, doi: 10.1109/TCSI.2019.2901795.

■ B. T. Reyes et al., “A 4GS/s 8-bit SAR ADC with an Energy-Efficient Time-Interleaved Architecture in 130nm CMOS”, en Argentine Conf. Electron. (CAE), Buenos Aires, Argentina, feb. 2020, pp. 77-81. doi: 10.1109/CAE48787.2020.9046376.

■ Á. F. Bocco, F. Solis, B. T. Reyes, D. A. Morero, y M. R. Hueda, “An Error Backpropagation-based Background Calibration of Pipeline TI-ADCs for 256-QAM Optical Coherent Receivers”, en IEEE Latin American Symp. Circuits Syst. (LASCAS), feb. 2021, pp. 1-4. doi: 10.1109/LASCAS51355.2021.9459161.

■ Á. F. Bocco, F. Solis, B. T. Reyes, D. A. Morero, y M. R. Hueda, “Background Compensation of Static TI-ADC Nonlinearities in Coherent Optical Receivers”, en 2021 Argentine Conference on Electronics (CAE), mar. 2021, pp. 45-49. doi: 10.1109/CAE51562.2021.9397563.

Capítulo 1

Introducción

***Síntesis:** En este capítulo se exponen los desafíos relacionados al desarrollo de técnicas de calibración y/o compensación de los desapareamientos en conversores analógico-digitales de tiempo entrelazado (Time-Interleaved ADC (TI-ADC)). Los mismos son ampliamente usados en sistemas de comunicaciones digitales de alta velocidad, donde la presencia de dichos errores limita su máxima frecuencia de operación. Por esta razón, la presente Tesis introduce técnicas novedosas para compensar de forma simultánea, y en tiempo real, los múltiples desapareamientos que se suscitan al interior de TI-ADC, en el marco de su aplicación a sistemas de comunicaciones digitales. Asimismo, se evalúan las técnicas de compensación de TI-ADCs del estado del arte, junto con sus características y limitaciones, las cuales son resueltas por la propuesta de la presente Tesis.*

1.1. Motivación

El continuo avance logrado por los sistemas de comunicaciones, en las últimas cuatro décadas, ha transformado la sociedad y el modo en que tienen lugar una infinidad de actividades humanas. Esto ha hecho posible que personas que se encuentran separadas por grandes distancias puedan relacionarse entre sí, dando lugar a la aparición de nuevos modelos de negocios, el acceso inmediato a grandes fuentes de datos, información y noticias. Debido a ello, la demanda del mercado por tasas de transferencia de datos cada vez más altas y menores latencias en las comunicaciones digitales crece cada año de forma exponencial. Consecuen-

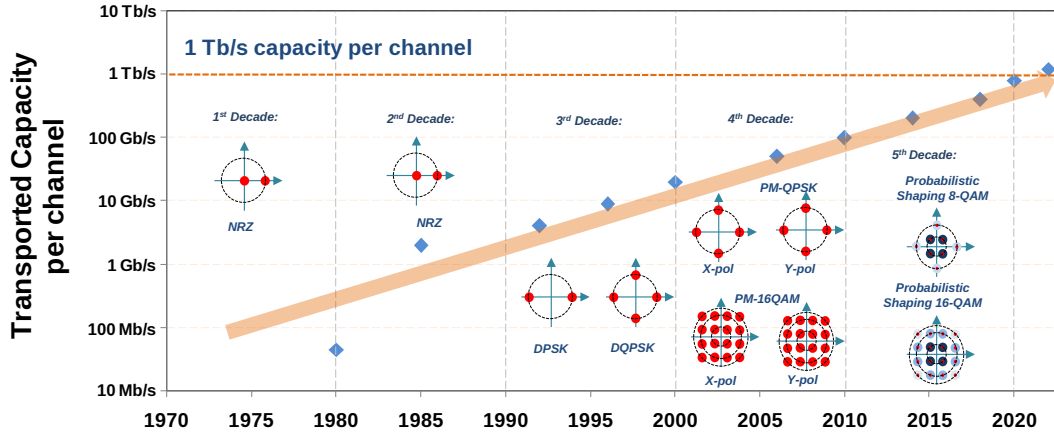


Figura 1.1: Evolución de la velocidad de las comunicaciones por fibra óptica [1].

temente, las prestaciones de las redes de comunicaciones deben ir aumentando sistemáticamente con cada generación a fin de anticiparse a los requerimientos futuros de los usuarios.

En particular, los sistemas de comunicaciones basados en medios de transmisión ópticos destacan por su capacidad de soportar el tráfico de grandes volúmenes de datos a largas distancias, con bajas degradaciones de señal, logrando los menores consumos energéticos y las mayores velocidades de operación. La Fig. 1.1 presenta la tendencia y evolución de las tasas de transferencia de datos en los sistemas de comunicaciones ópticos, así como también los esquemas de modulación que se implementaron en ellos [1]. En la figura se evidencia el crecimiento exponencial de las prestaciones de las redes ópticas, el cual se mantuvo desde los años 80 hasta la actualidad. Dicho incremento fue posible gracias a que en cada nueva generación los sistemas de comunicaciones incorporaron esquemas de modulación cada vez más complejos, los cuales empaquetan un número creciente de bits por símbolo transmitido. En este sentido, el tipo de modulaciones que se emplean en las redes ópticas es de tipo multinivel, tales como la modulación de fase (*Phase Modulation (PM)*) o modulación de amplitud en cuadratura (*Quadrature Amplitude Modulation (QAM)*), las cuales varían la amplitud y la fase de la portadora en función del símbolo a transmitir [2].

Sin embargo, el incremento en la complejidad de las comunicaciones y en las tasas de operación viene acompañada por un aumento en la sensibilidad de los equipos ante efectos no ideales en el medio y en las características analógicas

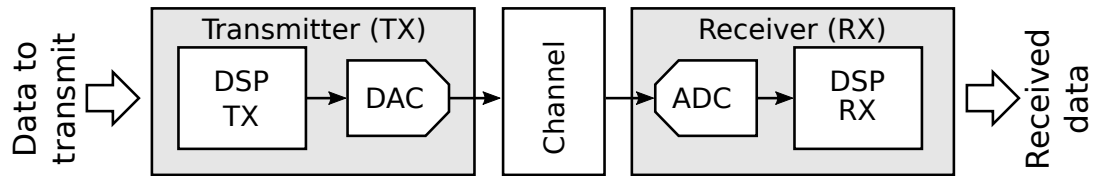


Figura 1.2: Esquema simplificado de un sistema de comunicación digital de alta velocidad basado en ADC y DAC.

de ellos mismos. Por esta razón, es común la incorporación de bloques de procesamiento digital de señales (*Digital Signal Processing* (DSP)) para compensar los mencionados efectos y corregir errores en los datos. Antiguamente estos bloques constituían componentes discretos en los equipos de comunicaciones, pero en la actualidad se implementan en el mismo chip del receptor/transmisor. Esto conlleva una reducción del consumo y espacio que necesitan estos equipos.

La Fig. 1.2 muestra el diagrama de bloques de un sistema de comunicaciones digitales de alta velocidad, el cual incluye el dispositivo transmisor, el medio y el receptor. En este esquema, la información generada por el transmisor se pre-procesa por un DSP para codificar la información a transmitir en símbolos (correspondientes al esquema de modulación usado) y aplicar un filtrado en el dominio digital para pre-compensar los efectos del canal. Luego, los símbolos se sintetizan al dominio analógico mediante un conversor digital-analógico (*Digital to Analog Converter* (DAC)).

En el lado del receptor la señal analógica presente en el medio se captura en un conversor analógico-digital (*Analog to Digital Converter* (ADC)). A continuación, es procesada por otro DSP, el cual compensa los efectos del canal y decodifica la información transmitida, para transferirla a la salida del receptor.

En los sistemas de comunicaciones, las resoluciones del ADC y del DAC en el receptor y el transmisor, respectivamente, dependen del tipo y el orden de modulación adoptado. Mientras mayor sea el orden de modulación, más sensible será el receptor al ruido y a no idealidades en el medio. Asimismo, son necesarios ADCs y el DACs con gran ancho de banda y altas tasas de muestreo [3–8]. En el caso particular de los receptores para comunicaciones ópticas coherentes, los ADCs deben operar a tasas de muestreo de al menos 150 GS/s, con anchos de banda mayores a los 60 GHz [9]. En el futuro próximo, se espera que sean

necesarios ADCs con anchos de banda de 120 GHz y tasas de muestreo mayores 250 GS/s [10, 11].

Conversores analógico-digitales de tiempo entrelazado

La tasa de conversión en los ADCs depende, entre otros factores, de su topología. Entre las más usadas se encuentran las topologías *flash*, *pipeline* y de aproximaciones sucesivas (*Successive Approximation Register* (SAR)) [12].

La topología *flash* es una de las que pueden alcanzar las mayores velocidades (en el orden de 10 GS/s o más), con resoluciones bajas (menores a 6 bit). Asimismo, el área y consumo de potencia en estos conversores resultan elevados respecto a otras estructuras de ADC [13]. Los conversores *pipeline* suelen contar con resoluciones altas (típicamente de 10 bits o más), con velocidades máximas cercanas a 1 GS/s, logrando, al mismo tiempo, consumo y área moderados. Los ADC SAR alcanzan resoluciones intermedias (de 8 a 12 bits), con velocidades de hasta 1 GS/s. Como ventaja tienen asociados el menor consumo y área de las tres variantes.

Si bien las topologías mencionadas alcanzan altas tasas de conversión (hasta varias decenas de GS/s), estas se encuentran muy distantes de los 150 GS/s requeridos por los receptores actuales (y aún más de los 250 GS/s, que serán necesarios en el futuro) [10, 11].

Para superar esta limitación de velocidad en los conversores, usualmente se recurre a paralelizar el procesamiento que estos llevan a cabo. Para ello, se los subdivide en múltiples sub ADCs que se activan secuencialmente, registrando el nivel de tensión de la señal de entrada en momentos distintos. Con ello se consigue un conversor global, que es M veces más rápido que cada sub ADCs individual, siendo M el número de sub ADCs.

Esta estrategia recibe el nombre de ADC de tiempo entrelazado (TI-ADC) [14] y su esquema general se representa en la Fig. 1.3(a). La misma presenta M sub-conversores acoplados a la misma entrada analógica, donde cada uno de ellos tiene asociado una llave seguimiento y retención (*Track and Hold* (T&H)). Esta captura la señal de entrada en un momento dado, y mantiene el mismo nivel de tensión, mientras el sub ADC realiza el proceso de conversión. Para ello,

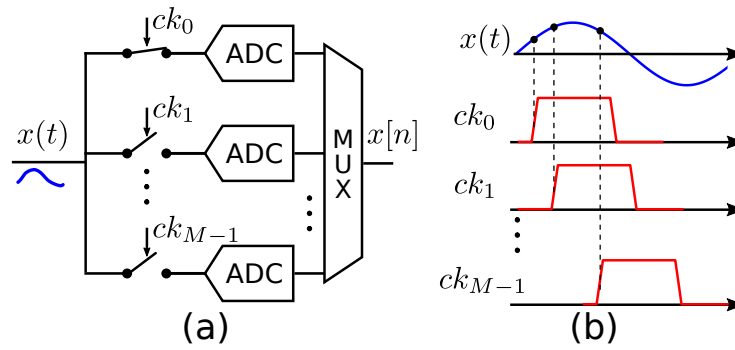


Figura 1.3: (a) Arquitectura típica de un TI-ADC con M sub ADC. (b) Diagrama de tiempos de la activación de las llaves de muestreo del T&H de un TI-ADC.

cada llave T&H posee una señal de reloj propia, la cual está configurada para que cada una de ellas se active (consecutivamente) en instantes distintos. La Fig. 1.3(b) ejemplifica la generación de estas señales de reloj, donde cada llave m tiene asociada una señal de reloj ck_m que provoca que esta se cierre cuando su estado es alto. Finalmente, un multiplexor dispuesto a la salida selecciona secuencialmente el valor en cada sub ADC para generar la secuencia de valores resultantes de la conversión del TI-ADC.

Entre las propuestas de TI-ADCs que alcanzan las mayores tasas de muestreo destacan [15–21]. Las frecuencias de muestreo logradas fueron tan altas como 100 GS/s [19]. En estos trabajos, como estrategia de diseño, se adoptó el enfoque de diseñar un sub ADC con la mayor eficiencia energética posible. Este, luego es replicado tantas veces como sea necesario para alcanzar la velocidad de conversión requerida. A modo de ejemplo, en [19] se integraron 128 sub ADCs operando a 781 MS/s, cada uno. Asimismo, resoluciones de entre 7 y 8 bits nominales en el ADC permitieron que los receptores alcancen un buen desempeño en la detección de los símbolos recibidos para los esquemas de modulación de amplitud de pulso (*Pulse Amplitude Modulation* (PAM)) o QAM. La modulación PAM de 4 niveles, es decir PAM-4, es ampliamente usada cuando se trata de solo un canal o su equivalente, 16-QAM, cuando se usa modulación en cuadratura.

Receptores de comunicaciones basados en conversores analógico-digitales de tiempo entrelazado

La Fig. 1.4 muestra el diagrama de bloques de un receptor típico para comunicaciones digitales de alta velocidad que implementa conversión analógica -

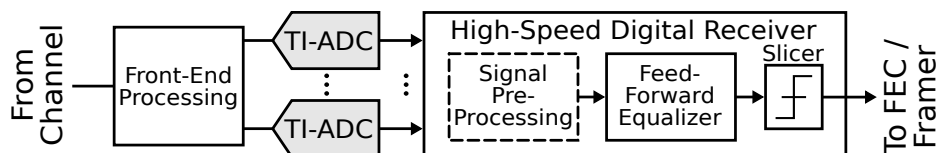


Figura 1.4: Receptor de comunicaciones de alta velocidad típico. Dependiendo de la modulación empleada, más de un TI-ADC puede ser requerido.

digital mediante TI-ADCs. A la entrada del receptor se dispone de un bloque de interfaz analógica (*Analog Front-End (AFE)*) para acondicionar las señales de entrada. Este, dependiendo del tipo de canal de comunicación puede incluir circuitos mezcladores, amplificadores de trans-impedancia (*Trans-Impedance Amplifiers (TIAs)*), ecualizadores lineales de tiempo continuo (*Continuous Time Linear Equalizer (CTLE)*), filtros anti-alias, entre otros. La señal analógica procesada por el AFE es convertida al dominio digital por uno o más TI-ADCs, dependiendo de la arquitectura del receptor.

En los receptores más sencillos la salida de los TI-ADCs alimenta directamente un filtro ecualizador (*Feed-Forward Equalizer (FFE)*), que compensa los efectos no ideales del canal de comunicaciones. En arquitecturas de receptores más complejas, como las usadas en comunicaciones ópticas coherentes, es necesario incluir algoritmos de pre-procesamiento entre los TI-ADCs y el FFE para compensar efectos particulares del canal, que no pueden ser compensados por este último.

Finalmente, la secuencia de salida del filtro es evaluada por un bloque de decisión o *slicer*, que realiza una aproximación para estimar a qué símbolo corresponde.

Limitaciones de la arquitectura de conversores de tiempo entrelazado

A pesar de que los TI-ADCs hacen posible alcanzar altas tasas de conversión con un relativo bajo consumo, éstos presentan tres grandes dificultades:

- i)* Reducción del Ancho de Banda (*Bandwidth (BW)*), debido a la alta carga capacitiva que introduce al nodo de entrada el conectarle múltiples sub ADCs en paralelo.
- ii)* Incremento de la complejidad en la generación de las señales de activación

de los circuitos de muestreo y retención.

- iii)* La presencia de desapareamientos (diferencias) en los caminos de señal analógicos de los M sub ADCs del conversor.

Las dos primeras dificultades están relacionadas con el diseño de la red de muestreo, para lo cual una posible solución consiste en la implementación de circuitos de muestreo jerárquico [22, 23]. En estas el muestreo se efectúa en dos o más etapas, relajando de esta forma los requerimientos de temporización y se minimizando el impacto sobre el ancho de banda a la entrada del conversor.

En el caso de los desapareamientos entre los conversores internos que conforman un TI-ADCs, éstos constituyen un problema más complejo que genera degradaciones, las cuales impactan de forma significativa en su desempeño [24, 25]. En particular, los desajustes en el tiempo de muestreo, la ganancia, el BW y el nivel (*offset*) de DC, son los errores más comunes en TI-ADCs. Éstos surgen de las inevitables variabilidades que introducen los procesos de fabricación de circuitos integrados, las cuales no pueden ser completamente mitigadas mediante el uso de buenas prácticas de diseño por lo cual se requiere el uso de alguna estrategia de calibración o compensación para mitigarlos. Este problema es el foco de interés de la presente Tesis.

Asimismo, los sistemas de comunicaciones complejos, que implementan esquemas de modulación de alto orden como 64-QAM, son especialmente sensibles a los efectos que introducen los desapareamientos debido a la proximidad entre los símbolos recibidos [26]. Esto hace que la corrección de los desajustes en los TI-ADCs resulte imprescindible para garantizar el óptimo funcionamiento de los receptores digitales a altas velocidades, y con un desempeño adecuado. Por otro lado, los sistemas de comunicaciones ópticas coherentes (las cuales implementan modulaciones en cuadratura), también son sensibles a los desajustes entre los canales en fase, I y cuadratura Q . Éstos afectan negativamente el desempeño del receptor y deben ser compensados para que estos sistemas funcionen correctamente.

En la literatura existen diferentes propuestas destinadas a la corrección de desapareamientos en TI-ADCs. A pesar de lograr calibrar eficazmente los desapareamientos en determinadas condiciones, éstas propuestas no satisfacen com-

Tabla 1.1: Resumen de las características de las técnicas de calibración de TI-ADC.

Plano de Ejecución	Dominio de Detección	Dominio de Corrección
Background Foreground	Analógico Digital	Analógico Digital

pletamente los requerimientos para su aplicación en sistemas de comunicaciones ópticas coherentes.

1.2. Trabajos relacionados

En la literatura se pueden encontrar diversas técnicas de calibración de TI-ADCs [27–30]. En general estas pueden dividirse en dos categorías de acuerdo al modo de operación. En primer lugar están aquellas que funcionan en *primer plano*, también llamadas *off-line* o *foreground*, las cuales requieren que el sistema cese su operación para llevar a cabo el ajuste de sus imperfecciones. Por el contrario, las técnicas que operan en *segundo plano* (*on-line* o *background*) ajustan las imperfecciones de los circuitos sin interrumpir su funcionamiento.

Por su parte, la detección de los errores puede hacerse tanto en el dominio analógico como en el digital. Esta última forma es la más frecuente debido a que es más eficiente su implementación (en términos de área y consumo) en los nodos de fabricación de circuitos integrados modernos. Complementariamente, el ajuste de los parámetros del circuito puede llevarse a cabo tanto en el dominio analógico como el digital [31]. En el primer caso, se realizan modificaciones sobre los mismos circuitos (o se añaden otros) para contrarrestar las desviaciones detectadas. Este procedimiento recibe el nombre de *calibración*. En el segundo caso se actúa sobre la señal digitalizada, que fue afectada por los errores del circuito, para reconstruir la señal original a la entrada del receptor. Este último proceso se denomina *compensación*.

En la Tabla 1.1 se resumen las posibilidades de compensación/calibración descritas en la discusión anterior.

1.2.1. Técnicas de calibración y compensación de TI-ADCs

Como se mencionó anteriormente, la principal limitación en el desempeño de los sistemas de comunicaciones modernos basados en TI-ADCs viene dada por las diferencias, desapareamientos, errores o *mismatches* entre los conversores que lo componen [25]. Estas surgen de las inevitables variaciones que ocurren durante el proceso de fabricación y en las condiciones del entorno en el que se encuentra operando el circuito (por ejemplo, temperatura y voltaje de alimentación). Por esta razón, es necesaria la implementación de alguna estrategia de compensación/calibración de dichos errores.

En este sentido, las características requeridas para que una técnica de corrección de los desajustes en TI-ADC sea aplicable a receptores digitales son:

1. *Operación en segundo plano (background) y adaptación continua.* Dado que en la mayoría de los sistemas de comunicaciones no es posible interrumpir el funcionamiento para recalibrar el ADC (o hacerlo es impráctico ante cualquier cambio en las condiciones de funcionamiento), el ajuste de los errores debe hacerse en paralelo con la operación del receptor.
2. *Compensación conjunta de los errores en todos los TI-ADCs en el AFE.* Si bien los distintos tipos de desapareamientos del TI-ADC pueden ser compensados con algoritmos independientes, la compensación conjunta es muy deseable ya que puede haber interacción entre los distintos algoritmos. Esto podría hacer sub óptima la calibración o poner en riesgo la estabilidad del receptor.
3. *Optimización de la relación señal-ruido (Signal-to-Noise Ratio (SNR)) global del receptor.* Los algoritmos utilizados en los receptores de comunicaciones buscan la optimización de alguna métrica calculada a partir de la salida del mismo, como por ejemplo la SNR, el error cuadrático medio (*Mean Squared Error* (MSE)) o la tasa de error de bit (*Bit Error Rate* (BER)). Una técnica de calibración de TI-ADC que busque optimizar de manera global el funcionamiento del receptor conduce a un desempeño óptimo del mismo, a diferencia de las técnicas generales para estos conversores, que no están desarrolladas para el marco de sistemas de comunicaciones.

4. *Evitar condicionar la señal a convertir a que posea unas determinadas propiedades estadísticas.* Ya que la convergencia de los algoritmos del receptor se logra si la señal de entrada cumple condiciones muy particulares (amplitud, ancho de banda, SNR, etc.).

En el caso de un receptor que contiene más de un TI-ADC, como el que se usa en comunicaciones coherentes, se deben compensar las diferencias *entre* los distintos TI-ADCs. Estos desapareamientos provienen de los errores de cuadratura en los demoduladores y las diferencias en las respuestas de amplitud y fase de los TIAs previos a los TI-ADCs [32, 33]. A continuación, se señalan aquellas propuestas de calibración y compensación de TI-ADC más relevantes del estado del arte, con potencial aplicación a sistemas de comunicaciones coherentes. Para facilitar su estudio, las mismas han sido agrupadas de acuerdo a su principio de funcionamiento.

- **Técnicas basadas en el uso de un canal adicional de referencia** [34–42]. Un sub ADC extra es usado para generar muestras que son usadas como referencia para los demás sub ADCs. En algunas propuestas los sub ADCs auxiliares operan a la velocidad del TI-ADC [34, 35], lo que implica un elevado consumo adicional, el cual se incrementa aún más a medida que sube la tasa de muestreo. Otras alternativas plantean la operación del canal de referencia a frecuencias más bajas, haciendo que se calibre un sub ADC cada determinado tiempo [36, 41]. A pesar de la reducción del consumo extra conseguida, la variación de la carga dada por la combinación del sub ADC a ser ajustado con el canal auxiliar operando de forma alternada introduce espurios en la señal cuantizada impactando negativamente en el desempeño del circuito. Estas técnicas han demostrado eficacia para ajustar los errores en distintas implementaciones de TI-ADCs, pero su aplicación en receptores se ve limitada por el uso de circuitos adicionales que deben operar a frecuencias altas.
- **Técnicas basadas en el procesamiento de la correlación de la señal cuantizada entre pares de sub ADCs del TI-ADC** [41–48]. En estas técnicas se ajustan solamente las fases de reloj de los T&H a partir de la

correlación entre las muestras producidas por dos sub ADCs del conversor. El ajuste se realiza en segundo plano, sin detener la operación del conversor, y la principal limitación que presentan consiste en que el algoritmo diverge si la frecuencia de la señal de entrada es un submúltiplo de la frecuencia de muestreo del ADC.

Esta restricción impone severas limitaciones en el factor de sobremuestreo (*Oversampling Ratio* (OSR)) del receptor y la naturaleza de las señales que pueden llegar a ser procesadas. Asimismo, a pesar de que estas técnicas son apropiadas para corregir errores de tiempo de muestreo, no son sensibles ante desajustes en la respuesta en frecuencia (BW) o diferencias entre los diferentes TI-ADCs de un receptor basado en QAM.

- **Técnicas basadas en el análisis de las propiedades estadísticas de la señal analógica** [35, 49–54]. En estas técnicas se calculan, en segundo plano, los histogramas de las salidas de los sub ADCs [51] (o bien, la función densidad de probabilidad (*Probability Density Function* (PDF)) de las muestras digitalizadas [52]), los cuales se usan para estimar los desapareamientos en el conversor. Otras propuestas definen una región o ventana de valores de entrada a partir de la que se realiza la calibración de los sub ADCs [34, 35, 53, 54].

Estas técnicas requieren que la señal a cuantizar presente, por ejemplo, una cantidad significativa de muestras en torno a la región o ventana definida para asegurar su efectividad. Además, si bien los métodos de este grupo son capaces de calibrar los errores en un TI-ADC, no están desarrolladas para usarse en receptores coherentes.

- **Técnicas basadas en el uso de algoritmos de aprendizaje automático (*Machine Learning* (ML))** [55–58]. Estas técnicas utilizan algoritmos de inteligencia artificial, basados en ML, para realizar la calibración de los errores en los TI-ADCs, estimando en simultáneo todos los desapareamientos presentes en estos. La principal limitación que presenta este grupo de técnicas es que necesitan operar en primer plano o *foreground*. Esto se debe a que los circuitos extra requieren de un proceso de entrenamiento

para su correcto funcionamiento, el cual debe ser realizado antes de que el sistema pueda operar. Como se requiere sacar el sistema de funcionamiento para ajustar la calibración, no se optimiza ninguna métrica relativa al receptor.

- **Técnicas basadas en ecualización adaptativa [59–61]** Los receptores para comunicaciones suelen contar con un ecualizador adaptativo digital, el cual puede ser aprovechado para compensar los errores en los TI-ADCs del sistema. De esta forma, la calibración se convierte en una parte integral de la ecualización del canal y gracias a ello, no se necesita la inclusión de bloques o algoritmos de calibración analógicos o digitales adicionales. Bajo este enfoque, se pueden corregir tanto errores estáticos, como aquellos dependientes de la frecuencia, tales como limitaciones y diferencias de BW entre los sub ADCs, así como también discrepancias en sus respuestas en frecuencia. Por otra parte, la naturaleza adaptativa del ecualizador en estos receptores permite, también, compensar los efectos causados por las variaciones de temperatura, tensión, y aquellas originadas por el envejecimiento de los componentes.

Debido a estas razones, este tipo de ecualización es la técnica de compensación TI-ADC de preferencia en receptores de comunicaciones digitales. Sin embargo, su principal limitación es que necesitan que el ecualizador principal se encuentre inmediatamente después de los TI-ADCs para poder obtener a la salida del *slicer* una señal de error por cada sub ADC y así poder estimar la compensación que este necesita. Esta condición de diseño sólo es posible de garantizar en receptores simples, mientras que en receptores complejos (como los usados en comunicaciones ópticas coherentes) en donde se disponen múltiples bloques de procesamiento de las señales de salida de los sub ADCs antes de que estas ingresen al FFE y *slicer*. Como consecuencia, la señal de error que se obtiene de este se compone de muestras provenientes de diferentes sub ADCs, e incluso diferentes TI-ADCs, lo cual hace inviable el uso de estas técnicas para este tipo de sistemas.

A modo de síntesis, la Tabla 1.2 resume las características, ventajas y des-

Tabla 1.2: Resumen y comparación con otras técnicas de la literatura.

Método	Operación en background	Compensación concurrente	Optimización de la SNR	Entrada sin restricciones	Compatible con RX coherentes
Canal de referencia [34–42]	✓	✗	✗	✓	-
Correlación [41–48]	✓	✗	✗	✗	✓
Estadística [35, 49–54]	✓	✗	✗	✗	-
Algoritmos de ML [55–58]	✗	✓	✗	✗	✗
Ecuador adaptativo [59–61]	✓	✓	✓	✓	✗

ventajas de las técnicas descritas en este apartado. A pesar de que las técnicas presentadas en esta sección logran una compensación efectiva de los desapareamientos en los TI-ADCs, las limitaciones presentes en la mayoría de ellas hacen que estas no sean aplicables a sistemas de comunicaciones coherentes.

Por esta razón, la presente Tesis propone una técnica novedosa de compensación concurrente de los múltiples desapareamientos que tienen lugar en el interior de un TI-ADC en el marco de un sistema de comunicaciones óptico coherente. La técnica opera en segundo plano, está basada en ecualización adaptativa y es, a su vez también, capaz de compensar desapareamientos entre los múltiples TI-ADCs de un sistemas de comunicaciones coherentes.

1.3. Aportes de la Tesis

El aporte principal de esta Tesis consiste en una nueva técnica para la detección y ajuste simultáneo de los diferentes desapareamientos que se dan entre los distintos TI-ADCs de los receptores de comunicaciones digitales modernos, así como también de los que tienen lugar al interior de cada uno de estos. La misma opera en *background* y está especialmente diseñada para ser implementada en receptores digitales complejos de alta velocidad. En particular, la técnica se demostró para los desapareamientos de *offset* de DC, ganancia, tiempo de muestreo y ancho de banda [62–65].

No obstante, la técnica puede adaptarse para ajustar errores de otros tipos, como se ha demostrado en [66,67] (los cuales son trabajos complementarios de la presente Tesis). Asimismo, también es capaz de detectar y ajustar *conjuntamente* los desapareamientos entre los canales I y Q correspondientes a las modulaciones en cuadratura, que se utilizan en comunicaciones ópticas coherentes. Las virtudes de la propuesta de esta Tesis son:

- No requiere de sub ADCs auxiliares que funcionen como canal de referencia. De esta forma, se evita el uso de *hardware* adicional operando con relojes a frecuencias muy elevadas, lo que conlleva un mayor consumo energético y mayor área de implementación.
- No se requiere de una secuencia u orden en la calibración y/o compensación, a diferencia de otras propuestas, donde se ajusta un desapareamiento de un tipo a la vez, lo cual conlleva el riesgo de que el algoritmo converja hacia mínimos locales. En su lugar, la estrategia aquí desarrollada permite la corrección de todos los desajustes en el conversor (y entre conversores de un mismo receptor) al mismo tiempo, lo cual reduce el tiempo de convergencia de la técnica.
- Posee gran flexibilidad en términos de implementación. La calibración puede ser realizada tanto en el dominio digital (variante *full-digital*) como en el analógico (variante de *señal mixta*). En este último caso se pueden explotar las capacidades de reconfigurabilidad analógica presente en la mayoría de los diseños de TI-ADCs.

La validación de la técnica aquí presentada se realizó mediante extensas simulaciones de alto nivel de sistema [63,64] y, también, experimentalmente por medio de una plataforma de emulación de sistemas de comunicaciones digitales [62]. Esta consta de un circuito integrado TI-ADC prototipo y un kit de evaluación basado en arreglo de compuertas programables (*Field Programmable Gate Array* (FPGA)), los cuales fueron desarrollados en el marco de la presente Tesis y constituyen una contribución adicional de la Tesis. El ADC prototipo [68] fue fabricado en una tecnología de transistores metal-óxido semiconductor complementario (*Complementary Metal-Oxide Semiconductor* (CMOS)) de 130 nm

de Global Foundries, tiene una resolución de 8 bit y es capaz de operar con una tasa de muestreo de hasta 4 GS/s.

1.4. Organización de la Tesis

En el Capítulo 2 se presenta un modelo de simulación del prototipo TI-ADC, incluyendo sus efectos no ideales. En el capítulo, adicionalmente, se realiza un estudio del impacto de dichos efectos por medio de simulaciones del sistema el contexto de un receptor de comunicaciones coherente.

En el Capítulo 3 se presentan los detalles de la técnica propuesta en esta Tesis y se desarrollan los tipos de implementaciones con las que es compatible. Se verifica el funcionamiento de la propuesta por medio de simulaciones.

En el Capítulo 4 se describe y caracteriza la plataforma de comunicaciones, así como también el circuito integrado prototipo desarrollado para llevar a cabo la verificación experimental de la propuesta.

En el Capítulo 5 se presentan los resultados experimentales obtenidos al aplicar la propuesta en el prototipo de sistema de comunicaciones del Capítulo 4.

Finalmente, en el Capítulo 6 se resumen las conclusiones de la presente Tesis.

Capítulo 2

Sistemas de comunicaciones digitales de alta velocidad basados en TI-ADC

Síntesis: En este capítulo se describen los bloques de un receptor empleado en sistemas de comunicaciones ópticos coherentes de doble polarización y se presentan los modelos matemáticos para el canal de comunicaciones óptico, la interfaz optoelectrónica y el TI-ADC. Estos modelos, a continuación, se combinan para formular un modelo general de simulación del sistema que es compatible con la introducción de múltiples desapareamientos de diferente tipo en los TI-ADCs del receptor. Los desapareamientos considerados son offset de DC, ganancia, ancho de banda, tiempo de muestreo e I/Q time skew. Se adopta como caso de estudio una configuración moderna de sistema de comunicaciones óptico coherente y se evalúa el impacto de los desapareamientos del TI-ADC en el sistema mediante simulaciones a nivel de sistemas.

2.1. Introducción

Los sistemas de comunicaciones pueden emplear enlaces de distinta naturaleza (por ejemplo, cableados, inalámbricos u ópticos). Las características de estos enlaces, tales como la longitud o las propiedades intrínsecas del medio, condicionan el número de bits por símbolo por unidad de tiempo (o baudio, Bd) que

se pueden transmitir sin que las señales sufran degradaciones significativas tales que impidan interpretarlos correctamente del lado del receptor.

En particular, en los enlaces de comunicaciones ópticos para área metropolitana el medio por antonomasia es la fibra óptica monomodo [69], la cual permite el paso de único haz de luz que viaja paralelo a la longitud la fibra. Los principales efectos no ideales que experimentan los enlaces de fibra óptica son la Dispersión Cromática (*Chromatic Dispersion* (CD)) y la Dispersión por Modo de Polarización (*Polarization Mode Dispersion* (PMD)) [70]. La CD produce desfases entre las diferentes longitudes de onda que componen las señales que atraviesan la fibra. Esto provoca que la permanencia efectiva de un símbolo en el medio se dilate, lo cual a su vez ocasiona interferencia con otros símbolos transmitidos en instantes de tiempo distintos. Por su parte, la PMD aparece por las deformaciones físicas en la fibra que afectan de forma distinta a las polarizaciones del haz usadas para transmitir la señal. Este efecto altera la velocidad con que cada polarización que atraviesa la fibra y da lugar a intercambios de energía entre ambas polarizaciones.

En un comienzo estos efectos limitaban las comunicaciones ópticas de mediano y largo alcance de alta velocidad a implementar sencillos esquemas de Modulación de Intensidad (*Intensity Modulation* (IM)) con Detección Directa (*Direct Detection* (DD)), donde se transmite un bit por símbolo modulando solamente la potencia del haz de luz de la señal portadora.

Posteriormente, la incorporación de elementos de compensación ópticos en los receptores hizo posible su cancelación, aunque con un costo económico elevado. En la actualidad los avances en tecnologías de circuitos integrados hacen posible implementar esta cancelación en el dominio digital, mediante técnicas de DSP, operando directamente sobre las señales digitalizadas por el ADC del dispositivo receptor. De esta forma se prescinde de los mencionados elementos de compensación ópticos, lo cual favoreció la adopción de esquemas de comunicaciones más complejos como las de tipo coherentes. En éstas se emplea modulación QAM, donde se codifica la información a transmitir en la amplitud y la fase de la portadora óptica (o bien, en fase (*in-phase* (I)) y cuadratura (*quadrature* (Q)) desde el punto de vista de las coordenadas rectangulares).

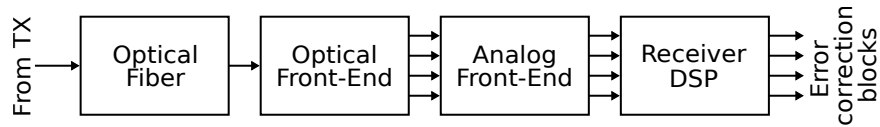


Figura 2.1: Diagrama en bloques de las partes que componen el modelo desarrollado.

Los enlaces coherentes modernos incorporan, adicionalmente, esquemas de doble polarización donde se transmiten dos flujos de datos simultáneos a través de dos polarizaciones de luz ortogonales con la misma longitud de onda, llamadas Horizontal (H) y Vertical (V). De esta forma se consigue una alta eficiencia espectral, y un mayor tráfico de información en el mismo tiempo [71].

2.2. Modelo matemático de sistemas de comunicaciones ópticas coherentes basados en TI-ADCs

En esta sección, se introduce el modelo matemático de un sistema de comunicaciones óptico coherente de doble polarización, el cual es utilizado más adelante para simular el comportamiento del prototipo de prueba desarrollado en el marco de esta Tesis y para evaluar las propuestas de compensación de la misma. La Fig. 2.1 muestra el diagrama en bloques del modelo, el cual consiste de un bloque que reproduce los efectos del canal, otro que corresponde a la etapa de interfaz óptica y eléctrica analógica del receptor (la cual contiene un TI-ADC) y el módulo DSP de este. A continuación, se presenta una breve descripción de las partes principales de un receptor para comunicaciones ópticas coherentes y se introducen sus modelos matemáticos correspondientes.

2.2.1. Receptores de comunicaciones ópticas coherente

Etapa de entrada: Optical Front-End (OFE) y Analog Front-End (AFE)

La Fig. 2.2 muestra un diagrama en bloques de la etapa de entrada de un receptor para comunicaciones ópticas coherentes que utiliza doble polarización [3, 4, 72]. El mismo se compone de dos partes, una etapa de procesamiento de las

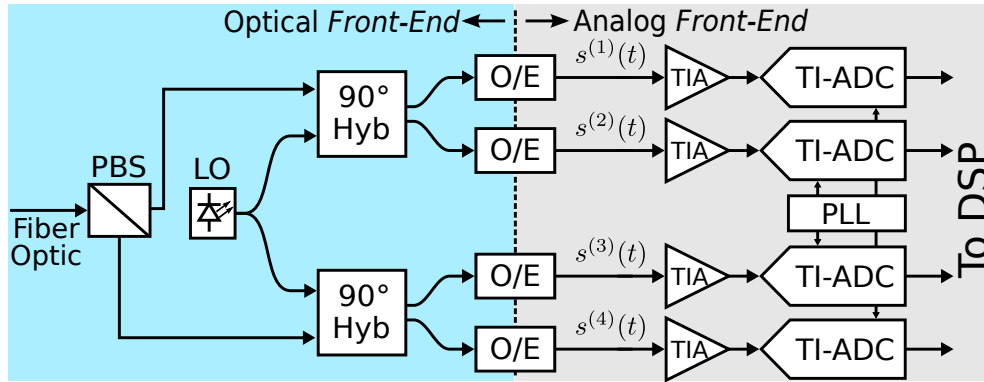


Figura 2.2: Interfaz óptica/análogica para un receptor óptico coherente basado en TI-ADC. La señal óptica es dividida en 4 canales eléctricos que son convertidos por un TI-ADC.

señales ópticas, llamado Interfaz Óptica (*Optical Front-End* (OFE)) y otra dedicada a la conversión y procesamiento de estas bajo la forma de señales eléctricas analógicas, denominado AFE.

La etapa de entrada del OFE tiene contacto directo con la fibra óptica y dispone un Divisor de Haz de Polarización (*Polarizing Beam Splitter* (PBS)), el cual se encarga de separar las polarizaciones H y V en dos haces distintos. Luego, la señal correspondiente a cada polarización es demodulada en el dominio óptico empleando un Oscilador Local (*Local Oscillator* (LO)) y acopladores híbridos ópticos a 90° (90° Hyb) para separar las componentes I y Q de cada polarización. Como resultado se producen, a su salida, cuatro señales ópticas (dos I y Q para las polarizaciones H y V , respectivamente).

Los fotodetectores (bloque O/E en la Fig. 2.2), convierten las cuatro señales ópticas a la salida de los 90° Hyb en cuatro señales eléctricas $s^{(1)}(t)$, $s^{(2)}(t)$, $s^{(3)}(t)$ y $s^{(4)}(t)$. Estas son, a continuación acondicionadas por un TIA para luego ser digitalizadas por un TI-ADC.

Las secuencias de salida los TI-ADCs son, a continuación, procesadas en un DSP para compensar los efectos no ideales en la fibra y finalmente, sometidas a un bloque de decisión (*slicer*) para determinar a qué símbolo corresponden.

Bloques del DSP y decisión de símbolos

Un diagrama en bloques del DSP para un receptor típico para comunicaciones coherentes de doble polarización se muestra en la Fig. 2.3. Este opera sobre

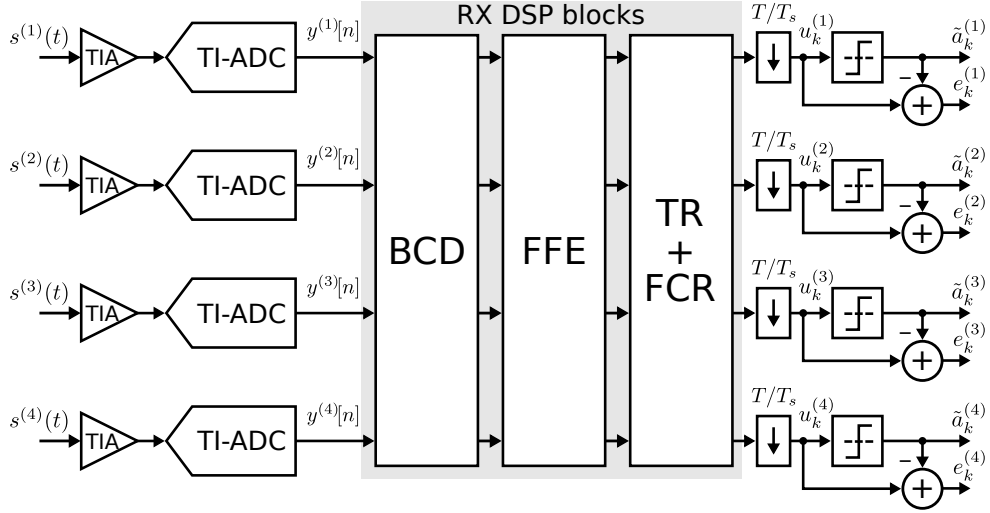


Figura 2.3: Arquitectura de un receptor de comunicaciones ópticas que implementa detección coherente.

las señales eléctricas $s^{(i)}(t)$, con un cierto nivel de sobremuestreo respecto a la tasa de transferencia de datos (por ejemplo, $T_s = \frac{T}{2}$ donde T_s es el periodo de muestreo del símbolo) para compensar la dispersión experimentada en los enlaces ópticos [71].

Algunos de los elementos DSP más comunes en receptores ópticos coherentes son el Ecuador de Dispersión Cromática (*Bulk Chromatic Dispersion Equalizer* (BCD)), el *Multiple-Input Multiple-Output* (MIMO) FFE para compensar la dispersión del modo de polarización, Recuperación del Reloj (*Timing Recovery* (TR)) a partir de los símbolos recibidos, Recuperación Fina de Portadora (*Fine Carrier Recovery* (FCR)) para compensar la fase de la portadora y el desplazamiento de frecuencia, y el bloque de Corrección de Errores (*Forward Error Correction* (FEC)) a partir de las salidas del *slicer*.

Como resultado de los procesamientos que se realizan en los bloques del DSP se obtiene a su salida una aproximación digital de la señal eléctrica en el transmisor antes de ser convertida al dominio óptico (y atravesar el canal). Esta secuencia a continuación, es submuestreada por el mismo factor $T_s = \frac{T}{2}$ y evaluada por un bloque *slicer* para obtener la estimación del símbolo recibido $u_k^{(j)}$. Para realizar la decisión el slicer selecciona el símbolo más próximo a la salida submuestreada del receptor $u_k^{(j)}$. Por ejemplo, en una modulación 16-QAM, $\tilde{a}_k^{(i)}$ puede tomar los valores en el conjunto $\{\pm 1, \pm 3\}$.

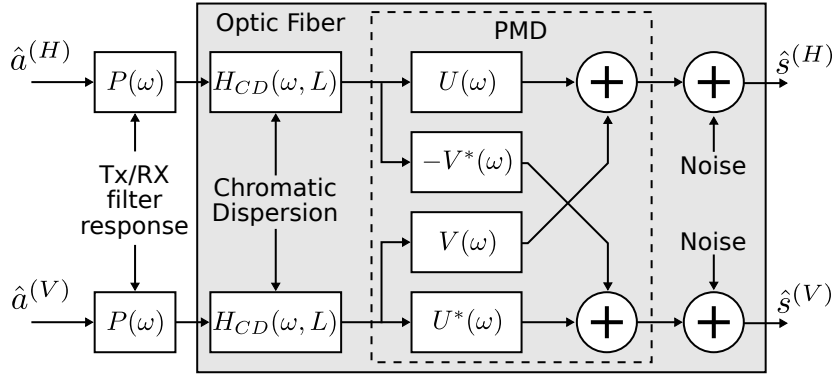


Figura 2.4: Diagrama en bloques del modelo del canal de fibra óptica.

Los bloques del receptor se adaptan iterativamente para minimizar el error generado a partir las salidas del bloque DSP $u_k^{(j)}$ y $\tilde{a}_k^{(i)}$ empleando diferentes algoritmos [73].

2.2.2. Modelo de canal óptico

Descripción del modelo de canal

Como se mencionó anteriormente, la CD y la PMD son los principales efectos no ideales presentes en una fibra óptica. Ésta (en presencia de dichos efectos) puede ser modelada como un sistema MIMO de 2×2 , denotado $\mathbf{H}(\omega, L)$, con coeficientes complejos [71], cuyo diagrama de bloques se muestra en la Fig. 2.4.

Este modelo cuenta con una entrada $\hat{a}^{(H)}$ correspondiente a la polarización H y otra $\hat{a}^{(V)}$ para la polarización V en el transmisor. Análogamente, el modelo posee dos salidas $\hat{s}^{(H)}$ y $\hat{s}^{(V)}$, para ambas polarizaciones respectivamente, que representan las señales ópticas que llegan al receptor luego de haber atravesado la fibra óptica.

En la figura, los bloques $P(\omega)$ modelan las características de transferencia de los filtros de conformación de espectro en el transmisor y el receptor (agrupadas en un mismo bloque), donde ω es la frecuencia angular de la señal de entrada. Por otra parte, el bloque H_{CD} representa el efecto de la dispersión cromática en el canal. De la misma forma, $U(\omega)$ y $V(\omega)$ en el bloque PMD modelan las diferentes velocidades de propagación y el intercambio de potencia óptica entre las polarizaciones H y V , respectivamente¹.

¹El símbolo * denota la operación de conjugación compleja.

El canal agrega ruido a la señal óptica, el cual se produce por la amplificación de fotones emitidos por el canal de manera espontánea, producto de la transición entre diferentes estados de energía en el material. La relación entre la potencia de la señal óptica y la potencia de ruido introducida por el canal, se denomina relación señal-ruido óptica (*Optical SNR* (OSNR)).

Formulación matemática del modelo de canal

En presencia de CD y PMD, la matriz de transferencia del canal de comunicaciones en el dominio de la frecuencia \mathbf{H} se puede expresar mediante el producto entre la matriz de Jones [74] $\mathbf{J}(\omega)$ y la dispersión cromática del canal $H_{CD}(\omega, L)$ (2.3), junto con la respuesta de los filtros de transmisión y recepción $P(\omega)$:

$$\mathbf{H}(\omega, L) = \begin{bmatrix} H_{11}(\omega, L) & H_{12}(\omega, L) \\ H_{21}(\omega, L) & H_{22}(\omega, L) \end{bmatrix} = H_{CD}(\omega, L)P(\omega)\mathbf{J}(\omega), \quad (2.1)$$

donde ω es la frecuencia angular y L es la longitud de la fibra. Por otra parte, la matriz de Jones de la fibra se define como:

$$\mathbf{J}(\omega) = \begin{bmatrix} U(\omega) & V(\omega) \\ -V^*(\omega) & U^*(\omega) \end{bmatrix}. \quad (2.2)$$

Esta modela el efecto de la PMD en el canal y está compuesta por las interacciones entre las polarizaciones H y V . La matriz $\mathbf{J}(\omega)$ es unitaria (su determinante es 1), lo cual hace viable su compensación en el receptor por medio de técnicas de DSP, como se verá más adelante.

Por último, la CD (caracterizada por H_{CD}) es determinada por

$$H_{CD}(\omega, L) \approx \exp\left(j\frac{1}{2}\beta_2 L\omega^2\right), \quad (2.3)$$

donde el parámetro β_2 representa el ensanchamiento temporal del pulso, también llamado Interferencia Intersímbolo (*Inter Symbol Interference* (ISI)) y esta relacionado con la dispersión de la fibra óptica D por medio de

$$D = \frac{2\pi c}{\lambda^2}\beta_2, \quad (2.4)$$

donde (2.4) c y λ son la velocidad de la luz y la longitud de onda, respectivamente [70].

El parámetro D $\left[\frac{\text{ps}}{\text{nm} \times \text{km}}\right]$ representa el retardo diferencial o dispersión temporal (en ps), para una fuente óptica con un ancho espectral de 1 nm que recorre 1 km de fibra. Dicho retardo provoca que las diferentes longitudes de onda que atraviesen la fibra óptica sufran diferentes retardos. Dependiendo del tipo de fibra, y en ausencia de equalización, este efecto puede degradar la señal, al punto introducir errores en su recepción, lo cual limita la velocidad y la distancia de la transmisión.

2.2.3. Modelo de Optical Front - End (OFE) para receptores de comunicaciones ópticas coherentes

La etapa de entrada de los receptores de comunicaciones ópticas, principalmente, se componen de dos partes fundamentales: el OFE y el AFE. La función de estas es el de acondicionar las señales analógicas ópticas y eléctricas, respectivamente antes de que puedan ser procesadas por las etapas subsiguientes. En esta sub sección, se presenta el modelado matemático del OFE y una descripción estadística de las señales transmitidas en un canal de comunicaciones óptico mediante modulación QAM.

Caracterización estadística de las señales transmitidas en un canal de comunicaciones mediante modulación QAM

Sean $\hat{a}_k^{(H)} = a_k^{(1)} + ja_k^{(2)}$ y $\hat{a}_k^{(V)} = a_k^{(3)} + ja_k^{(4)}$ los k -ésimos símbolos a transmitir mediante modulación QAM, en las polarizaciones H y V , respectivamente. Se asume que los símbolos $\hat{a}_k^{(H)}$ y $\hat{a}_k^{(V)}$ son independientes e idénticamente distribuidos (es decir que tienen la misma distribución de probabilidad), de manera que estas no presentan correlación entre sí. Por lo tanto, las esperanzas matemáticas de la auto-correlación de $\hat{a}_k^{(H)}$ y de $\hat{a}_k^{(V)}$ (2.5) equivalen a un impulso unitario en tiempo discreto δ_k .

$$E \left\{ \hat{a}_k^{(H)} (\hat{a}_m^{(H)})^* \right\} = E \left\{ \hat{a}_k^{(V)} (\hat{a}_m^{(V)})^* \right\} = \delta_{m-k} , \quad (2.5)$$

Modelo matemático del OFE

Sean $\hat{s}^{(H)}(t) = s^{(1)}(t) + js^{(2)}(t)$ y $\hat{s}^{(V)}(t) = s^{(3)}(t) + js^{(4)}(t)$ las señales complejas, libres de ruido, presentes a la salida del OFE para las polarizaciones H y V , respectivamente. $s^{(1)}(t)$ y $s^{(2)}(t)$ corresponden a las componentes I y Q que se obtienen a la salida de los demoduladores ópticos del OFE para la polarización H (ver Fig. 2.2). Análogamente, $s^{(3)}(t)$ y $s^{(4)}(t)$ representan las componentes I y Q , respectivamente, de señal en la polarización V .

A continuación, las respuestas de salida del OFE para las polarizaciones H y V se definen mediante (2.6) y (2.7), respectivamente [71]

$$\hat{s}^{(H)}(t) = e^{j\phi^{(H)}(t)} \left[\sum_k \hat{a}_k^{(H)} \cdot \bar{h}_{1,1}(t - kT) + \hat{a}_k^{(V)} \cdot \bar{h}_{1,2}(t - kT) \right], \quad (2.6)$$

$$\hat{s}^{(V)}(t) = e^{j\phi^{(V)}(t)} \left[\sum_k \hat{a}_k^{(H)} \cdot \bar{h}_{2,1}(t - kT) + \hat{a}_k^{(V)} \cdot \bar{h}_{2,2}(t - kT) \right], \quad (2.7)$$

donde T es el período de cada símbolo, mientras que $\phi^{(H)}(t)$ y $\phi^{(V)}(t)$ son los errores de fase de cada polarización.

Por otra parte, \bar{h}_{11} , \bar{h}_{12} , \bar{h}_{21} y \bar{h}_{22} , representan la Transformada Inversa de Fourier (*Inverse Fourier Transform* (IFT)) de las interacciones entre las polarizaciones H y V (y sus conjugados) de la matriz de Jones (2.2)

$$\bar{h}_{11}(t) = \mathcal{F}^{-1}\{H_{\text{CD}}(\omega, L)P(\omega)U(\omega)\}, \quad (2.8)$$

$$\bar{h}_{12}(t) = \mathcal{F}^{-1}\{H_{\text{CD}}(\omega, L)P(\omega)V(\omega)\}, \quad (2.9)$$

$$\bar{h}_{21}(t) = \mathcal{F}^{-1}\{-H_{\text{CD}}(\omega, L)P(\omega)V^*(\omega)\}, \quad (2.10)$$

$$\bar{h}_{22}(t) = \mathcal{F}^{-1}\{H_{\text{CD}}(\omega, L)P(\omega)U^*(\omega)\} \quad (2.11)$$

donde $\mathcal{F}^{-1}\{.\}$ denota la IFT.

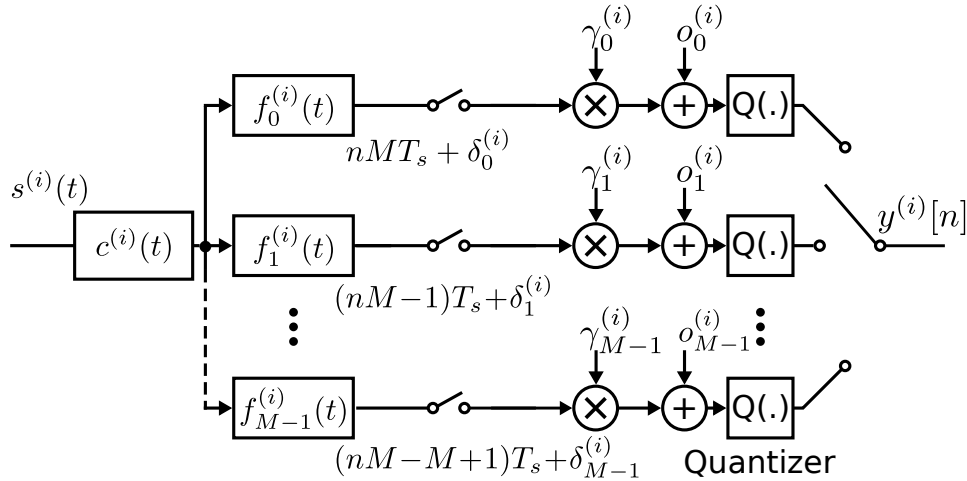


Figura 2.5: Modelo del AFE para el i -ésimo canal en un receptor óptico coherente de DP basado en TI-ADC.

2.2.4. Modelo en tiempo discreto de Analog Front - End (AFE) para sistemas de comunicaciones, TI-ADC y sus errores

En esta sección se introduce un modelo de tiempo discreto para el AFE, junto con los fotodiodos entre el OFE y el AFE, el cual es compatible con la inyección de las imperfecciones y desapareamientos del AFE.

La Fig. 2.5 muestra el modelo equivalente para uno de los canales de señal analógica del AFE $s^{(i)}(t)$ (asociado a la i -ésima señal de entrada de este). En total, el modelo de simulación completo del AFE consta de cuatro esquemas como el de la figura, dos para las componentes de señal I y Q de la polarización H y otros dos, también asociados a I y Q , para la polarización V . Cada uno de estos esquemas tiene asociado un TI-ADC (véase Fig. 1.2).

El bloque $c^{(i)}(t)$ modela, de manera combinada, las interconexiones entre el demodulador óptico y el TIA, la característica de transferencia de este último, y su interconexión eléctrica con el TI-ADC.

En el receptor, el retraso de tiempo o *time skew* para una polarización dada (H o V), es causado por las diferencias entre los tiempos de propagación de los caminos de señal analógicos asociados a las componentes I y Q . Este desapareamiento, es uno de los que degrada de manera más significativa el desempeño del receptor. En el modelo, el *time skew* está representado por diferencias

entre los bloques $c^{(i)}(t)$ para el camino de señal asociado a las componentes I y Q .

Por otra parte, los bloques $f_m^{(i)}(t)$ ($m = 0, \dots, M-1$) modelan las respuestas de cada uno de los T&H del TI-ADC, bajo la forma de un filtro de pasabajos (*Low-Pass Filter* (LPF)) de primer orden [75]. Este tiene origen en el circuito RC formado por la combinación de la resistencia de encendido de un transistor CMOS operando como llave, junto con el capacitor de muestreo del ADC. Según su diseño, los T&Hs pueden incorporar, adicionalmente, un buffer de salida el cual agrega capacidades adicionales que se suman a la del capacitor de muestreo.

En el ADC cada uno de los M canales intercalados se muestrea cada MT_s segundos, con señales de reloj desfasadas T_s segundos entre sí. En cada llave, el error en la fase de muestreo se modela como una desviación $\delta_m^{(i)}$, respecto al instante en que esta debe cerrarse.

Por otra parte, la ganancia/atenuación $\gamma_m^{(i)}$ de cada canal m está modelada como

$$\gamma_m^{(i)} = 1 + \Delta_{\gamma_m^{(i)}}, \quad (2.12)$$

donde $\Delta_{\gamma_m^{(i)}}$ es el error de ganancia en dicho canal. Los *offset* de DC se modelan como una constante $o_m^{(i)}$ que se suma a la salida del bloque de error de ganancia. A altas frecuencias (cercanas a $1/T_s$), el *offset* $o_m^{(i)}$ se comporta como una señal M -periódica en la secuencia de salida del TI-ADC, denotada como $\tilde{o}^{(i)}[n] = \tilde{o}^{(i)}[n + M]$.

Como la resolución del ADC es suficientemente alta (mayor a 3 bits) [76] el bloque de cuantización $\mathbf{Q}(\cdot)$ se puede modelar como ruido blanco aditivo con distribución uniforme. Finalmente, en el esquema de la Fig. 2.5 se denota como $y^{(i)}[n]$ a la secuencia de salida del AFE.

Modelo equivalente en tiempo discreto

Los efectos de $\delta_m^{(i)}$ y $\gamma_m^{(i)}$ se pueden modelar mediante filtros de interpolación analógicos con respuestas al impulso $p_m^{(i)}(t)$ seguidos de un muestreo ideal [59,61], como se muestra en la Fig. 2.6. Bajo este esquema la respuesta al impulso total del m -ésimo canal entrelazado (2.13) está determinado por la convolución (en el dominio del tiempo) entre el bloque de entrada $c^{(i)}(t)$, la respuesta del T&H

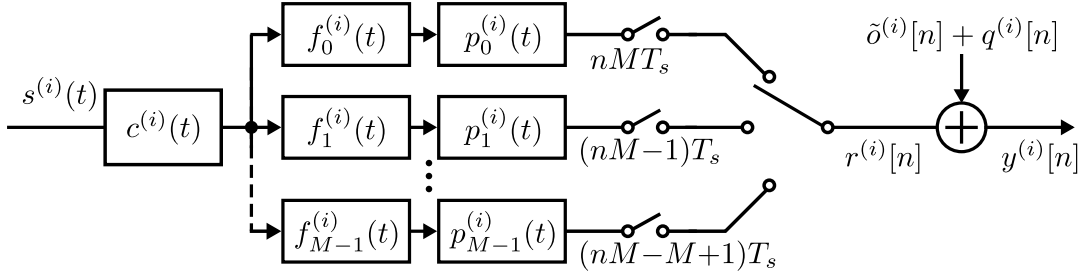


Figura 2.6: Modificación del modelo del AFE y TI-ADC para la polarización $\mathcal{P} \in \{H, V\}$ y componente $\mathcal{C} \in \{I, Q\}$.

$f_m^{(i)}(t)$ y la característica de transferencia del ADC del canal

$$h_m^{(i)}(t) = c^{(i)}(t) \otimes f_m^{(i)}(t) \otimes p_m^{(i)}(t), \quad (2.13)$$

donde $m = 0, \dots, M - 1$ y \otimes es el operador de convolución.

Por otra parte, un selector global controlado por reloj serializa en una única secuencia los valores que genera cada sub ADC dando lugar a la cadena de valores de salida del TI-ADC $r^{(i)}[n]$.

Finalmente, las muestras digitalizadas (de alta frecuencia) a la salida del AFE se calculan como la suma de TI-ADC $r^{(i)}[n]$, más el ruido de cuantización que introduce cada sub ADC $q^{(i)}[n]$ y la función periódica de offset $\tilde{o}^{(i)}[n]$:

$$y^{(i)}[n] = r^{(i)}[n] + \tilde{o}^{(i)}[n] + q^{(i)}[n]. \quad (2.14)$$

Sean $H_m^{(i)}(j\omega)$ y $S^{(i)}(j\omega)$ las transformadas de Fourier (*Fourier Transform* (FT)) de la respuesta del i -ésimo canal entrelazado $h_m^{(i)}(t)$ y la correspondiente señal óptica a la salida del OFE $s^{(i)}(t)$, respectivamente. En los sistemas de comunicación digitales comúnmente se utilizan filtros de *spectral shaping*, para acotar en banda la señal a la salida del transmisor y la entrada del receptor [70]. Esto implica que $|S^{(i)}(j\omega)| \approx 0$, con $\omega \in [-\pi/T_s, \pi/T_s]$. Entonces, la función de transferencia del canal $h_m^{(i)}(t)$ se puede reemplazar por un modelo equivalente de tiempo discreto real [77] (asumiendo $|H_m^{(i)}(j\omega)| \approx 0$ para $|\omega| \geq \pi/T_s$), como se muestra en la Fig. 2.7, resultando

$$h_m^{(i)}[n] = T_s \cdot h_m^{(i)}(nT_s), \quad m = 0, \dots, M - 1. \quad (2.15)$$

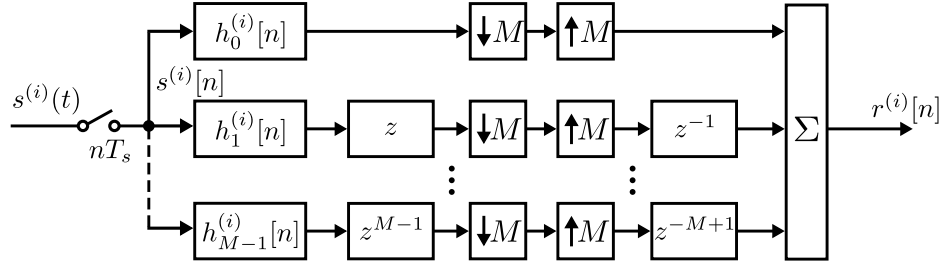


Figura 2.7: Modelo equivalente de tiempo discreto del AFE y el TI-ADC con sus desajustes para la componente de señal dado por (2.16) (sin offset de DC y ruido de cuantización) para el i -ésimo canal, $i = 1, \dots, 4$.

Los bloques $z^{\pm k}$ representan retardos/adelantos en el dominio de tiempo discreto z , mientras que los bloques $\uparrow M$ y $\downarrow M$ simbolizan operaciones de sobremuestreo o diezmado, respectivamente.

La salida del TI-ADC $r^{(i)}[n]$ se obtiene multiplexando las muestras convertidas por cada sub-ADC. Por lo tanto, $r^{(i)}[n]$ se puede expresar como la suma de convolución de un filtro variante en el tiempo con coeficientes $\tilde{h}_n^{(i)}[l]$, con la señal a la salida del OFE en tiempo discreto $s^{(i)}[n] = s^{(i)}(nT_s)$ [38]:

$$r^{(i)}[n] = \sum_l \tilde{h}_n^{(i)}[l] s^{(i)}[n-l], \quad (2.16)$$

donde $\tilde{h}_n^{(i)}[l]$ es una secuencia M -periódica en la que cada elemento corresponde con las función de transferencia de un sub-ADC:

$$\tilde{h}_n^{(i)}[l] = h_n^{(i)}[l], \quad n = 0, \dots, M-1, \forall l, \quad (2.17)$$

donde $h_n^{(i)}[l]$ está dado por (2.15) y

$$\tilde{h}_n^{(i)}[l] = \tilde{h}_{n+M}^{(i)}[l]. \quad (2.18)$$

Finalmente, la secuencia digitalizada de alta frecuencia a la salida del AFE $y^{(i)}[n]$ se determina reemplazando $r^{(i)}[n]$ de (2.16) en (2.14),

$$y^{(i)}[n] = \sum_l \tilde{h}_n^{(i)}[l] s^{(i)}[n-l] + \tilde{o}^{(i)}[n] + q^{(i)}[n]. \quad (2.19)$$

A partir de los modelos descritos en esta sección, se generó el modelo de

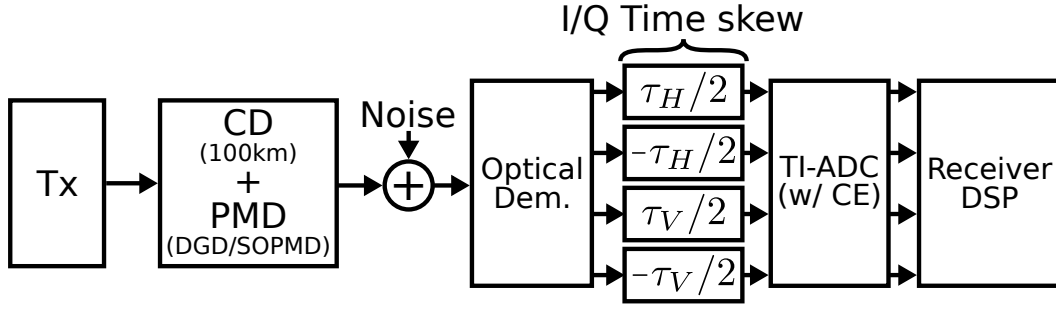


Figura 2.8: Diagrama de bloques del modelo del sistema utilizado en las simulaciones.

simulación de sistema de comunicaciones óptico coherente que se describe a continuación.

2.3. Modelo de simulación de sistema de comunicaciones óptico coherente de doble polarización

En la Fig. 2.8 se presenta el diagrama en bloques del modelo de simulación del sistema de comunicaciones ópticas coherentes de doble polarización. Este resulta de la síntesis de los modelos matemáticos presentados en la sección anterior. La figura muestra, de izquierda a derecha, los bloques que modelan los efectos del canal tales como la CD, la PMD y el ruido. A continuación, se incluyen los efectos característicos del OFE y AFE del receptor con sus TI-ADCs y el bloque DSP a la salida de este.

Asimismo, los desajustes del TI-ADC (*offset*, ganancia, tiempo de muestreo, ancho de banda e *I/Q time skew*) se incluyen mediante una variable aleatoria con distribución uniforme (*Uniformly Distributed Random Variable* (UDRV)) que se adiciona a cada parámetro del modelo. Las respuestas de los caminos de señal analógica (2.13) se modelan como filtros pasa-bajos de primer orden con ancho de banda de 3 dB $B_m^{(i)}$, con un desajuste de ancho de banda $\delta_{B_m^{(i)}}$, definido por

$$B_m^{(i)} = B_0 + \delta_{B_m^{(i)}}, \quad i = 1, 2, 3, 4; \quad m = 0, \dots, M - 1, \quad (2.20)$$

donde B_0 es el ancho de banda nominal del AFE.

Tabla 2.1: Parámetros usados en las simulaciones.

Parámetro	Valor
Modulación	64-QAM
Symbol rate ($f_B = 1/T$)	96 GBd
Sobremuestreo en el receptor (T/T_s)	2
Longitud de la fibra	100 km
Retardo de grupo diferencial (DGD)	10 ps
PMD de segundo orden (SOPMD)	1000 ps ²
Vel. de rotación de la pol. en el Tx	2 kHz
Vel. de rotación de la pol. en el Rx	10 kHz
Resolución del TI-ADC	8 bit
Tasa de muestreo del TI-ADC	192 GS/s
Número de sub ADCs del TI-ADC (M)	16
Número de coeficientes del CE (L_g)	7
Factor de <i>roll-off</i>	0.10
BW analógico nominal (B_0) (ver (2.20))	53 GHz
Error de ganancia (ver (2.12)) - UDRV	$\Delta_{\gamma_m^{(i)}} \in [\pm 0.15]$
Error de fase de muestreo - UDRV	$\delta_m^{(i)} \in [\pm 0.075]T$
Desapareamiento de BW (ver (2.20)) - UDRV	$\Delta_{B_m^{(i)}} \in [\pm 0.075]B_0$
<i>I/Q time skew</i> - UDRV	$\tau_H, \tau_V \in [\pm 0.075]T$
<i>Offset</i> de DC - UDRV	$o_m^{(i)} \in [\pm 0.025]VFS$

Los errores de fase de muestreo y el *I/Q time skew* en cada polarización se modelan mediante filtros de interpolación de Lagrange. En cada polarización el *I/Q time skew* (τ_H y τ_V) se introduce entre las componentes *I* y *Q* con igual magnitud y signo contrario.

Configuración de sistema de comunicaciones adoptada como caso de estudio

A continuación, se presenta la configuración de sistema de comunicaciones que fue adoptada como caso de estudio a lo largo de los estudios de la presente Tesis. Esta consiste de un sistema óptico coherente típico con doble polarización (*Dual Polarization* (DP)), operando con un esquema de modulación 64-QAM y una tasa de símbolo de $1/T = 96$ GBd, cuyos parámetros se resumen en la Tabla 2.1.

Se simulan filtros de coseno realzado con factor de *roll-off* del 10 % para la conformación del pulso de transmisión, con un BW nominal de $B_0 = 1.1 \times \frac{96 \text{ GHz}}{2} \approx 53$ GHz.

La OSNR se establece para lograr una BER de 1×10^{-3} [78, 79]. El factor de sobremuestreo en los bloques del DSP es $T/T_s = 2$. La longitud de la fibra considerada es 100 km, con 10 ps de Retardo de Grupo Diferencial (*Differential Group Delay* (DGD)) y 1000 ps² de PMD de Segundo Orden (*Second Order PMD* (SOPMD)). Rotaciones del Estado de la Polarización (*State of Polarization* (SOP)) de 2 kHz y 10 kHz se incluyen en el transmisor y el receptor, respectivamente. En [70] se encuentra una descripción completa de los parámetros del canal óptico antes mencionados.

Los TI-ADCs simulados tienen resolución de 8 bits, con una frecuencia de muestreo de 192 GS/s y $M = 16$. El número de coeficientes de los filtros de compensación digital es $L_g = 7$.

2.4. Impacto de los errores del TI-ADC en el desempeño del sistema de comunicaciones

En esta sección se evalúa el impacto en el desempeño del receptor óptico tomado como caso de estudio que introducen de los desapareamientos al interior de los TI-ADCs que lo componen, así como también el error I/Q *time skew*. Para ello se realizan múltiples simulaciones a nivel de sistema, en las cuales los desapareamientos de distinto tipo se evalúan por separado y en conjunto.

2.4.1. Caracterización del modelo de simulación

Desempeño del receptor

Usando una secuencia binaria pseudo aleatoria (*Pseudo-Random Binary Sequence* (PRBS)) con modulación 64-QAM como entrada al modelo (sin desapareamientos) se construyó el diagrama de constelaciones de la Fig. 2.9(a). En ella es posible apreciar el impacto del ruido térmico en el receptor y el ruido óptico del canal en la dispersión de los símbolos recibidos. En estas condiciones, la BER en el receptor es de 1.25×10^{-4} y la OSNR de ≈ 33 dB.

En la Fig. 2.9(b) se muestra el diagrama de constelaciones para el mismo sistema pero el efecto de los desapareamientos de tiempo de muestreo, *offset* de

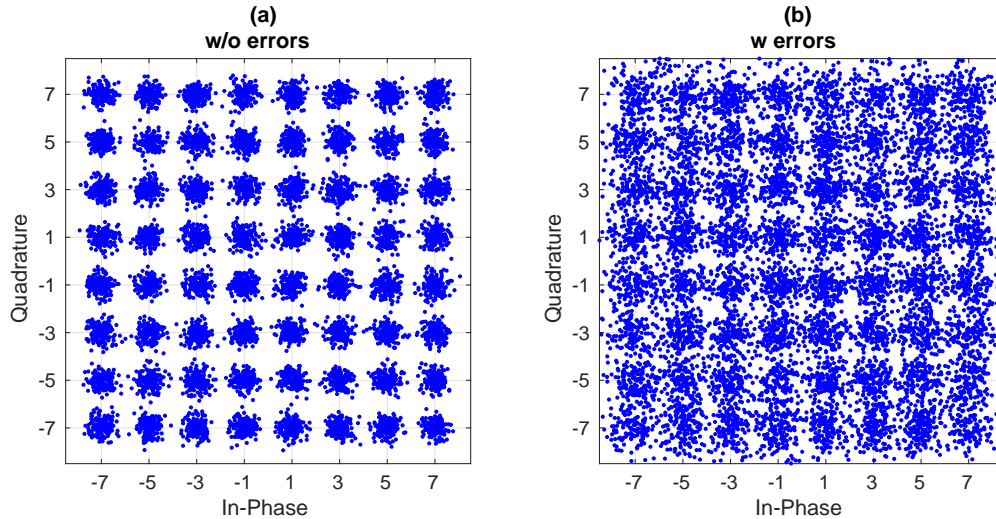


Figura 2.9: Diagrama de constelación de la salida del receptor simulado para un esquema 64-QAM (a) sin y (b) con desapareamientos en el TI-ADC.

DC, ganancia, BW e I/Q time skew. En este caso la OSNR se mantiene igual, pero la BER es de aproximadamente 1.4×10^{-2} . Estos resultados indican que, en presencia de los desapareamientos en los TI-ADCs mencionados, el receptor incrementa en cien veces la cantidad de errores a su salida. Lo anterior implica una degradación significativa en el desempeño del sistema de comunicaciones.

La Fig. 2.10 muestra las curvas de BER del modelo en función de la OSNR del canal para diferentes modulaciones y considerando TI-ADCs con y sin desapareamientos. Además, la figura incluye un eje auxiliar con la SNR equivalente del canal. La equivalencia entre ambas magnitudes se define como

$$SNR = OSNR + 10 \log \left(\frac{\Delta f_0}{f_B} \right) \quad (2.21)$$

donde Δf_0 es un ancho de banda de referencia del canal óptico (12.5 GHz para una fuente emisora de luz con una longitud de onda de 1550 nm).

Se incluyeron desapareamientos *offset* de DC menores al 0.5%VFS, ganancia de 7.5%, BW por debajo de 5%, tiempo de muestreo de 5% e I/Q time skew menor al 5%. Se observa que las curvas del sistema que incluye los desapareamientos están desplazadas hacia la derecha. Esto implica que, para obtener el mismo valor de BER se requiere una mayor OSNR en el sistema con desapareamientos, lo cual no siempre es viable [79].

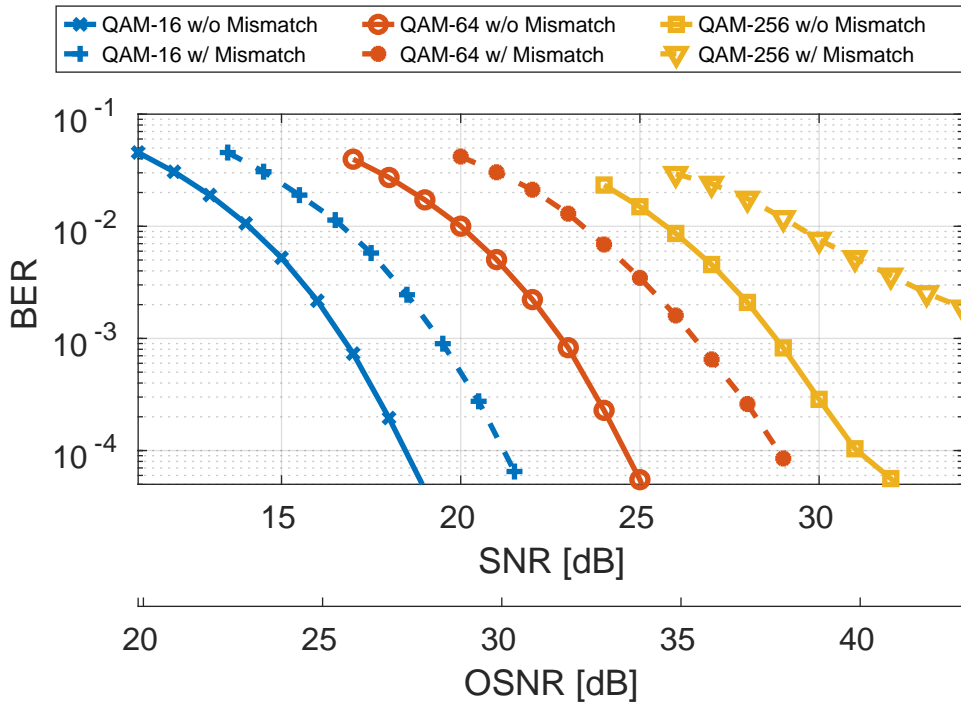


Figura 2.10: Familia de curvas de BER evaluadas para distintas modulsiones digitales M-QAM con y sin desapareamientos.

Análisis espectral

La Fig. 2.11 muestra el espectro de salida del modelo de simulación de TI-ADC, normalizado respecto a la señal de entrada, con y sin los desapareamientos considerados en este estudio. Se emplea como estímulo una señal de entrada sinusoidal de ≈ 93 GHz con una amplitud del 95 % respecto al voltaje de escala completa (*Full-Scale Voltage* (VFS)). La resolución nominal del TI-ADC es 8 b, lo que equivale a una relación señal-ruido y distorsión (*Signal-to-Noise-and-Distortion Ratio* (SNDR)) de 50 dB. Además, el modelo incluye ruido térmico kT/C en los circuitos de muestreo, por lo que la SNDR del TI-ADC sin desapareamientos es de 40 dB. La Fig. 2.11(a) presenta el espectro de salida sin ningún desapareamiento, donde el pico que se aprecia a los 93 GHz corresponde con la señal muestreada. Sin embargo, en presencia de desapareamientos, el espectro de salida presenta espurios ubicados en frecuencias distintas a la de entrada. Una explicación en profundidad de las ubicaciones de dichos espurios, generados por los desapareamientos, se puede encontrar en [24].

El desapareamiento en el offset de DC de los sub ADC introduce al espectro

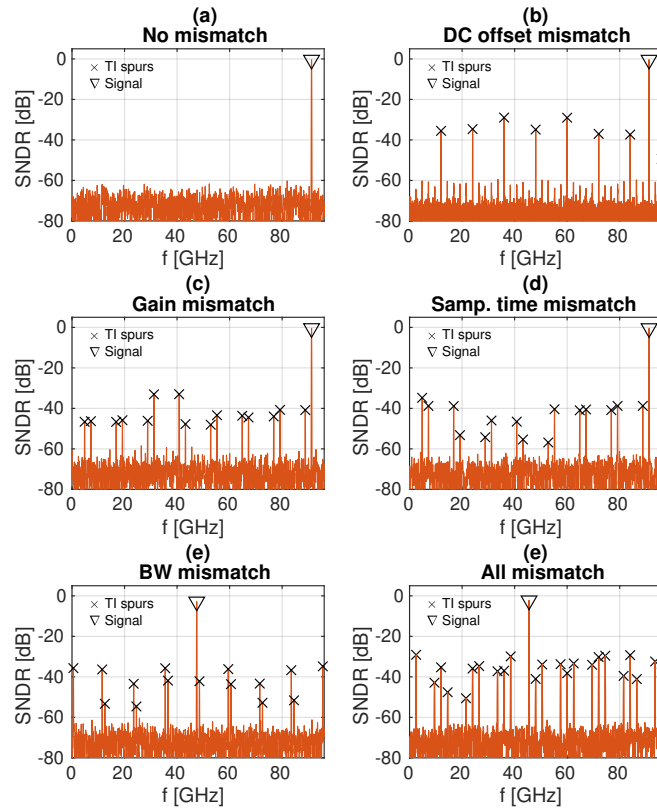


Figura 2.11: FFT de las muestras del TI-ADC para diferentes tipos de desapareamientos.

componentes espurias distribuidas cada mf_S/M Hz con $m = 1, \dots, M$, como se muestra en la Fig. 2.11(b).

Para los desajustes de ganancia, tiempo de muestreo y BW (Figs. 2.11(c)-(e)) los espurios aparecen en torno a la señal de entrada f_{in} , a frecuencias f_θ múltiplos de f_S/M (2.22):

$$f_\theta = mf_S/M \pm f_{in} ; m = 1, \dots, M. \quad (2.22)$$

Para visibilizar el efecto del desapareamiento de BW se usó una señal de entrada con una frecuencia de ~ 53 GHz, con igual amplitud que los casos anteriores, la cual es la frecuencia de corte nominal para de los T&H (Tabla 2.1).

Por último, en el escenario en que todos los desapareamientos mencionados están presentes, el espectro resultante está dado por la superposición de todos los espurios anteriormente descritos como se muestra en la Fig. 2.11(f).

La aparición de las componentes espurias que introducen los desapareamientos de la Fig. 2.11 reduce la relación SNDR del conversor y degrada el desempeño del receptor. Como consecuencia de ello, las muestras digitalizadas por el TI-ADC

presentan discrepancias respecto a la señal analógica de entrada. Esto a su vez provoca que los símbolos que se obtienen a la salida del receptor no correspondan con los datos que fueron transmitidos.

En los resultados anteriores no es posible reportar el impacto de los desapareamientos entre los TI-ADCs de los canales I/Q dado que las muestras son obtenidas a partir de las salidas de los ADCs individuales. Es por ello que el impacto de estos desapareamientos se evalúa en el contexto del receptor en el cual se emplean tales TI-ADCs en la siguiente sección.

Penalidad de OSNR

En esta sección se evaluó el desempeño del receptor incluyendo los efectos del canal óptico, los desapareamientos característicos del TI-ADC y los errores entre las componentes I/Q . El criterio adoptado para evaluar el desempeño es la penalidad de OSNR (ver Apéndice A) para una $BER=1 \times 10^{-3}$, considerando cada desapareamiento por separado. Los resultados de este estudio se reportan en la Fig. 2.12(a)-(e), para los desapareamientos de offset de DC, ganancia, BW, tiempo de muestreo e I/Q *time skew*, respectivamente. El desapareamiento de *offset* de DC, ejercitado en la Fig. 2.12(a), es uno de los que más degrada el desempeño del receptor, aún con una baja magnitud relativa de error. Por otro lado, los errores de ganancia (ver Fig. 2.12(b)) son los que menos impactan en el desempeño. La penalidad por el desapareamiento de BW, mostrada en la Fig. 2.12(c), presenta una tendencia similar a la producida por errores de ganancia, pero impactando de manera más significativa. El efecto del desapareamiento de tiempo de muestreo reportado en Fig. 2.12(d) afecta de forma similar que el de BW, aunque ligeramente mayor. Se observa en la Fig. 2.12(e) que el I/Q *time skew* entre los canales es el efecto que degrada en mayor medida el desempeño del receptor, después del *offset* de DC. Es importante señalar que en una aplicación real, todos los errores mencionados están presentes de manera simultánea como se muestra en la Fig. 2.12(f). Por lo tanto la penalidad resultante es mucho mayor.

Como se mostró en los resultados anteriores, la degradación en el desempeño de los conversores producida por los desapareamientos entre los sub ADCs introduce errores en la digitalización de los símbolos recibidos. Tales errores no pueden

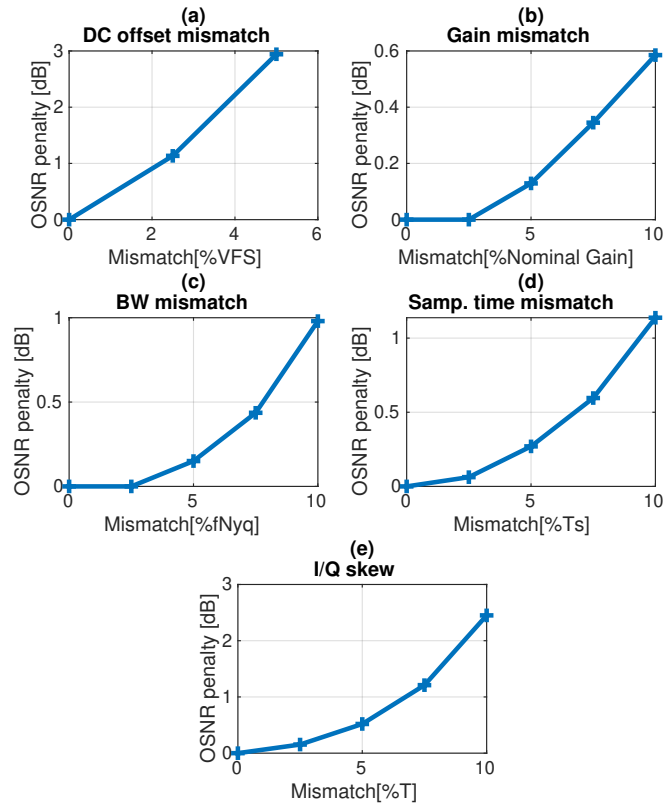


Figura 2.12: Penalidad de OSNR del receptor en función de los desapareamientos de (a) *offset* de DC, (b) ganancia, (c) ancho de banda, (d) tiempo de muestreo del TI-ADC e (e) *I/Q time skew*.

ser corregidos por los algoritmos del DSP, por lo que los símbolos detectados en el *slicer* presentan discrepancias respecto a los datos transmitidos. En consecuencia, la BER y la penalidad de OSNR del receptor se incrementan, lo cual reduce el desempeño del sistema. Un aumento en la BER del sistema se traduce en un incremento de las solicitudes de retransmisión de datos que este debe hacer, lo cual a su vez provoca que la velocidad efectiva del sistema se reduzca.

Por estas razones, el ajuste de estos desapareamientos es clave para hacer viable la operación óptima de los sistemas de comunicaciones coherentes.

2.5. Conclusiones

En este capítulo se presentó una descripción de los componentes básicos de un receptor de comunicaciones ópticas coherentes, como así también sus correspondientes modelos matemáticos. Además, se realizó el modelo del canal de comunicaciones con sus efectos no ideales. Estos se emplearon para generar un modelo

de simulación del sistema de comunicaciones óptico coherente de doble polarización basado en TI-ADC. El modelo es compatible con la inyección de múltiples desapareamientos al interior de cada TI-ADC, como también del *I/Q time skew* entre los conversores de los canales del receptor.

Como caso de estudio se adoptó una configuración típica de sistema de comunicaciones óptico coherente moderno, que emplea modulación 64-QAM y opera a 96GBd.

Mediante simulaciones a nivel de sistema se evaluó el impacto en el receptor de los desapareamientos de BW, ganancia, offset DC y de tiempo de muestreo entre los sub ADC del TI-ADC, así como también el *I/Q time skew*. Los resultados de este estudio señalan que dichos errores introducen degradaciones significativas en el desempeño del receptor, haciendo imprescindible su corrección (mediante alguna estrategia de compensación/calibración) para garantizar que el sistema funcione de manera óptima a la máxima tasa de operación efectiva posible.

Capítulo 3

Nueva técnica de corrección de desapareamientos en TI-ADCs de receptores ópticos coherentes para sistemas de comunicaciones ópticos coherentes

Síntesis: En este capítulo se introduce el aporte principal de esta Tesis, que consiste en una nueva técnica para la corrección de desapareamientos en TI-ADCs de receptores de comunicaciones ópticas coherentes. Esta opera en segundo plano y puede ser implementada bajo dos alternativas: una basada en compensación digital y otra de señal mixta, basada en calibración en el dominio analógico. La propuesta implementa una adaptación del algoritmo de cuadrados mínimos para su uso en receptores de comunicaciones complejos, que incorpora *backpropagation* a fin de generar una estimación de la señal de error asociada a cada sub ADC del conversor. Dicha estimación se usa para establecer la re-adaptación necesaria para corregir los desajustes en el TI-ADC. Mediante simulaciones Monte Carlo se demuestra la efectividad de la propuesta bajo ambas variantes de implementación, así como también su rápida convergencia.

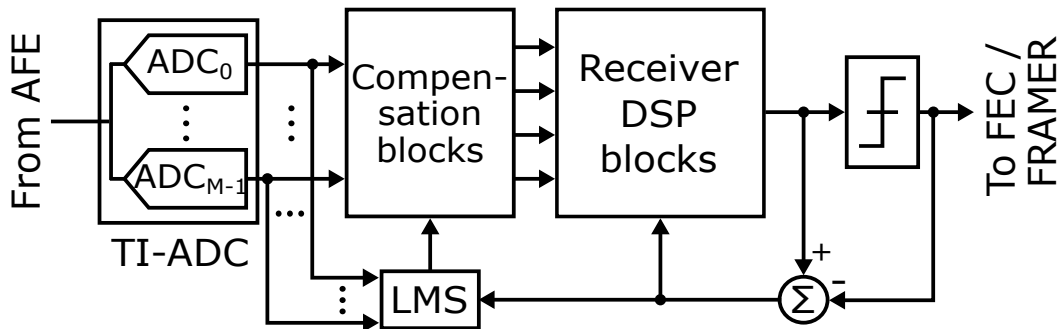


Figura 3.1: Diagrama en bloques de la arquitectura de compensación digital de los desajustes en el TI-ADC empleada en receptores sencillos [80].

3.1. Introducción

En el Capítulo 1 se presentaron las principales características de las técnicas más relevantes del estado del arte para la compensación de los desapareamientos en TI-ADCs que forman parte de receptores de comunicaciones ópticas. Estas están basadas en ecualización adaptativa [59,80], como la de la Fig. 3.1, donde se emplea un bloque de compensación digital. Dicho bloque está compuesto principalmente por un ecualizador (*Compensation Equalizer (CE)*) cuyos coeficientes son actualizados iterativamente mediante un algoritmo de cuadrados mínimos (*Least-Mean-Square (LMS)*) [81]. En la figura, el error del *slicer* alimenta el bloque LMS, el cual adapta los coeficientes del CE a fin de compensar los desajustes del TI-ADC del receptor. Mediante el uso de este esquema se logran compensar los desapareamientos en los TI-ADCs y los efectos no ideales que introduce el canal de comunicaciones de forma simultánea.

No obstante, este tipo de compensación es solamente viable en receptores sencillos, para los cuales se puede asociar de forma unívoca la señal de error de cada *slicer* con un conversor determinado del dispositivo. En receptores más complejos (como los que se usan para comunicaciones ópticas coherentes) esto no es posible debido a que se incorporan múltiples bloques de DSP para compensar un número mayor de efectos no ideales del medio. En particular, la compensación de las interacciones entre los cuatro canales de este tipo de receptores (*HI, HQ, VI* y *VQ*) genera a su salida una señal que combina la información de todas estas componentes (ver Capítulo 2). Por lo tanto, no resulta posible asociar la señal

de salida del receptor, ni la señal de error de cada *slicer*, con un sub ADC en particular.

Para superar esta limitación en este capítulo se introduce una nueva técnica de corrección de desajustes en TI-ADCs e *I/Q time skew* en receptores de comunicaciones ópticas coherentes de doble polarización, que se ejecuta en *background*. La técnica propone una modificación a la implementación de LMS de la Fig. 3.1 mediante la incorporación del algoritmo de *backpropagation* [63, 65]. Este último genera una estimación $\hat{e}^{(i)}[n]$ del error del receptor asociado a la salida de cada sub ADC, la cual se usa para alimentar el bloque LMS para actualizar adaptativamente los coeficientes de un CE a fin de compensar los desapareamientos en el TI-ADC y el *I/Q time skew*. Alternativamente, la propuesta se puede modificar para realizar una calibración en el dominio analógico mediante la reconfiguración de las secciones analógicas configurables del TI-ADC, prescindiendo del CE como se verá más adelante. Adicionalmente, la técnica que aquí se propone (en sus dos variantes de implementación, digital y analógica) es capaz de corregir dinámicamente los errores introducidos por variaciones de proceso, voltaje, temperatura y envejecimiento de los componentes.

3.2. Técnica de compensación de desajustes en dominio digital

La Fig. 3.2 muestra el esquema de la propuesta de compensación de desajustes en TI-ADCs en su variante digital. En la parte superior de la figura aprecian los bloques típicos de un receptor para comunicaciones coherentes (ver Capítulo 2), junto con el bloque de compensación necesario para llevar a cabo la corrección. En la parte inferior de la figura se encuentran el bloque LMS y el lazo de realimentación del error basado en *Error Backpropagation* (EBP). El bloque EBP se encarga de generar una estimación del error del receptor asociada a cada sub ADC del conversor. Para ello se sustraen del error de los *slicers* las contribuciones que introduce cada bloque del DSP a lo largo de la cadena de procesamiento de señales. Esto se consigue reproduciendo las mismas funcionalidades de procesamiento de señales del DSP en el lazo de *error backpropagation*.

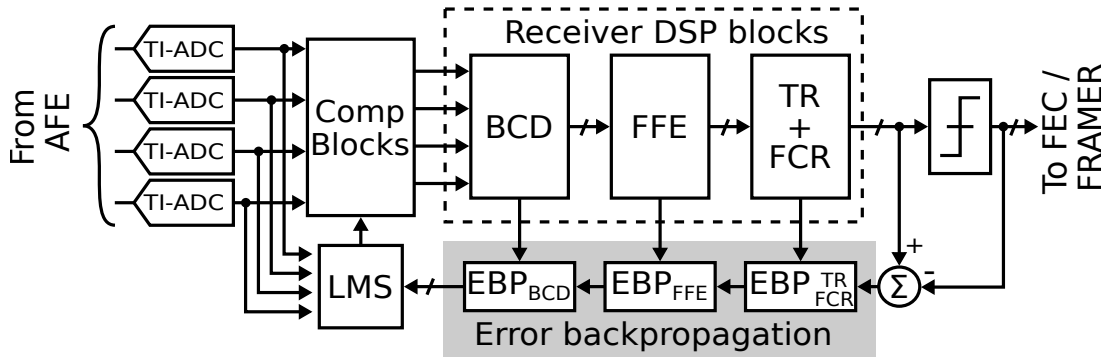


Figura 3.2: Diagrama en bloques conceptual de la arquitectura de compensación digital de los desajustes en el AFE+TI-ADC basada en *error backpropagation*.

Por lo tanto, este último se compone de varios sub bloques (uno por cada sub bloque del DSP) conectados en cascada, orientados con sentido inverso y con los coeficientes transpuestos respecto a los originales.

El primer bloque del lazo de *error backpropagation* toma como entrada la señal de error de los *slicers* y la multiplica por el transpuesto de la matriz de coeficientes del último bloque del DSP. Los bloques EBP subsiguientes realizan un procesamiento similar, implementando el transpuesto de la matriz de coeficientes de cada etapa de la cadena de bloques del DSP. Finalmente, como resultado del procesamiento de *backpropagation*, se obtiene una señal de error estimada que depende solamente de las contribuciones de error debidas a los sub ADCs del TI-ADC.

La Fig. 3.3 muestra el detalle del bloque de compensación que contiene la compensación de *offset* de DC y el CE, ambos usados por la propuesta de compensación digital. El CE se define mediante sus coeficientes $\tilde{g}_n^{(i)}[l]$ y se interpone entre las salidas sin *offset* de DC de los TI-ADCs y el DSP. La compensación de *offset* se realiza sustrayendo el valor $\hat{o}^{(i)}[n]$, que se determina mediante *backpropagation*, de la secuencia de muestras $y^{(i)}[n]$ generadas por cada TI-ADC i del receptor.

$$w^{(i)}[n] = y^{(i)}[n] - \hat{o}^{(i)}[n], \quad i = 1, \dots, 4. \quad (3.1)$$

A continuación, las muestras $w^{(i)}[n]$ libres de *offset* son procesadas por el CE para efectuar la compensación de los desapareamientos restantes, obteniéndose a su salida las muestras compensadas $x^{(i)}[n]$ las cuales se suministran como entrada al DSP del sistema.

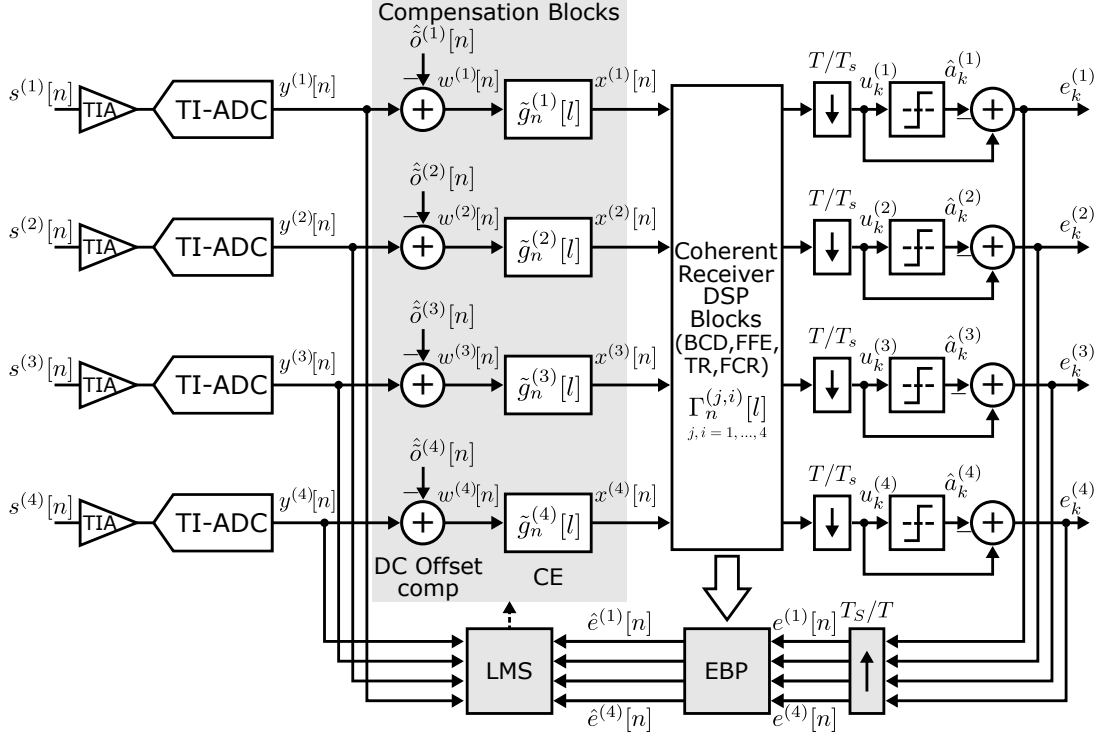


Figura 3.3: Diagrama en bloques de la arquitectura de adaptación basada en *error backpropagation* para la compensación de los desajustes en el AFE+TI-ADC en un receptor óptico coherente con DP operando a T/T_s .

La secuencia de salida de cada CE está determinada por la convolución entre sus coeficientes $g_n^{(i)}[l]$ y las muestras de salida de los TI-ADCs libres de *offset* $w^{(i)}[n]$

$$x^{(i)}[n] = \sum_{l'=0}^{L_g-1} g_{[n]_M}^{(i)}[l'] w^{(i)}[n-l'], \quad i = 1, \dots, 4, \quad (3.2)$$

donde $[\cdot]_M$ denota la operación módulo M , siendo esta la cantidad de sub ADCs y L_g es la cantidad de coeficientes de CE y la secuencia de coeficientes $g_n^{(i)}[l]$ se define como la respuesta al impulso de un filtro variante en el tiempo bajo la forma:

$$g_m^{(i)}[l] = \tilde{g}_{m+n_0}^{(i)}[l], \quad m = 0, \dots, M-1, l = 0, \dots, L_g-1, \quad (3.3)$$

donde M representa el número total de sub ADCs, n_0 es un índice de tiempo arbitrario múltiplo de M .

Por otra parte, la salida del bloque DSP del receptor se define como la convolución de sus coeficientes con la secuencia de entrada $x^{(i)}[n]$ provenientes del CE

en el esquema de la Fig. 3.3. Como se mencionó en el Capítulo 2, el uso de sobremuestreo en este tipo de sistemas de comunicaciones es necesario para llevar a cabo la compensación de ciertos efectos del medio, tales como la ISI. Por lo tanto, antes de que el *slicer* del receptor lleve a cabo la decisión del símbolo recibido, la señal de salida del receptor debe ser diezmada por el mismo factor con que opera el sobremuestreo (bloque \downarrow) del DSP. Entonces, la relación entrada-salida del DSP en tiempo discreto, incluyendo factor de sobremuestreo típico de 2, se puede expresar como

$$u_k^{(j)} = \sum_{i=1}^4 \sum_{l=0}^{L_\Gamma-1} \Gamma_{2k}^{(j,i)}[l] x^{(i)}[2k-l], \quad j = 1, \dots, 4, \quad (3.4)$$

donde $\Gamma_n^{(j,i)}[l]$ es el coeficiente del DSP correspondiente al tiempo n , asociado a la entrada i y la salida j de este. L_Γ es el número de coeficientes del DSP. $x^{(i)}[l]$ es la i -ésima señal de entrada del bloque DSP.

3.2.1. Procesamiento del error mediante *backpropagation*

Como se mencionó previamente, a fin de poder generar la señal de error $\hat{e}^{(i)}[n]$ asociada a cada sub ADC de los TI-ADCs del receptor se incorpora un esquema de realimentación adaptativo basado en LMS que implementa el algoritmo de *backpropagation*. En una implementación típica de filtros adaptativos para sistemas de comunicaciones, por cada iteración p LMS calcula el gradiente del MSE con respecto al vector de coeficientes $\mathbf{g}_{m,p}^{(i)}$ del CE $\nabla_{\mathbf{g}_{m,p}^{(i)}} E\{\mathcal{E}_k\}$. A partir de dicho gradiente se efectúa una actualización de los coeficientes del CE para minimizar el error a la salida del receptor mediante

$$\mathbf{g}_{m,p+1}^{(i)} = \mathbf{g}_{m,p}^{(i)} - \beta \nabla_{\mathbf{g}_{m,p}^{(i)}} E\{\mathcal{E}_k\}, \quad (3.5)$$

donde $i = 1, \dots, 4$; $m = 0, \dots, M-1$; β es el paso de adaptación. El vector de coeficientes $\mathbf{g}_{m,p}^{(i)}$ tiene tamaño L_g y está dado por

$$\mathbf{g}_{m,p}^{(i)} = [g_{m,p}^{(i)}[0], g_{m,p}^{(i)}[1], \dots, g_{m,p}^{(i)}[L_g-1]]^T. \quad (3.6)$$

A fin de hacer viable la aplicación de LMS con la incorporación del lazo de

EBP, a continuación se deriva una expresión para calcular el error de *backpropagation* $\hat{e}^{(i)}[n]$ y el gradiente estocástico del error cuadrático de los *slicers* en función de los coeficientes del CE.

El error a la salida del *slicer* se calcula como la diferencia entre la salida submuestreada del DSP u_k y la salida del *slicer* \tilde{a}_k ,

$$e_k^{(j)} = u_k^{(j)} - \tilde{a}_k^{(j)}, \quad j = 1, \dots, 4, \quad (3.7)$$

donde j es un índice que representa cada canal empleado en el esquema de doble polarización y k es el número de símbolo que procesó el *slicer*.

Por otra parte, se define el error cuadrático total del receptor como la suma de los errores de cada *slicer* al cuadrado:

$$\mathcal{E}_k = \sum_{j=1}^4 |e_k^{(j)}|^2, \quad (3.8)$$

al reemplazar el error del slicer $e_k^{(j)}$ de (3.7) en la expresión del error total (3.8), se obtiene el error total en función de las salidas del DSP y el *slicer*

$$\mathcal{E}_k = \sum_{j=1}^4 \left(u_k^{(j)} - \tilde{a}_k^{(j)} \right)^2. \quad (3.9)$$

A partir del error total \mathcal{E}_k , el error cuadrático *medio* de la salida del receptor en función de un número $2N + 1$ muestras se define como (ver Apéndice A)

$$\bar{\mathcal{E}}_N = \frac{1}{2N + 1} \sum_{k=-N}^N \mathcal{E}_k = \frac{1}{2N + 1} \sum_{k=-N}^N \sum_{j=1}^4 \left(u_k^{(j)} - \tilde{a}_k^{(j)} \right)^2. \quad (3.10)$$

La derivada parcial de $\bar{\mathcal{E}}_N$ con respecto a cada coeficiente $g_{m_0}^{(i_0)}[l_0]$ del CE se determina como

$$\begin{aligned} \frac{\partial \bar{\mathcal{E}}_N}{\partial g_{m_0}^{(i_0)}[l_0]} &= \frac{\partial}{\partial g_{m_0}^{(i_0)}[l_0]} \left(\frac{1}{2N + 1} \sum_{k=-N}^N \sum_{j=1}^4 \left(u_k^{(j)} - \tilde{a}_k^{(j)} \right)^2 \right) \\ &= \frac{1}{2N + 1} \sum_{k=-N}^N \sum_{j=1}^4 \frac{\partial}{\partial g_{m_0}^{(i_0)}[l_0]} \left(\left(u_k^{(j)} - \tilde{a}_k^{(j)} \right)^2 \right). \end{aligned} \quad (3.11)$$

donde $l_0 \in \{0, 1, \dots, L_g - 1\}$, $m_0 \in \{0, 1, \dots, M - 1\}$, e $i_0 \in \{1, 2, 3, 4\}$.

De acuerdo con [82], es posible aproximar el símbolo detectado $\tilde{a}_k^{(j)}$ por el símbolo transmitido $a_k^{(j)}$, el cual es independiente del coeficiente $g_{m_0}^{(i_0)}[l_0]$. Entonces, la derivada parcial de $\bar{\mathcal{E}}_N$ (3.11) respecto a $g_{m_0}^{(i_0)}[l_0]$ se puede expresar como:

$$\frac{\partial \bar{\mathcal{E}}_N}{\partial g_{m_0}^{(i_0)}[l_0]} = \frac{2}{2N+1} \sum_{k=-N}^N \sum_{j=1}^4 e_k^{(j)} \frac{\partial u_k^{(j)}}{\partial g_{m_0}^{(i_0)}[l_0]}, \quad (3.12)$$

Cálculo del error de *backpropagation*

Dado que el receptor opera bajo un determinado factor de sobremuestreo y el *slicer* opera a una tasa de muestreo menor a la del TI-ADC, las señales de error de los *slicers* $e_k^{(j)}$ se deben sobre-muestrear por el mismo factor con que se diezmaron inicialmente para aplicar *backpropagation*. De esta forma se define la secuencia de error sobre-muestreado, propagado hacia la salida del DSP $e^{(j)}[n]$ como

$$e^{(j)}[n] = \begin{cases} e_{n/2}^{(j)} & \text{si } n = 0, \pm 2, \pm 4, \dots \\ 0 & \text{otro } n \end{cases}. \quad (3.13)$$

Reemplazando (3.13) en (3.12), la derivada del error cuadrático medio sobre-muestreado respecto al coeficiente $g_{m_0}^{(i_0)}[l_0]$ del CE en función del error del *slicer* sobre-muestreado puede expresarse como:

$$\frac{\partial \bar{\mathcal{E}}_N}{\partial g_{m_0}^{(i_0)}[l_0]} = \frac{2}{2N+1} \sum_{n=-2N}^{2N} \sum_{j=1}^4 e^{(j)}[n] \frac{\partial u^{(j)}[n]}{\partial g_{m_0}^{(i_0)}[l_0]}. \quad (3.14)$$

Entonces, el objetivo ahora es hallar una expresión para la derivada de las salidas submuestreadas del DSP con respecto a los coeficientes del CE, $\frac{\partial u^{(j)}[n]}{\partial g_{m_0}^{(i_0)}[l_0]}$ para reemplazar en (3.14). Para ello, primero se procede a expresar las secuencias tanto de las entradas como las salidas del DSP en función de las muestras de cada sub ADC. Dichas secuencias pueden reescribirse redefiniendo el índice temporal n como

$$n = m + k'M, \quad m = 0, 1, \dots, M-1; \quad \forall k', k' \in \mathbb{N}. \quad (3.15)$$

Por lo tanto, a partir de (3.15), la señal en la i -ésima entrada del DSP dada

por (3.2) puede ser reescrita como

$$x^{(i)}[m + k'M] = \sum_{l'=0}^{L_g-1} g_m^{(i)}[l'] w^{(i)}[m + k'M - l']. \quad (3.16)$$

Por otra parte, a partir de (3.15) la derivada del error medio respecto a cada coeficiente del CE en (3.14) (omitiendo el factor constante $\frac{2}{2N+1}$) se puede expresar como:

$$\frac{\partial \bar{\mathcal{E}}_N}{\partial g_{m_0}^{(i_0)}[l_0]} \propto \sum_{k'} \sum_{m=0}^{M-1} \sum_{j=1}^4 e^{(j)}[m + k'M] \frac{\partial u^{(j)}[m + k'M]}{\partial g_{m_0}^{(i_0)}[l_0]}. \quad (3.17)$$

Considerando que los coeficientes del DSP $\Gamma_n^{(j,i)}[l]$ y los coeficientes del CE $g_{m_0}^{(i_0)}[l_0]$ son independientes, se puede reemplazar la secuencia sub-muestreada de entrada al *slicer* $u^{(j)}[n]$ de (3.4) en el segundo multiplicando de (3.17), de forma que se obtiene

$$\frac{\partial u^{(j)}[m + k'M]}{\partial g_{m_0}^{(i_0)}[l_0]} = \sum_{i=1}^4 \sum_{l=0}^{L_\Gamma-1} \Gamma_{m+k'M}^{(j,i)}[l] \frac{\partial x^{(i)}[m + k'M - l]}{\partial g_{m_0}^{(i_0)}[l_0]}, \quad (3.18)$$

A partir de (3.2), la derivada parcial de la secuencia de salida de un sub ADC en función del coeficiente del $g_{m_0}^{(i_0)}[l_0]$ CE se determina como:

$$\frac{\partial x^{(i)}[m + k'M]}{\partial g_{m_0}^{(i_0)}[l_0]} = w^{(i)}[m + k'M - l_0] \delta_{m,m_0} \delta_{i,i_0}, \quad (3.19)$$

donde $\delta_{n,m}$ es la función delta de Kronecker (es 1 cuando $n = m$ y 0 para todo otro caso).

Reemplazando (3.19) en (3.18) se obtiene que la derivada de la salida sub-muestreada del DSP con respecto a los coeficientes del CE depende de los coeficientes internos del primero y de las muestras cada sub ADC, por medio de:

$$\frac{\partial u^{(j)}[m + k'M]}{\partial g_{m_0}^{(i_0)}[l_0]} = \sum_{l=0}^{L_\Gamma-1} \Gamma_{m+k'M}^{(j,i_0)}[l] w^{(i_0)}[m + k'M - l - l_0] \delta_{m,m_0}. \quad (3.20)$$

Luego, reemplazando (3.20) en (3.17), se obtiene

$$\frac{\partial \bar{\mathcal{E}}_N}{\partial g_{m_0}^{(i_0)}[l_0]} \propto \sum_{k'} \sum_{j=1}^4 e^{(j)}[m_0 + k'M] \times \sum_{l=0}^{L_\Gamma-1} \Gamma_{m_0+k'M}^{(j,i_0)}[l] w^{(i_0)}[m_0 + k'M - l - l_0]. \quad (3.21)$$

Finalmente, mediante el cambio de variable $kM = k'M - l$ se establece que

$$\frac{\partial \bar{\mathcal{E}}_N}{\partial g_{m_0}^{(i_0)}[l_0]} \propto \sum_k \hat{e}^{(i_0)}[m_0 + kM] w^{(i_0)}[m_0 + kM - l_0], \quad (3.22)$$

donde

$$\hat{e}^{(i)}[n] = \sum_{j=1}^4 \sum_{l=0}^{L_\Gamma-1} \Gamma_{n+l}^{(j,i)}[l] e^{(j)}[n+l] \quad (3.23)$$

recibe el nombre de error de *backpropagation* hacia la salida del CE para el i -ésimo canal. Este error incluye el procesamiento de todos los bloques en el camino de señal en el DSP. A continuación se introduce el procedimiento de corrección de desapareamientos a partir de la señal de error de *backpropagation*.

3.2.2. Ecuación digital adaptativa para la compensación de desapareamientos de los TI-ADCs y el AFE del receptor de comunicaciones

A diferencia de los sistemas de comunicaciones con esquemas de transmisión de datos más sencillos, como los basados en DD, en los receptores para comunicaciones ópticas coherentes se interponen múltiples bloques de procesamiento entre la salida de los TI-ADCs y los *slicers*. Debido a ello, resulta imposible asociar las señales de error de los *slicers* con un conversor en particular.

A fin de superar esta limitación, la presente Tesis propone una modificación a LMS donde se sustituye el error del *slicer* en favor del error de *backpropagation* [83, 84] definido en (3.23). De esta forma, el gradiente del MSE en (3.5), $\nabla_{\mathbf{g}_{m,p}^{(i)}} E\{\mathcal{E}_k\}$ se reemplaza por la estimación del gradiente **instantáneo** del error cuadrático en el tiempo k , $\nabla_{\mathbf{g}_m^{(i)}} \mathcal{E}_k$ (3.24), cuyas derivadas parciales se definen conforme a (3.22).

$$\nabla_{\mathbf{g}_m^{(i)}} \mathcal{E}_k = \alpha \hat{e}^{(i)}[m + kM] \mathbf{w}^{(i)}[m + kM], \quad (3.24)$$

donde α es una constante de proporcionalidad (ver (3.22)), $\mathbf{w}[n]$ es el vector de muestras de entrada del CE con longitud L_g :

$$\mathbf{w}^{(i)}[n] = [w^{(i)}[n], w^{(i)}[n-1], \dots, w^{(i)}[n-L_g+1]]^T. \quad (3.25)$$

Entonces, la actualización de los coeficientes del CE adaptativo mediante esta variante de LMS queda definido como:

$$\mathbf{g}_{m,p+1}^{(i)} = \mathbf{g}_{m,p}^{(i)} - \mu \nabla_{\mathbf{g}_{m,p}^{(i)}} \mathcal{E}_k, \quad (3.26)$$

donde $\mu = \alpha\beta$ es el tamaño del paso de adaptación, que determina la rapidez de adaptación del algoritmo.

Compensación adaptativa del desapareamiento de *offset* de DC de los TI-ADCs del receptor

Para realizar el ajuste de los desapareamientos de *offset* de DC por medio de LMS se debe calcular el gradiente del MSE con respecto a los coeficientes de compensación de *offset* de DC, $\nabla_{\hat{\delta}_{m,p}^{(i)}} E\{\mathcal{E}_k\}$. El desarrollo para obtener dicho gradiente es similar al realizado en la Sección 3.2.1, pero evaluando las derivadas parciales respecto a $\hat{\delta}_m^{(i)}[n]$. El mismo se detalla en el Apéndice C.3. Como resultado, la compensación de los desajustes de *offset* de DC en las muestras de entrada a partir de (3.23), se actualiza según

$$\hat{\delta}_{m,p+1}^{(i)} = \hat{\delta}_{m,p}^{(i)} - \mu_o \hat{e}^{(i)}[n+m], \quad m = 0, \dots, M-1, \quad (3.27)$$

donde $\hat{\delta}_{m,p}^{(i)}$ es la estimación de la secuencia de compensación de *offset* de DC en la iteración p , y μ_o es el paso adaptación de la compensación de *offset*.

3.2.3. Convergencia de la implementación de LMS basada en *backpropagation*

En esta sección se discuten las propiedades de convergencia del algoritmo de calibración propuesto, basado en LMS y *backpropagation*. Dado que la propuesta de compensación presentada en esta Tesis implementa LMS, cuya superficie de error es cuadrática [81], no tiene problemas de convergencia debido a mínimos locales.

Sin embargo, como resultado de la aplicación del algoritmo de *backpropagation*, el error (y su correspondiente gradiente) podría sufrir de desvanecimiento según las propiedades de la señal. Dicho efecto es en esencia una variación en la atenuación de la señal por el canal, experimentada por la señal en un rango de frecuencias determinado [85]. Esto constituye un problema complejo cuando se utiliza *backpropagation* en el entrenamiento de redes neuronales debido a sus no linealidades [86]. Sin embargo, en la aplicación presentada aquí, el algoritmo se realiza sobre bloques con coeficientes lineales de acuerdo a (3.23). Esto reduce el problema del desvanecimiento del error a los casos en los que el error es filtrado en frecuencia.

En particular, en los receptores coherentes los filtros que se utilizan son de tipo LPF, cuyo ancho de banda es semejante al de la señal recibida [3]. Debido a ello el gradiente no presenta desvanecimiento dentro del espectro de interés, pero sí puede presentarlo a frecuencias más altas. Esto último es consecuencia de que los bloques de DSP del receptor operan a una frecuencia superior a la de la señal de interés debido al uso de OSR. Esto implica que las componentes del error en alta frecuencia son filtradas por el FFE, por lo que la información de los desapareamientos ubicada a alta frecuencia tiene una baja magnitud y afecta en menor medida al cálculo del error por *backpropagation* y el gradiente. Si no se tiene en cuenta lo anterior, puede conducir a la divergencia de los coeficientes de los filtros $g_m^{(i)}[l]$ controlados por el LMS porque no todos los grados de libertad están bajo control del bucle adaptativo.

La forma de evitar este efecto es utilizar una regularización en la adaptación. La regularización más comúnmente usada en comunicaciones digitales es el *tap-*

leakage [81], cuya función de costo es

$$\mathcal{J}_k = E \left\{ \sum_i |e_k^{(i)}|^2 \right\} + \zeta \sum_i \sum_l |g_m^{(i)} [l]|^2 \quad (3.28)$$

Esta función de costo evita un desbordamiento de los coeficientes proporcionando una relación de compromiso (controlada por la constante real ζ) entre la minimización del MSE y la energía de los coeficientes del filtro. Esto se traduce en la modificación de la ecuación de adaptación (3.5) según

$$g_{m,p+1}^{(i)} [l] = (1 - \mu\zeta) g_{m,p}^{(i)} [l] - \mu \nabla_{g_{m,p}^{(i)} [l]} E \{ \mathcal{E}_k \} \quad (3.29)$$

donde excepto por el factor de *leakage* $(1 - \mu\zeta)$ la adaptación es equivalente a la del LMS tradicional.

3.2.4. Análisis de la complejidad de implementación de la técnica de compensación

Dado que el lazo de *backpropagation* debe replicar todos los componentes del DSP del receptor, su implementación se debe de evaluar cuidadosamente para no incrementar significativamente el consumo y el área del sistema. A continuación se analiza la complejidad de implementación los dos bloques principales de la técnica propuesta: el CE y el bloque EBP.

Implementación paralela del CE

Típicamente en los sistemas de comunicaciones ópticas de alta velocidad los bloques del DSP se implementan de forma paralela para minimizar el consumo de energía [3] y alcanzar tasas de procesamiento compatibles con las otras etapas del receptor. Dicha implementación consiste en el procesamiento simultáneo de un conjunto de P muestras de entrada. Particularmente, los TI-ADCs inherentemente generan muestras con un paralelismo M (usualmente distinto a P). La utilización de paralelismo en el procesamiento de las muestras permite que la lógica digital opere a una frecuencia menor que la frecuencia de muestreo f_S del TI-ADC, a costa de un incremento de aproximadamente P veces en el área de

implementación.

Debido a que el CE opera directamente sobre las salidas de los TI-ADCs, las cuales están en el dominio del tiempo, para compensar los desapareamientos de este [63], se optó por una implementación en el mismo dominio para el CE con $L_g = 7$ coeficientes. Este valor es el número mínimo que permitió ejecutar la técnica sin pérdidas significativas en su desempeño y se determinó evaluando múltiples configuraciones del filtro CE.

La Fig. 3.4 muestra, a modo de ejemplo, la implementación paralela de un CE de $L_g = 3$ coeficientes que se utiliza para compensar un TI-ADC con $M = 4$ sub ADCs con un factor de paralelismo $P = 8$, donde cada entrada $w^{(i)}[n - m]$ corresponde a la salida de un sub ADC particular del TI-ADC. Los rectángulos sólidos conectados a la salida de los sub ADCs y a las salidas del CE corresponden a los *flip-flops* usados para resincronizar las muestras. Por simplicidad se omite en la figura la etapa de corrección de *offset*. En este tipo de arquitecturas paralelas, el factor de paralelismo P puede elegirse como un múltiplo entero del número de sub ADCs M . En particular, durante los estudios experimentales y las simulaciones que se condujeron para validar la técnica propuesta se utilizó la configuración $M = 16$, $P = 128$ y $L_g = 7$.

Para los valores de P y M del ejemplo, el filtro $\tilde{g}_n^{(i)}[l]$ se instancia $P/M = 2$ veces, donde los filtros multiplexados en el tiempo $g_n^{(i)}[l]$ toman las muestras solo de determinados sub ADCs. El filtro resultante es equivalente en complejidad al filtro de compensación de *I/Q time skew* presente en los receptores coherentes actuales [3]. Dado que el algoritmo aquí propuesto es capaz de corregir dicho desapareamiento, el correspondiente filtro de corrección puede ser sustituido por este sin que ello implique incurrir en un área o potencia adicional.

La Fig. 3.5 muestra el detalle de la implementación de uno de los filtros del CE, $g_0^{(i)}[l]$, el cual es del tipo de respuesta finita al impulso (*Finite Impulse Response* (FIR)). Este caso particular del filtro no requiere de registros de desplazamiento para las muestras de entrada debido a la topología paralela del TI-ADC y su naturaleza multiplexada en el tiempo.

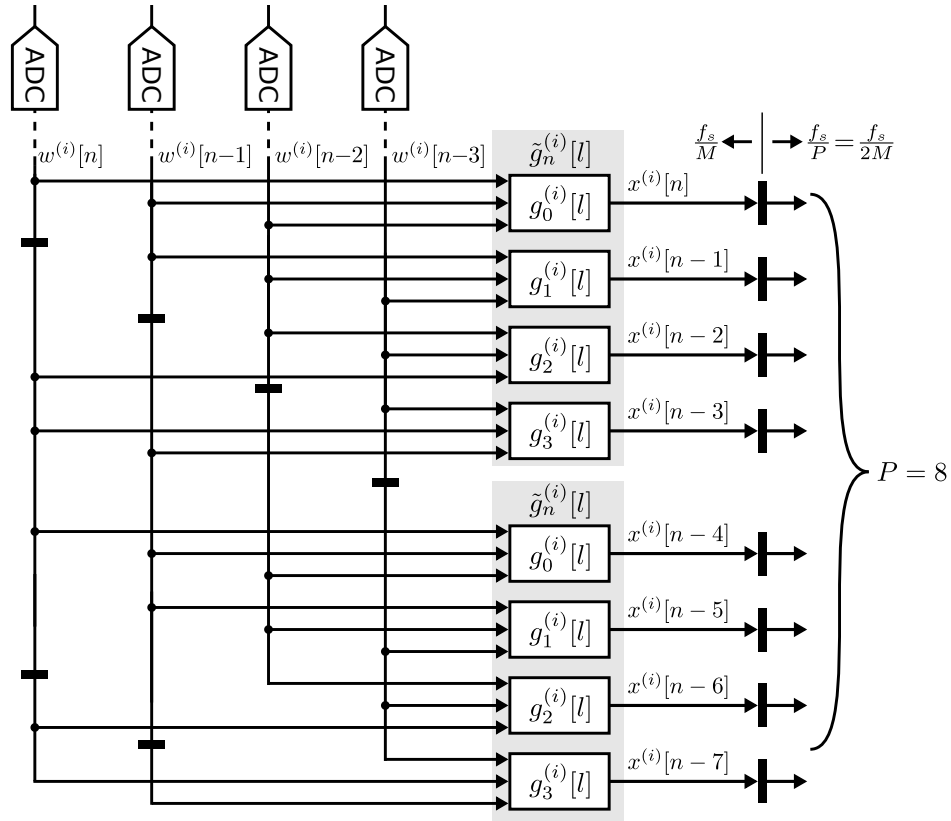


Figura 3.4: Ejemplo de una implementación paralela del CE con $M = 4$, $L_g = 3$, y factor de paralelismo $P = 2M = 8$.

Implementación del bloque de error *backpropagation*

Normalmente, el DSP de los receptores de comunicaciones ópticas coherentes consiste de bloques de procesamiento lineales, entre los que se incluyen BCD, FFE, e interpoladores de TR y FCR. Como se señaló previamente, la implementación del bloque de *error backpropagation* incluye una etapa de procesamiento para cada bloque del DSP (ver Fig. 3.2), donde cada elemento es matemáticamente equivalente al transpuesto de su contraparte. Asimismo, los sub-bloques del bloque EBP no incluyen los circuitos de adaptación que forman parte de los componentes del DSP, lo que reduce su complejidad.

Típicamente las degradaciones del AFE y TI-ADC (por ejemplo, debidas al envejecimiento de los componentes o cambios de la temperatura ambiente) varían lentamente con el tiempo. Consecuentemente, las actualizaciones de coeficientes (dadas por (3.26) y (3.27)) por lo general no necesitan realizarse a la velocidad de operación del receptor. Adicionalmente, en las implementaciones de transceptores de alta velocidad se suele utilizar procesamiento por bloques de muestras

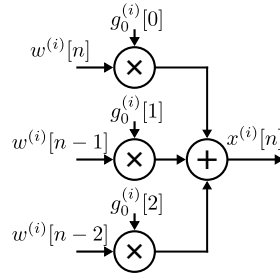


Figura 3.5: Ejemplo de una implementación paralela del CE con $M = 4$, $L_g = 3$, y factor de paralelismo $P = 2M = 8$.

y ecualización en el dominio de la frecuencia mediante la transformada rápida de Fourier (*Fast-Fourier Transform* (FFT)) [3]. Este tipo de ecualización resulta más eficiente que si se efectuara en el dominio del tiempo porque debido a que se requiere un número menor de coeficientes.

Diezmado por bloques para reducir el consumo de potencia

Con el fin de reducir el consumo de potencia de la técnica de compensación, se propone actualizar el CE realizando un diezmado de las muestras de error del receptor. No obstante, debido a que la ecualización de la señal de salida de cada TI-ADC se realiza en el dominio de la frecuencia, el bloque EBP homólogo también operar en el mismo dominio. Para asegurar la consistencia de dicho procesamiento, las muestras de error evaluadas deben de ser consecutivas a fin de no alterar el funcionamiento de los algoritmos de FFT que se utilizan dentro del DSP. Asimismo, el tamaño N del bloque de muestras a procesar debe ser mayor o igual que el mayor número de orden de los bloques del DSP.

La actualización del CE se realiza periódicamente, utilizando N muestras consecutivas del error del *slicer* (3.13), por cada D_B bloques de muestras, es decir,

$$e^{(i)}[kND_B + n], \quad n = 0, 1, \dots, N - 1, \forall k \in \mathbb{N}. \quad (3.30)$$

Gracias al uso de diezmado del error de *backpropagation* la disipación de potencia de los bloques EBP se reduce a una fracción $1/D_B$ respecto a sus homólogos en el DSP. No obstante, a pesar de la incorporación de diezmado de muestras, las áreas de los bloques de EBP resultan similares a las de sus contrapartes en el DSP.

Optimización del área mediante procesamiento en serie

Dado que los bloques EBP no operan en tiempo real, sino que con una tasa D_B veces menor que los elementos del DSP, es posible reducir el área de su implementación serializando parte de las operaciones que estos realizan. Normalmente, una implementación en serie requiere que circuitos como los multiplicadores se reutilicen con coeficientes variables, mientras que en una implementación paralela, el hardware se puede optimizar para valores de coeficientes constantes. Como resultado se obtendría una disipación de potencia ligeramente mayor, por operación, que en una implementación en paralelo. No obstante, mediante el uso de esta estrategia en conjunto con el diezmado es posible reducir el área de la implementación a la vez que se mantiene la disipación de potencia. La Fig. 3.6 ejemplifica un esquema de procesamiento serie para el bloque EBP.

Otro factor que se debe tener en cuenta al realizar una implementación en serie es que ello conlleva un incremento de la latencia en el procesamiento de las muestras. La latencia resultante de la topología de la figura es $2 \times (N_{BCD} + N_{FFE}) \times P$ muestras, donde N_{BCD} y N_{FFE} son los tamaños de los bloques de muestras de las operaciones de FFT utilizadas para implementar el BCD y el FFE, respectivamente (el factor 2 incluye el par FFT/IFFT). A modo de ejemplo, en la figura, se considero un FFE con $N_{FFE} = 256$ coeficientes y un BCD con $N_{BCD} = 8192$ coeficientes. Por su parte, las latencias asociadas a los bloques EBP para los interpoladores TR y FCR pueden despreciarse porque la cantidad de coeficientes en estos es generalmente menor que las del FFE y BCD [3].

No obstante, si la latencia del procesamiento en serie es menor que el periodo de actualización del bloque EBP diezmado, la velocidad de adaptación del CE no se reduce:

$$2 \times (N_{BCD} + N_{FFE}) \times P < N \times D_B. \quad (3.31)$$

Una reducción adicional de la complejidad y la disipación de potencia de la propuesta se puede lograr al: *i*) activar intermitentemente los algoritmos de calibración una vez que han convergido, y/o *ii*) implementar los algoritmos en una rutina programada en un microprocesador integrado, el cual generalmente se encuentra disponible en transceptores ópticos coherentes.

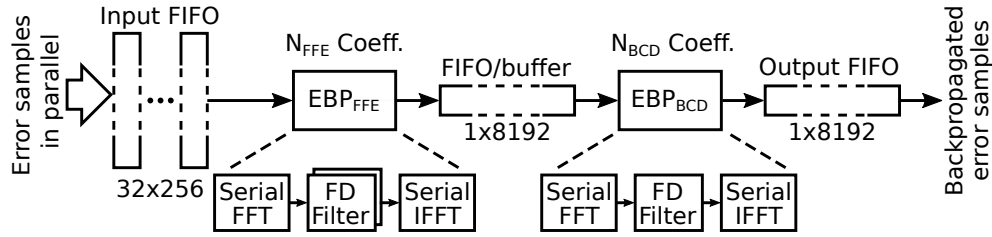


Figura 3.6: Ejemplo de implementación serial del algoritmo de EBP con $N_{BCD} = 8192$ y $N_{FFE} = 256$.

3.2.5. Alternativa de implementación basada en calibración de señal mixta

La propuesta para la compensación de desajustes en TI-ADCs desarrollada en la Sección 3.2.2 puede adaptarse para realizar efectuar las correcciones pertinentes en el dominio analógico. Esto se logra dotando a los sub ADCs de capacidades de reconfigurabilidad analógica, las cuales son comunes en implementaciones de ADCs para sistemas de comunicaciones [15, 22, 87]. Por otra parte, se prescinde CE que se usa en el esquema de compensación digital.

En el esquema de calibración propuesto, las fases de muestreo del T&H se ajustan mediante líneas de retardo programables [68], mientras que la ganancia y el *offset* se pueden corregir en el comparador del ADC o con un amplificador de ganancia programable (*Programmable Gain Amplifier* (PGA)).

La Fig. 3.7 muestra el diagrama en bloques del esquema de calibración de señal mixta. Este se vale del mismo procesamiento del error que la compensación en el dominio digital (sin el CE) donde se computa el error de *backpropagation* que calcula el bloque EBP para establecer la reconfiguración necesaria para recalibrar el TI-ADC mediante LMS. En la figura se resaltan los bloques analógicos usados para aplicar la calibración, incluidos el LMS y el bloque de EBP, que operan en el dominio digital. Por simplicidad, en la figura, el índice de iteración se ha omitido de los parámetros de calibración.

Los desapareamientos de ganancia, modelados en el Capítulo 2 con el parámetro $\gamma_m^{(i)}$ definido en (2.12), se corrigen re-adaptando las ganancias en el ADC para amplificar o atenuar por una cantidad igual al recíproco de dicho parámetro. El coeficiente de ganancia con calibración de desajustes se denota como $\hat{\gamma}_m^{(i)}$ y se

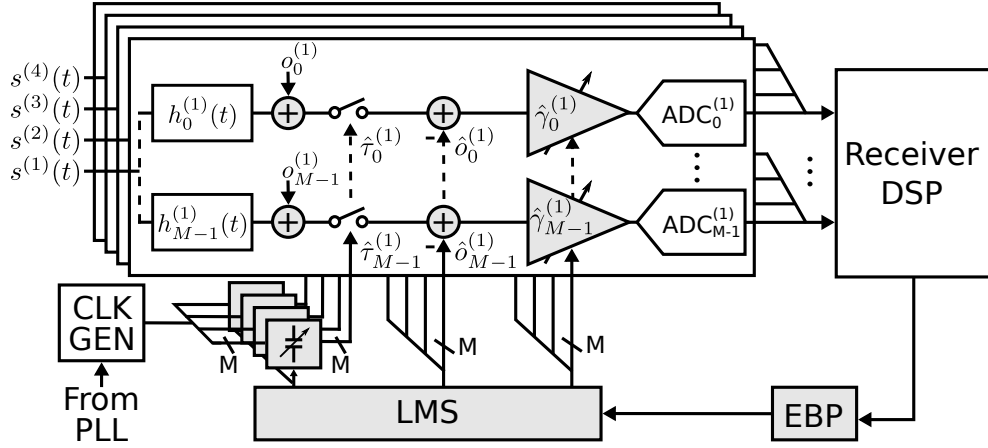


Figura 3.7: Esquema de la calibración de señal mixta usando error *backpropagation* y LMS para ajustar los elementos de ajuste analógico.

actualiza mediante

$$\hat{\gamma}_{m,p+1}^{(i)} = \hat{\gamma}_{m,p}^{(i)} - \mu_{\gamma} \hat{e}^{(i)}[m + kM] w^{(i)}[m + kM], \quad \forall k, \quad (3.32)$$

donde $m = 0, \dots, M - 1$ y $i = 1, \dots, 4$.

Con esta variante de implementación, el ajuste de *offset* de DC se lleva a cabo mediante (3.27), de forma similar a la variante digital de la sección anterior.

Finalmente, las fases de muestreo se pueden calibrar usando el algoritmo de recuperación de reloj por minimización del MSE (*Minimum MSE* (MMSE)) [82] a partir del error obtenido mediante *backpropagation* que se asocia a cada sub ADC:

$$\hat{\tau}_{m,p+1}^{(i)} = \hat{\tau}_{m,p}^{(i)} - \mu_{\tau} \hat{e}^{(i)}[m + kM] \times (w^{(i)}[m + kM + 1] - w^{(i)}[m + kM - 1]), \quad \forall k \quad (3.33)$$

con $m = 0, \dots, M - 1$.

Implementación de la calibración de señal mixta en un TI-ADC con T&H jerárquico

En receptores digitales de alta velocidad, las implementaciones de TI-ADC convencionales no suelen ser las más empleadas. Esto se debe principalmente a limitaciones en el BW y complejidad de los circuitos de T&H (ver que se presenta

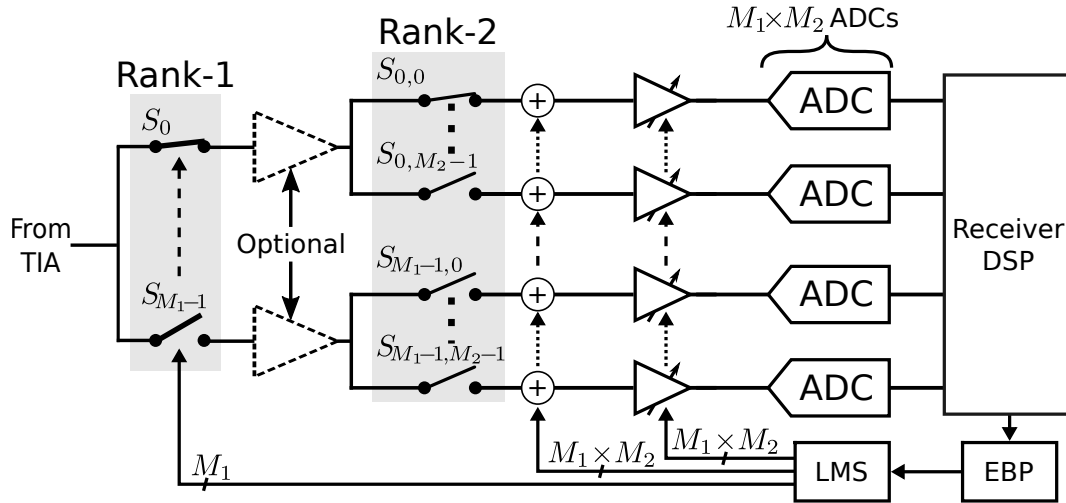


Figura 3.8: Ejemplo de aplicación de la propuesta a un TI-ADC de dos jerarquías.

en el Capítulo 4.2.1).

Por otra parte, las arquitecturas de TI-ADC con T&H jerárquicos demostraron mayores velocidades y las mejores eficiencias energéticas en el estado del arte [15, 19, 22, 88]. La técnica de calibración presentada en la presente Tesis puede ser adaptada para su uso en dichas implementaciones luego de realizar modificaciones menores.

La Fig. 3.8 muestra un ejemplo de implementación de un TI-ADC con T&H jerárquico de dos niveles, que incluye los elementos de calibración que utiliza la propuesta de esta Tesis. Este tipo de topología presentan las mayores velocidades y las mejores eficiencias energéticas en el estado del arte [15, 19, 22, 88]. La primera jerarquía consiste en M_1 llaves de muestreo, mientras que la segunda posee M_2 llaves por cada una de la primera jerarquía. En total, este ejemplo emplea $M_1 \times M_2$ sub ADCs.

La calibración de ganancia y *offset* de DC se aplican a cada sub ADC, mientras que la calibración del tiempo de muestreo se realiza únicamente sobre las señales de reloj de la primer jerarquía. Esto se debe a que los desajustes de esta naturaleza en la primera jerarquía tienen un impacto mucho mayor, que en en las subsiguientes, sobre el desempeño del conversor.

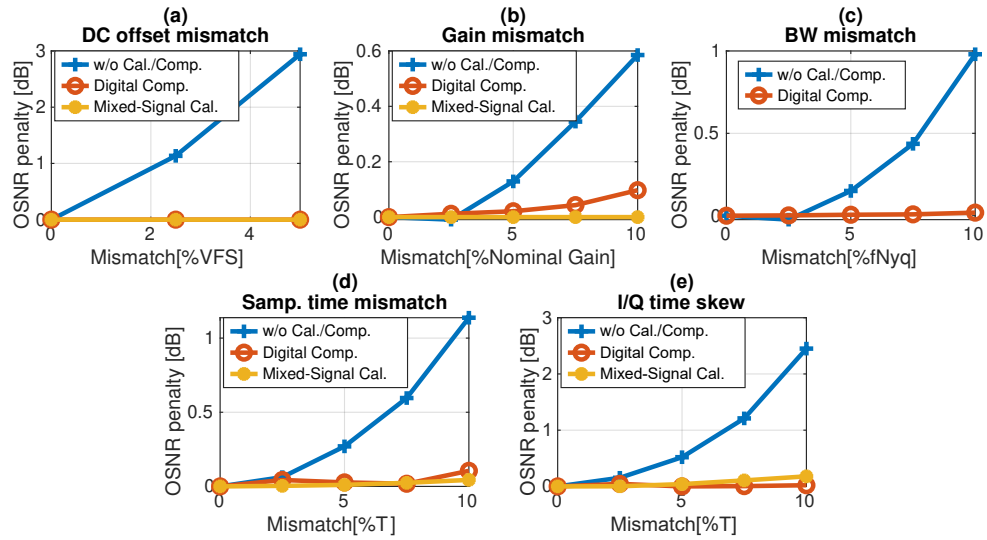


Figura 3.9: Penalidad de OSNR del receptor para desapareamientos de (a) *offset* de DC, (b) ganancia, (c) BW, (e) tiempo de muestreo e (f) *I/Q time skew* entre los canales del receptor.

3.3. Resultados de simulación

A continuación se evalúa el desempeño de la técnica propuesta en el contexto del modelo de simulación de sistema de comunicaciones ópticas coherentes de la Sección 2.4, incluyendo un TI-ADC con una topología de T&H de una única jerarquía. Se inyectan desapareamientos aleatorios múltiples y únicos, a fin de evaluar su impacto por separado en el desempeño del sistema.

3.3.1. Análisis de la penalidad de OSNR del receptor pre y post-compensación de desajustes

En la Fig. 3.9 se reporta la penalidad de OSNR del receptor, para una BER de 1×10^{-3} , en función de cada tipo de desajuste por separado. Se evaluó el caso sin corrección de los desajustes, así como también los resultados de aplicar la propuesta en sus variantes de compensación digital y calibración de señal mixta.

En la figura se aprecia que la penalidad de OSNR asociada a cada uno de los desapareamientos es efectivamente mitigada en todos los casos, quedando una baja penalidad remanente para desajustes cercanos al 10%. En particular, en la Fig. 3.9(a) se observa para el peor caso una mejora de 3 dB en el desempeño del receptor en presencia de desapareamientos de *offset* de DC. En el escenario

del desajuste de ganancia, mostrado en la Fig. 3.9(b) se observó para el caso de la calibración en señal mixta una penalidad ligeramente menor (de alrededor del 0.1 dB) que para la compensación en dominio digital. Para el resultado del ajuste de BW de la Fig. 3.9(c), se consideró solamente la compensación digital. El modelado y la calibración en el dominio analógico de BW deberá abordarse en futuros trabajos. Los resultados en presencia de error de tiempo de muestreo e *I/Q time skew*, mostrados en las Figs. 3.9(d) y (e), respectivamente, indican que ambas variantes realizan una efectiva corrección de este desajuste para todo el rango evaluado. En todos los casos ejercitados la diferencia entre los resultados asociados a la calibración y a la compensación fueron similares, exhibiendo diferencias de hasta 0.1 dB.

3.3.2. Análisis de Montecarlo de las tasas de error de bit en función de cada tipo de desapareamiento

Para evaluar la robustez de la técnica de corrección de desajustes se realizaron campañas de simulaciones Montecarlo donde se inyectó cada tipo de desapareamiento por separado y de forma conjunta. Cada prueba consistió de 500 casos donde los desapareamientos se modelaron como UDRV. Debido a que ambas propuestas exhiben un desempeño similar (ver Capítulo 5 para demostraciones experimentales) y al elevado costo computacional de este estudio, se consideró solamente el escenario de compensación en dominio digital.

Escenario de inyección de desapareamientos de un solo tipo

Las Figs. 3.10 y 3.11 muestran los histogramas de BER para el receptor con y sin compensación, en presencia de errores únicamente de fase de muestreo, ganancia, *I/Q time skew*, y desajustes de BW. Estos se inyectaron como UDRV con rangos $\delta_m^{(i)} \in [\pm 0.075]T$, $\Delta_{\gamma_m^{(i)}} \in [\pm 0.15]$, $\Delta_{B_m^{(i)}} \in [\pm 0.075]B_0$ y $\tau_H, \tau_V \in [\pm 0.075]T$, respectivamente. Para todos los casos evaluados, en las figuras es posible apreciar que la técnica de compensación propuesta es capaz de mitigar el impacto de todos los desapareamientos, incluido el desajuste de offset [63].

En las figuras se evidencia que con esta propuesta se puede lograr una mejora de BER de hasta 8 veces respecto al escenario sin corrección para los desajustes

de ganancia y tiempo de muestreo. La BER del receptor sin compensación en presencia de desajustes de *I/Q time skew* varía de forma significativa, ubicándose entre 1.5×10^{-13} y 8×10^{-2} . Sin embargo, con la compensación habilitada, la BER del receptor vuelve a centrarse en 1×10^{-3} . En el caso del desapareamiento de BW, se observó una menor degradación de BER en ausencia de compensación, por lo cual la mejora de BER fue de 3 a 4 veces.

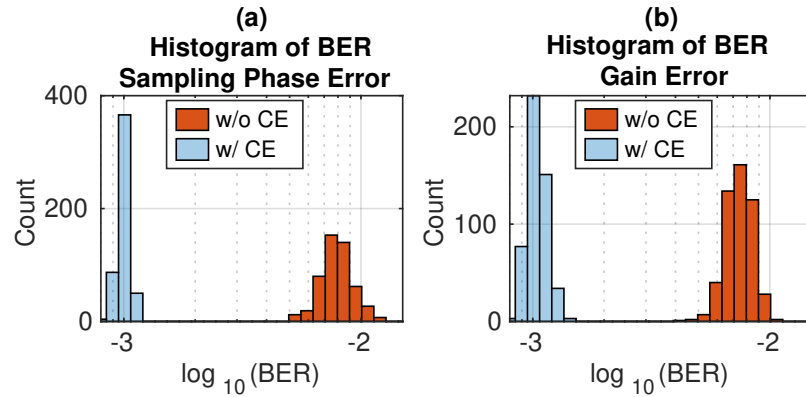


Figura 3.10: Histogramas de la BER para 500 casos aleatorios con una BER de referencia de $\sim 1 \times 10^{-3}$. (a) Solo errores de fase de muestreo. (b) Solo errores de ganancia.

Escenario de inyección de desapareamientos múltiples

Los histogramas de BER para el receptor con y sin compensación en presencia de los efectos combinados de todos los desapareamientos considerados se muestran en la Fig. 3.12. Se evaluó el caso de un CE con $L_g = 7$ y 13 taps. En ausencia de compensación se observa una degradación severa en el desempeño

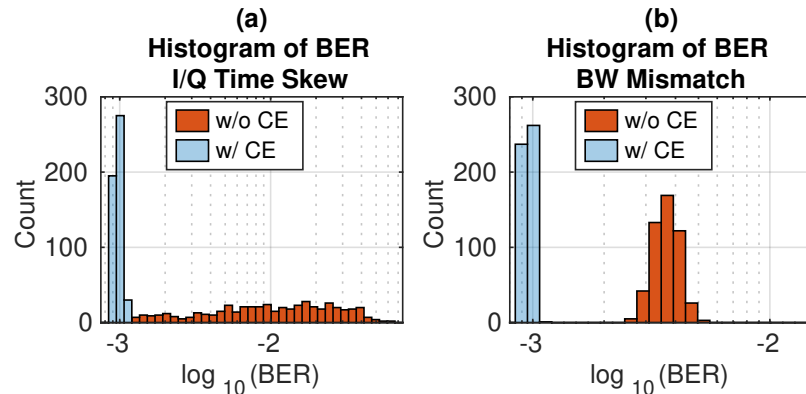


Figura 3.11: Histogramas de la BER para 500 casos aleatorios con una BER de referencia de $\sim 1 \times 10^{-3}$. (a) Solo error de *time skew* I/Q. (b) Solo error de BW.

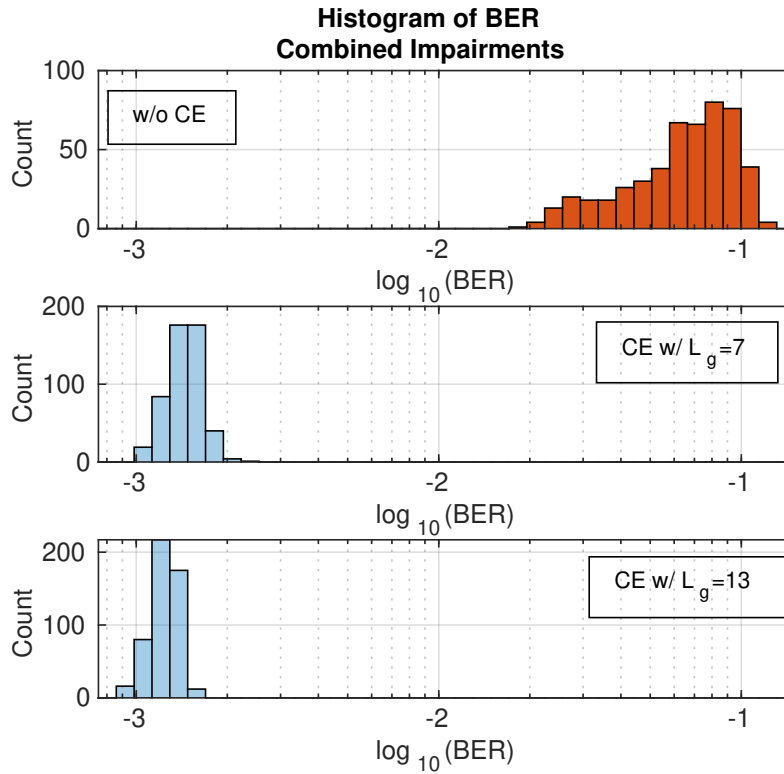


Figura 3.12: Histogramas de la BER para 500 casos aleatorios con una BER de referencia de $\sim 1 \times 10^{-3}$. Se evalúa la combinación de todos los mismatches. Arriba: sin CE. Medio: CE con $L_g = 7$ coeficientes. Abajo: CE con $L_g = 13$ coeficientes.

del receptor, con BERs que oscilan en el rango de 3×10^{-2} a 1×10^{-1} . Esto implica que un bloque de datos recibidos presentará hasta 100 veces más errores que en el caso con los TI-ADCs sin desapareamientos. Por el contrario, mediante el uso de la propuesta de compensación se observan mejoras de hasta 100 veces en el desempeño del receptor. Finalmente, se observa que la mejora correspondiente incrementar la cantidad de coeficientes del CE L_g de 7 a 13 no es muy pronunciada.

3.3.3. Convergencia de la técnica empleando diezmado en los bloques de *backpropagation*

En la Sección 3.2.4 se definió una estrategia para realizar el diezmado de las muestras de error y así reducir el consumo adicional dado por la técnica. La Fig. 3.13 muestra la evolución temporal de la BER en presencia de desapareamientos múltiples para diferentes valores de diezmado D_B , con bloques de

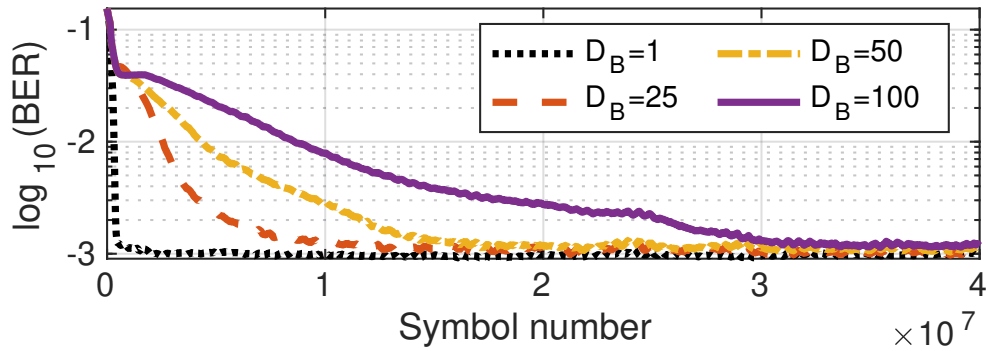


Figura 3.13: Convergencia de la compensación en presencia los desapareamientos combinados para diferentes factores de diezmado D_B con $N = 8192$.

$N = 8192$ muestras.

Se utilizan diferentes valores de paso de adaptación μ (ver (3.26)) durante cada simulación para reducir el MSE en estado estacionario y acelerar la convergencia del algoritmo. Se destaca que el impacto en el valor final de la BER es despreciable cuando se aplica diezmado por bloques para factores de diezmado tan bajos como el 1%, el cual se da para $D_B = 100$. En contraste, la desventaja viene dada por una convergencia más lenta, por ejemplo en el caso de $D_B = 100$, se requeriría ~ 3 ms en alcanzar el estado estacionario para un enlace de 96 GBd.

3.3.4. Resultados de la alternativa de calibración en señal mixta

En esta sección se reporta el desempeño del TI-ADC en términos de SNDR, rango dinámico libre de espurios (*Spurious Free Dynamic Range* (SFDR)) sobre el espectro y la respuesta en frecuencia de las muestras convertidas antes y después de aplicar la técnica de calibración presentada en esta Tesis.

Espectro de salida del TI-ADC

La Fig. 3.14 muestra una comparación de los espectros de las muestras (determinados mediante FFT) antes y después de la calibración para una entrada sinusoidal 54 GHz, normalizados respecto a la amplitud de entrada. Sin calibración, los desajustes introducen múltiples espúreos de gran amplitud en todo el espectro, los cuales se mitigan mediante la calibración propuesta. Esto se evidencia a través de un incremento en la SNDR y el SFDR de 18.3 dBFS y 27.6 dBFS,

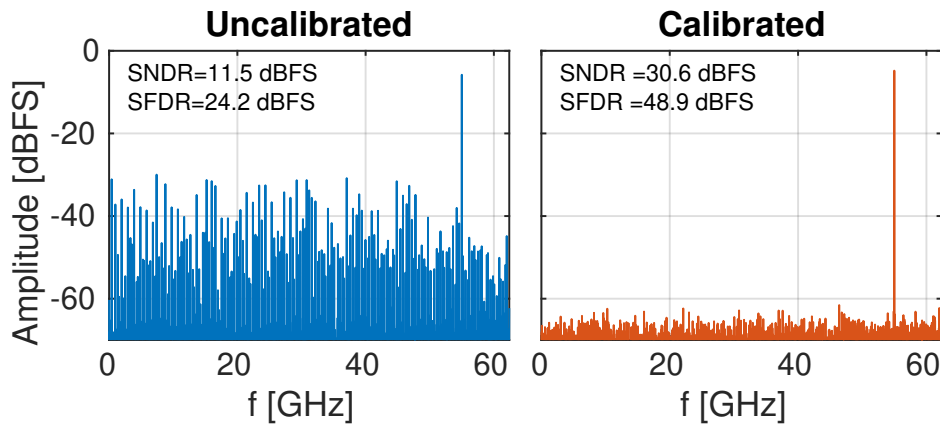


Figura 3.14: Comparación de los espectros pre/post calibración para una entrada senoidal a 55 GHz. Se emplearon 2^{13} muestras para generar las gráficas.

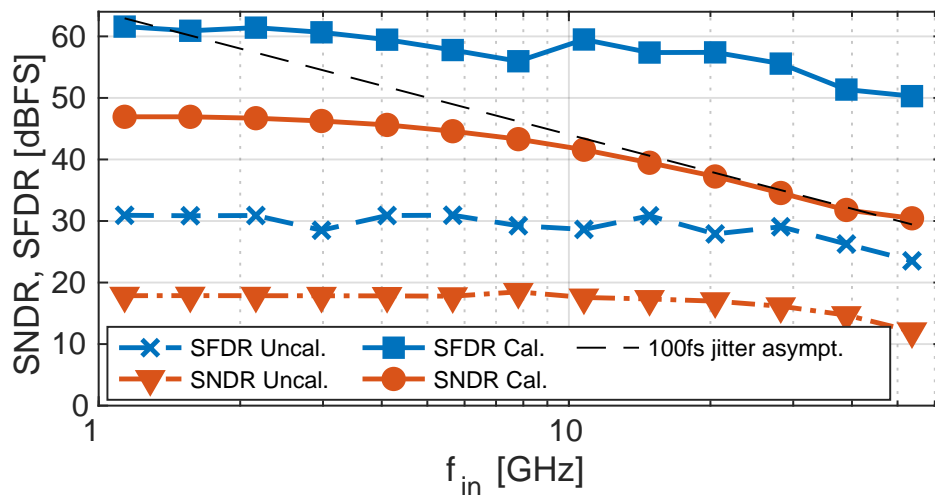


Figura 3.15: SNDR y SFDR del TI-ADC en función de la frecuencia pre/post calibración.

respectivamente.

Respuesta en frecuencia de la SNDR y SFDR

Las respuestas en frecuencia de la SNDR y el SFDR con y sin calibración se muestran en la Fig. 3.15. Antes de calibrar, la SNDR y el SFDR están por debajo de 20 dBFS y 31 dBFS, respectivamente, para todo el rango de frecuencias evaluado. Por el contrario, con la calibración habilitada, el valor mínimo de la SNDR asciende a 40 dBFS para frecuencias menores a los 10 GHz. En frecuencias más altas, la SNDR está limitada por la asíntota dada por *jitter* en los señales de muestreo. Por otra parte, el SFDR está por encima de 50 dBFS para las frecuencias evaluadas.

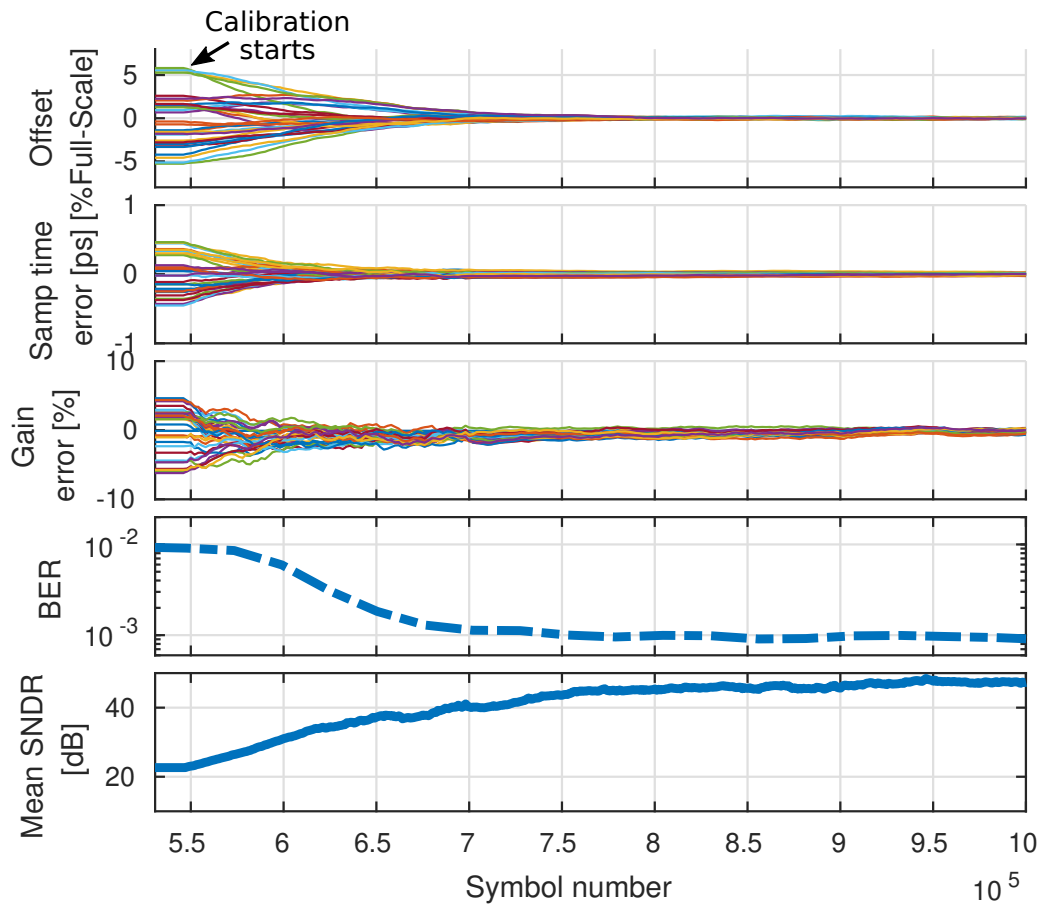


Figura 3.16: Evolución de la BER a la salida del receptor y SNDR del TI-ADC empleando la calibración de señal mixta basada en *backpropagation* en presencia de desapareamientos combinados.

Convergencia de la calibración

En la Fig. 3.16 se muestra la evolución de los errores de *offset*, ganancia y tiempo de muestreo de los sub ADCs de un TI-ADC del receptor, junto a la medición de la BER instantánea y la SNDR promedio de los 4 TI-ADCs del receptor. Para esta prueba se dejó que el receptor converja, en primer lugar, con la calibración apagada. En estas condiciones la BER del receptor está limitada a 1×10^{-2} . A continuación, luego de procesar 5 millones de símbolos, se enciende la calibración. Las gráficas de la figura muestran la evolución de los parámetros de la calibración a partir de este instante. En ellas se aprecia que los errores empiezan a reducirse a la par que incrementa la SNDR de los TI-ADC y se reduce la BER del receptor, la cual converge hacia el valor objetivo 1×10^{-3} .

Por otra parte, se evaluó la respuesta del algoritmo en presencia de una perturbación en las condiciones de operación del receptor (por ejemplo un cambio

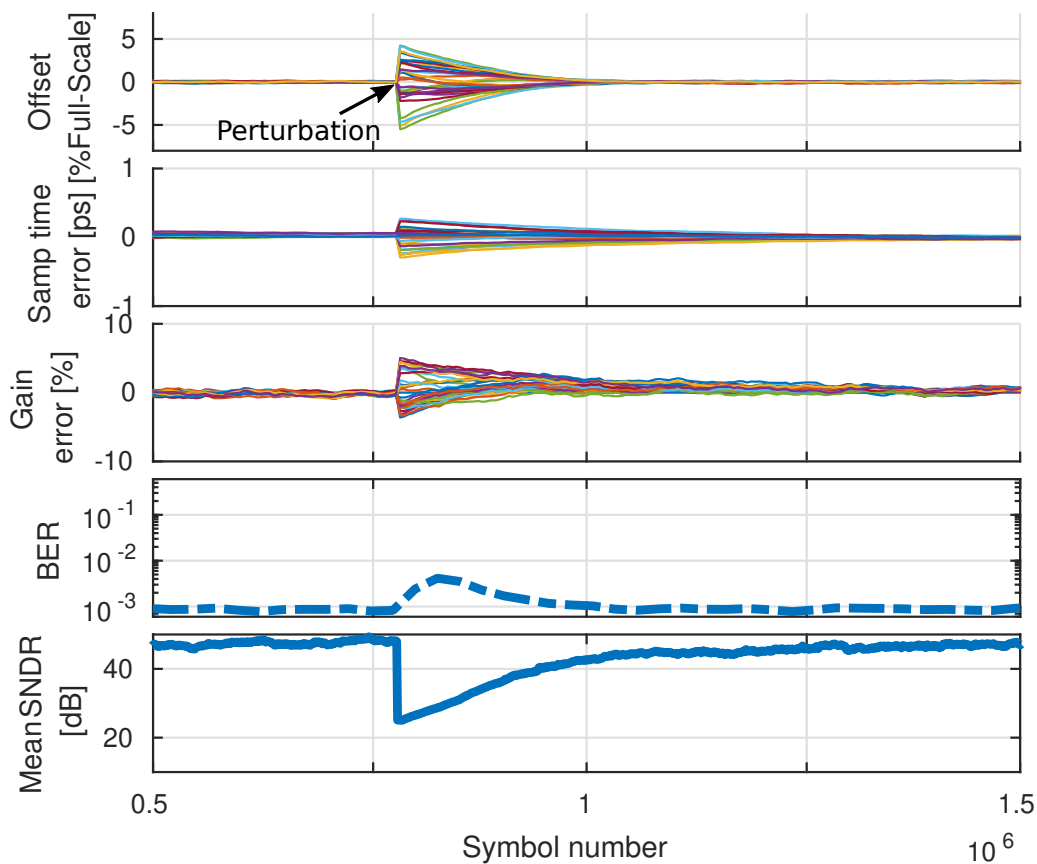


Figura 3.17: Evolución de la BER a la salida del receptor y SNDR del TI-ADC empleando la calibración de señal mixta basada en *backpropagation* en presencia de desapareamientos combinados.

repentino en el voltaje de alimentación del circuito), lo cual se ilustra en la Fig. 3.17. Se observa en un principio que todos los errores se encuentran ajustados, por lo que la SNDR es máxima y la BER mínima. A partir del símbolo $\sim 800 \times 10^3$ se modifican los valores de todos los desajustes y se deja que el algoritmo los ajuste. Se observa como, en el momento de introducir la perturbación, la SNDR de los TI-ADC se reduce hasta 25 dB y la BER empeora hasta casi 1×10^{-2} . Luego de $\sim 300 \times 10^3$ la BER del receptor es recuperada, mientras que la SNDR sigue optimizándose hasta recuperar el valor inicial.

A continuación se reporta la evolución de la calibración cuando el receptor emplea TI-ADC con T&H jerárquico (ver 3.8). En particular se configura el simulador para implementar un T&H de dos jerarquías, donde la primera tiene $M_1 = 16$ ramas y la segunda $M_2 = 8$ nodos. Por lo tanto, la cantidad total de sub ADCs es $M_1 \times M_2 = 128$.

El resultado de este estudio se muestra en la Fig. 3.18. Se utiliza un tono

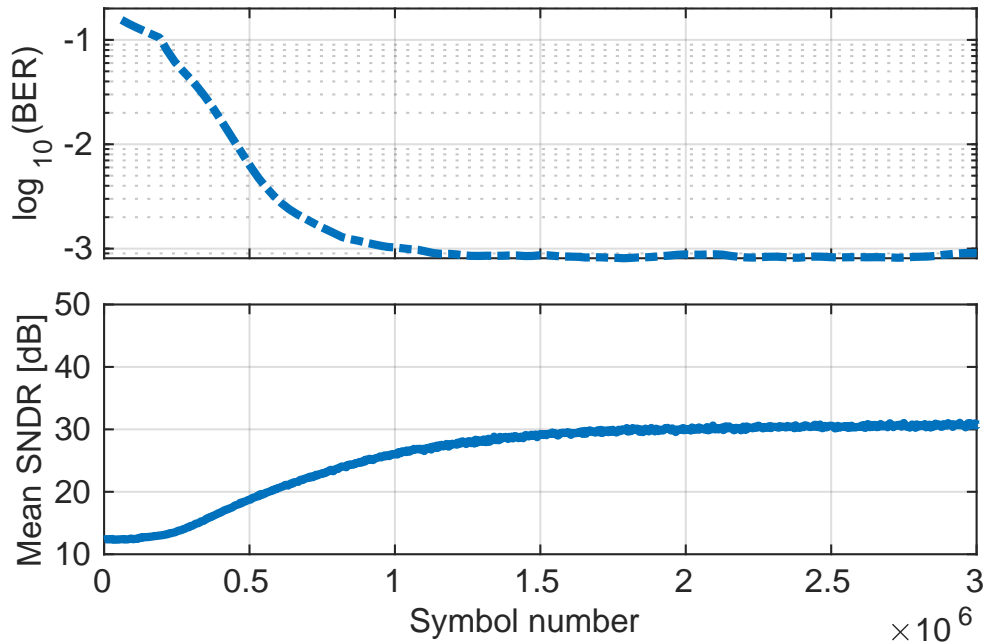


Figura 3.18: Evolución de la BER a la salida del receptor y SNDR del TI-ADC empleando la calibración de señal mixta basada en *backpropagation* en presencia de desapareamientos combinados.

de entrada de 54 GHz como estímulo de prueba en esta simulación. Además, se incluye 100 fs de *jitter* RMS en todas las señales de muestreo. Se destaca que solos las M_1 fases de muestreo de la primera jerarquía, y las $M_1 \times M_2$ ganancias y *offset* de los sub ADC se ajustan en este caso. Dado que se utiliza un mayor número de conversores (es decir, 128 frente a los 16 usados en los resultados anteriores), se observa una convergencia ligeramente más lenta con respecto a la simulación anterior. No obstante, el impacto de los desajustes en un desempeño jerárquico de TI-ADC se logra mitigar efectivamente con la calibración de señal mixta basada en *backpropagation* propuesta, al igual que la simulación con el T&H convencional. En particular, para la SNDR se observa una mejora de 12 dB a 30 dB utilizando la técnica de propuesta.

3.4. Conclusiones

En este capítulo se presentó una técnica de corrección de desajustes en TI-ADCs de receptores de comunicaciones ópticas coherentes de doble polarización, la cual es compatible con dos tipos de implementaciones. Una está basada en

compensación en dominio digital mediante un ecualizador adaptativo, cuyos coeficientes se actualizan dinámicamente mediante un lazo de realimentación de error que incorpora *backpropagation* y una implementación del algoritmo LMS. La otra está basada en calibración en el dominio analógico y toma como base la formulación de la primera, pero prescindiendo del ecualizador en favor de la reconfiguración de los elementos analógicos programables del receptor para corregir los desajustes del mismo.

Por otra parte, dado que los desapareamientos y otros efectos considerados (variaciones en las condiciones ambientales y proceso de fabricación) evolucionan lentamente en el tiempo, se propuso realizar un diezmado en el procesamiento del error en el receptor a fin de reducir la disipación de potencia asociada a las propuestas de corrección.

Mediante simulaciones Montecarlo se verificó la capacidad de ambas propuestas para compensar simultáneamente errores de ganancia, *offset* de DC, tiempo de muestreo, ancho de banda entre los canales del TI-ADC y el *time skew* entre las componentes I/Q del receptor. Asimismo, se observó una rápida convergencia para ambas técnicas, inclusive con la adición del diezmado de muestras de error.

Es importante destacar que, en estas simulaciones, se emplearon variables con precisión de punto flotante tanto en los coeficientes del CE como en los parámetros usados en la calibración analógica. Sin embargo, en una implementación digital real los coeficientes son variables de punto fijo. No obstante el formato de dichos números debe ser elegido cuidadosamente a fin de no degradar el desempeño de la compensación. En el caso de la implementación analógica, la precisión de la calibración depende directamente de la precisión de los circuitos reconfigurables en el conversor involucrado.

En el Capítulo 4 se caracteriza el rango de ajuste de las celdas de retardo programable integradas y en el Capítulo 5, se evalúa experimentalmente la capacidad de ajuste de dichas celdas.

Capítulo 4

Diseño e implementación del chip TI-ADC prototipo y la plataforma de emulación de un sistema de comunicación

Síntesis: En este capítulo se presenta el diseño del chip prototipo TI-ADC utilizado como caso de estudio para evaluar la técnica de calibración/compensación propuesta en esta Tesis. Se diseñó una plataforma de pruebas para evaluar experimentalmente el desempeño del convertor, tanto en pruebas individuales, así como también en el contexto de un sistema de comunicaciones óptico coherente de doble polarización. Los resultados experimentales demuestran que el chip tiene un buen desempeño y eficiencia, superando a otras propuestas relevantes del estado del arte, incluso a algunas desarrolladas con procesos de fabricación más avanzados.

4.1. Plataforma de emulación de un transceptor digital de alta velocidad

Uno de los principales aportes de la Tesis es el desarrollo de la plataforma experimental que se usó para evaluar de la propuesta de compensación/calibración.

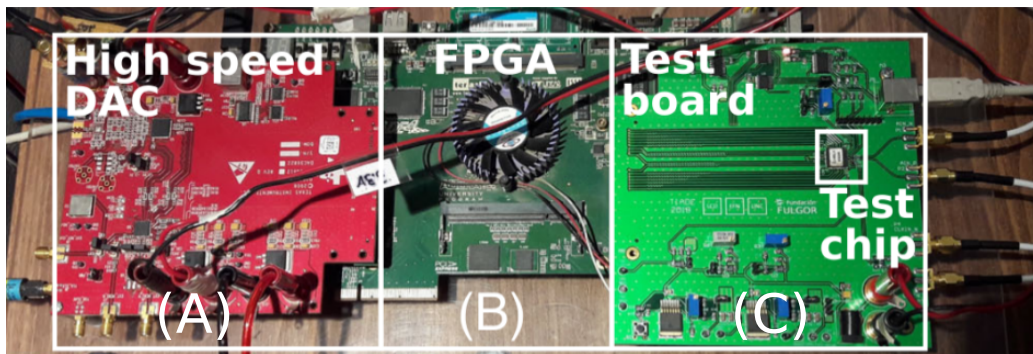


Figura 4.1: Fotografía de la plataforma experimental de la plataforma desarrollada para verificar la técnica de calibración.

La misma se muestra en la Fig. 4.1. La plataforma emula un sistema de comunicaciones óptico coherente. A continuación se describen las tres secciones principales de la plataforma, las cuales se destacan en la figura:

- A) **High speed DAC:** Esta sección se encarga de la síntesis de las señales analógicas de comunicaciones (equivale a la salida del TIA) y se lleva a cabo mediante un kit de evaluación basado en DAC [89].
- B) **FPGA:** La generación de los datos a transmitir por el DAC y la captura de las muestras digitales a la salida del TI-ADC se realiza en una placa de evaluación basada en FPGA [90].
- C) **Test board:** Esta sección contiene el chip ADC prototipo, diseñado por el grupo de investigación de Fundación Fulgor [68], que se describe en la Sección 4.2.

El esquema de funcionamiento de la plataforma se completa con una computadora anfitrión conectada al dispositivo FPGA que configura tanto el esquema de modulación usado en el transmisor, como la SNR del canal y ejecuta los algoritmos del receptor.

La Fig. 4.2 presenta el diagrama de los bloques funcionales internos de la plataforma experimental. Se emplea un LPF con frecuencia de corte a -3 dB de 650 MHz [91] acoplado entre el DAC y el ADC, el cual emula la respuesta del canal de comunicaciones óptico. La función del filtro en la plataforma es modelar la ISI del canal de comunicaciones. Los relojes para el DAC y el ADC se generan a partir de una única referencia de reloj a 10 MHz para minimizar

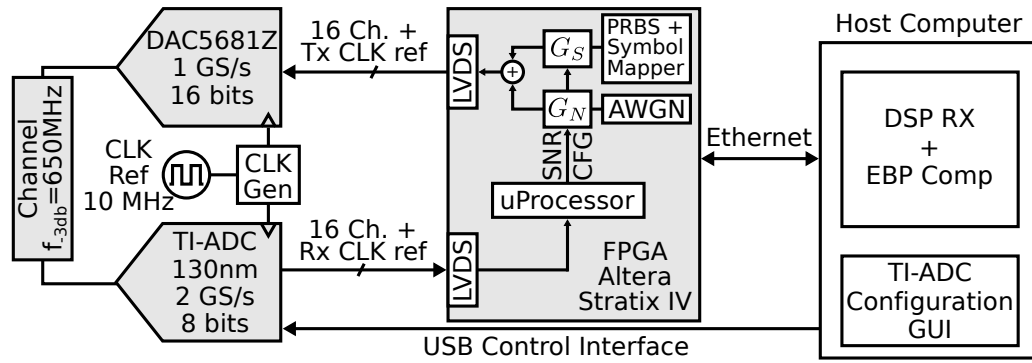


Figura 4.2: Diagrama en bloques de la plataforma experimental.

las discrepancias entre las señales de reloj que se originarían si se utilizara dos osciladores distintos para estos dos bloques. Las muestras digitalizadas por el ADC son procesadas por el receptor, cuyas funcionalidades fueron implementadas en la computadora anfitrión. Entre las funcionalidades implementadas en la computadora se encuentra la calibración/compensación del TI-ADC basada en el algoritmo de *backpropagation* propuesto en esta Tesis.

Bajo este contexto, es importante destacar que, respecto a otros entornos de evaluación del estado del arte, la plataforma aquí introducida presenta las siguientes mejoras:

1. Los estímulos de prueba no están limitados a señales senoidales, sino que también se pueden sintetizar señales de comunicaciones reales.
2. La evaluación del desempeño del sistema no está limitada a una caracterización espectral de las muestras de salida del TI-ADC, si no que también es posible analizar el desempeño global del receptor que incluye al TI-ADC.
3. Debido a la dificultad de diseñar interfaces de alta velocidad para las muestras de salida del TI-ADC, en la literatura se las suelen diezmar para ser transmitidas fuera del chip [48,92]. Sin embargo, dado que el funcionamiento del DSP del receptor necesita todas las muestras que genera el ADC, el uso de diezmo en la plataforma no es posible. Consecuentemente, todas las muestras de salida del TI-ADC son capturadas y pueden ser utilizadas para su análisis.

El chip prototipo y la placa DAC disponen de un único canal. Para poder reproducir el funcionamiento de un sistema de comunicaciones óptico coherente

con DP se deben realizar 4 transmisiones de datos secuenciales, una por cada canal del enlace, correspondientes a los canales I y Q de las polarizaciones H y V .

A continuación se describen los componentes funcionales del transmisor y el receptor de la plataforma.

4.1.1. Transmisor

El transmisor está formado por hardware digital implementado en FPGA [90] y un DAC comercial de 16 bits [89] que opera a 1 GS/s. Esta tasa de operación se adopta debido a limitaciones en las frecuencias de reloj con las que este y el FPGA pueden funcionar. Los bloques del transmisor en el FPGA se configuran desde la computadora por medio de comandos que se envían a través de una interfaz Ethernet.

En el FPGA se generan los datos a transmitir mediante el uso de múltiples generadores de PRBSs con longitudes y semillas configurables. Dependiendo del esquema de modulación empleado, uno o más generadores de PRBSs se conectan al mapeador de símbolos del transmisor, el cual se encarga de codificar los datos en los símbolos a ser transmitidos. El mapeador es capaz de implementar diferentes esquemas de modulaciones digitales multinivel tales como 2-PAM, 4-PAM, 8-PAM y 16-PAM. Para emular el comportamiento del sistema de comunicaciones óptico coherente se utiliza una configuración particular de longitud y semilla del PRBS por cada canal. Dichas configuraciones se escogen de forma aleatoria al comienzo de los ensayos experimentales sobre la plataforma.

Adicionalmente, en el FPGA se implementa un generador de ruido gaussiano (*Additive White Gaussian Noise* (AWGN)) con distribución normal estándar para modelar el nivel de ruido a la salida del transmisor. La amplitud de los símbolos y del ruido se pueden ajustar mediante los coeficientes G_S y G_N , respectivamente (ver Fig. 4.2).

El símbolo digital con ruido añadido se transmite a la placa DAC mediante una interfaz de alta velocidad y bajo voltaje diferencial (*Low-Voltage Differential Signaling* (LVDS)) [93], donde se generan las señales analógicas de comunicaciones.

4.1.2. Receptor

El sub sistema receptor está compuesto por el chip TI-ADC prototipo y una computadora. Estos son interconectados por medio del FPGA, el cual implementa interfaces LVDS y Ethernet. Debido a limitaciones en las prestaciones de cómputo en tiempo real asociadas a los ordenadores de propósito general, las muestras generadas por el TI-ADC se envían a la computadora agrupadas por bloques de 2^{18} (que corresponden a 2^{17} símbolos del sistema de comunicaciones). Por cada componente de señal se utiliza una configuración particular de las celdas de retardo del TI-ADC para reproducir el desapareamiento de tiempo de muestreo entre los cuatro canales del sistema (I y Q para las polarizaciones H y V).

Tanto el procesamiento realizado por el DSP, como el tratamiento de los errores a la salida del receptor para calibrar el TI-ADC se implementan en la computadora. Para la corrección en señal mixta la calibración se realiza ajustando las celdas de retardo programables en el chip de acuerdo con el algoritmo de la Sección 3.2.5. Por otra parte, en el esquema de compensación en el dominio digital los coeficientes del CE del DSP del receptor son actualizados dinámicamente mediante el algoritmo descrito en el Capítulo 3.

4.2. Diseño del circuito integrado TI-ADC de alta velocidad

El componente principal de la plataforma de evaluación y el objeto de estudio de esta Tesis es el chip prototipo TI-ADC, cuya arquitectura se muestra en la Fig. 4.3. Esta incluye una red de adaptación de impedancia de entrada, un T&H jerárquico sin *buffer*, un sub sistema de generación de múltiples fases de reloj con celdas de retardo programables, un bloque de generación de voltaje de modo común y una interfaz digital de alta velocidad con 16 canales LVDS para transmitir las muestras digitalizadas a la FPGA a 32 Gbit/s [93]. En el núcleo del convertor se encuentran 32 ADCs de tipo SAR asíncronos, que cuentan con su propio generador de señales de muestreo.

Por simplicidad, en la Fig. 4.3 la entrada analógica y la entrada de reloj

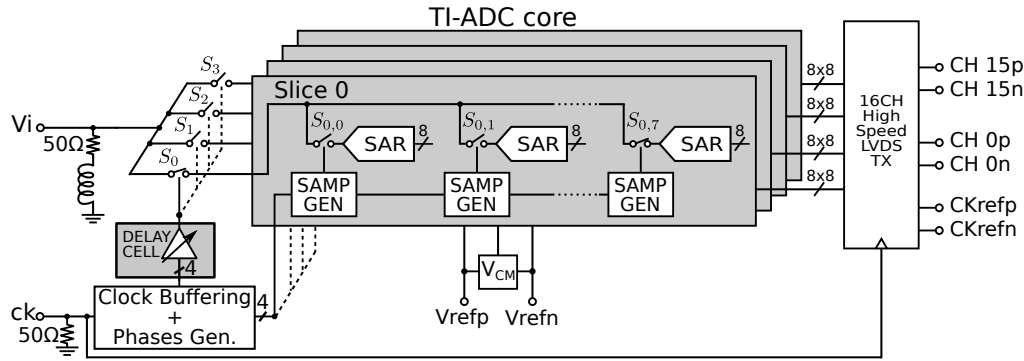


Figura 4.3: Arquitectura del chip prototipo TI-ADC. Las señales de reloj y de entrada analógica son diferenciales.

se representan como de terminación única (*single ended*). Sin embargo, en el dispositivo real han sido implementadas de forma diferencial. El voltaje de modo común V_{CM} para la red de adaptación de impedancia y los SAR ADCs se genera en el chip a partir de la media de las tensiones de referencia externas V_{refp} y V_{refn} .

La habilitación de cada sub ADC y su calibración de *offset*, así como también la velocidad del lazo de reinicio del comparador, la configuración de las celdas de retardo programables y la habilitación de los canales de la interfaz digital de alta velocidad se establecen mediante una serie de registros de configuración que incorpora el chip.

En las siguientes secciones se describen en detalle cada uno de los componentes principales del TI-ADC.

4.2.1. Red de T&H jerárquica

La topología típica de un TI-ADC (ver Fig. 1.3) dispone M sub ADCs en paralelo que operan a una frecuencia de muestreo M veces menor que la del TI-ADC global [14]. Bajo este esquema, cada sub ADC tiene asociada una llave de T&H, cuya condición de cierre se denomina modo de seguimiento (*tracking*), mientras que a su estado abierto se llama modo de retención (*hold*).

Usualmente en los TI-ADCs la complejidad inherente a la generación y sincronización de las múltiples señales de reloj requeridas para el funcionamiento de los sub ADCs limita el número máximo de estos a algunas decenas. Para aliviar esta limitación, en el prototipo presentado aquí se utilizó una implementación

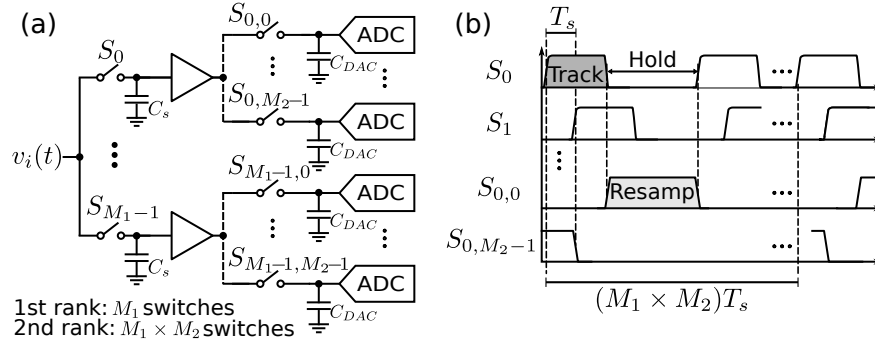


Figura 4.4: Arquitectura típica de un T&H jerárquico y diagrama temporal.

jerárquica de los T&Hs, la cual que hace posible el uso de un mayor número de sub ADCs respecto a otras propuestas del estado del arte [18, 94, 95]. Esto se logra mediante la reorganización de las llaves de T&H del conversor en dos o más niveles llamadas jerarquías. Entre los niveles jerárquicos del T&H típicamente se incorpora un *buffer*, como se ejemplifica en la Fig. 4.4(a) para una jerarquía de orden 2. Bajo este esquema, la señal de entrada del T&H se muestrea primero en el capacitor C_s cuando, por ejemplo, S_0 se encuentra activada (ver Fig. 4.4(b)). Luego, en la fase de retención de esta llave, el voltaje en C_s se remuestrea en la capacidad de entrada de cada sub ADC C_{DAC} al activar, por ejemplo $S_{0,0}$.

A pesar de que esta topología alivia los requerimientos de temporización de las llaves, y el impacto sobre el ancho de banda de la entrada del conversor, presenta los siguientes inconvenientes:

- (i) El tiempo de retención (*hold time*) de las llaves de muestreo de la primera jerarquía tiene que ser lo suficientemente largo como para permitir un establecimiento adecuado de la tensión en el capacitor C_{DAC} ,
- (ii) Asociado con (i), un tiempo de retención mayor se corresponde con un tiempo de seguimiento menor. Esto implica la generación de un señales de seguimiento con ciclos de trabajo muy bajos a medida que se aumenta la cantidad de sub ADCs. Tales señales requieren de gran complejidad para su elaboración.
- (iii) Las componentes de ruido introducidas tanto por el *buffer* como por los niveles adicionales en la jerarquía reducen el desempeño del conversor.

Para mitigar estos problemas, se adoptó una topología de T&H jerárquico

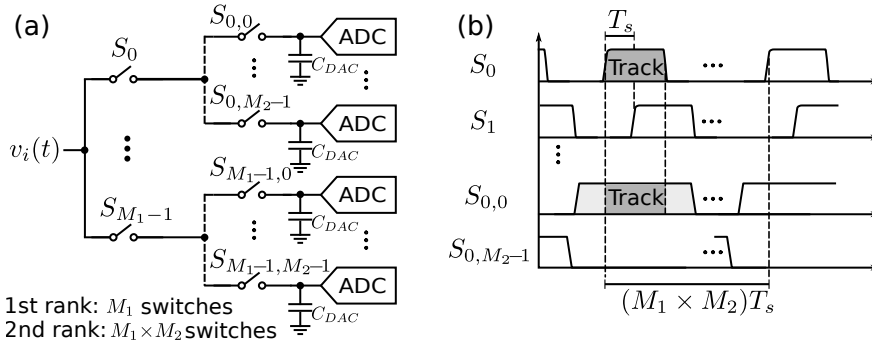


Figura 4.5: Arquitectura del T&H jerárquico propuesto y diagrama temporal.

sin *buffer* [22], como se muestra en la Fig. 4.5(a). En esta topología el esquema de sincronización de las llaves hace posible prescindir de los *buffers* entre las jerarquías. Los sub ADCs de esta topología muestrean la señal de entrada solamente cuando se establece un camino de señal por medio de las llaves de la dos jerarquías.

La Fig. 4.5(b) muestra el diagrama de tiempos implementado por este esquema para una jerarquía de orden 2. Por ejemplo, el muestreo de la señal analógica en la figura (en el ADC del extremo superior) se lleva a cabo cuando se solapan la activación de las llaves S_0 y $S_{0,0}$.

Este esquema cuenta con la ventaja de no requerir que la primera jerarquía retenga la muestra mientras la segunda esta en modo de seguimiento, ni de necesitar señales de reloj con ciclos de trabajo inferiores al 50%. Por otra parte, dado que esta arquitectura no utiliza *buffers*, su consumo de potencia y ruido kT/C resultan menores que en la topología clásica de T&H jerárquica. Gracias a ello es posible utilizar un mayor numero de sub ADCs y alcanzar frecuencias de muestreo más altas con un impacto mínimo en el ancho de banda [22]. Dicho impacto se mitiga mediante la incorporación de las inductancias en la red de adaptación de entrada.

4.2.2. Red de adaptación de impedancia de entrada y T&H con ancho de banda mejorado

La representación esquemática de un canal del T&H y su correspondiente red de adaptación de impedancia de entrada se muestran en la Fig. 4.6. El BW de entrada sufre degradación debido a los elementos parásitos del encapsulado, el

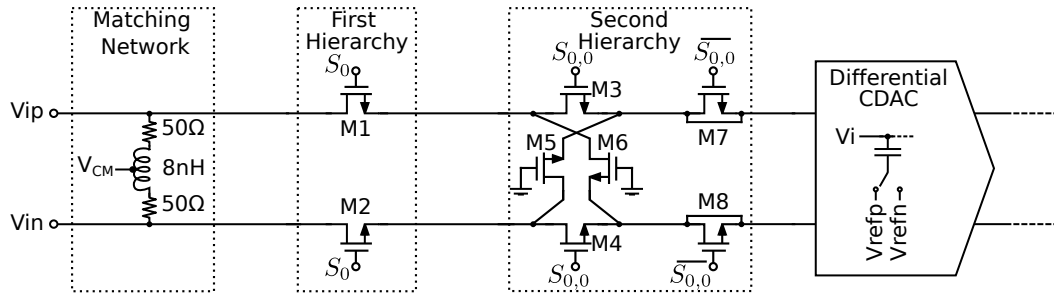


Figura 4.6: Red de adaptación de impedancia y llaves de T&H (por simplicidad solo se muestra un par de llaves de cada jerarquía).

ruteo de señales, los pads de entrada del chip y los circuitos de protección contra la descarga electrostática (*Electro Static Discharge (ESD)*) de este.

Red de adaptación de impedancia de entrada

Para compensar tales efectos, se agregan un inductor L de 8 nH y dos resistencias de terminación de $50\ \Omega$ entre los nodos de entrada del T&H. La adición de estos componentes tiene el efecto de producir un pico en la respuesta en frecuencia del AFE, agregando un cero a su función de transferencia [18, 96], el cual extiende el BW del T&H para compensar las capacidades parásitas anteriormente mencionadas.

Circuito T&H

El circuito T&H se compone de dos jerarquías de llaves. La primera contiene 4 conjuntos de llaves NMOS, denominadas M1 y M2, que están controladas por cuatro señales de reloj con un ciclo de trabajo de 50 % y desfasadas 25 % entre sí. La segunda jerarquía contiene 8 conjuntos de llaves NMOS (M3 y M4) por cada llave de la primera jerarquía. Estas son las llaves de muestreo del ADCs SAR.

Un par de transistores desactivados *dummy* (M5 y M6) se disponen en forma cruzada entre la entrada y salida de las llaves de muestreo principales para mitigar la transmisión espuria de señal cuando la llave principal se encuentra en modo de retención [97]. La inyección de carga y el acoplamiento del reloj sobre la señal muestreada se contrarrestan mediante los dispositivos *dummy* M7 y M8, los cuales tienen la mitad del tamaño de la llave de muestreo principal y se activan con complementariamente con respecto a la señal de muestreo [98].

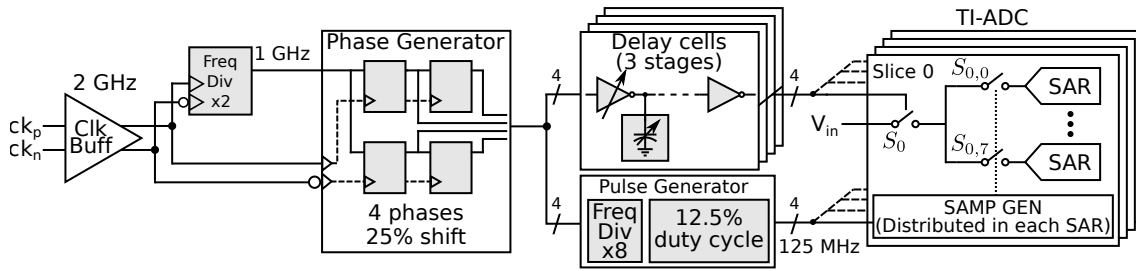


Figura 4.7: Esquema de generación y control de las fases de muestreo para las llaves de muestreo del T&H.

4.2.3. Generación y control de las fases de muestreo del sub circuito T&H

El esquema de generación de las señales de muestreo del T&H se presenta en la Fig. 4.7. Se utiliza una señal de reloj diferencial externa de 2 GHz, con ciclo de trabajo del 50% (Ckp , Ckn), para generar los relojes de la todas las jerarquías. Las señales de control y sincronización para el transmisor de alta velocidad, en la plataforma de prueba, también se generan a partir de esta misma señal de entrada.

La referencia de reloj externa ingresa al chip por medio un circuito de acondicionamiento denominado *Clk Buff* (Fig. 4.7). A continuación, la frecuencia de esta señal se divide por 2 y se procesa en el bloque Phase Generator para obtener 4 señales de 1 GHz con ciclo de trabajo de 50%, con una diferencia de fase del 25% entre fases consecutivas. Estas 4 señales están sincronizadas con la referencia de reloj y son las que controlan las llaves de muestreo de la primera jerarquía S_0 a S_3 . A partir de cada una de las señales S_0 a S_3 , en el bloque Pulse Generator, se generan cuatro pulsos de reloj para la segunda jerarquía ($S_{0,0}$ a $S_{3,0}$), dividiendo su frecuencia por 8. Estas tienen una frecuencia de 125 MHz y un ciclo de trabajo de 12.5% [99].

En este contexto es preciso destacar que el alineamiento entre las fases de reloj de la primera jerarquía S_0 y S_3 es susceptible ante asimetrías en los ruteos y los circuitos de T&H. Estos a su vez, provocan errores en la conversión de la señal que se agudizan a medida que aumenta la frecuencia de la señal de entrada, degradando el funcionamiento del convertidor [100].

Para corregir este desalineamiento se implementó un circuito de calibración

(controlado por el algoritmo presentado en esta Tesis), el cual se compone de 3 etapas de celdas de retardo programables basadas en capacitores. La carga capacitiva de cada etapa se puede configurar de forma independiente con una precisión de 7 bits y el tamaño del paso de calibración, a su vez, se puede ajustar con inversores CMOS programables (también con 7 bits de precisión).

Por otra parte, la temporización de los pulsos de la segunda jerarquía no requiere calibración, ya que las llaves en esta muestrean una señal continua [87].

4.2.4. SAR ADC asíncrono de 8 bits

La arquitectura interna del ADC SAR asíncrono propuesto se muestra en la Fig. 4.8a. Por simplicidad, las llaves de muestreo se presentan sin sus transistores de compensación. En el ADC la señal de entrada se muestrea y se aproxima iterativamente mediante un DAC capacitivo diferencial (C_{DAC}) basado en redistribución de carga, con muestreo realizado en la placa superior (conectada al nodo que la entrada del comparador). Luego, cada bit de la muestra se decide usando un comparador dinámico que incluye control de corriente y que permite la calibración en *background* del *offset* de DC.

El pulso de muestreo y las señales de reset para el CDAC se generan a partir del bloque SAMP GEN. Dicho bloque toma como entradas el reloj de la primera jerarquía y, en el caso del primer sub ADC, uno de los pulsos (por ejemplo $S_{0,0}$) descritos en la Sección 4.2.3. Este pulso se re-sincroniza y se re-transmite al siguiente sub ADC donde se realiza el mismo proceso.

El bloque ASYNC CTRL LOGIC (Fig. 4.8a), que implementa lógica de control asíncrona se encarga de habilitar las operaciones antes mencionadas y registrar las decisiones del comparador. Por otra parte, un lazo de *reset* programable en el comparador ajusta la velocidad de la conversión.

A continuación se describe el ciclo de funcionamiento de los conversores ADC SAR.

Funcionamiento del ADC SAR

El diagrama de tiempos del bloque ADC SAR se muestra en la Fig. 4.8b, cuyo período de conversión se diseñó para ejecutarse en 8 ns, mientras que el

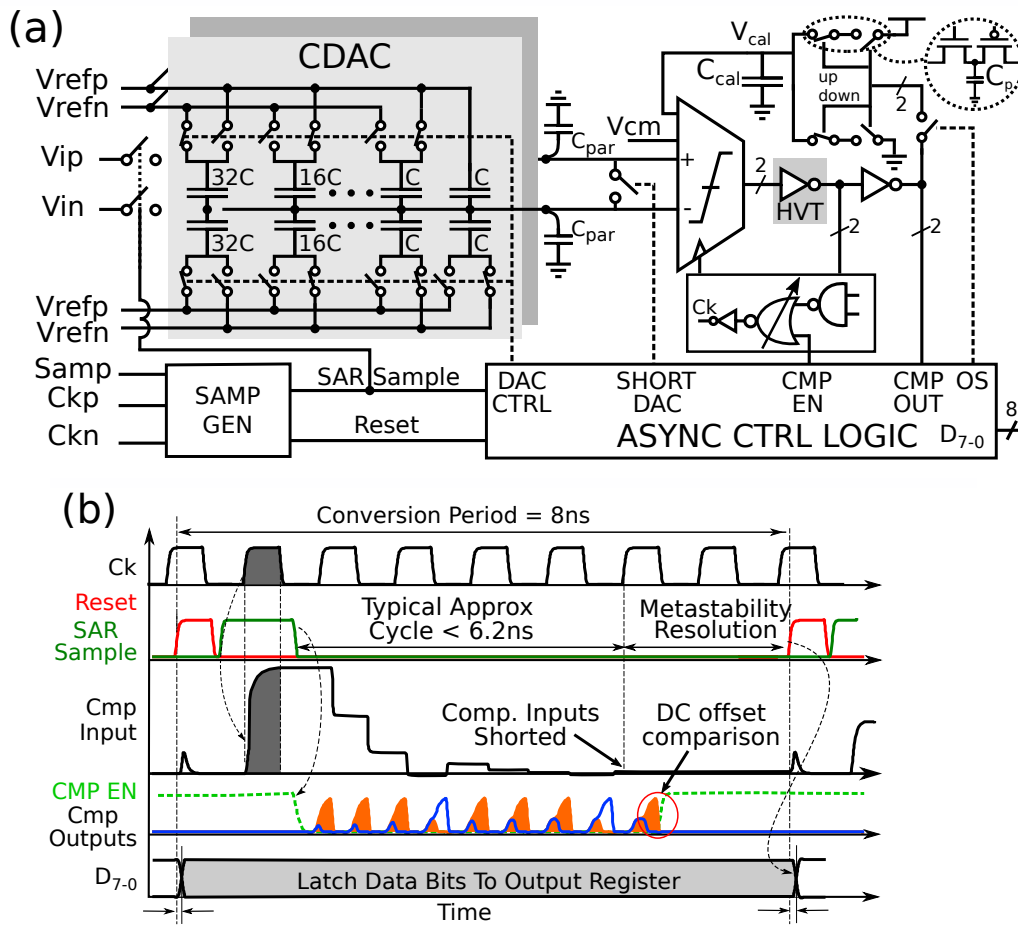


Figura 4.8: (a) Diagrama en bloques y (b) diagrama de tiempos del SAR ADC asíncrono.

ciclo de aproximaciones se completa en 6.2 ns. Esta configuración permite que el seguimiento de la señal de entrada, el *reset* de CDAC y la resolución de metaestabilidades puedan realizarse en los 1.8 ns restantes [101].

El ciclo de conversión del sub ADC empieza al reiniciar CDAC y la lógica de control. Estos eventos se producen a partir de la llegada del pulso de muestreo para el primer sub ADC o bien, el pulso retransmitido desde un sub ADC anterior para el caso de los restantes.

Una vez concluida la fase de muestreo, la lógica de control habilita el lazo del reloj del comparador y comienza el ciclo de aproximaciones del DAC. La lógica registra los bits decididos en cada paso y conmuta las llaves del CDAC en consecuencia.

Después de la conversión del bit menos significativo (*Least-Significant Bit* (LSB)) la lógica de control pone en cortocircuito las entradas del comparador y

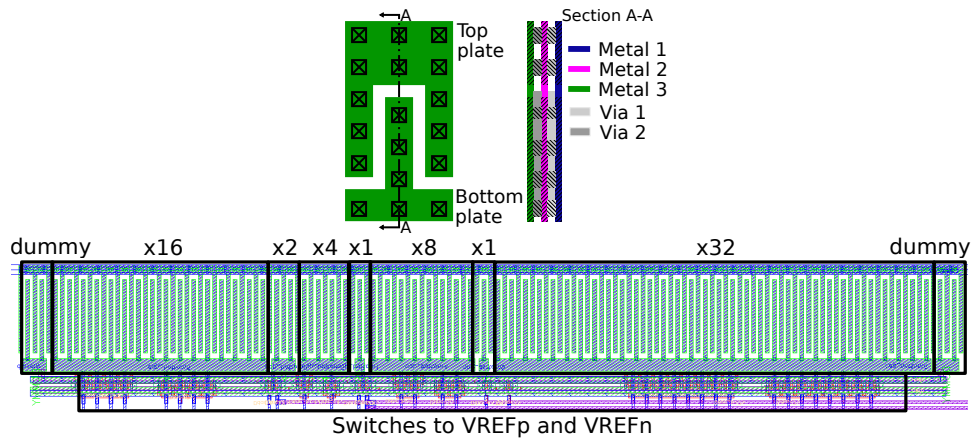


Figura 4.9: Disposición física del capacitor unitario C y $1/4$ del banco de capacitores.

efectúa el reset de CDAC. A partir de este estado se realiza una comparación adicional para calibrar el *offset* de DC del comparador.

Conversor digital-analógico capacitivo

El DAC consta de un arreglo de capacitores construido enfrentando tiras de metales del mismo nivel, donde cada agrupamiento capacitivo del arreglo tiene peso binario. Se emplea un esquema de conmutación que preserve el voltaje de modo común donde la señal de analógica a cuantizar es alimentada directamente a la entrada del comparador. De esta forma, la señal de entrada no sufre atenuación por el divisor capacitivo entre el CDAC y la capacidad parásita C_{par} (ver Fig. 4.8a). Cada grupo de capacitores se conmuta de forma diferencial, con la excepción del que corresponde al LSB, que se conmuta en un solo extremo.

La disposición física (*layout*) de uno de los capacitores unitarios C y un cuarto del banco de capacitores del C_{DAC} se muestran en la Fig. 4.9. Los capacitores del arreglo se distribuyen con el ordenamiento $16C, 2C, 4C, 1C, 8C, 1C, 32C$; de forma tal de contrarrestar los efectos de los gradientes de fabricación que podrían introducir asimetrías en los pesos de los bits. Adicionalmente, se incluyen a capacitores *dummy* en los extremos para reducir efectos de contorno durante la fabricación.

Como se mencionó anteriormente, en la arquitectura de T&H sin *buffer* es posible utilizar valores de C_{DAC} más pequeños porque se elimina la contribución del ruido del *buffer* [22]. No obstante, la presencia de desapareamientos entre los

capacitores de C_{DAC} determina el mínimo valor de C que puede utilizarse sin incurrir en no linealidades en la conversión [102].

A partir de simulaciones Montecarlo se determinó que el máximo desapareamiento admisible es del 3%. Asimismo, a partir de los parámetros del proceso, suministrados por el fabricante, se establece que el correspondiente valor mínimo de C es 3.3 fF. Como la topología del DAC es de tipo *split capacitor* son necesarios 64 capacitores, en lugar de los 128 requeridos por implementaciones convencionales [103]. Por lo tanto, la capacidad diferencial total de cada rama del DAC, es $64 \times 3.3 \text{ fF} = 211.2 \text{ fF}$.

Lógica de control del ADC

El proceso de conversión está controlado por lógica asíncrona (ver Fig. 4.8) que implementa una máquina de estado que tiene la responsabilidad de: reiniciar el DAC, habilitar el reloj del comparador, registrar los resultados de cada ciclo, conmutar el DAC para hacer las aproximaciones sucesivas y habilitar la calibración de offset. Esta lógica está compuesta por un conjunto de 9 celdas conectadas en cascada, una para cada bit convertido más una adicional para la compensación de *offset*.

El modo asíncrono de operación de esta lógica hace posible que las comparaciones sucesivas se realicen lo más rápido posible (efectuándose un reinicio del comparador en cada iteración). Por otra parte, si una condición metaestable se presenta en las salidas del comparador, la lógica puede esperar hasta que el comparador realiza una decisión y posiciona un estado válido a su salida.

Comparador con ruido programable

Un comparador StrongARM con entrada tipo PMOS se utiliza como comparador en los ADC SAR, el cual se escogió porque tiene la ventaja de no disipar potencia estática. En la Fig. 4.10 se muestra el circuito esquemático del comparador. Debido a su relativa simplicidad, el *offset* y el ruido están principalmente determinados por las características del par diferencial [104].

La magnitud del ruido referido a la entrada del comparador, $\overline{V_{n,in}^2}$ viene dada por [104]

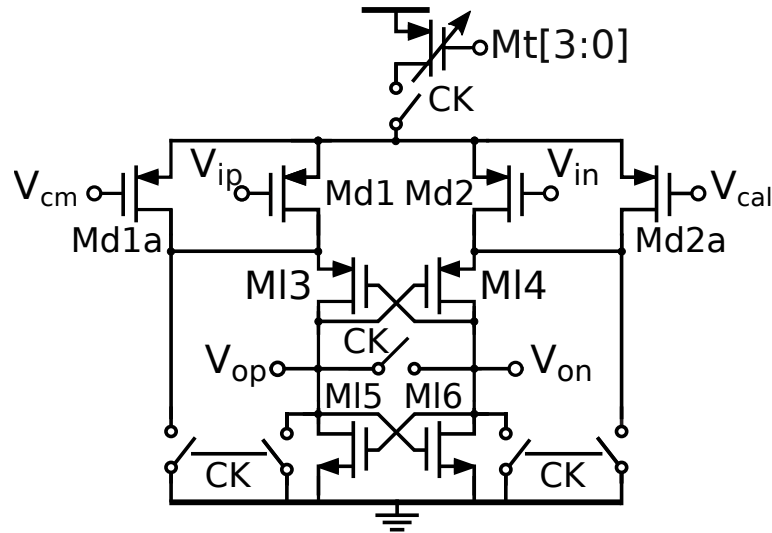


Figura 4.10: Circuito esquemático del comparador de ruido programable.

$$\overline{V_{n,in}^2} \propto \frac{1}{(g_m/I_{CM}) C_L}, \quad (4.1)$$

donde g_m es la transconductancia del par diferencial principal (Md1 y Md2), C_L es la carga capacitiva parásita del par diferencial principal e I_{CM} es la corriente de modo común establecida por la fuente de corriente programable Mt . Debido a la relación entre $\overline{V_{n,in}^2}$ e I_{CM} , el nivel de ruido en el comparador se puede adaptar reconfigurando la fuente Mt . Simulaciones *post-layout* señalan que es posible configurar el nivel de ruido en el comparador en un rango de 300 μVrms a 400 μVrms .

Calibración de *offset* del comparador

Para realizar la calibración de *offset* en el comparador se incluye un par diferencial auxiliar, formado por los transistores Md1a y Md2a de la Fig. 4.10, y el circuito de calibración de *offset* de la Fig. 4.11.

La calibración se ejecuta luego de finalizar un ciclo de conversión. Una de las entradas auxiliares del comparador, Md1a, está conectada al voltaje de modo común mientras que Md2a se usa para aplicar el voltaje de calibración V_{CAL} . Mediante el algoritmo descrito en [105] se realiza el ajuste agregando o eliminando una pequeña carga a un capacitor de integración C_{cal} , desde una capacitancia parásita C_p , para generar la tensión V_{CAL} . Dicho voltaje se puede ajustar con

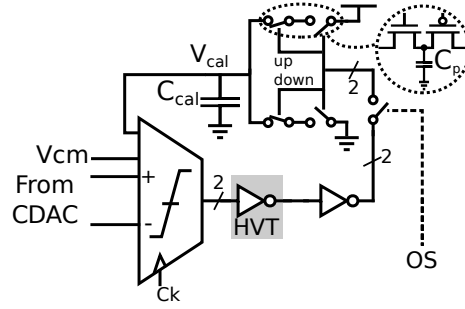


Figura 4.11: Detalle de la calibración de *offset*

pasos de $350\ \mu\text{V}$ (que representan 0.19 LSB para una $V_{FS} = 480\ \text{mV}$).

Lazo de *reset* del comparador

En la Fig. 4.12a se muestra un diagrama esquemático del lazo de *reset* asíncrono del comparador. En estado de *reset*, ambas salidas del comparador se establecen en un “0” lógico. Para evitar la propagación de un estado metaestable las salidas del comparador están conectadas a compuertas inversoras de umbral alto (*High Voltage Threshold* (HVT)) [106].

Una compuerta NAND simétrica [99], cuyo esquema se presenta en la Fig. 4.12b, se utiliza para detectar cuando el comparador ha finalizado una decisión. Después de realizar una decisión, una de las salidas del comparador se establece en el estado “0” y la otra (complementariamente) el estado “1”. Esta condición provoca que la salida de la compuerta NAND cambie de “1” a “0”, lo cual provoca el *reset* el comparador.

El lazo de *reset* del comparador incluye programabilidad que permite ajustar el tiempo de subida de la compuerta NOR, como se muestra en la Fig. 4.12c. Esto se aprovecha para adaptar la velocidad de propagación de la señal de *reset* según los requisitos de precisión o temporización del ADC. Si se requiere un tiempo de establecimiento del CDAC prolongado, el lazo de *reset* se puede ralentizar para garantizar el correcto establecimiento del DAC y la resolución de estados metaestables en el comparador. Por el contrario, si no hay limitaciones de tiempo, la velocidad de reinicio del comparador se puede aumentar para evitar perder resolución en la conversión. Una característica importante del lazo de *reset* propuesto es que se puede configurar para que asigne dinámicamente un tiempo de establecimiento mayor a las primeras decisiones y acelere las correspondientes a

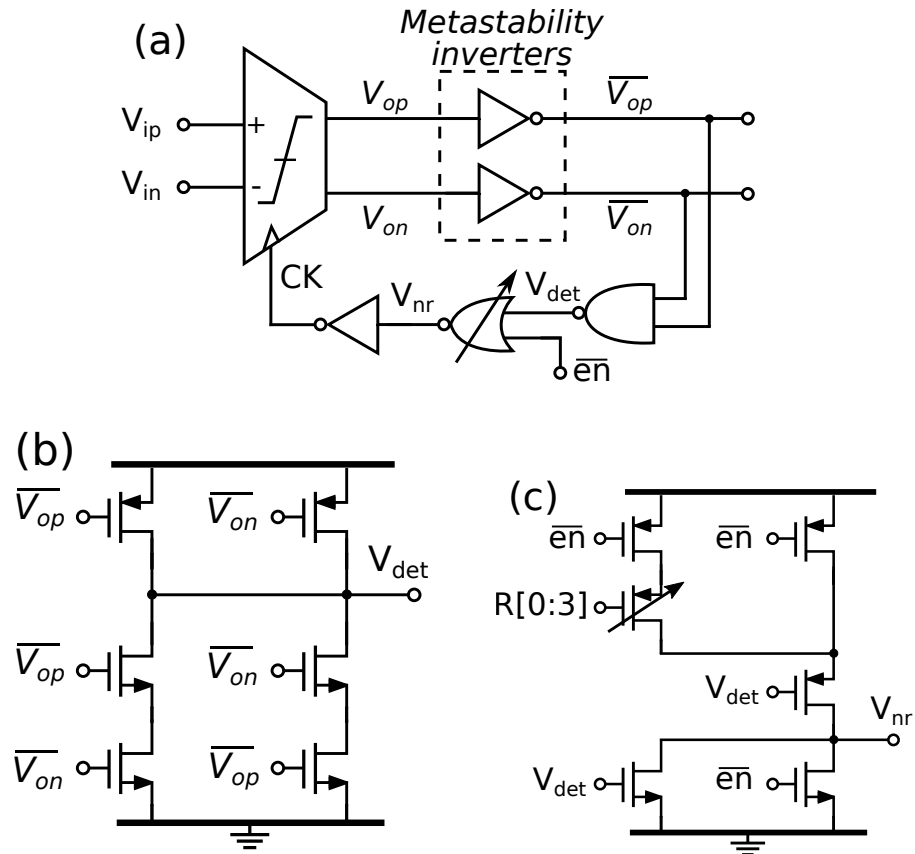


Figura 4.12: Diagrama esquemático de (a) lazo de reset del comparador, (b) compuerta NAND simétrica y (c) compuerta NOR programable.

los LSBs.

4.3. Caracterización del chip prototipo

El chip TI-ADC se fabricó en un proceso CMOS de 130 nm de Global Foundries. La Fig. 4.13 muestra una fotografía del mismo y se resaltan los bloques principales del prototipo. El área total del chip es 4 mm^2 , mientras que el área activa que se destinó para el núcleo TI-ADC es 1 mm^2 .

La Fig. 4.14 destaca el área ocupada por uno de los ADC SAR y muestra el *layout* de estos. El tamaño de la celda SAR es $245 \mu\text{m} \times 100 \mu\text{m}$. En la figura es posible apreciar que los bloques que mayor área ocupan son el CDAC y la lógica de control del ADC.

Dada la complejidad del dispositivo fue necesario un cuidadoso diseño de la distribución de las señales de alimentación y referencia que minimice las caídas de tensión producidas por elementos parásitos en el chip. Asimismo, se añadieron

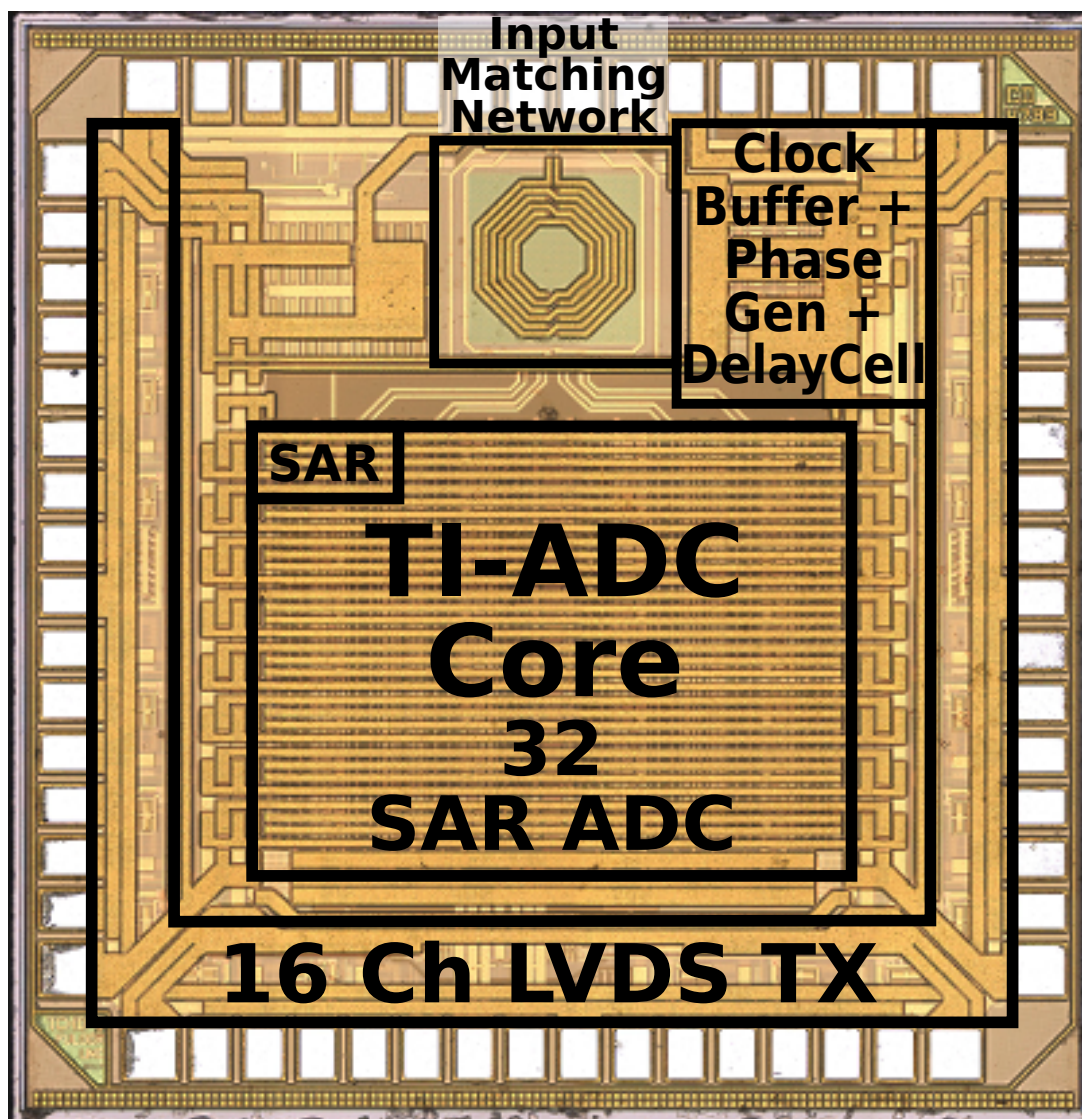


Figura 4.13: Fotografía del chip prototipo, fabricado en un proceso CMOS de 130 nm.

capacitores para estabilizar las líneas de tensión mencionadas anteriormente.

4.3.1. Configuración experimental

A continuación se describen las condiciones de medición que se utilizaron para evaluar el chip. La frecuencia de muestreo del TI-ADC se establece en 4 GS/s, con un voltaje de alimentación de 1.2 V. La tensión de VFS que se utilizó fue de 480 mV y el voltaje de modo común es $V_{cm} = 300$ mV. La amplitud de la señal de entrada se estableció entre 75 % y 85 % de V_{FS} para todas las mediciones, excepto para los ensayos de medición de linealidad. En todos los casos la calibración de offset se dejó habilitada para todos los ADC SAR.

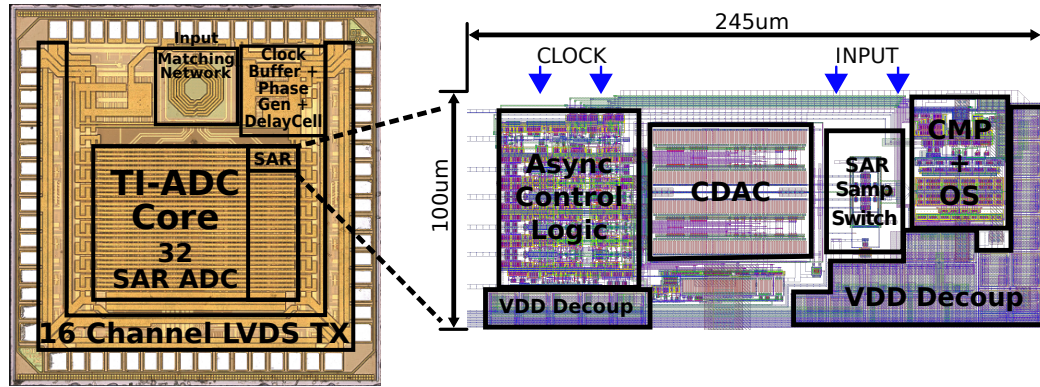


Figura 4.14: Fotografía del chip prototipo y vista detallada del layout de un SAR ADC. El área total de este es 4 mm^2 .

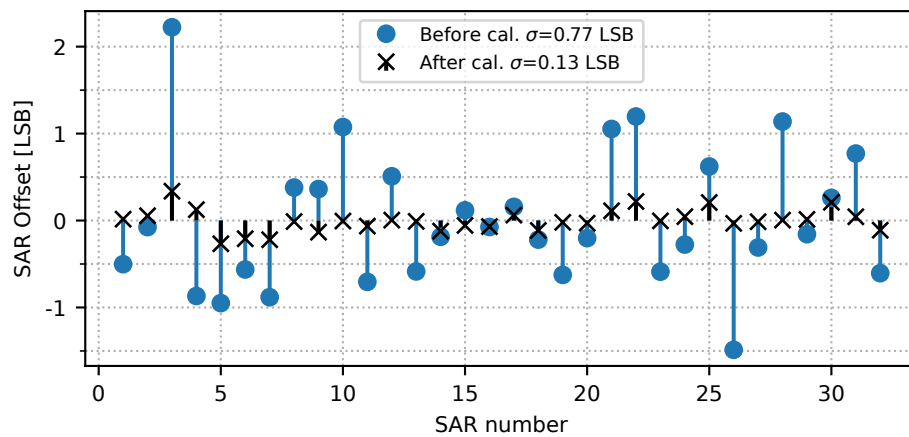


Figura 4.15: Medición del desapareamiento de *offset* de DC pre/post calibración.

Para realizar estos estudios, se procesan 2^{16} muestras, con la excepción de las mediciones de linealidad, donde se recolectan 10×2^{16} muestras debido a que estas requieren una mayor cantidad de ocurrencias de cada código en el convertor [107].

Medición del desapareamiento de *offset*

En la Fig. 4.15 se muestra la medición de *offset* (evaluado en términos de LSBs del convertor) para todos los sub ADCs antes y después de ser sometidos al proceso de calibración de *offset*. En ella es posible apreciar que la máxima desviación absoluta de los valores de *offset* sin calibración es de alrededor de 2.2 LSB, mientras que con la calibración habilitada la desviación máxima se reduce a menos de 0.3 LSB. Asimismo, la desviación estándar del *offset* para todo el conjunto cambia de 0.77 LSB a 0.13 LSB cuando la calibración está habilitada.

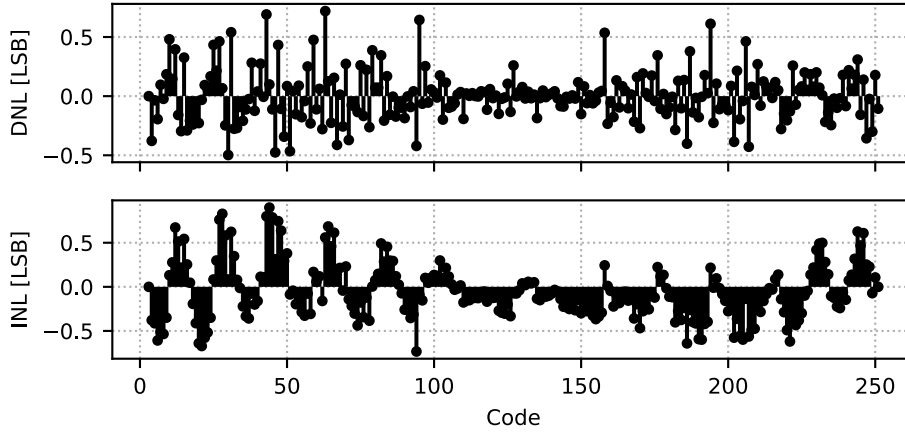


Figura 4.16: DNL e INL del TI-ADC para una entrada senoidal a $f_{in} = 1.8$ MHz.

Mediciones de no linealidad integral y diferencial

Los resultados de las mediciones de no linealidad diferencial (*Differential Non-linearity* (DNL)) y no linealidad integral (*Integral Non-Linearity* (INL)) para el TI-ADC se muestran en la Fig. 4.16. Como señal de estímulo para el convertor se utilizó una señal de entrada de baja frecuencia ($f_{in} \approx 1.8$ MHz), y una amplitud ligeramente por encima de V_{FS} . La DNL e INL se calculan conforme al procedimiento descrito en [107].

De acuerdo con los resultados obtenidos, la DNL varía entre -0.50 LSB y 0.72 LSB, y la INL oscila entre -0.73 LSB y 0.89 LSB. La principal causa de la pérdida de linealidad en estas mediciones son las diferencias entre los capacitores del C_{DAC} [108], tal como se explica en la Sección 4.2.4.

Caracterización de las capacidades de calibración

La Fig. 4.17 muestra la medición del retardo de una de las fases de muestreo en función de la configuración asignada a los capacitores programables de las celdas de retardo.

La medición se realizó inyectando como estímulo una señal sinusoidal. Las muestras del TI-ADC se dividen en 4 grupos asociados a cada rama de la primera jerarquía, S_0 a S_3 . A continuación, se toma como referencia la señal proveniente de uno de los 4 grupos y se estiman las diferencias de fase entre las señales digitalizadas de estos para diferentes códigos de configuración. El rango del retardo

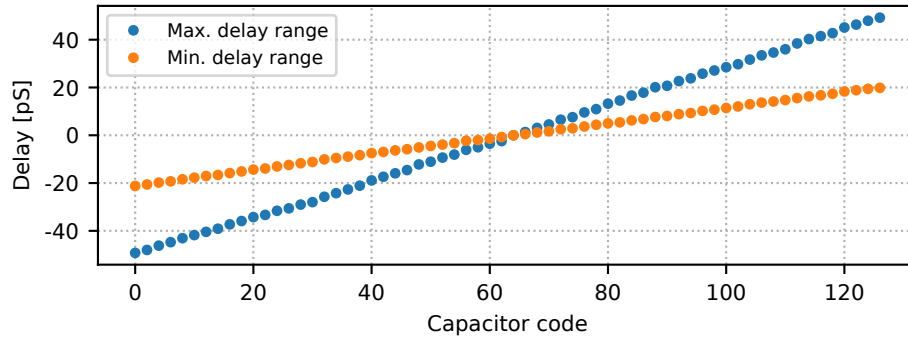


Figura 4.17: Rangos de ajuste del retardo de fase mínimo y máximo de la primera jerarquía del T&H.

programable, así como también el tamaño de los pasos de configuración, se pueden cambiar alterando la configuración de los inversores de la celda. Las mediciones realizadas indican que el retardo total puede configurarse entre 40 ps a 100 ps. Los pasos mínimo y máximo resultantes son 104 fs y 260 fs, respectivamente.

Medición de SNDR y ENOB

La Fig. 4.18 muestra la media de las mediciones de SNDR y *Effective Number of Bits* (ENOB) para los ADC SAR, así como también una medición de estos parámetros para el TI-ADC. En esta prueba, la magnitud de entrada se establece en un $\sim 75\%$ de V_{FS} . Antes de la calibración se observa una limitación del desempeño especialmente a altas frecuencias, mientras que luego de ajustar las fases de muestreo, se evidencia una mejora significativa del desempeño. Como resultado, se mide un ENOB pico de 7.09 bits (SNDR = 44.4 dB) en el TI-ADC, el cual está cerca del desempeño máximo de los SAR (7.26 ENOB).

A altas frecuencias el desempeño del TI-ADC calibrado está limitado por el *jitter* de los circuitos de reloj. Esto se puede deducir del comportamiento de la curva de ENOB, que se aproxima a la asíntota de 1.5 ps de jitter, como se muestra en la Fig. 4.18.

Medición de consumo de energía y eficiencia

La Fig. 4.19 detalla el consumo de potencia para cada bloque del ADC SAR, el cual se obtuvo a partir de una simulación *post-layout*. En la figura se aprecia que el comparador es el elemento que más potencia disipa en el ADC SAR, con

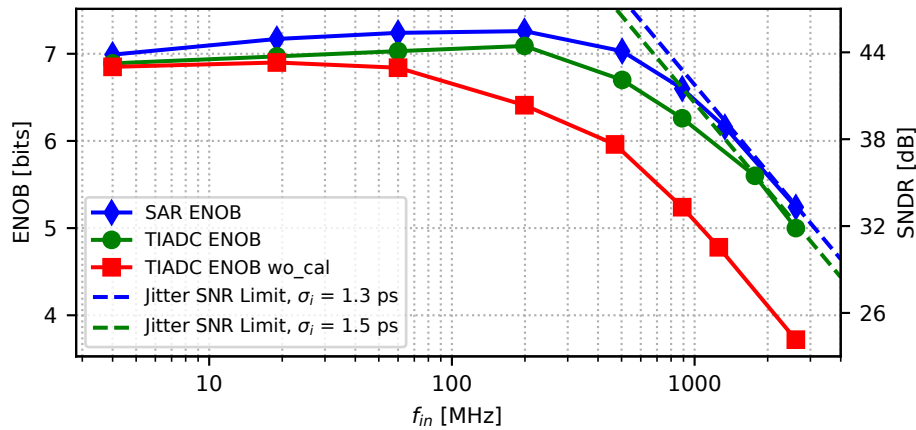


Figura 4.18: ENOB y SNDR en función de la frecuencia de entrada.

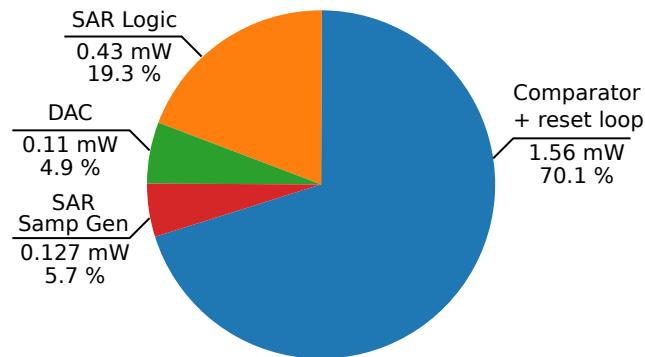


Figura 4.19: Detalle del consumo de los bloques del SAR ADC.

un consumo del 70 % de la potencia total (2.26 mW).

Por otra parte, se midió un consumo medio de 93 mW en el TI-ADC operando a 4 GS/s.

La figura de mérito (*Figure of Merit* (FoM)) de Walden [109] pondera el consumo, la velocidad y ENOB alcanzados por el conversor. Esta es una medida típica de la eficiencia de la conversión usada para comparar conversores de diferentes características. Un menor valor de FoM implica que la conversión se realiza de manera más eficiente.

A partir de los datos anteriores se determina que la FoM pico alcanzada por el TI-ADC es 171 fJ/conv – step. Por otra parte los sub ADC logran una FoM de 123 fJ/conv – step a la frecuencia de Nyquist.

En la Fig. 4.20 se muestran el ENOB y la FoM del TI-ADC en función de la frecuencia de muestreo, f_S para 3 niveles de tensión de alimentación diferentes (1,1V; 1,2V y 1,3V). Las mediciones de ENOB se realizan luego de ajustar

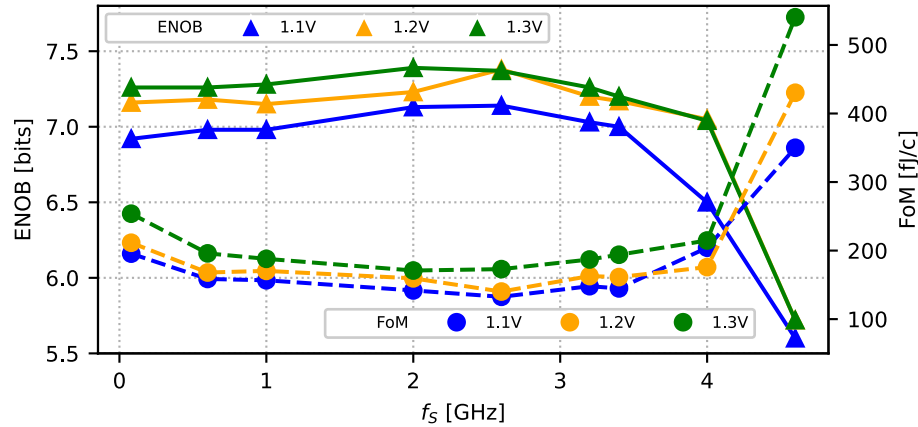


Figura 4.20: ENOB y FoM en función de la frecuencia f_S para una $f_{in} = 200$ MHz.

las fases de muestreo. El desempeño y la eficiencia energética exhiben un comportamiento casi constante para frecuencias menores a la frecuencia de muestreo nominal (4 GS/s). Por el contrario, a tasas de muestreo más altas algunas comparaciones de los LSBs no se completan, lo cual degrada el desempeño del conversor.

Ancho de banda

La Fig. 4.21 muestra la respuesta en frecuencia medida a partir de las muestras digitales de salida del TI-ADC, usando un tono senoidal de entrada. Se toma como referencia (es decir 0 dB) la amplitud medida a una frecuencia de 100 MHz. A partir de estas mediciones, el BW es ~ 1.3 GHz. La medición anterior incluye la degradación del BW introducida por las pistas de la placa (y el *setup* experimental), por lo que se puede considerar que el ancho de banda del chip sería mayor a 1.3 GHz.

La caracterización del BW de una implementación de TI-ADC con una arquitectura de T&H similar [22] usando el mismo método de medición también se incluye en la Fig. 4.21. La red de adaptación de impedancia de entrada en el diseño de [22] no incluye el inductor que se introdujo en el prototipo de esta Tesis. Debido a ello, el conversor de [22] alcanza un BW un 30% menor (por debajo de 1 GHz).

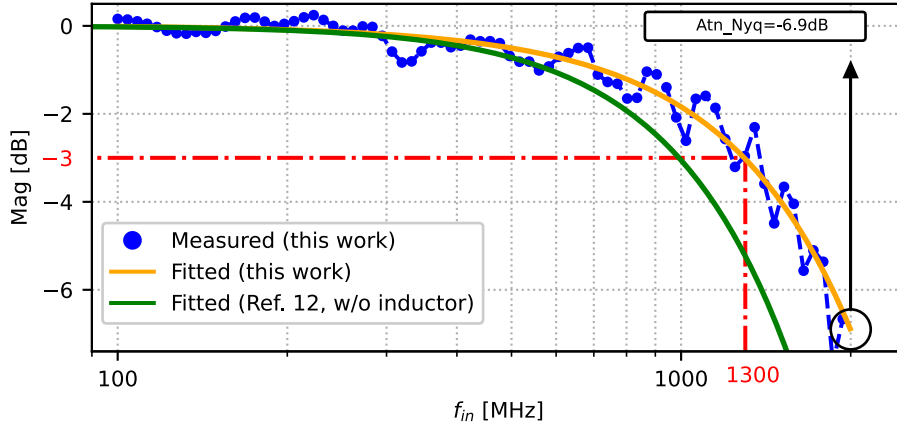


Figura 4.21: Medición del ancho de banda y comparación con otro diseño en la misma tecnología que no incluye el inductor en la red de adaptación de impedancias.

Caracterización de la configurabilidad del ruido en el TI-ADC

La SNDR del TI-ADC depende del ruido de cuantización, del comparador, del ruido térmico kT/C_{DAC} , la linealidad y el *jitter* en los circuitos de muestreo [22]. Dado que experimentalmente se desconoce la contribución exacta de todos los componentes, se deben modificar las condiciones de operación del circuito para poder aislar la contribución del comparador y así poder medir el cambio en el ruido total introducido por el mismo.

Las contribuciones del ruido de cuantización y la no linealidad en la SNDR dependen de V_{FS} . No obstante, sus efectos se pueden minimizar reduciendo esta última. El valor experimental de V_{FS} que se usó es de $= 50$ mV (10 veces menos que la tensión de entrada usada en condiciones de operación nominales), con lo cual la contribución al ruido total resulta despreciable.

Para evitar la influencia del *jitter* en la medición se utilizan frecuencias bajas, tanto para el muestreo (1 GS/s) como para la frecuencia de entrada. En estas condiciones, la SNR del ADC queda determinada por los ruidos del comparador y kT_K/C_{DAC} ,

$$SNR = \frac{P_s}{\sqrt{\sigma_{cmp}^2 + \frac{kT}{C_{DAC}}}}, \quad (4.2)$$

donde P_s es la potencia de la señal, σ_{cmp}^2 es la varianza del ruido del comparador, k es la constante de Boltzmann, T_K es la temperatura absoluta en K, y C_{DAC} es

Tabla 4.1: Resumen y comparación del desempeño de diferentes SAR ADC.

	Esta Tesis	[22]	[101]	[113]	[110]	[111]	[112]
Proceso [nm]	130	130	130	130	65 LP	40	40 LP
Resolución [bit]	8	8	6	10	9	8	10
Tasa de muestreo f_S [MS/s]	125	100	125	84.4 [†]	100	165 [†]	80
V_{DD} [V]	1.2	1.2	1.2	1.6/1.2	1.2	1.2	1.1
ENOB _{Nyq} [bit]	7.2	7	5.2	8	7.5	6.75	8.2
Consumo [mW]	2.26	3.28	3.3	6.25 [†]	4	2.1 [†]	2.86
FoM _{Nyq} [fJ/conv – step]	123	256	718	290 [†]	220	118 [†]	121

[†]Calculado a partir de las mediciones sobre el TI-ADC.

la capacitancia del DAC del ADC SAR.

Dados C_{DAC} y T_K , el ruido del comparador se puede calcular a partir de la corriente I_{CM} en este, como se expresa en (4.2). Las mediciones indican que el ruido del comparador varía de 410 μ Vrms a 550 μ Vrms, lo cual se traduce en una diferencia de 2.1 dB en la SNR entre ambos extremos.

4.3.2. Resumen de resultados experimentales y comparación contra otras propuestas relevantes en el estado del arte

La Tabla 4.1 presenta el resumen del desempeño de los sub ADC, junto con una comparación respecto a otros diseños relevantes en el estado del arte que han sido elaborados en procesos de fabricación y tasas de muestreo similares. En la tabla es posible apreciar que los ADC SAR de esta Tesis logran una de las mejores eficiencias para tasas de muestreo de alrededor de 100 MS/s para el proceso utilizado. Asimismo, la eficiencia es comparable a la de los diseños que utilizan nodos de fabricación más modernos, como los reportados en [110–112].

En la Tabla 4.2 se muestra un resumen del desempeño del TI-ADC presentado en esta Tesis y se lo compara con otros conversores relevantes del estado del arte. Los conversores de [22, 101, 113, 114] se implementan en el mismo proceso de fabricación que el diseño introducido aquí. No obstante, estos logran una FoM más baja y operan a una frecuencia de muestreo menor. Análogamente, las tasas de muestreo en [111, 115] son significativamente menores que la usada en nuestro diseño.

Los conversores presentados en [111, 115, 116] logran una mayor eficiencia que

Tabla 4.2: Resumen y comparación del desempeño de diferentes TI-ADC.

	Este Trabajo	[22]	[101]	[113]	[114]	[111]	[115]	[116]
Arquitectura	TI-SAR	TI-SAR	TI-SAR	TI-SAR	TI-SAR	TI-SAR	TI-SAR	TI-SAR
Proceso [nm]	130	130	130	130	130	40	40 LP	55 LP
Resolución [bit]	8	8	6	10	6	8	8	7
f_S [GS/s]	4	3.2	2	1.35	1.25	2.64	2	5
Canales	32	32	16	16	2	16	16	8
V_{DD} [V]	1.2	1.2	1.2	1.6/1.2	1.2	1.2	1.1	1.5
$ENOB_{DC}$ [bit]	6.89	6.36	5.34	7.7	5.5	6.8	7.18	6.8
$ENOB_{Nyq}$ [bit]	5.47	5.68	4.92	7.5	4.2	6.0	6.25	5.67
Power [mW]	93	105	192	174	32	39	54	38
FoM_{peak} [fJ/conv – step]	171	236	2370	620	565	132	187	68
FoM_{Nyq} [fJ/conv – step]	526	640	3163	712	1392	230	355	150
Área [mm ²]	1	1.1	3.24	1.6	0.09	0.18	0.54	0.69

el de esta Tesis, aunque usando procesos de fabricación más nuevos. Finalmente, los circuitos de [116] alcanzan una mayor velocidad que el TI-ADC de esta Tesis, pero tienen una resolución menor. Asimismo, requieren una tensión de alimentación mayor.

Por último es preciso destacar que, a nuestro fiel saber, el diseño presentado en este trabajo es la implementación de un TI-ADC basado en ADC SAR que logra la mayor frecuencia de muestreo y la mejor eficiencia energética, para una resolución 8 b, en un proceso CMOS de 130 nm. En este sentido, se podrían obtener mejoras en la velocidad y la eficiencia del conversor aquí presentado si se traslada su arquitectura a nodos de fabricación más avanzados.

4.4. Conclusiones

En este capítulo se presentó la plataforma de pruebas del chip TI-ADC prototipo, la cual permite evaluarlo en el contexto de un sistema de comunicaciones óptico coherente.

También se introdujo el diseño y las especificaciones del chip prototipo TI-ADC, así como una caracterización experimental del mismo. Los resultados experimentales señalan un excelente desempeño del conversor, los cuales lo hacen apto para su aplicación en sistemas de comunicaciones ópticos coherentes.

Por otra parte, las implementaciones del ADC SAR y del TI-ADC que se presentan aquí logran una de las mejores FoM para el proceso fabricación, velocidad y resoluciones especificados.

Capítulo 5

Verificación experimental de la propuesta de corrección de desajustes en TI-ADCs para sistemas de comunicaciones

Síntesis: En este capítulo se reportan los resultados experimentales de la técnica de corrección de los desajustes en el TI-ADCs, e I/Q time skew, propuesta en esta Tesis en sus dos alternativas de implementación: digital y de señal mixta. Se evalúa el desempeño del TI-ADC y del receptor en presencia de desapareamientos antes y después del proceso de compensación/calibración. Los resultados muestran que es posible una corrección efectiva de estos desapareamientos con un tiempo de convergencia corto. Finalmente, se comparan estos resultados con otros trabajos relevantes del estado del arte.

5.1. Introducción

Para verificar la efectividad de las propuestas de calibración/compensación, así como también caracterizar su desempeño, se adoptó un enfoque experimental donde se ensayaron múltiples esquemas de modulación en el sistema de comunicaciones que se presentó en el Capítulo 4. Se inyectaron desapareamientos de distinta naturaleza y se utilizaron como estímulos las señales de prueba que se

describen en dicho capítulo, junto con señales de comunicaciones típicas a fin de extender las evaluaciones a un escenario más realista. En particular, se consideraron desapareamientos de tiempo de muestreo y ganancia, así como también *I/Q time skew*, los cuales se inyectaron mediante reconfiguración de las secciones programables del chip. Por otra parte, no se direccionaron errores de *offset* debido a que este se compensa automáticamente en cada ciclo de operación de los sub ADC del TI-ADCs (ver sección 4.2.4 del capítulo anterior).

En las siguientes secciones se reportan mediciones del desempeño del sistema en presencia de desapareamientos del TI-ADC pre y post-compensación/calibración. También se comparan los resultados obtenidos en esta Tesis con otros trabajos pertinentes del estado del arte.

5.2. Caracterización del canal de comunicaciones en la plataforma de evaluación de TI-ADC

A fin de caracterizar la naturaleza de las señales que procesa el receptor de comunicaciones, de la plataforma de evaluación de TI-ADC, en el siguiente ensayo experimental se evalúa el impacto de las degradaciones que introduce el canal de comunicaciones sobre las señales que se propagan por este. Dichas degradaciones se originan por la ISI y efectos no ideales del canal. Se registraron los diagramas de ojo de entrada y salida del medio usando el chip prototipo TI-ADC como dispositivo de adquisición de señales, el cual se acopló directamente a dichos nodos en cada medición. Como casos de prueba se consideraron las modulaciones por desplazamiento binario de la fase (*Binary Phase Shifting Keying* (BPSK)), junto con 4-PAM, 8-PAM y 16-PAM. En el sistema óptico coherente que emula la plataforma de evaluación, estas se corresponden con las modulaciones 4-QAM, 16-QAM, 64-QAM y 256-QAM, respectivamente.

La Fig. 5.1 muestra, a modo de ejemplo, los diagramas de ojo medidos en la entrada y salida del canal para la modulación BPSK. En la Fig. 5.1a se aprecia que el rango de apertura vertical del diagrama de ojo de entrada, se encuentra en el rango de $\pm 0.25V_{FS}$, mientras que la apertura horizontal es semejante al período del baudio T . En este diagrama se evidencia la presencia de ISI en la

señal, incluso antes de ingresar al canal, la cual se manifiesta como variaciones en el rango de apertura vertical y los niveles de tensión del esquema de modulación.

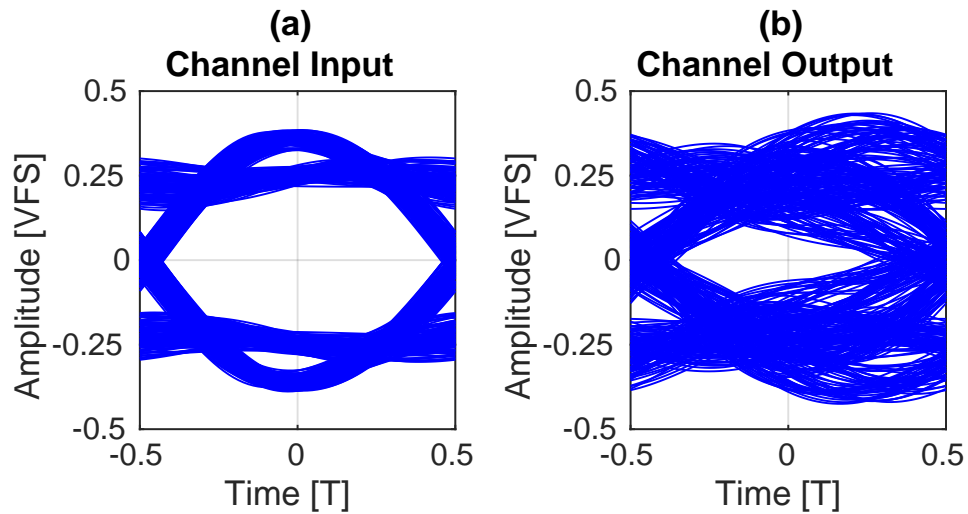


Figura 5.1: Diagramas de ojo medidos a la (a) entrada y (b) salida del canal.

Respecto a la entrada, en el diagrama de ojo de salida de la Fig. 5.1b la apertura horizontal se reduce en un 35 % mientras que la apertura vertical resultante se encuentra en el intervalo $\pm 0.0625V_{FS}$. En este contexto, la modulación BPSK representa un escenario más favorable que las otras modulaciones ensayadas debido a que es menos sensible a los efectos del canal. A pesar de ello, las mediciones de la Fig. 5.1a muestran que esta exhibe severas degradaciones por ISI. En las modulaciones de orden superior, donde se utilizan codificaciones de símbolos más complejas, estos efectos resultan aún más significativos.

5.3. Procedimiento de inyección de desapareamientos en el sistema de comunicaciones

Para reproducir la presencia de desapareamientos en el TI-ADC se aprovecharon las capacidades de reconfiguración analógica que el chip posee. Los desajustes se introdujeron mediante desajustes entre los bits de configuración de las sub-secciones homólogas del convertor. Se inyectaron simultáneamente desapareamientos de ganancia, tiempo de muestreo e I/Q time skew para evaluar el funcionamiento de la técnica en un escenario realista, en el cual los múltiples desapareamientos considerados se presentan al mismo tiempo. El desajuste de

ganancia, se inyecta afectando las muestras obtenidas de los TI-ADCs por un factor de escala, el cual se distribuye aleatoriamente en un intervalo uniforme del $\pm 5\%$ respecto al valor nominal.

El *I/Q time skew* se introduce reconfigurando las celdas de retardo del TI-ADC para producir una diferencia de fase entre las componentes *I* y *Q* de ~ 40 ps y este se calcula como la media de los errores de fase de muestreo en cada componente *I* y *Q*. Por otra parte, para emular el error de tiempo de muestreo entre las fases de reloj del TI-ADC se adiciona una desviación aleatoria a la configuración de cada una de las celdas de retardo.

Para los ensayos en los que se utilizaron modulaciones 16-QAM y 64-QAM se inyectaron errores de fase de muestreo de hasta 4% del período del símbolo *T*. Por otra parte, para la modulación 256-QAM se empleó un error máximo del 1% de *T* debido a que valores de desviaciones mayores provocaron problemas de convergencia en el ecualizador del receptor. Esto último se debe a que los esquemas de modulaciones de mayor orden son más sensibles al ruido y a no idealidades, tanto en el canal de comunicación como en los circuitos TI-ADC. Por esta razón resulta imprescindible el uso de estrategias de corrección de desapareamientos en sistemas de comunicaciones, especialmente para aquellos que implementan modulaciones de alto orden como 128 y 256-QAM. Estas dos últimas serán claves para satisfacer las crecientes demandas de tasas de transferencias de datos que impone el mercado en las próximas generaciones de transceptores ópticos.

5.4. Evaluación experimental de la propuesta de corrección de desajustes en TI-ADCs

Con el fin de caracterizar la bondad de la propuesta de corrección de desapareamientos, que se propone en la presente Tesis, se computó la BER del receptor y las SNDR y SFDR del TI-ADC pre y post-corrección de desajustes.

5.4.1. Desempeño del receptor en términos de BER vs SNR con y sin corrección de desapareamientos

Para computar las curvas de BER del receptor (con y sin el uso de la técnica propuesta), se realizó un barrido de la SNR del transmisor (ver sección 4.1). Por cada paso del barrido se calculó la BER correspondiente. En la Fig. 5.2 se grafica la curva de BER teórica, junto con las correspondientes a los siguientes escenarios:

- Mediciones del sistema sin la inyección de desapareamientos
- Mediciones del sistema con desapareamientos en el TI-ADC, sin usar corrección de desapareamientos
- Mediciones del sistema con desapareamientos en el TI-ADC, con la aplicación de la técnica propuesta bajo su implementación digital
- Mediciones del sistema con desapareamientos en el TI-ADC, con la aplicación de la técnica propuesta bajo su implementación de señal mixta

A modo de ejemplo, para una BER de 1×10^{-3} , típica en sistemas de comunicaciones, se observan penalidades de SNR de ~ 1 dB y 3 dB para las modulaciones 16-QAM y 64-QAM sin corrección de desapareamientos, respectivamente. Por otra parte, para la modulación 256-QAM se aprecia una penalidad similar a la de 64-QAM, a pesar de que en la primera se utilizó una desviación menor en la fase de muestreo.

En la figura se aprecia que la presencia de desapareamientos provoca que las curvas diverjan respecto a la medición sin desapareamientos, mientras que en los dos escenarios post-corrección (correspondientes a las variantes de implementación digital y de señal mixta) las curvas resultantes se encuentran próximas a esta.

En las gráficas de la Fig. 5.2 es preciso destacar que la curva sin desapareamientos no se aproxima a la curva teórica y la diferencia entre ambas se acentúa para las modulaciones de más alto orden que fueron evaluadas. Una de las principales razones para esta discrepancia radica en que la plataforma de pruebas

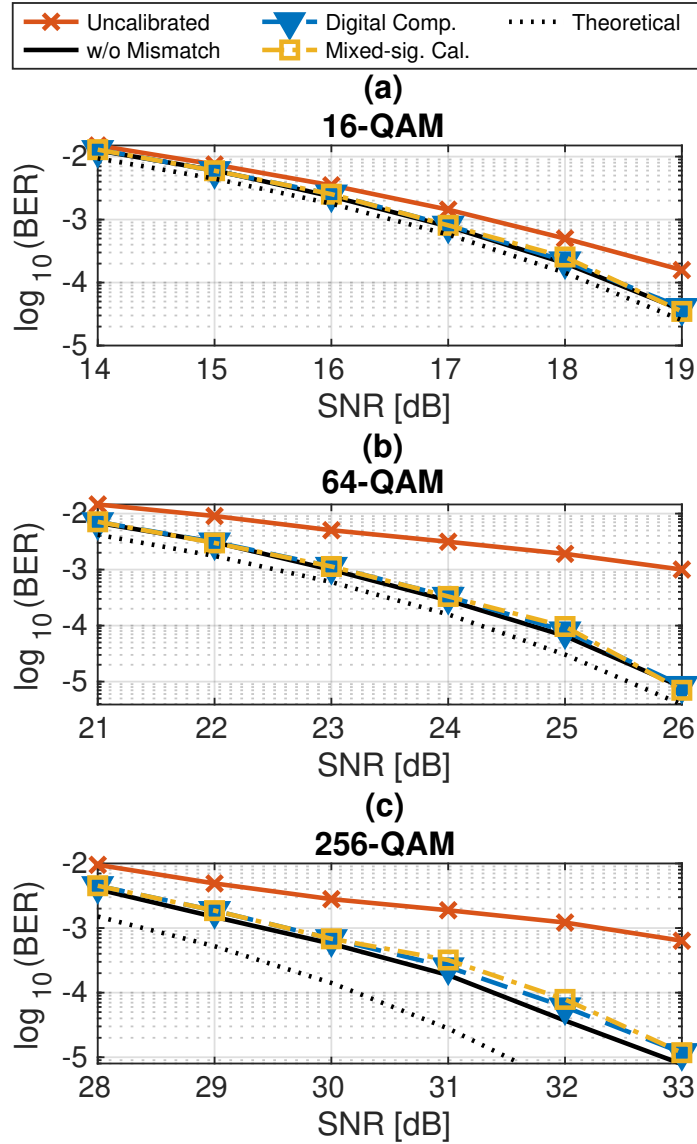


Figura 5.2: Comparación de las curvas de BER para (a) 16-QAM, (b) 64-QAM, y (c) 256-QAM, en presencia de desapareamientos del sistema de comunicaciones, con y sin el uso de la técnica propuesta.

no implementa filtrado *pulse shaping*, lo cual deberá ser abordado en un trabajo futuro.

5.4.2. Propuesta de compensación digital

A fin de determinar el impacto aislado del desapareamiento de tiempo de muestreo del TI-ADC en el desempeño del receptor, en la siguiente prueba se deshabilitaron las fuentes de ruido del transmisor (ver Capítulo 4). La Fig. 5.3 muestra los diagramas de constelación correspondientes a las modulaciones antes mencionadas. La columna de la izquierda presenta los diagramas obtenidos a

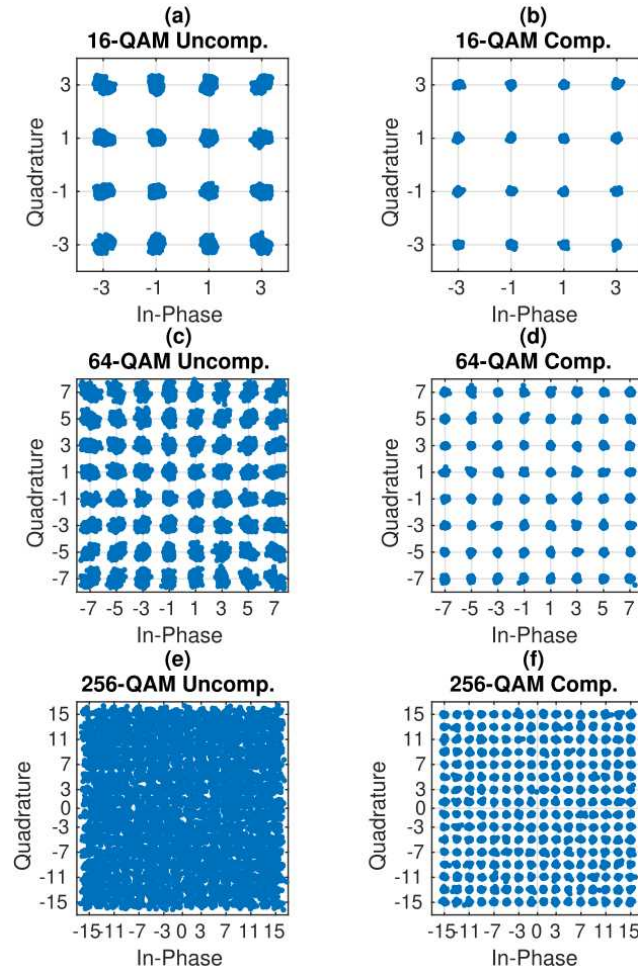


Figura 5.3: Diagramas de constelación para 16-QAM (a, b), 64-QAM (c, d) y 256-QAM (e, f) en presencia de errores en el TI-ADC. Los diagramas de la izquierda (subfiguras a,c,e) no tienen compensación encendida, mientras que los de la derecha (subfiguras b,d,f) aplican nuestra propuesta.

partir de mediciones sin aplicar compensación digital, mientras que las gráficas de la derecha muestran el resultado de su utilización.

En la figura es posible apreciar que, en ausencia de compensación los desapareamientos entre los sub-ADCs provocan un ensanchamiento significativo de los puntos de cada constelación. Este efecto se vuelve más pronunciado a medida que aumenta el orden de modulación, dada la proximidad entre símbolos. En particular, para 256-QAM (Fig. 5.3 (e)) los símbolos de la constelación recibida sin aplicar compensación resultan indistinguibles entre sí. Por el contrario, el uso de la técnica propuesta hace posible definir de forma clara los símbolos recibidos en todos los casos.

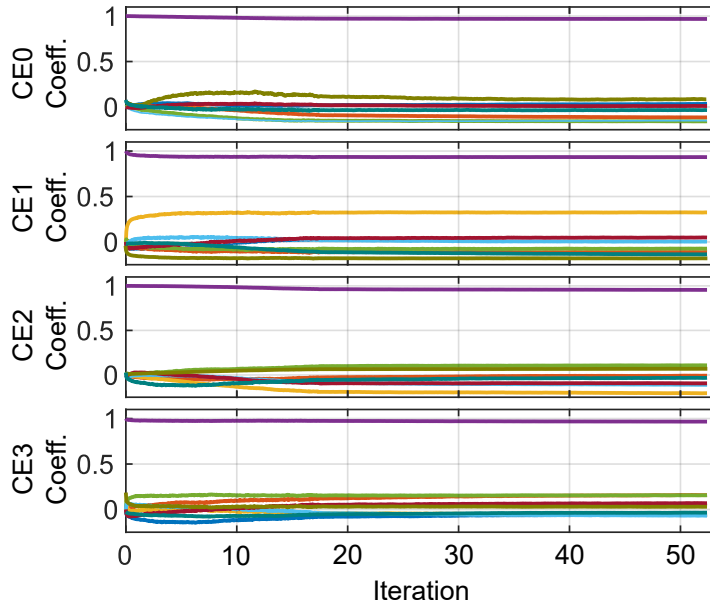


Figura 5.4: Convergencia de los coeficientes de la compensación propuesta en un sistema que usa 64-QAM con una SNR de ~ 25 dB.

Convergencia de la propuesta de compensación digital

La Fig. 5.4 presenta la evolución de los coeficientes del CE que compensan los desajustes de tiempo de muestreo, ganancia e I/Q *time skew* del TI-ADC del canal HQ . Los casos que aquí se muestran corresponden a una modulación 64-QAM, con una SNR de aproximadamente 25 dB y una BER para el sistema libre de desapareamientos de 1×10^{-4} . En la figura se aprecia que luego de las primeras 17 iteraciones de la técnica de compensación (correspondientes a 2.5×10^6 símbolos recibidos) los coeficientes del CE convergen hacia valores estables. Si bien en la figura, por simplicidad, solo se reportan mediciones para 64-QAM debe destacarse que se obtuvieron resultados similares para los otros esquemas de modulación.

5.4.3. Propuesta de calibración de señal mixta

Convergencia de la calibración de señal mixta

La Fig. 5.5 muestra la evolución de los parámetros de calibración del sistema en dominio analógico, junto con la BER a la salida del receptor y la SNDR promedio de los TI-ADC de este, operando bajo un esquema de modulación 64-QAM. En este experimento se introdujeron de forma simultánea desajustes

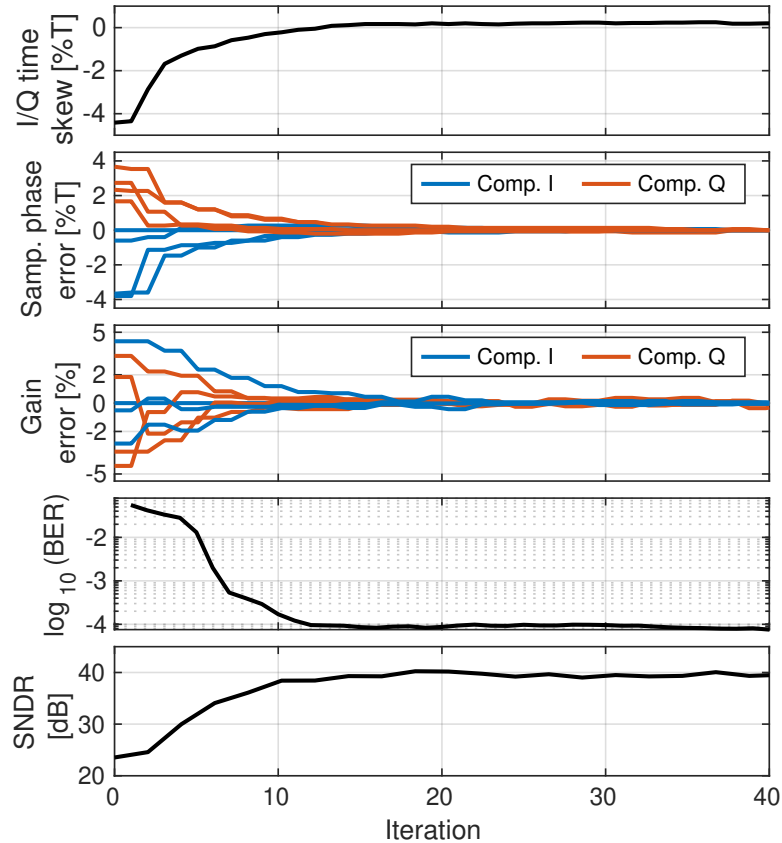


Figura 5.5: Convergencia de la calibración propuesta en un sistema que usa 64-QAM con una SNR de ~ 25 dB.

de ganancia, fase de muestreo e *I/Q time skew*. En la figura se aprecia que la convergencia de la calibración de señal mixta se logró luego de 12 iteraciones, con una BER de 1×10^{-3} . Si se trasladara esta técnica a una aplicación comercial dicho número de iteraciones estaría asociado a $16 \mu\text{s}$.

La SNDR del TI-ADC se midió posteriormente a la calibración reproduciendo los valores de configuración analógica que se usaron en cada paso de calibración. Como estímulo de entrada se empleó un tono de entrada sinusoidal ~ 500 MHz desde un generador de señales externo. Como resultado de la calibración se observa en la figura que la SNDR mejora de 24 dB a ~ 40 dB.

Por último, es posible apreciar en la Fig. 5.5 que todos los desapareamientos del TI-ADC se ajustan simultáneamente. Esto significa que este esquema no necesita una secuencia de calibración (donde se corrige un tipo de desapareamiento por vez), a diferencia de otras propuestas del estado del arte.

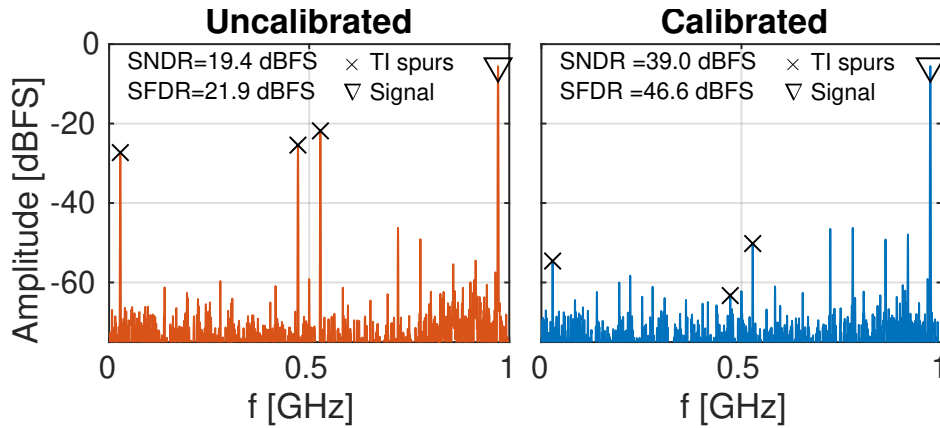


Figura 5.6: Comparación de los espectro para una señal de entrada senoidal a 972 MHz con $\pm 4\%T$ error de tiempo de muestreo y $\pm 5\%$ de desapareamiento de ganancia. Los espectros se generan a partir de 2^{13} muestras.

Respuesta espectral pre/post calibración

Como se mencionó en el Capítulo 2, los desapareamientos aquí considerados introducen espurios en el espectro de salida del conversor. La Fig. 5.6 muestra los espectros de salida de este bajo los efectos de los desapareamientos aquí direccionados con y sin el uso de la técnica de calibración. En la figura las amplitudes reportadas están normalizadas con respecto a V_{FS} [117]. Como estímulo de entrada se usó una señal sinusoidal a 972 MHz y se consideraron solamente muestras de una única componente de señal en el canal de comunicaciones (canal I de la polarización H).

En la figura se observa la presencia de tres espurios de gran intensidad, los cuales tienen origen en los desajustes de fase de muestro en la primera jerarquía del T&H del conversor y degradan su SNDR y SFDR. Sin efectuar calibración alguna se registraron valores de 19.4 dBFS y 21.9 dBFS para la SNDR y el SFDR, respectivamente. Por otra parte, luego de aplicar la técnica propuesta la SNDR y el SFDR del TI-ADC ascienden a 39 dBFS y 46.6 dBFS, respectivamente.

Respuesta en frecuencia de la SNDR y SFDR en el TI-ADC con y sin calibración de desapareamientos

A fin de caracterizar la respuesta en frecuencia de la SNDR y SFDR del conversor sin calibración y luego de aplicar la técnica propuesta se realizó un barrido de frecuencias de entrada (desde 10 MHz hasta 1 GHz) y se computaron

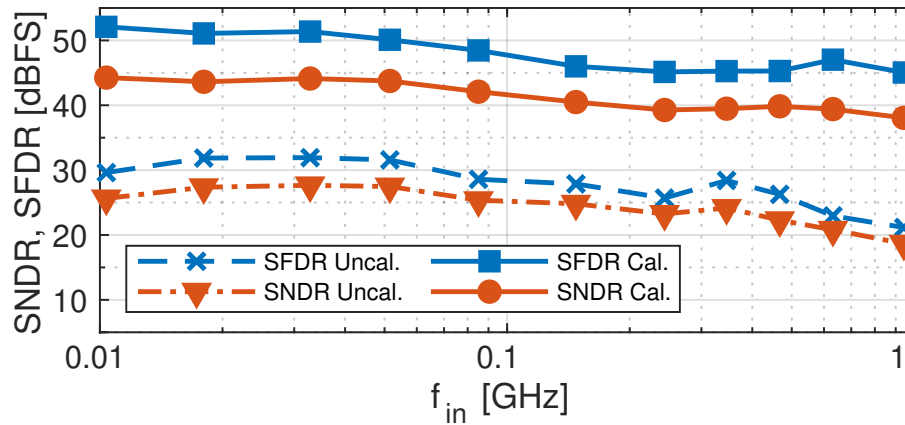


Figura 5.7: Medición de SNDR y SFDR en función de la frecuencia de entrada sin/con calibración. Resultados obtenidos con desapareamientos de $\pm 4\%T$ en la fase de muestreo y $\pm 5\%$ de la ganancia unitaria.

estos dos parámetros a partir de las muestras de salida del convertor. La Fig. 5.7 muestra el resultado de este estudio y presenta las correspondientes curvas pre y post-calibración.

En la figura se observa que sin aplicar calibración la SNDR y SFDR se encuentran por debajo de 28 dBFS y 32 dBFS, respectivamente, para todo el rango de frecuencias. Después de aplicar la calibración la SNDR resultante supera los 39 dBFS en todos los casos, mientras que el SFDR permanece por encima de 46 dBFS. En todos los casos se aprecia una mejora de la SNDR superior a 15 dB, donde la diferencia mínima (entre el escenario sin calibración y el posterior a haberla aplicado) se registró a los 500 MHz. Para esta frecuencia también se halló el menor incremento de SFDR, el cual es de 18 dB.

5.5. Comparación con otras técnicas de corrección de desajustes

En esta sección se presenta una comparación del desempeño de la propuesta de corrección de desajustes en TI-ADCs (en sus variantes de implementación digital y de señal mixta), aquí introducida, con otras técnicas del estado del arte [15, 19, 48, 87, 118]. La Tabla 5.1 señala las especificaciones funcionales de los convertidores que se utilizan en dichos trabajos, así como también la efectividad de las propuestas de corrección correspondientes, evaluadas por medio de la SNDR

Tabla 5.1: Comparación con otras técnicas de calibración en el estado del arte.

	[48]	[87]	[19]	[118]	[15]	Esta Tesis	
Implementación	Señal mixta	Señal mixta	Señal mixta	Señal mixta	Señal mixta	Digital	Señal mixta
Tecnología [nm]	65	130	7	20	14	130	
Resolución [b]	8	6	8	8	8	8	
M	4	16	128	128	128	32	
Arq. del T&H	4×1	8×2	16×8	16×8	16×8	4×8	
Samp. Rate [GS/s]	4	2	96	55-69	24-72	2	
Samp. Jitter [fs]	30	–	–	79	–	1500	
DC SNDR [dB]	46	33.4	41.1	39.7	39.3	43	
Señal de Entrada	Sine	BPSK	QAM-16	QPSK	Sine	QAM-256	
High Freq. (HF) [GHz]	1.89	1	20	19	21	1	
HF SNDR [dB] (Pre Calibración)	38.4	20.7	–	–	–	19.4	
HF SNDR [dB] (Post Calibración)	44.4	31.3	35.1	32.5	30.4	38.0	39.0
HF SFDR [dB] (Pre Calibración)	–	–	–	–	–	21.9	
HF SFDR [dB] (Post Calibración)	–	–	42.4	40.0	44.1	45.1	46.6
Operación en <i>background</i>	✓	✓	✓	✗	✗	✓	
Compensación concurrente	✗	✗	–	–	✗	✓	
Optimización de la SNR	✗	✓	–	–	✗	✓	
Sin restricciones a las señales de entrada	✗	✓	✓	–	✗	✓	

y la SFDR de alta frecuencia (HF SNDR y HF SFDR, respectivamente) post-calibración/compensación.

En la tabla se aprecia que la técnica de esta Tesis, logra una mejora en la HF SNDR y HF SFDR en el receptor respecto al escenario pre-compensación/calibración de 25.7 dB y 26.2 dB para las variantes de implementación en dominio analógico y señal mixta, respectivamente. Asimismo, la técnica alcanza los mejores valores de SNDR post-corrección, a excepción del de Wei [48], cuya HF SNDR post-calibración es de 44.4 dB. No obstante, es preciso destacar que la mejora (respecto al escenario sin calibración) en dicho artículo es 6 dB, mientras que en el peor caso la lograda por la propuesta de esta Tesis es de 25.7 dB.

En el marco de sistemas de comunicaciones digitales, si bien la SNDR y SFDR son representativas del desempeño del ADC, no proporcionan información global respecto del correcto funcionamiento del receptor. En su lugar, se sugiere el uso

de la métrica global BER del receptor. Sin embargo, en las publicaciones de la Tabla 5.1 este dato no se informa, o bien, se proporciona para constelaciones mucho más pequeñas que las aquí evaluadas.

Asimismo, la técnica propuesta en esta Tesis es la única en la que es posible precisar que se cumple simultáneamente con todos los criterios enunciados en el Capítulo 1: operación en *background*, corrección de los desapareamientos de todos los TI-ADCs en simultáneo, optimización de la SNR del receptor y no requerir que la señal de entrada posea propiedades particulares para garantizar la convergencia de la calibración. El cumplimiento de estos criterios es imprescindible para su aplicación en receptores para comunicaciones ópticas coherentes.

5.6. Conclusiones

En este capítulo se presentaron los resultados experimentales correspondientes a la implementación de las técnicas de corrección de los desajustes en TI-ADCs usados en sistemas de comunicaciones ópticas coherentes. Se evaluaron las dos alternativas de implementación propuestas: compensación digital y calibración de señal mixta. Se utilizó como medio de pruebas la plataforma de evaluación de TI-ADC que se introdujo en el capítulo anterior.

Las mediciones demostraron una efectiva mitigación del deterioro causado por los desapareamientos en el TI-ADC, así como también el *I/Q time skew*, y sus efectos en el desempeño del receptor de comunicaciones, para las modulaciones 16-QAM, 64-QAM y 256-QAM. En este sentido, ambas alternativas de implementación presentaron méritos similares y una rápida convergencia. Los resultados experimentales señalan que la técnica es capaz, en la práctica, de eliminar las degradaciones de BER del receptor introducidas por los desajustes del TI-ADC.

Una comparación contra diferentes técnicas de calibración de TI-ADC relevantes, señala que las propuestas de esta Tesis alcanzan un alto valor de SNDR post-calibración/compensación. En contraste con dichos artículos, se observó que las propuestas de esta Tesis lograron el mayor aumento de SNDR respecto al escenario previo a la corrección de los desajustes del TI-ADC.

Capítulo 6

Consideraciones finales y trabajos futuros

Síntesis: En este capítulo se realiza una discusión final sobre los principales resultados obtenidos en esta Tesis y las contribuciones de la misma. Finalmente, se enumeran los trabajos a futuro que expandirán los aportes de esta línea de investigación.

6.1. Introducción

Con cada nueva generación de sistemas de comunicaciones, se incrementan las prestaciones, lo que repercute en una mayor complejidad y mayores frecuencias de operación. Esto, a su vez, los vuelve más sensibles a la presencia de desajustes en sus secciones analógicas y a efectos no ideales en el canal de comunicaciones. Dichos efectos limitan el desempeño máximo de estos sistemas, lo cual hace imprescindible el uso de estrategias de compensación para mitigarlos. Adicionalmente, en los sistemas de comunicaciones ópticas coherentes de doble polarización la complejidad y el número de elementos que forman parte de los sub-sistemas DSP hacen inviables las técnicas de compensación de desapareamientos para TI-ADC del estado del arte.

Por esta razón, la presente Tesis introduce una técnica novedosa para la compensación de desapareamientos en TI-ADCs de receptores, especialmente enfocada para receptores de comunicaciones ópticas coherentes de doble polarización.

La técnica opera en segundo plano y está basada en una modificación del algoritmo adaptativo LMS, que incorpora *backpropagation* para superar limitaciones que introducen los DSPs de este tipo de sistemas.

La propuesta de esta Tesis permite la compensación simultánea de múltiples desapareamientos entre los distintos conversores del receptor (y al interior de estos), junto con desajustes de *I/Q time skew* en el canal de comunicaciones. Asimismo, no requiere de un período de inicialización ni retirar de servicio el sistema para ejecutarse. En particular, se consideraron desapareamientos de *offset* de DC, ganancia, ancho de banda y tiempo de muestreo en la primer jerarquía de muestreo de los conversores.

6.2. Análisis de implementación de la propuesta de corrección de desajustes en TI-ADCs

Además de las características anteriormente mencionadas, una virtud importante de la propuesta de esta Tesis consiste en su versatilidad de implementación. La misma puede ser desarrollada en dos alternativas: una basada en ecualización adaptativa para compensar los desapareamientos en el dominio digital y otra basada en reconfiguración analógica, en la cual se calibran adaptativamente los circuitos del convertidor para mitigar los desajustes.

El uso de *backpropagation* en la técnica propuesta (bajo sus dos variantes de corrección) implica que se deben reproducir todos los elementos del DSP. No obstante, en ambas variantes de implementación, es posible reducir el consumo de potencia y el área de circuito integrado mediante las estrategias de diezmo en el procesamiento de muestras de *backpropagation* y con la serialización de operaciones. Esto es posible debido a que, normalmente, los desapareamientos inducidos por cambios en las condiciones ambientales y el envejecimiento de los componentes varían lentamente con el tiempo. Consecuentemente, es factible ejecutar la técnica con una tasa de procesamiento de muestras menor a la del receptor o incluso activarla bajo demanda para lograr así un ahorro mayor de consumo de corriente.

6.3. Modelo matemático y modelo de simulación de sistema de comunicaciones

Una contribución derivada de esta Tesis es la formulación de un modelo matemático del sistema receptor para comunicaciones ópticas de doble polarización y los conversores TI-ADC que forman parte de este. Este contempla el canal de comunicaciones, junto con la interfaz óptica del receptor, la etapa de entrada eléctrica analógica posterior a esta, los ADCs, las etapas de procesamiento del receptor y el lazo de corrección de desajustes basado en *backpropagation* que se utiliza en la propuesta de esta Tesis.

A partir de dicho modelo matemático se desarrolló un modelo de simulación de sistema de comunicaciones, que es compatible con la inyección múltiple de desapareamientos de distinta naturaleza en los TI-ADCs del receptor e *I/Q time skew* en el canal de comunicaciones. Este modelo fue utilizado para verificar la viabilidad la técnica propuesta y caracterizar su desempeño. Los resultados obtenidos señalan que la propuesta tiene una rápida convergencia y que es capaz de mitigar efectivamente todos los efectos direccionados, tanto en el escenario de inyección de desviaciones únicas como de desapareamientos múltiples.

6.4. Plataforma experimental de evaluación de sistemas de comunicaciones

Otras dos contribuciones adicionales de esta Tesis consisten en el diseño y fabricación de un chip prototipo TI-ADC, y en el desarrollo de una plataforma experimental de evaluación de un sistema de comunicaciones ópticas coherentes de doble polarización. Ambos, en conjunto, fueron utilizados para poner a prueba y validar experimentalmente las propuestas de esta tesis. Para ello se utilizaron distintos esquemas de modulación y se ejercitaron distintos escenarios de inyección de desapareamientos, únicos y múltiples. El dispositivo TI-ADC fue diseñado conforme a la arquitectura presentada en el Capítulo 4, cuyo sistema de muestreo y retención es del tipo jerárquico sin *buffer*.

Los resultados experimentales verifican aquellos obtenidos por simulación,

siendo la propuesta capaz de contrarrestar de forma efectiva los desapareamientos considerados para ambas formas de implementación (digital y de señal mixta). Respecto al escenario de mediciones del sistema sin la adición de desapareamientos, los resultados post-compensación y post-calibración exhiben diferencias mínimas. Por otra parte, en relación al escenario de inyección de desapareamientos múltiples se registró una mejora mínima de 11 dBFS y 14 dBFS para la SNDR y SFDR, respectivamente para todo el ancho de banda de los conversores.

6.5. Trabajos futuros

A partir de los trabajos y contribuciones realizadas a lo largo de esta tesis se desprenden las siguientes líneas de investigación, las cuales deberán ser abordadas en trabajos futuros.

- Modelar la calibración de señal mixta para el desapareamiento de ancho de banda.
- Modelar y compensar otros errores entre los canales I y Q del receptor, como por ejemplo los errores de cuadratura en los demoduladores.
- Implementar el filtro transmisor para aplicar pre-distorsión a la señal a transmitir para reducir el impacto de la ISI del canal en las modulaciones de mayor orden.
- Implementar los bloques del receptor en lógica programable (FPGA).
- Implementar los bloques que implementan el algoritmo de *backpropagation* sobre del DSP.
- Extender la aplicación de la técnica propuesta a sistemas de comunicaciones que emplean otros medios, por ejemplo *wireless*.

Apéndice A

Medidas de desempeño

A continuación se describen brevemente las principales métricas de desempeño de los receptores digitales. En general el objetivo de las técnicas de corrección de errores de los bloques que constituyen un receptor basado en DSP consiste en la optimización de una o más de dichas métricas.

Bit Error Rate (BER)

La BER es una medida de la cantidad de errores que presentan los bits detectados (a la salida del *slicer*) en función de la cantidad de los bits recibidos. La BER está relacionada a la SNR del canal para una modulación \mathcal{M} -QAM por medio de

$$BER_{QAM} = \frac{4}{\log_2(\mathcal{M})} \left[1 - \frac{1}{\sqrt{\mathcal{M}}} \right] Q \left(\sqrt{\frac{3SNR}{\mathcal{M}-1}} \right), \quad (\text{A.1})$$

donde $Q(\cdot)$ es la función de distribución acumulada complementaria de una variable Gaussiana estándar ($\mathcal{N} = \{0, 1\}$) y la SNR definida por

$$SNR = \frac{E \{ |a_k|^2 \}}{N_0}. \quad (\text{A.2})$$

Aunque el receptor realice la compensación los efectos de la fibra, maximizando la SNR a la salida del receptor, el ruido en el canal produce cambios en los símbolos recibidos que no pueden ser corregidos por los bloques del DSP. En ese caso puede hacerse uso de un bloque de FEC para detectar y corregir los símbolos que fueron detectados incorrectamente. Los bloques de FEC agregan bits extra a la información a transmitir siguiendo una regla determinada por el tipo

de código (un ejemplo básico de código corrector de errores es el de Hamming). De forma similar, en el receptor se aplica una regla similar para detectar el error y corregir el símbolo que fue detectado erróneamente.

La Fig. A.1 muestra las curvas de BER ideales para 4 diferentes modulaciones QAM (4-QAM, 16-QAM, 64-QAM, 256-QAM) en función de la SNR *por bit* (E_b/N_o) del canal de 0 dB a 30 dB. Se puede observar que, a medida que incrementa la cantidad de bits por símbolo transmitidos, mayor debe ser la SNR del canal para lograr la misma BER. Esto se debe a la sensibilidad al ruido que tienen las modulaciones de mayor orden producto de la mayor proximidad entre los símbolos de la constelación.

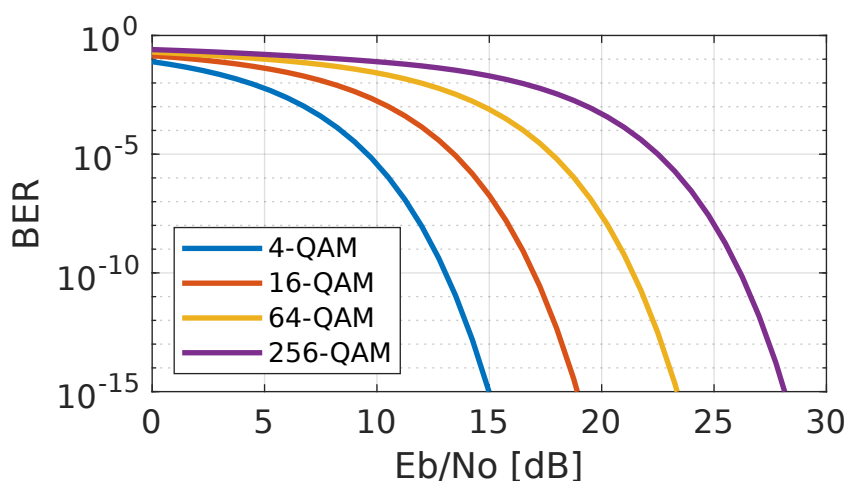


Figura A.1: Familia de curvas de BER evaluadas para distintas modulaciones digitales M-QAM.

Penalidad de (O)SNR

La penalidad de SNR (o de la OSNR cuando se trata de un canal óptico [79]) es la cantidad extra de SNR en dB que se necesita para lograr la misma BER que un caso tomado como referencia. En la Fig. A.2(a) se muestra un ejemplo de la medición de la penalidad de SNR. Para medir la penalidad se define una curva de referencia (en este caso la curva teórica definida por (A.1)) y un valor de BER para el cual se realizará la medición. Típicamente valores de BER usados como umbral en productos están en el orden de 1×10^{-2} o 1×10^{-3} , dependiendo la aplicación [119]. Luego se construye la curva de BER a partir de mediciones o simulaciones hasta que esta cruce el valor de BER elegido. La diferencia entre

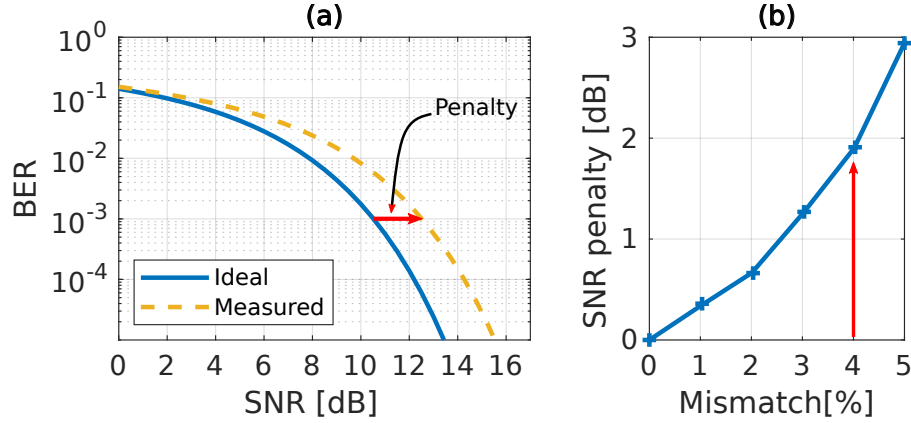


Figura A.2: Definición de penalidad de SNR del receptor. (a) Medición a partir de las curvas de BER de referencia y medida en presencia de la variación de un parámetro del receptor. (b) Construcción de la curva de penalidad.

los valores de SNR medido y de la referencia para un nivel de BER definida es la penalidad de (O)SNR. Variando parámetros del receptor se puede construir la curva de penalidad en función del parámetro evaluado, como se muestra en la Fig. A.2(b). Una mayor penalidad implica que la SNR requerida debe ser mayor para lograr el mismo desempeño. Esto significa que se requerirá transmitir el dato a mayores potencias o contar con canales con menor ruido, lo cual impacta en el consumo de los equipos o en en la imposibilidad de uso del sistema coherente.

Mean Squared Error (MSE)

Los bloques del DSP de un receptor óptico coherente (ver Fig. 2.3) se encargan de compensar los efectos de la fibra, obteniendo a su salida señales ecualizadas para ser detectadas por el slicer. La Fig. A.3 muestra la representación del error del *slicer* ($e_k^{(1)}, e_k^{(2)}$) en el diagrama de constelaciones para el k -ésimo detectado ($\tilde{a}_k^{(1)}, \tilde{a}_k^{(2)}$) a partir del k -ésimo símbolo recibido ($u_k^{(1)}, u_k^{(2)}$) en la polarización H . Sea $e_k^{(j)}$ el error del *slicer* definido como

$$e_k^{(j)} = u_k^{(j)} - \tilde{a}_k^{(j)}, \quad j = 1, \dots, 4. \quad (\text{A.3})$$

Usualmente en el análisis de la MSE se supone que no hay errores de decisión, y por tanto se puede utilizar el símbolo transmitido originalmente $a_k^{(j)}$ en lugar de $\tilde{a}_k^{(j)}$. Esta suposición está justificada por la experiencia, que confirma que mientras la tasa de error esté por debajo del diez por ciento aproximadamente,

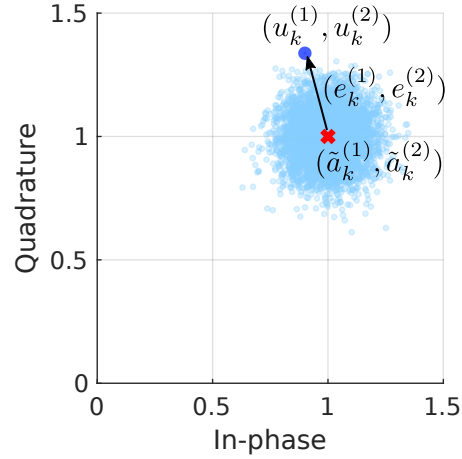


Figura A.3: Representación del error del *slicer* para k -ésimo símbolo ecualizado en la polarización H .

no hay ningún efecto apreciable en el funcionamiento del ecualizador [82]. Esta condición se verifica en comunicaciones ópticas coherentes, donde las tasas de error antes del bloque FEC son típicamente inferiores a $\sim 4 \times 10^{-2}$. Entonces se puede reescribir (A.3) como

$$e_k^{(j)} = u_k^{(j)} - a_k^{(j)}, \quad j = 1, \dots, 4. \quad (\text{A.4})$$

Entonces, el error cuadrático total del *slicer* en el instante de tiempo k se define como

$$\mathcal{E}_k = \sum_{j=1}^4 |e_k^{(j)}|^2. \quad (\text{A.5})$$

A partir del error total (A.5), el MSE del *slicer* se puede definir como $E\{\mathcal{E}_k\}$ donde $E\{\cdot\}$ denota la operación de esperanza matemática.

Apéndice B

Compensación de los desapareamientos en el AFE y TI-ADC

En esta sección se describen técnicas usadas en el estado del arte para compensar los desajustes en los TI-ADC presentes en receptores digitales simples. También se plantea la imposibilidad de aplicar tales técnicas a receptores complejos de alta velocidad, como los de comunicaciones ópticas coherentes.

La Fig. B.1 muestra la arquitectura de compensación de los desajustes de un TI-ADC usando un filtro por cada sub ADC (por simplicidad, se omite la compensación de *offset*). En el caso de un receptor de comunicaciones donde el DSP se compone solamente de un ecualizador principal, la m -ésima señal digitalizada se aplica a un ecualizador con respuesta al impulso $v_m^{(i)}[n]$ inmediatamente

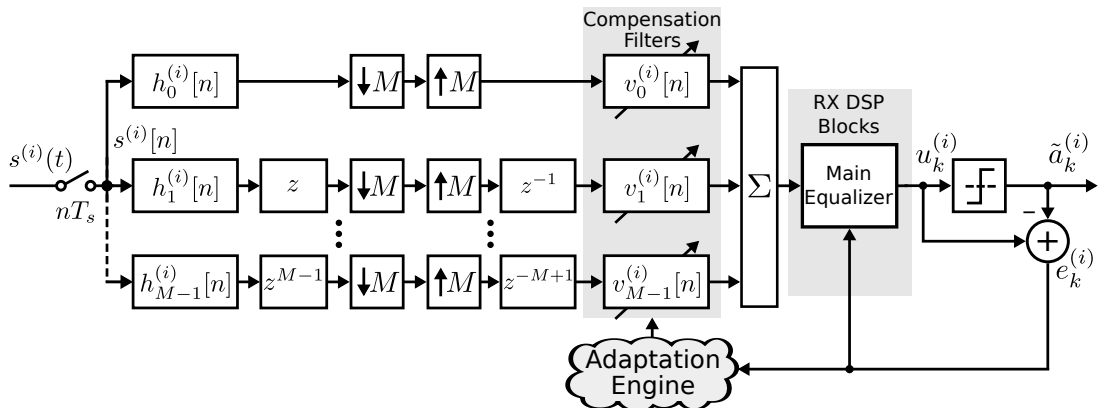


Figura B.1: Esquema de compensación de errores en TI-ADC presentado en [60].

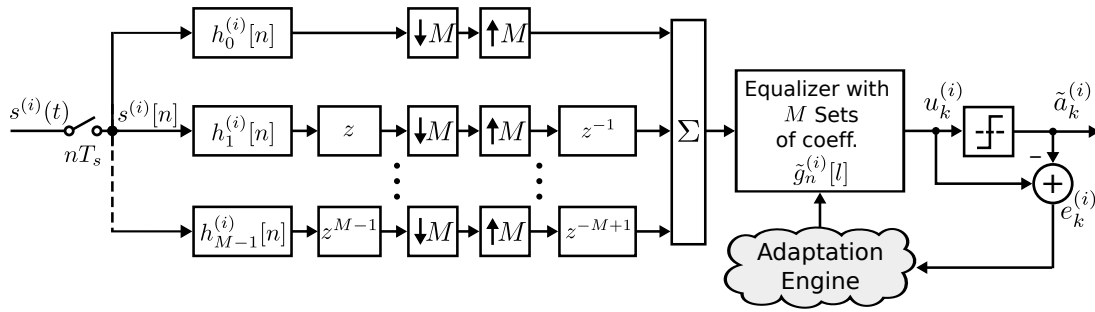


Figura B.2: Esquema alternativo de compensación de errores en TI-ADC presentado en [59].

después del m -ésimo sub ADC [60]. En esta arquitectura, el error a la salida del receptor es usado para adaptar los coeficientes del receptor principal y las respuestas al impulso $v_m^{(i)}[n]$. Luego, la señal con los errores del TI-ADC removidos es alimentada al ecualizador principal para compensar los efectos del canal.

La Fig B.2 muestra una estructura equivalente en la que los filtros de compensación de cada sub ADC se combinan con el ecualizador principal del receptor [59]. La estructura combinada se puede considerar como un ecualizador con una respuesta de impulso que varía periódicamente en el tiempo. Se remite al lector a [60] para una derivación paso a paso de la equivalencia entre las estructuras de las Figs. B.1 y B.2. La implementación práctica de este ecualizador, que varía periódicamente en el tiempo, se trata en la Sección 3.2.4, y en [61]. En [38, 59–61], se propuso compensar de forma adaptativa los desapareamientos del TI-ADC, después de realizada la compensación de *offset* de DC, utilizando un filtro con una respuesta al impulso M -periódica variable en el tiempo (ver Fig. B.2):

$$x^{(i)}[n] = \sum_{l=0}^{L_g-1} \tilde{g}_n^{(i)}[l] w^{(i)}[n-l], \quad (\text{B.1})$$

donde $\tilde{g}_n^{(i)}[l]$ es la respuesta al impulso M -periódica variable en el tiempo del filtro de compensación (es decir, $\tilde{g}_n^{(i)}[l] = \tilde{g}_{n+M}^{(i)}[l]$), L_g es el número de coeficientes de los filtros de compensación y $w^{(i)}[n]$ es la señal libre de *offset* de DC dada por

$$w^{(i)}[n] = y^{(i)}[n] - \hat{o}^{(i)}[n], \quad (\text{B.2})$$

siendo $\hat{o}^{(i)}[n]$ la estimación de la secuencia M -periódica del *offset*. La combinación

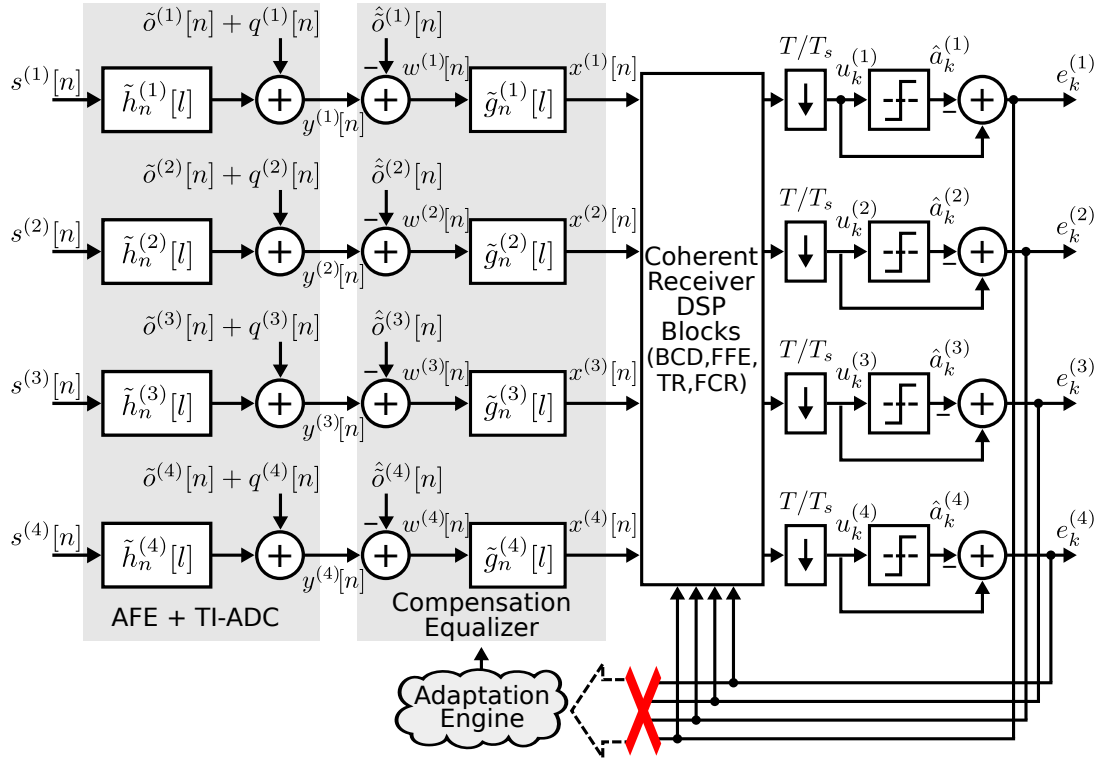


Figura B.3: Diagrama en bloques de un receptor óptico coherente con DP incluyendo el CE para mitigar los efectos tanto de los desajustes del AFE como de los TI-ADCs.

de los bloques de compensación de *offset* de DC y los filtros de compensación $\tilde{g}_n^{(i)}[l]$ constituye el CE. La adaptación del CE en estos trabajos fue posible debido a que el único bloque entre el CE y la salida del DSP es el ecualizador principal. De esta forma, el error del *slicer* puede ser empleado para ajustar los coeficientes del CE que corresponde a cada sub ADC usando algoritmos como por ejemplo el de LMS. Sin embargo, en los sistemas de comunicaciones ópticas coherentes, los receptores presentan arquitecturas complejas lo que hace que su implementación no sea viable, como se verá a continuación.

La Fig. B.3 muestra el diagrama en bloques del modelo del AFE en un receptor óptico coherente con DP, junto a su correspondiente TI-ADC. Dicho modelo incluye el CE adaptativo, que con cuatro instancias del filtro real definido en (B.1). El algoritmo de adaptación del CE propuesto en [60] o [59] no puede implementarse en receptores de comunicaciones ópticas coherentes debido a la presencia de varios bloques de preprocesamiento de señal situados entre el CE y los *slicers*, como los mencionados anteriormente [3]. Estos bloques no solo combinan las muestras de los distintos sub ADCs en un TI-ADC, si no también aquellas

que provienen de las distintas componentes e incluso polarizaciones. La razón de esto es que idealmente el receptor debe contrarrestar los efectos del canal, descritos en la Sección 2.2.2. Dado que los errores del *slicer* no están disponibles en las salidas del CE, se debe definir una estrategia adecuada para adaptar la respuesta del CE. El capítulo C desarrolla el algoritmo de *backpropagation* para adaptar continuamente los coeficientes del CE.

Apéndice C

Compensación adaptativa del *offset* de DC entre los TI-ADCs del receptor

La derivada parcial de $\bar{\mathcal{E}}_N$ con respecto a cada coeficiente de compensación del *offset* de DC $\hat{\delta}_{m_0}^{(i_0)}$ se determina como

$$\begin{aligned}\frac{\partial \bar{\mathcal{E}}_N}{\partial \hat{\delta}_{m_0}^{(i_0)}} &= \frac{\partial}{\partial \hat{\delta}_{m_0}^{(i_0)}} \left(\frac{1}{2N+1} \sum_{k=-N}^N \sum_{j=1}^4 \left(u_k^{(j)} - \tilde{a}_k^{(j)} \right)^2 \right) \\ &= \frac{1}{2N+1} \sum_{k=-N}^N \sum_{j=1}^4 \frac{\partial}{\partial \hat{\delta}_{m_0}^{(i_0)}} \left(\left(u_k^{(j)} - \tilde{a}_k^{(j)} \right)^2 \right).\end{aligned}\quad (\text{C.1})$$

donde $l_0 \in \{0, 1, \dots, L_g - 1\}$, $m_0 \in \{0, 1, \dots, M - 1\}$, e $i_0 \in \{1, 2, 3, 4\}$.

De acuerdo con [82], es posible aproximar el símbolo detectado $\tilde{a}_k^{(j)}$ por el símbolo transmitido $a_k^{(j)}$, el cual es independiente del coeficiente $\hat{\delta}_{m_0}^{(i_0)}$. Entonces, la derivada parcial de $\bar{\mathcal{E}}_N$ (C.1) respecto a $\hat{\delta}_{m_0}^{(i_0)}$ se puede expresar como:

$$\frac{\partial \bar{\mathcal{E}}_N}{\partial \hat{\delta}_{m_0}^{(i_0)}} = \frac{2}{2N+1} \sum_{k=-N}^N \sum_{j=1}^4 e_k^{(j)} \frac{\partial u_k^{(j)}}{\partial \hat{\delta}_{m_0}^{(i_0)}}, \quad (\text{C.2})$$

Dado que el *slicer* opera a una tasa de muestreo menor a la del TI-ADC, se realiza un diezmo de las muestras producidas por el DSP. Entonces, para aplicar *backpropagation* sobre las señales de error de los *slicers* $e_k^{(j)}$ hasta la salida del DSP, estas se deben sobre-muestrear por el mismo factor con que

se diezmaron. De esta forma se define la secuencia de error sobre-muestreado, retro-propagado hacia la salida del DSP $e^{(j)}[n]$ como

$$e^{(j)}[n] = \begin{cases} e_{n/2}^{(j)} & \text{si } n = 0, \pm 2, \pm 4, \dots \\ 0 & \text{otro } n \end{cases}. \quad (\text{C.3})$$

Reemplazando (C.3) en (C.2), la derivada del error cuadrático medio, sobre-muestreado, respecto al coeficiente $\hat{\delta}_{m_0}^{(i_0)}$ del CE en función del error del *slicer* sobremuestreado puede expresarse como:

$$\frac{\partial \bar{\mathcal{E}}_N}{\partial \hat{\delta}_{m_0}^{(i_0)}} = \frac{2}{2N+1} \sum_{n=-2N}^{2N} \sum_{j=1}^4 e^{(j)}[n] \frac{\partial u^{(j)}[n]}{\partial \hat{\delta}_{m_0}^{(i_0)}}. \quad (\text{C.4})$$

Entonces, el objetivo ahora es hallar una expresión para la derivada de las salidas sub muestreadas del DSP con respecto a los coeficientes del CE, $\frac{\partial u^{(j)}[n]}{\partial \hat{\delta}_{m_0}^{(i_0)}}$ para reemplazar en (C.4). Para ello, primero se procede a expresar las secuencias tanto de las entradas como las salidas del DSP en función de las muestras de cada sub ADC. Dichas secuencias pueden reescribirse redefiniendo el índice temporal n como ya se hizo en (3.15). De esta forma, la secuencia de la i -ésima entrada del DSP puede ser reescrita como, la cual se reescribe a continuación

$$x^{(i)}[m + k'M] = \sum_{l'=0}^{L_g-1} g_m^{(i)}[l'] y^{(i)}[m + k'M - l'] - \hat{\delta}_m^{(i)}. \quad (\text{C.5})$$

Por otra parte, a partir de (3.15), la derivada del error medio respecto a cada coeficiente de compensación de *offset* de DC en (C.4) (omitiendo el factor constante $\frac{2}{2N+1}$) se puede expresar como:

$$\frac{\partial \bar{\mathcal{E}}_N}{\partial \hat{\delta}_{m_0}^{(i_0)}} \propto \sum_{k'} \sum_{m=0}^{M-1} \sum_{j=1}^4 e^{(j)}[m + k'M] \frac{\partial u^{(j)}[m + k'M]}{\partial \hat{\delta}_{m_0}^{(i_0)}}. \quad (\text{C.6})$$

Considerando que los coeficientes del DSP $\Gamma_n^{(j,i)}[l]$ y los coeficientes del CE $\hat{\delta}_{m_0}^{(i_0)}$ son independientes, se puede reemplazar la secuencia sub-muestreada de entrada al *slicer* $u^{(j)}[n]$ de (3.4) en el segundo multiplicando de (C.6), de forma que se obtiene

$$\frac{\partial u^{(j)}[m + k'M]}{\partial \hat{\delta}_{m_0}^{(i_0)}} = \sum_{i=1}^4 \sum_{l=0}^{L_\Gamma-1} \Gamma_{m+k'M}^{(j,i)}[l] \frac{\partial x^{(i)}[m + k'M - l]}{\partial \hat{\delta}_{m_0}^{(i_0)}}, \quad (\text{C.7})$$

A partir de (3.2), la derivada parcial de la secuencia de salida de un sub ADC en función del coeficiente del $\hat{\delta}_{m_0}^{(i_0)}$ CE se determina como:

$$\frac{\partial x^{(i)}[m + k'M]}{\partial \hat{\delta}_{m_0}^{(i_0)}} = -\delta_{m,m_0} \delta_{i,i_0}, \quad (\text{C.8})$$

donde $\delta_{n,m}$ es la función delta de Kronecker (es 1 cuando $n = m$ y 0 para todo otro caso).

Reemplazando (C.8) en (C.7) se obtiene que la derivada de la salida submuestreada del DSP con respecto a los coeficientes del CE depende de los coeficientes internos del primero y de las muestras cada sub ADC, por medio de:

$$\frac{\partial u^{(j)}[m + k'M]}{\partial \hat{\delta}_{m_0}^{(i_0)}} = - \sum_{l=0}^{L_\Gamma-1} \Gamma_{m+k'M}^{(j,i_0)}[l] \delta_{m,m_0}. \quad (\text{C.9})$$

Luego, reemplazando (C.9) en (C.6), se obtiene

$$\frac{\partial \bar{\mathcal{E}}_N}{\partial \hat{\delta}_{m_0}^{(i_0)}} \propto \sum_{k'} \sum_{j=1}^4 e^{(j)}[m_0 + k'M] \times \sum_{l=0}^{L_\Gamma-1} \Gamma_{m_0+k'M}^{(j,i_0)}[l], \quad (\text{C.10})$$

donde por simplicidad se omite el signo menos.

Finalmente, mediante el cambio de variable $kM = k'M - l$ se establece que

$$\frac{\partial \bar{\mathcal{E}}_N}{\partial \hat{\delta}_{m_0}^{(i_0)}} \propto \sum_k \hat{e}^{(i_0)}[m_0 + kM], \quad (\text{C.11})$$

donde

$$\hat{e}^{(i)}[n] = \sum_{j=1}^4 \sum_{l=0}^{L_\Gamma-1} \Gamma_{n+l}^{(j,i)}[l] e^{(j)}[n + l] \quad (\text{C.12})$$

recibe el nombre de error de **backpropagation** hacia la salida del compensador de *offset* de DC para el i -ésimo canal.

Como resultado, la compensación de los desajustes de *offset* de DC en las

muestras de entrada a partir de (C.12), se actualiza según

$$\hat{o}_{m,p+1}^{(i)} = \hat{o}_{m,p}^{(i)} - \mu_o \hat{e}^{(i)}[n + m], \quad m = 0, \dots, M - 1, \quad (\text{C.13})$$

donde μ_o es el paso adaptación de la compensación de *offset*.

Bibliografía

- [1] D. Uzunidis, M. Logothetis, A. Stavdas *et al.*, “Fifty Years of Fixed Optical Networks Evolution: A Survey of Architectural and Technological Developments in a Layered Approach,” *Telecom*, vol. 3, no. 4, pp. 619–674, Nov. 2022.
- [2] G. Raybon, “High Symbol Rate Transmission Systems for Data Rates from 400 Gb/s to 1Tb/s,” in *Opt. Fiber Commun. Conf. (OFC)*. Los Angeles, California: OSA, 2015, p. M3G.1.
- [3] D. A. Morero, M. A. Castrillón, A. Aguirre *et al.*, “Design Tradeoffs and Challenges in Practical Coherent Optical Transceiver Implementations,” *J. Lightw. Technol.*, vol. 34, no. 1, pp. 121–136, Jan. 2016.
- [4] M. S. Faruk and S. J. Savory, “Digital Signal Processing for Coherent Transceivers Employing Multilevel Formats,” *J. Lightw. Technol.*, vol. 35, no. 5, pp. 1125–1141, Mar. 2017.
- [5] D. E. Crivelli, M. R. Hueda, H. S. Carrer *et al.*, “Architecture of a Single-Chip 50 Gb/s DP-QPSK/BPSK Transceiver With Electronic Dispersion Compensation for Coherent Optical Channels,” *IEEE Trans. Circuits Syst. I*, vol. 61, no. 4, pp. 1012–1025, Apr. 2014.
- [6] S. Palermo, S. Hoyos, A. Shafik *et al.*, “CMOS ADC-based receivers for high-speed electrical and optical links,” *IEEE Commun. Mag.*, vol. 54, no. 10, pp. 168–175, Oct. 2016.
- [7] M. Brandolini, Y. J. Shin, K. Raviprakash *et al.*, “A 5 GS/s 150 mW 10 b SHA-Less Pipelined/SAR Hybrid ADC for Direct-Sampling Systems in 28

- nm CMOS,” *IEEE J. Solid-State Circuits*, vol. 50, no. 12, pp. 2922–2934, Dec. 2015.
- [8] Y. Xu, G. Wu, L. Belostotski *et al.*, “5-bit 5-GS/s Noninterleaved Time-Based ADC in 65-nm CMOS for Radio-Astronomy Applications,” *IEEE Trans. VLSI Syst.*, vol. 24, no. 12, pp. 3513–3525, Dec. 2016.
- [9] C. Schmidt, H. Yamazaki, G. Raybon *et al.*, “Data Converter Interleaving: Current Trends and Future Perspectives,” *IEEE Commun. Mag.*, vol. 58, no. 5, pp. 19–25, May 2020. [Online]. Available: <https://ieeexplore.ieee.org/document/9112736/>
- [10] M. Nagatani, H. Wakita, H. Yamazaki *et al.*, “A Beyond-1-Tb/s Coherent Optical Transmitter Front-End Based on 110-GHz-Bandwidth 2:1 Analog Multiplexer in 250-nm InP DHBT,” *IEEE J. Solid-State Circuits*, vol. 55, no. 9, pp. 2301–2315, Sep. 2020. [Online]. Available: <https://ieeexplore.ieee.org/document/9094686/>
- [11] G. Cooke, N. Weiss, P. Schvan *et al.*, “Track and Hold Amplifier Investigation for 100-GHz Bandwidth, 200-GS/s ADC Front Ends,” *IEEE Solid-State Circuits Letters*, vol. 5, pp. 54–57, 2022.
- [12] B. Murmann, “ADC Performance Survey 1997-2021,” 2021. [Online]. Available: <https://web.stanford.edu/~murmann/adcsurvey.html>
- [13] B. Razavi, “The Flash ADC [A Circuit for All Seasons],” *IEEE Solid-State Circuits Magazine*, vol. 9, no. 3, pp. 9–13, 2017. [Online]. Available: <http://ieeexplore.ieee.org/document/8016484/>
- [14] W. Black, C. and D. Hodges, “Time interleaved converter arrays,” *IEEE J. Solid-State Circuits*, vol. 15, no. 6, pp. 1022–1029, 1980.
- [15] L. Kull, D. Luu, C. Menolfi *et al.*, “A 24-72-GS/s 8-b Time-Interleaved SAR ADC With 2.0-3.3-pJ/Conversion and >30 dB SNDR at Nyquist in 14-nm CMOS FinFET,” *IEEE J. Solid-State Circuits*, vol. 53, no. 12, pp. 3508–3516, Dec. 2018.

- [16] M. Pisati, F. De Bernardinis, P. Pascale *et al.*, “A 243-mW 1.25–56-Gb/s Continuous Range PAM-4 42.5-dB IL ADC/DAC-Based Transceiver in 7-nm FinFET,” *IEEE J. Solid-State Circuits*, vol. 55, no. 1, pp. 6–18, Jan. 2020.
- [17] J. Hudner, D. Carey, R. Casey *et al.*, “A 112Gb/s PAM4 Wireline Receiver Using a 64-Way Time-Interleaved SAR ADC in 16nm FinFET,” in *Proc. IEEE Symp. VLSI Circuits*, Jun. 2018, pp. 47–48.
- [18] K. Sun, G. Wang, Q. Zhang *et al.*, “A 56-GS/s 8-bit Time-Interleaved ADC With ENOB and BW Enhancement Techniques in 28-nm CMOS,” *IEEE J. Solid-State Circuits*, vol. 54, no. 3, pp. 821–833, Mar. 2019.
- [19] R. L. Nguyen, A. M. Castrillon, A. Fan *et al.*, “A Highly Reconfigurable 40–97GS/s DAC and ADC with 40GHz AFE Bandwidth and Sub-35fJ/conv-step for 400Gb/s Coherent Optical Applications in 7nm FinFET,” in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, vol. 64, Feb. 2021, pp. 136–138.
- [20] Y. Segal, A. Laufer, A. Khairi *et al.*, “A 1.41pJ/b 224Gb/s PAM-4 SerDes Receiver with 31dB Loss Compensation,” in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, vol. 65, Feb. 2022, pp. 114–116, iSSN: 2376-8606.
- [21] L. Kull, T. Toifi, M. Schmatz *et al.*, “A 90GS/s 8b 667mW 64× interleaved SAR ADC in 32nm digital SOI CMOS,” in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, Feb. 2014, pp. 378–379, iSSN: 2376-8606.
- [22] B. T. Reyes, L. Biolato, A. C. Galetto *et al.*, “An Energy-Efficient Hierarchical Architecture for Time-Interleaved SAR ADC,” *IEEE Trans. Circuits Syst. I*, vol. 66, no. 6, pp. 2064–2076, Jun. 2019.
- [23] L. Kull, D. Luu, P. A. Francese *et al.*, “CMOS ADCs Towards 100 GS/s and Beyond,” in *Proc. IEEE Compound Semiconductor Integr. Circuit Symp. (CSICS)*, Austin, TX, USA, Oct. 2016.

- [24] N. Kurosawa, H. Kobayashi, K. Maruyama *et al.*, “Explicit analysis of channel mismatch effects in time-interleaved ADC systems,” *IEEE Trans. Circuits Syst. I*, vol. 48, no. 3, pp. 261–271, Mar. 2001.
- [25] C. Vogel, “The Impact of Combined Channel Mismatch Effects in Time-Interleaved ADCs,” *IEEE Trans. Instrum. Meas.*, vol. 54, no. 1, pp. 415–427, Feb. 2005.
- [26] X. Chen, S. Chandrasekhar, S. Randel *et al.*, “Experimental Quantification of Implementation Penalties from Limited ADC Resolution for Nyquist Shaped Higher-Order QAM,” in *Opt. Fiber Commun. Conf. Exhib. (OFC)*. Anaheim, California: OSA, 2016, p. W4A.3.
- [27] B. Murmann, “Digitally assisted data converter design,” in *Proc. IEEE ESSCIRC 2013*, Bucharest, Romania, Sep. 2013, pp. 24–31.
- [28] B. Verbruggen, “Digitally Assisted Analog to Digital Converters,” in *High-Performance AD and DA Converters, IC Design in Scaled Technologies, and Time-Domain Signal Processing*, P. Harpe, A. Baschiroto, and K. A. A. Makinwa, Eds. Springer International Publishing, 2015, pp. 25–44.
- [29] X. Li, C. Huang, D. Ding *et al.*, “A Review on Calibration Methods of Timing-Skew in Time-Interleaved ADCs,” *J. Circuits Syst. Comp.*, vol. 29, no. 02, p. 2030002, Feb. 2020.
- [30] M. Guo, S.-W. Sin, and R. P. Martins, “Background Timing-Skew Mismatch Calibration for Time-Interleaved ADCs,” in *2021 18th International SoC Design Conference (ISOCC)*, Oct. 2021, pp. 248–249, iSSN: 2163-9612.
- [31] C. Vogel and H. Johansson, “Time-Interleaved Analog-To-Digital Converters: Status and Future Directions,” in *2006 IEEE International Symposium on Circuits and Systems*. Island of Kos, Greece: IEEE, 2006, pp. 3386–3389. [Online]. Available: <http://ieeexplore.ieee.org/document/1693352/>

- [32] F. Churchill, G. Ogar, and B. Thompson, "The Correction of I and Q Errors in a Coherent Processor," *IEEE Trans. Aeros. Electron. Syst.*, vol. AES-17, no. 1, pp. 131–137, Jan. 1981.
- [33] E. P. da Silva and D. Zibar, "Widely Linear Equalization for IQ Imbalance and Skew Compensation in Optical Coherent Receivers," *J. Lightw. Technol.*, vol. 34, no. 15, pp. 3577–3586, Aug. 2016.
- [34] J. Liu, C.-H. Chan, S.-W. Sin *et al.*, "Accuracy-Enhanced Variance-Based Time-Skew Calibration Using SAR as Window Detector," *IEEE Trans. Very Large Scale Ingr. (VLSI) Syst.*, vol. 27, no. 2, pp. 481–485, Feb. 2019.
- [35] J. Song, K. Ragab, X. Tang *et al.*, "A 10-b 800-MS/s Time-Interleaved SAR ADC With Fast Variance-Based Timing-Skew Calibration," *IEEE J. Solid-State Circuits*, vol. 52, no. 10, pp. 2563–2575, Oct. 2017.
- [36] M. Guo, J. Mao, S.-W. Sin *et al.*, "A 1.6-GS/s 12.2-mW Seven-/Eight-Way Split Time-Interleaved SAR ADC Achieving 54.2-dB SNDR With Digital Background Timing Mismatch Calibration," *IEEE J. Solid-State Circuits*, vol. 55, no. 3, pp. 693–705, Mar. 2020.
- [37] D.-S. Jo, B.-R.-S. Sung, M.-J. Seo *et al.*, "A 40-nm CMOS 7-b 32-GS/s SAR ADC With Background Channel Mismatch Calibration," *IEEE Trans. Circuits Syst. II*, vol. 67, no. 4, pp. 610–614, Apr. 2020.
- [38] S. Saleem and C. Vogel, "Adaptive Compensation of Frequency Response Mismatches in High-Resolution Time-Interleaved ADCs using a Low-Resolution ADC and a Time-Varying Filter," in *Proc. IEEE Int. Symp. Circuits Syst. (ISCAS)*, Paris, France, May 2010, pp. 561–564.
- [39] D. Stepanovic and B. Nikolic, "A 2.8 GS/s 44.6 mW Time-Interleaved ADC Achieving 50.9 dB SNDR and 3 dB Effective Resolution Bandwidth of 1.5 GHz in 65 nm CMOS," *IEEE J. Solid-State Circuits*, vol. 48, no. 4, pp. 971–982, Apr. 2013.
- [40] D.-J. Chang, M. Choi, and S.-T. Ryu, "A 28-nm 10-b 2.2-GS/s 18.2-mW Relative-Prime Time-Interleaved Sub-Ranging SAR ADC

- With On-Chip Background Skew Calibration,” *IEEE J. Solid-State Circuits*, vol. 56, no. 9, pp. 2691–2700, Sep. 2021. [Online]. Available: <https://ieeexplore.ieee.org/document/9420152/>
- [41] M. Ni, X. Wang, F. Li *et al.*, “A 13-Bit 2-GS/s Time-Interleaved ADC With Improved Correlation-Based Timing Skew Calibration Strategy,” *IEEE Trans. Circuits Syst. I*, vol. 69, no. 2, pp. 481–494, Feb. 2022.
- [42] M. El-Chammas and B. Murmann, “A 12-GS/s 81-mW 5-bit Time-Interleaved Flash ADC With Background Timing Skew Calibration,” *IEEE J. Solid-State Circuits*, vol. 46, no. 4, pp. 838–847, Apr. 2011.
- [43] A. Salib, M. F. Flanagan, and B. Cardiff, “A High-Precision Time Skew Estimation and Correction Technique for Time-Interleaved ADCs,” *IEEE Trans. Circuits Syst. I*, vol. 66, no. 10, pp. 3747–3760, Oct. 2019.
- [44] X. Wang, F. Li, and Z. Wang, “A novel autocorrelation-based timing mismatch Calibration strategy in Time-Interleaved ADCs,” in *Proc. IEEE Int. Symp. Circuits Syst. (ISCAS)*. Montréal, QC, Canada: IEEE, May 2016, pp. 1490–1493. [Online]. Available: <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=7527540>
- [45] Z. Lu, H. Tang, Z. Ren *et al.*, “A Timing Mismatch Background Calibration Algorithm With Improved Accuracy,” *IEEE Trans. VLSI Syst.*, vol. 29, no. 8, pp. 1591–1595, Aug. 2021.
- [46] A. Haftbaradaran and K. Martin, “A Background Sample-Time Error Calibration Technique Using Random Data for Wide-Band High-Resolution Time-Interleaved ADCs,” *IEEE Trans. Circuits Syst. II*, vol. 55, no. 3, pp. 234–238, 2008.
- [47] X. Wang, F. Li, W. Jia *et al.*, “A 14-Bit 500-MS/s Time-Interleaved ADC With Autocorrelation-Based Time Skew Calibration,” *IEEE Trans. Circuits Syst. II*, vol. 66, no. 3, pp. 322–326, Mar. 2019, conference Name: IEEE Transactions on Circuits and Systems II: Express Briefs.

- [48] H. Wei, P. Zhang, B. D. Sahoo *et al.*, “An 8 Bit 4 GS/s 120 mW CMOS ADC,” *IEEE J. Solid-State Circuits*, vol. 49, no. 8, pp. 1751–1761, Aug. 2014.
- [49] Q. Lei, Y. Zheng, D. Zhu *et al.*, “A Statistic Based Time Skew Calibration Method for Time-Interleaved ADCs,” in *Proc. IEEE Int. Symp. Circuits Syst. (ISCAS)*, Jun. 2014, pp. 2373–2376, iSSN: 2158-1525.
- [50] J. Song and N. Sun, “A 10-b 600-MS/s 2-way Time-Interleaved SAR ADC with Mean Absolute deviation based Background Timing-Skew Calibration,” in *Proc. IEEE Custom Integrated Circuits Conf.* San Diego, CA: IEEE, Apr. 2018, pp. 1–4.
- [51] S. Lee, A. P. Chandrakasan, and H. Lee, “A 1 GS/s 10b 18.9 mW Time-Interleaved SAR ADC With Background Timing Skew Calibration,” *IEEE J. Solid-State Circuits*, vol. 49, no. 12, pp. 2846–2856, Dec. 2014.
- [52] H. Mafi, M. Yargholi, and M. Yavari, “Digital Blind Background Calibration of Imperfections in Time-Interleaved ADCs,” *IEEE Trans. Circuits Syst. I*, vol. 64, no. 6, pp. 1504–1514, Jun. 2017.
- [53] J. Song, K. Ragab, X. Tang *et al.*, “A 10-b 600-MS/s 2-Way Time-Interleaved SAR ADC With Mean Absolute Deviation-Based Background Timing-Skew Calibration,” *IEEE Trans. Circuits Syst. I*, vol. 66, no. 8, pp. 2876–2887, Aug. 2019. [Online]. Available: <https://ieeexplore.ieee.org/document/8700252/>
- [54] K. Seong, D.-K. Jung, D.-H. Yoon *et al.*, “Time-Interleaved SAR ADC with Background Timing-Skew Calibration for UWB Wireless Communication in IoT Systems,” *Sensors*, vol. 20, no. 8, p. 2430, Jan. 2020, number: 8 Publisher: Multidisciplinary Digital Publishing Institute. [Online]. Available: <https://www.mdpi.com/1424-8220/20/8/2430>
- [55] Y. Qiu, J. Zhou, Y. Liu *et al.*, “A Novel Calibration Method of Gain and Time-skew Mismatches for Time-interleaved ADCs Based on Neural Network,” in *2019 IEEE MTT-S International Wireless Symposium (IWS)*, May 2019, pp. 1–3.

- [56] Y. A. Tavares and M. Lee, "A Foreground Calibration for M-Channel Time-Interleaved Analog-to-Digital Converters Based on Genetic Algorithm," *IEEE Trans. Circuits Syst. I*, vol. 68, no. 4, pp. 1444–1457, Apr. 2021.
- [57] Y. Zhao, S. Li, L. Li *et al.*, "A Novel Time Delay Estimation and Calibration Method of TI-ADC Based on a Coherent Optical Communication System," *Photonics*, vol. 8, no. 9, p. 398, Sep. 2021.
- [58] E. Ware, J. Correll, S. Lee *et al.*, "6GS/s 8-channel CIC SAR TI-ADC with Neural Network Calibration," in *ESSCIRC 2022- IEEE 48th European Solid State Circuits Conference (ESSCIRC)*, Sep. 2022, pp. 325–328.
- [59] G. C. Luna, D. E. Crivelli, M. R. Hueda *et al.*, "Compensation of track and hold frequency response mismatches in interleaved analog to digital converters for high-speed communications," in *Proc. IEEE Int. Symp. Circuits Syst. (ISCAS)*, Island of Kos, Greece, May 2006, pp. 1631–1634.
- [60] T.-H. Tsai, P. J. Hurst, and S. H. Lewis, "Correction of Mismatches in a Time-Interleaved Analog-to-Digital Converter in an Adaptively Equalized Digital Communication Receiver," *IEEE Trans. Circuits Syst. I*, vol. 56, no. 2, pp. 307–319, Feb. 2009.
- [61] O. Agazzi, M. Hueda, D. Crivelli *et al.*, "A 90 nm CMOS DSP MLSD Transceiver With Integrated AFE for Electronic Dispersion Compensation of Multimode Optical Fibers at 10 Gb/s," *IEEE J. Solid-State Circuits*, vol. 43, no. 12, pp. 2939–2957, Dec. 2008.
- [62] F. Solis, B. T. Reyes, D. A. Morero *et al.*, "Design and Experimental Verification of a Novel Error-Backpropagation-Based Background Calibration for Time Interleaved ADC in Digital Communication Receivers," 2022, publisher: arXiv Version Number: 1. [Online]. Available: <https://arxiv.org/abs/2204.04806>
- [63] F. Solis, A. F. Bocco, D. Morero *et al.*, "Background Calibration of Time-Interleaved ADC for Optical Coherent Receivers using Error Backpropagation Techniques," in *Proc. IEEE Int. Symp. Circuits Syst. (ISCAS)*, Sevilla, Spain, Oct. 2020, pp. 1–5.

- [64] F. Solis, B. T. Reyes, D. A. Morero *et al.*, “Error-Backpropagation-Based Background Calibration of TI-ADC for Adaptively Equalized Digital Communication Receivers,” *IEEE Access*, vol. 10, pp. 103 013–103 027, 2022.
- [65] F. Solis, D. Morero, M. R. Hueda *et al.*, “Experimental Evaluation of Backpropagation-Based Background Compensation of TI-ADC with Application to Digital Communication Receivers,” in *Proc. IEEE Int. Symp. Circuits Syst. (ISCAS)*, Daegu, Korea, May 2021, pp. 1–5.
- [66] Á. F. Bocco, F. Solis, B. T. Reyes *et al.*, “An Error Backpropagation-based Background Calibration of Pipeline TI-ADCs for 256-QAM Optical Coherent Receivers,” in *IEEE Latin American Symp. Circuits Syst. (LASCAS)*, Feb. 2021, pp. 1–4, iSSN: 2473-4667.
- [67] Á. F. Bocco, F. Solis, B. T. Reyes *et al.*, “Background Compensation of Static TI-ADC Nonlinearities in Coherent Optical Receivers,” in *2021 Argentine Conference on Electronics (CAE)*, Mar. 2021, pp. 45–49.
- [68] F. Solis, Á. Fernández Bocco, A. C. Galetto *et al.*, “A 4GS/s 8-bit time-interleaved SAR ADC with an energy-efficient architecture in 130 nm CMOS,” *Int J Circ Theor Appl*, vol. 49, no. 10, pp. 3171–3185, 2021.
- [69] D. R. Paschotta, “Single-mode fibers.” [Online]. Available: https://www.rp-photonics.com/single_mode_fibers.html
- [70] G. P. Agrawal, *Fiber-Optic Communication Systems*, 4th ed. New York: Wiley, Oct. 2010.
- [71] D. E. Crivelli, H. S. Carrer, and M. R. Hueda, “Adaptive Digital Equalization in the Presence of Chromatic Dispersion, PMD, and Phase Noise in Coherent Fiber Optic Systems,” in *Proc. IEEE Global Telecommun. Conf.*, vol. 4, Dallas, TX, USA, Nov. 2004, pp. 2545–2551.
- [72] C. R. S. Fludger, “Digital Signal Processing for Coherent Transceivers in Next Generation Optical Networks,” in *Proc. Eur. Conf. Opt. Commun.*, Cannes, France, Sep. 2014, pp. 1–3.

- [73] J. G. Proakis and D. G. Manolakis, *Digital signal processing: principles, algorithms, and applications*. Prentice Hall, 1996.
- [74] A. K. Dutta, N. K. Dutta, and M. Fujiwara, Eds., *WDM Technologies: Optical Networks*, 1st ed. Amsterdam ; Boston: Academic Press, Aug. 2004.
- [75] S.-W. Sin, U.-F. Chio, U. Seng-Pan *et al.*, “Statistical Spectra and Distortion Analysis of Time-Interleaved Sampling Bandwidth Mismatch,” *IEEE Trans. Circuits Syst. II*, vol. 55, no. 7, pp. 648–652, Jul. 2008.
- [76] D. Marco and D. Neuhoff, “The validity of the additive noise model for uniform scalar quantizers,” *IEEE Transactions on Information Theory*, vol. 51, no. 5, pp. 1739–1755, May 2005, conference Name: IEEE Transactions on Information Theory.
- [77] A. V. Oppenheim, A. S. Willsky, and w. S. Hamid, *Signals and Systems*, 2nd ed. Prentice Hall, Aug. 1996.
- [78] W. Freude, R. Schmogrow, B. Nebendahl *et al.*, “Quality metrics for optical signals: Eye diagram, Q-factor, OSNR, EVM and BER,” in *Proc. Int. Conf. Transparent Opt. Netw. (ICTON)*, Jul. 2012, pp. 1–4.
- [79] C. C. K. Chan, *Optical Performance Monitoring: Advanced Techniques for Next-Generation Photonic Networks*. Academic Press, Feb. 2010.
- [80] T.-H. Tsai, P. Hurst, and S. Lewis, “Bandwidth Mismatch and Its Correction in Time-Interleaved Analog-to-Digital Converters,” *IEEE Trans. Circuits Syst. II*, vol. 53, no. 10, pp. 1133–1137, Oct. 2006.
- [81] S. S. Haykin, *Adaptive Filter Theory*, 4th ed. Upper Saddle River, N.J: Prentice Hall, 2002.
- [82] E. A. Lee and D. G. Messerschmitt, *Digital Communication*, 3rd ed. Dordrecht: Springer, 2004.

- [83] D. E. Rumelhart, G. E. Hinton, and R. J. Williams, “Learning representations by back-propagating errors,” *Nature*, vol. 323, no. 6088, pp. 533–536, Oct. 1986.
- [84] I. Goodfellow, Y. Bengio, and A. Courville, *Deep Learning*. MIT Press, 2016.
- [85] D. Tse and P. Viswanath, *Fundamentals of Wireless Communication*. Cambridge, UK ; New York: Cambridge University Press, Jul. 2005.
- [86] S. Basodi, C. Ji, H. Zhang *et al.*, “Gradient amplification: An efficient way to train deep neural networks,” *Big Data Mining and Analytics*, vol. 3, no. 3, pp. 196–207, Sep. 2020.
- [87] B. T. Reyes, R. M. Sanchez, A. L. Pola *et al.*, “Design and Experimental Evaluation of a Time-Interleaved ADC Calibration Algorithm for Application in High-Speed Communication Systems,” *IEEE Trans. Circuits Syst. I*, vol. 64, no. 5, pp. 1019–1030, May 2017.
- [88] G. Kim, M. Kossel, A. Cevrero *et al.*, “A 161-mW 56-Gb/s ADC-Based Discrete Multitone Wireline Receiver Data-Path in 14-nm FinFET,” *IEEE J. Solid-State Circuits*, vol. 55, no. 1, pp. 38–48, Jan. 2020.
- [89] Texas Instruments, “DAC5681/81z/82zEVM User’s Guide,” 2008. [Online]. Available: <https://www.ti.com/lit/ug/slau236a/slau236a.pdf>
- [90] Altera, “Stratix IV GX FPGA Development Kit User Guide,” Mar. 2014. [Online]. Available: https://www.altera.com/content/dam/altera-www/global/en_US/pdfs/literature/ug/ug_sivgx_fpga_dev_kit.pdf
- [91] Mini-Circuits, “Coaxial Low Pass Filter VLF-190+ - Datasheet,” 2008. [Online]. Available: <https://www.minicircuits.com/pdfs/VLF-490+.pdf>
- [92] H. Le Duc, D. M. Nguyen, C. Jabbour *et al.*, “Fully Digital Feedforward Background Calibration of Clock Skews for Sub-Sampling TIADCs Using the Polyphase Decomposition,” *IEEE Trans. Circuits Syst. I*, vol. 64, no. 6, pp. 1515–1528, Jun. 2017.

- [93] B. Reyes, G. Paulina, L. Tealdi *et al.*, “A 1.6 Gb/s CMOS LVDS Transmitter with a Programmable Pre-Emphasis System,” in *2014 IEEE 5th Latin American Symposium on Circuits and Systems (LASCAS)*, Feb. 2014, pp. 1–4.
- [94] Y. M. Greshishchev, J. Aguirre, M. Besson *et al.*, “A 40 GS/s 6b ADC in 65nm CMOS,” in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, Feb. 2010, pp. 390–391.
- [95] L. Kull, “Challenges in implementing high-speed, low-power ADCs in CMOS,” in *Optical Fiber Communication Conference*. Los Angeles, California: OSA, 2015, p. Th1B.2. [Online]. Available: <https://www.osapublishing.org/abstract.cfm?URI=OFC-2015-Th1B.2>
- [96] G. Tretter, D. Fritsche, M. M. Khafaji *et al.*, “A 55-GHz-Bandwidth Track-and-Hold Amplifier in 28-nm Low-Power CMOS,” *IEEE Trans. Circuits Syst. II*, vol. 63, no. 3, pp. 229–233, Mar. 2016.
- [97] B. Razavi, “Design Considerations for Interleaved ADCs,” *IEEE J. Solid-State Circuits*, vol. 48, no. 8, pp. 1806–1817, Aug. 2013.
- [98] B. Razavi, *Design of Analog CMOS Integrated Circuits*, 2nd ed. New York, NY: McGraw-Hill Education, 2016.
- [99] J. M. Rabaey, A. Chandrakasan, and B. Nikolic, *Digital Integrated Circuits: A Design Perspective*, 2nd ed. Upper Saddle River, N.J: Pearson Education, Jan. 2003.
- [100] B. Razavi, “Problem of timing mismatch in interleaved ADCs,” in *Proceedings of the IEEE 2012 Custom Integrated Circuits Conference*, Sep. 2012, pp. 1–8.
- [101] B. T. Reyes, G. Paulina, R. Sanchez *et al.*, “A 2GS/s 6-bit CMOS time-interleaved ADC for analysis of mixed-signal calibration techniques,” *Analog Integr Circ Sig Process*, vol. 85, no. 1, pp. 3–16, Jul. 2015.

- [102] M. Pelgrom, A. Duinmaijer, and A. Welbers, "Matching properties of MOS transistors," *IEEE J. Solid-State Circuits*, vol. 24, no. 5, pp. 1433–1439, Oct. 1989.
- [103] B. P. Ginsburg and A. P. Chandrakasan, "500-MS/s 5-bit ADC in 65-nm CMOS With Split Capacitor Array DAC," *IEEE J. Solid-State Circuits*, vol. 42, no. 4, pp. 739–747, Apr. 2007.
- [104] P. Nuzzo, F. De Bernardinis, P. Terreni *et al.*, "Noise Analysis of Regenerative Comparators for Reconfigurable ADC Architectures," *IEEE Trans. Circuits Syst. I*, vol. 55, no. 6, pp. 1441–1454, Jul. 2008.
- [105] L. Kull, D. Luu, C. Menolfi *et al.*, "A 10b 1.5GS/s pipelined-SAR ADC with background second-stage common-mode regulation and offset calibration in 14nm CMOS FinFET," in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, Feb. 2017, pp. 474–475.
- [106] P. Figueiredo, "Comparator Metastability in the Presence of Noise," *IEEE Trans. Circuits Syst. I*, vol. 60, no. 5, pp. 1286–1299, May 2013.
- [107] M. Bossche, J. Schoukens, and J. Renneboog, "Dynamic testing and diagnostics of A/D converters," *IEEE Trans. Circuits Syst.*, vol. 33, no. 8, pp. 775–785, Aug. 1986.
- [108] C. P. Huang, H. W. Ting, and S. J. Chang, "Analysis of Nonideal Behaviors Based on INL/DNL Plots for SAR ADCs," *IEEE Transactions on Instrumentation and Measurement*, vol. 65, no. 8, pp. 1804–1817, Aug. 2016.
- [109] R. H. Walden, "Analog-to-digital converter survey and analysis," *IEEE J. Sel. Areas Commun.*, vol. 17, no. 4, pp. 539–550, Apr. 1999.
- [110] M. Runge, D. Schmeck, P. Scholz *et al.*, "A 0.02-mm² 9-bit 100-MS/s Charge-Injection Cell Based SAR-ADC in 65-nm LP CMOS," in *Proc. IEEE European Solid State Circuits Conf. (ESSCIRC)*, Sep. 2018, pp. 26–29.
- [111] S. Kundu, J. Lu, E. Alpman *et al.*, "A 1.2 V 2.64 GS/s 8bit 39 mW skew-tolerant time-interleaved SAR ADC in 40 nm digital LP CMOS for 60 GHz

- WLAN,” in *Proc. IEEE Custom Integr. Circuits Conf. (CICC)*, Sep. 2014, pp. 1–4.
- [112] B. Malki, T. Yamamoto, B. Verbruggen *et al.*, “A 70 dB DR 10 b 0-to-80 MS/s Current-Integrating SAR ADC With Adaptive Dynamic Range,” *IEEE Journal of Solid-State Circuits*, vol. 49, no. 5, pp. 1173–1183, May 2014.
- [113] S. M. Louwsma, A. J. M. van Tuijl, M. Vertregt *et al.*, “A 1.35 GS/s, 10 b, 175 mW Time-Interleaved AD Converter in 0.13 μm CMOS,” *IEEE J. Solid-State Circuits*, vol. 43, no. 4, pp. 778–786, Apr. 2008.
- [114] Z. Cao, S. Yan, and Y. Li, “A 32 mW 1.25 GS/s 6b 2b/Step SAR ADC in 0.13 μm CMOS,” *IEEE J. Solid-State Circuits*, vol. 44, no. 3, pp. 862–873, 2009.
- [115] T. Miki, T. Ozeki, and J. Naka, “A 2-GS/s 8-bit Time-Interleaved SAR ADC for Millimeter-Wave Pulsed Radar Baseband SoC,” *IEEE J. Solid-State Circuits*, vol. 52, no. 10, pp. 2712–2720, Oct. 2017.
- [116] Y. Chung, C. Hu, and C. Chang, “A 38-mW 7-bit 5-GS/s Time-Interleaved SAR ADC with Background Skew Calibration,” in *Proc. IEEE Asian Solid-State Circuits Conf. (A-SSCC)*, Nov. 2018, pp. 243–246.
- [117] W. Kester, *The Data Conversion Handbook*, ser. Analog Devices series. Amsterdam ; Boston: Elsevier ; Newnes, 2005.
- [118] J. Cao, D. Cui, A. Nazemi *et al.*, “A transmitter and receiver for 100Gb/s coherent networks with integrated 4×64 GS/s 8b ADCs and DACs in 20nm CMOS,” in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, Feb. 2017, pp. 484–485.
- [119] J. Justesen, “Performance of Product Codes and Related Structures with Iterated Decoding,” *IEEE Trans. Commun.*, vol. 59, no. 2, pp. 407–415, Feb. 2011. [Online]. Available: <http://ieeexplore.ieee.org/document/5671556/>