



**UNIVERSIDAD NACIONAL DEL SUR**

*TESIS DE DOCTOR EN INGENIERÍA*

**Diseño de sistemas microelectrónicos basados  
en alta resolución temporal**

Juan Ignacio Morales

BAHÍA BLANCA

ARGENTINA

2020



# Prefacio

Esta tesis se presenta como parte de los requisitos para acceder al grado académico de Doctor en Ingeniería de la Universidad Nacional del Sur y no ha sido presentada previamente para la obtención de otro título en esta Universidad u otra. La misma contiene los resultados obtenidos en investigaciones llevadas a cabo en el Instituto de Investigaciones en Ingeniería Eléctrica (IIIE) “Alfredo Desages” (UNS-CONICET), y en el Departamento de Ingeniería Eléctrica y de Computadoras (DIEC) de la Universidad Nacional del Sur, durante el período comprendido entre el 4 de octubre de 2016 al 1 de diciembre de 2020, bajo la dirección del Dr. Pablo S. Mandolesi y del Ing. Eduardo E. Paolini, de la Universidad Nacional del Sur.

Ing. Juan Ignacio Morales



UNIVERSIDAD NACIONAL DEL SUR  
Secretaría General de Posgrado y Educación Continua

La presente tesis ha sido aprobada el ...../...../.....,  
mereciendo la calificación de ..... (.....)

---

---

*A la memoria de mi mamá Hebe.*



# Agradecimientos

*Sin dudas, este trabajo no hubiera sido posible sin la compañía y la colaboración de muchas personas, por lo que deseo agradecer principalmente a:*

*mi compañera María José, por el amor y el tiempo compartido, haciendo más placentera esta etapa de aprendizajes, frustraciones y alegrías;*

*mi papá Juan Domingo y mis hermanos Facundo y Natalia, por el cariño, la motivación y el apoyo incondicional en todo camino que me proponga;*

*mis directores, Pablo y Eduardo, quienes me guiaron en los temas de esta tesis y propusieron soluciones a los problemas que surgían en cada avance;*

*mis compañeros del instituto, por hacer más agradable el trabajo diario y también aportar sus miradas, al igual que todo el personal técnico del IIIE;*

*la Universidad Nacional del Sur, el CONICET y los distintos actores del sistema científico nacional, por brindarme la oportunidad de realizar esta tesis.*

*El futuro es nuestro, por prepotencia de trabajo.*

—Roberto Arlt, prólogo a *Los lanzallamas*.



# Resumen

La resolución temporal es uno de los principales factores que limitan el rendimiento de los sistemas digitales. Debido a ello, la incorporación de módulos que poseen alta resolución en el dominio del tiempo dentro de estructuras estándar ha despertado gran interés en los últimos años. Estos bloques pueden ser usados para mejorar la codificación de las señales binarias (al aumentar los niveles de cuantización) o reducir la distorsión en determinadas modulaciones digitales, entre otras aplicaciones.

En esta tesis se aborda la temática desde distintos enfoques. Dos circuitos integrados fueron fabricados para evaluar un novedoso esquema circuital, el cual permite obtener un retardo temporal programable en el orden de los picosegundos, ajustable en un cierto rango para brindar mayor versatilidad ante distintas condiciones de operación. Su control y calibración se realizan mediante palabras binarias, lo que permite su integración en sistemas más complejos totalmente digitales. Ambos circuitos integrados fueron utilizados en distintas variantes de moduladores por ancho de pulso, alcanzando un desempeño superior al de las arquitecturas convencionales debido a la mayor precisión en el posicionamiento de los flancos de las señales.

Asimismo, se presenta una nueva técnica de modulación apta para la implementación de un transmisor de radiofrecuencia totalmente digital. La arquitectura propuesta presenta un desempeño comparable con otras técnicas usadas en la actualidad, demostrado con un análisis completo que incluye simulaciones y resultados experimentales. En este caso las implementaciones se realizaron sobre dispositivos de lógica programable.



# Abstract

Time resolution is one of the main factors limiting the performance of digital systems. Due to this, the addition of modules that have high resolution in the time domain within standard structures has awakened great interest in recent years. These blocks can be used to improve the coding of binary signals (by increasing quantization levels) or to reduce distortion in some digital modulations, among other applications.

In this thesis, the subject is addressed from different approaches. Two integrated circuits were manufactured to evaluate a novel circuit diagram, which allows obtaining a programmable time delay in the order of picoseconds, adjustable in a given range to provide greater versatility under different operating conditions. Its control and calibration are done using binary words, which allows its integration in more complex fully-digital systems. Both integrated circuits were used in different variants of pulse width modulators, achieving a better performance than conventional architectures due to the greater precision in the positioning of the signal edges.

Likewise, a new modulation technique suitable for the implementation of a fully digital radio frequency transmitter is presented. The proposed architecture displays a performance comparable to other techniques used nowadays, demonstrated with a complete analysis that includes simulations and experimental results. In this case, implementations were carried out on programmable logic devices.



# Índice general

Índice de figuras	xv
Índice de tablas	xxiii
Lista de acrónimos	xxv
<b>1. Introducción</b>	<b>1</b>
1.1. Motivación . . . . .	1
1.2. Objetivos . . . . .	3
1.3. Publicaciones . . . . .	4
1.4. Organización de la tesis . . . . .	6
<b>2. Sistemas de alta resolución temporal</b>	<b>9</b>
2.1. Introducción . . . . .	9
2.2. Generación de intervalos temporales precisos . . . . .	10
2.2.1. Elementos de retardo . . . . .	12
2.2.2. Ajuste del retardo producido . . . . .	14
2.2.3. Arquitecturas de PWM . . . . .	17
2.3. Transmisores de radiofrecuencia . . . . .	21
<b>3. Integración de una línea de retardo programable</b>	<b>31</b>
3.1. Introducción . . . . .	31
3.2. El inversor CMOS . . . . .	32
3.2.1. Modelo equivalente del inversor . . . . .	32
3.2.2. Análisis de sensibilidad del inversor mínimo . . . . .	36
3.3. Elemento de retardo propuesto . . . . .	37
3.3.1. Modelo equivalente del elemento de retardo . . . . .	40

3.4. Implementación del elemento de retardo en 130 nm . . . . .	43
3.4.1. Elección de los capacitores . . . . .	43
3.4.2. Dimensionamiento de los transistores . . . . .	44
3.4.3. Línea de retardo . . . . .	45
3.4.4. Lógica de control . . . . .	48
3.4.5. Aspectos del <i>layout</i> . . . . .	48
3.5. Conclusión . . . . .	54
<b>4. Resultados experimentales del chip línea de retardo programable</b>	<b>55</b>
4.1. Introducción . . . . .	55
4.2. Evaluación del chip CI-DL . . . . .	56
4.2.1. Configuración experimental . . . . .	56
4.2.2. Respuesta temporal . . . . .	57
4.2.3. Linealidad . . . . .	59
4.3. PWM de alta resolución con CI-DL . . . . .	62
4.3.1. Topología del HRPWM . . . . .	62
4.3.2. Implementación . . . . .	64
4.3.3. Respuesta temporal y en frecuencia del HRPWM . . . . .	67
4.4. Conclusión . . . . .	73
<b>5. Integración de un modulador por ancho de pulso de alta resolución</b>	<b>75</b>
5.1. Introducción . . . . .	75
5.2. Diseño del modulador PWM de alta resolución . . . . .	76
5.2.1. Elemento de retardo modificado . . . . .	76
5.2.2. Arquitectura del formador de pulsos . . . . .	78
5.2.3. Algoritmo de generación de los pulsos . . . . .	83
5.3. Implementación del PWM de alta resolución en 130 nm . . . . .	86
5.3.1. Arquitectura del sistema HRPWM . . . . .	86
5.3.2. Aspectos del <i>layout</i> . . . . .	90
5.4. Resultados de simulación <i>post-layout</i> . . . . .	93
5.4.1. Estimación de potencia . . . . .	93

5.4.2. Retardo de propagación . . . . .	95
5.4.3. Espectro de la señal PWM . . . . .	98
5.5. Conclusión . . . . .	100
<b>6. Resultados experimentales del chip modulador PWM de alta resolución</b>	<b>101</b>
6.1. Introducción . . . . .	101
6.2. Configuración experimental . . . . .	102
6.3. Evaluación en modo <i>Debug</i> . . . . .	103
6.3.1. Retardo del flanco ascendente . . . . .	105
6.3.2. Tiempo de resolución . . . . .	105
6.3.3. Linealidad del DE . . . . .	107
6.3.4. Retardo de propagación mínimo . . . . .	108
6.3.5. Compensación propuesta . . . . .	110
6.4. Evaluación en modo <i>Normal</i> . . . . .	113
6.4.1. Variación en el ancho de pulso de salida . . . . .	114
6.4.2. Evaluación del modulador de alta resolución . . . . .	116
6.4.3. Respuesta temporal y compensación . . . . .	118
6.4.4. Espectro medido de las señales PWM . . . . .	119
6.5. Conclusión . . . . .	122
<b>7. Modulación por ancho de pulso basada en tabla</b>	<b>125</b>
7.1. Introducción . . . . .	125
7.2. Transmisores de RF digitales con modulación PWM . . . . .	126
7.2.1. <i>Baseband PWM</i> . . . . .	127
7.2.2. RF-PWM . . . . .	128
7.3. PWM basada en tabla . . . . .	130
7.3.1. Cálculo de los ciclos de trabajo . . . . .	132
7.4. Análisis Comparativo . . . . .	134
7.5. Simulaciones . . . . .	137
7.5.1. Configuración . . . . .	137
7.5.2. Resultados . . . . .	140
7.6. Implementación en FPGA . . . . .	145

7.6.1. Resultados . . . . .	148
7.7. Transmisor de RF con modulación PWM basada en tabla . . . . .	152
7.7.1. Procesamiento en banda base . . . . .	152
7.7.2. Generación de la señal T-PWM . . . . .	153
7.7.3. Resultados de simulación . . . . .	157
7.7.4. Resultados experimentales . . . . .	160
7.8. Conclusión . . . . .	163
<b>8. Conclusiones</b>	<b>165</b>
8.1. Contribuciones originales de la tesis . . . . .	166
8.2. Proyección y trabajo futuro . . . . .	167
<b>A. Análisis de retardos externos en la medición del CI-DL</b>	<b>169</b>
A.1. Retardos asociados al circuito impreso . . . . .	170
A.2. Retardos asociados al empaquetado . . . . .	171
<b>B. Detalles técnicos del CI-PWM</b>	<b>173</b>
B.1. Registros de configuración . . . . .	173
B.2. Comunicación SPI . . . . .	174
B.3. Error de programación . . . . .	175
<b>Bibliografía</b>	<b>179</b>

# Índice de figuras

1.1. Estimación de la frecuencia de operación de los CI digitales para los próximos años. . . . .	2
2.1. Línea de retardo con $n$ elementos y resolución temporal $\tau$ . . . . .	11
2.2. Líneas de retardo basadas en: (a) FF-D, y (b) Inversores triestado. . . . .	13
2.3. Líneas de retardo con resolución ampliada: (a) Método Vernier, y (b) Interpolación pasiva. . . . .	14
2.4. Esquemáticos circuitales de (a) Inversor controlado por corriente, DE-CSI, y (b) Inversor con carga capacitiva, DE-SCI. . . . .	16
2.5. Arquitecturas de DPWM: (a) PWM basado en contador, y (b) PWM basado en líneas de retardo. . . . .	18
2.6. Arquitectura DPWM híbrida. . . . .	19
2.7. Formas de onda temporales en una arquitectura DPWM híbrida. . . . .	19
2.8. Diagrama en bloques de un transmisor de RF genérico. . . . .	22
2.9. Arquitecturas genéricas de los transmisores de RF: (a) Modulación IQ, (b) Modulación Polar. . . . .	25
2.10. Componentes en fase $I(t)$ y cuadratura $Q(t)$ de las señales QPSK (rojo), y QPSK filtrada (azul). . . . .	27
2.11. (a) Diagrama de constelación, y (b) Espectro en frecuencia para las señales QPSK (rojo) y QPSK filtrada (azul). . . . .	27
3.1. Esquemático del inversor CMOS. . . . .	32
3.2. Circuito RC de primer orden. . . . .	33
3.3. Curvas del nMOS mínimo en función de $V_{DS}$ : (a) $I_{D-n}$ , y (b) $R_{on-n}$ . . . . .	34
3.4. Curvas del pMOS mínimo en función de $V_{DS}$ : (a) $I_{D-p}$ , y (b) $R_{on-p}$ . . . . .	34
3.5. Histograma del tiempo de propagación del inversor mínimo. . . . .	36

3.6. Esquemático circuital del elemento de retardo. . . . .	38
3.7. Formas de onda temporales de las señales en el elemento de retardo $DE_i$ . . . . .	39
3.8. Circuito equivalente del elemento de retardo programable para una transición 0 a 1 en la entrada $in_{DE_i}$ . . . . .	40
3.9. Relación de resistencias $R_P/R_{A0}$ en función del registro $A_i$ , para diferentes valores de $R_3$ . . . . .	42
3.10. Variación de $R_{eq}$ en función del registro $A_i$ , usando $A_i = 2$ como condición nominal, para diferentes valores de $R_1$ . . . . .	42
3.11. Esquemático del SCI con capacitor MOS. . . . .	43
3.12. Esquemático del SCI con transistor de activación. . . . .	44
3.13. (a) Esquemático de la línea de retardo. (b) Arreglo de líneas de retardo implementado en el CI. . . . .	46
3.14. Formas de onda simuladas en una línea de retardo al variar el registro $D_i$ , con el registro $A_i = 2$ . . . . .	47
3.15. Diagrama de bloques del sistema implementado en CI-DL. . . . .	48
3.16. <i>Layout</i> del arreglo de capacitores, $C_{0:3}$ . . . . .	49
3.17. <i>Layout</i> del arreglo de transistores de control, $M_{D0:D3}$ . . . . .	50
3.18. <i>Layout</i> del arreglo de transistores de calibración, $M_{A0:A2}$ . . . . .	50
3.19. <i>Layout</i> del elemento de retardo en el CI-DL. . . . .	51
3.20. <i>Layout</i> de la línea de retardo. . . . .	51
3.21. <i>Layout</i> del chip CI-DL. . . . .	52
3.22. Fotografía del chip CI-DL fabricado. . . . .	52
3.23. Fotografía del chip CI-DL y su encapsulado. . . . .	53
4.1. Diagrama en bloques de la configuración experimental. . . . .	56
4.2. Formas de onda medidas en una línea de retardo al variar el registro $D_i$ , con el registro $A_i = 2$ . . . . .	57
4.3. Tiempos de propagación $T_i$ medidos en una línea de retardo. . . . .	58
4.4. Paso temporal $\tau'$ en cada una de las líneas de retardo ( $A_i = 2$ ). . . . .	59
4.5. DNL calculada para los datos simulados y medidos ( $A_i = 2$ ). . . . .	60
4.6. INL calculada para los datos simulados y medidos ( $A_i = 2$ ). . . . .	61
4.7. Solapamiento entre cables del DE. . . . .	61

4.8. Diagrama en bloques del modulador HRPWM simétrico propuesto.	62
4.9. Formas de onda temporales en la generación del PWM simétrico.	63
4.10. Diagrama en bloques del diseño sintetizado en la FPGA. . . . .	65
4.11. Secuencia de programación para la línea de retardo del chip CI-DL.	67
4.12. Fotografía de la configuración experimental para medir la respuesta temporal del HRPWM simétrico. . . . .	67
4.13. Fotografía de la configuración experimental, mostrando el circuito impreso con los dos chips CI-DL y parte de la placa de evaluación con la FPGA Xilinx. . . . .	68
4.14. Flanco descendente de las señales de entrada y salida del chip CI-DL, en modo de alta persistencia (500 mV/div, 50 ns/div). . .	68
4.15. Formas de onda PWM: $v_{2d}$ (arriba), $v_{1d}$ (centro), y $v_{out}$ (abajo). Osciloscopio configurado en 2 V/div, 5 $\mu$ s/div. . . . .	69
4.16. Espectro en frecuencia de la señal PWM sin alta resolución. . . .	70
4.17. Espectro en frecuencia de la señal PWM con alta resolución. . . .	70
4.18. Espectros en frecuencia simulados para las señales PWM: (a) PWM-LR y PWM-HR, (b) PWM-HR-MEM y PWM-HR-NU. . . . .	73
5.1. Esquemático circuital del elemento de retardo modificado. . . . .	76
5.2. Formas de onda temporales de las señales en el elemento de retardo modificado $DE_i$ . . . . .	77
5.3. Formador de pulsos de alta resolución. . . . .	78
5.4. Formador de pulsos con línea de retardo adicional. . . . .	79
5.5. Formador de pulsos de alta resolución propuesto. . . . .	80
5.6. Diagrama temporal de las señales en el formador de pulsos (arriba) y ancho de pulsos correspondiente para cada entrada del multiplexor (abajo). . . . .	80
5.7. Diagrama en bloques del sistema implementado, modo <i>Normal</i> . . .	87
5.8. Diagrama en bloques del sistema implementado, modo <i>Debug</i> . . .	89
5.9. <i>Layout</i> del elemento de retardo en el CI-PWM. . . . .	90
5.10. <i>Layout</i> del formador de pulsos (sin el multiplexor). . . . .	91
5.11. <i>Layout</i> del chip CI-PWM. . . . .	92
5.12. Fotografía del chip CI-PWM. . . . .	93

5.13. Retardo de propagación del elemento de retardo modificado. . . . .	95
5.14. (a) Histograma del retardo de propagación $\Delta t_i$ para 100 corridas de la simulación Monte Carlo ( $A_i = 3$ , $D_i = 0$ ). (b) Retardo promedio y variación $3\sigma$ para todos los valores de $D_i$ , en condiciones nominales ( <i>corner</i> típico, $A_i = 3$ ). También se grafica el retardo de propagación para la condición $A_i = 0$ y $A_i = 15$ . . . . .	97
5.15. Variación en el ancho de pulso de salida $d_{out}$ . . . . .	97
5.16. DNL calculada para: (a) Todos los registros de calibración con el mismo valor (casos $A_i = 3$ y $A_i = 4$ ), (b) Calibración personalizada. . . . .	98
5.17. Espectros en frecuencia simulados para las señales PWM-LR y PWM-HR ( $f_x = 1$ kHz, $f_{pwm} = 100$ kHz). . . . .	100
6.1. Diagrama en bloques de la configuración experimental. . . . .	102
6.2. Fotografía del circuito impreso usado para testear el chip CI-PWM y la placa de evaluación con la FPGA Xilinx. . . . .	103
6.3. Variación del retardo $T'_{out}$ en función del registro de calibración $A_1$ y la entrada $m$ del multiplexor. . . . .	106
6.4. Resolución $\tau$ del sistema, dos condiciones de calibración. . . . .	106
6.5. DNL del paso de retardo $\tau$ medido, dos calibraciones. . . . .	107
6.6. INL del paso de retardo $\tau$ medido, dos calibraciones. . . . .	108
6.7. Variación del retardo $t_{DE}$ en función de los registros $A_i$ . . . . .	109
6.8. DNL del paso de retardo $\tau$ medido, registros $A_i = 0$ . . . . .	110
6.9. Relación entre distintos $t_{DE_i}$ y $k\tau_i$ , en función de la calibración $A_i$ y utilizando $k$ como parámetro. . . . .	112
6.10. Flanco descendente de las salidas <b>PWM_1</b> y <b>PWMHR_P</b> . . . . .	114
6.11. Variación medida en el ancho de pulso $d_{out}$ . . . . .	115
6.12. DNL de los datos medidos, calibración óptima. . . . .	116
6.13. Espectros en frecuencia simulados para las señales PWM uniforme y BBDFPWM ( $f_x = 5$ kHz, $f_{pwm} = 100$ kHz, cuantización de 18 bits). . . . .	118
6.14. Espectros en frecuencia medidos para las señales PWM de alta resolución (arriba) y PWM convencional (abajo), $f_x = 5.01$ kHz, $f_{pwm} = 100.26$ kHz. . . . .	120

6.15. Espectros en frecuencia medidos de la señal PWM de alta resolución: (a) $f_x = 1$ kHz, (b) $f_x = 20.05$ kHz. . . . .	121
6.16. Rango dinámico libre de espurios para todos los valores de $f_x$ . . . . .	121
7.1. Diagrama en bloques de la modulación <i>Baseband PWM</i> . . . . .	127
7.2. Diagrama en bloques de la modulación RF-PWM, implementación mediante <i>outphasing</i> . . . . .	129
7.3. Esquemático de los espectros: (a) Portadora modulada ideal, (b) Señal PWM uniforme, y (c) Señal PWM sin distorsión entre $0 < f < f_{\text{pwm}}/2$ . . . . .	131
7.4. Diagrama en bloques de la modulación PWM basada en tabla. . . . .	131
7.5. (a) Señal compleja de banda base $x[n]$ , (b) Señal de RF modulada, (c) BB-PWM con $f_s = 2f_x$ , (d) RF-PWM, (e) T-PWM con $N = 3$ . . . . .	135
7.6. Espectros en frecuencia simulados para las distintas modulaciones PWM. . . . .	136
7.7. Diagrama en bloques utilizado para la generación de la señal de banda base compleja $x[n]$ . . . . .	137
7.8. Diagrama en bloques del demodulador. . . . .	138
7.9. EVM en función del OSR, con $f_c = 1$ GHz, $f_s = f_c/10.1$ y sin cuantización de fase. . . . .	141
7.10. EVM en función del OSR, con $f_c = 1$ GHz, $f_s = f_c/10.1$ y frecuencia de resolución de fase $f_\phi = 240$ GHz. . . . .	141
7.11. EVM en función de la frecuencia de resolución de fase $f_\phi$ , con $f_c = 1$ GHz, $f_s = f_c/10.1$ y OSR = 20. . . . .	142
7.12. Diagrama de constelación de los símbolos 64-QAM recibidos para las modulaciones BB-PWM y T-PWM. . . . .	143
7.13. EVM en función del <i>jitter</i> para la T-PWM, con $f_c = 1$ GHz, $f_s = f_c/10.1$ y diferentes valores de $T_{\text{res}}$ . . . . .	144
7.14. Histograma del EVM para la modulación T-PWM con una conversión digital a tiempo no uniforme ( $\sigma_D = 0.22$ LSB en la cuantización). . . . .	145
7.15. Diagrama en bloques de la implementación en FPGA de la modulación T-PWM. . . . .	146

7.16. Señales de salida de los moduladores PWM intercalados y señal combinada a la salida de la compuerta OR. . . . .	147
7.17. Fotografía de la configuración experimental, donde pueden apreciarse las señales IQ demoduladas y la constelación 64-QAM. . . . .	148
7.18. Señales PWM diferenciales, $v_{out}^+$ (arriba) y $v_{out}^-$ (centro), y señal combinada $v_{out}$ (200 mv/div, 500 ns/div). . . . .	148
7.19. Señales PWM combinada $v_{out}$ y salida del filtro pasabajos: intervalo de cinco períodos $T_x$ (arriba, 50 $\mu$ s/div), ampliación sobre una fracción del período $T_x$ (abajo, 2 $\mu$ s/div). . . . .	149
7.20. Componentes IQ de la señal demodulada $y[n]$ y su diagrama de constelación. . . . .	150
7.21. Diagrama de constelación de los símbolos 64-QAM recibidos con la modulación UPWM (simulados y medidos). . . . .	151
7.22. Diagrama de constelación de los símbolos 64-QAM recibidos con la modulación T-PWM (simulados y medidos). . . . .	151
7.23. Procesamiento en banda base: generación de los símbolos 64-QAM, conformación de los pulsos e interpolación con filtros <i>half-band</i> . . . . .	153
7.24. Generación de la señal T-PWM a partir de las señales I/Q: mapeo I/Q a ciclos de trabajo, interpolación en frecuencia, serialización y <i>noise shaping</i> . . . . .	154
7.25. Interpolación lineal utilizada para obtener el valor del ciclo de trabajo $d_L[n]$ para cada conjunto de valores I/Q. . . . .	155
7.26. Generación de la señal T-PWM, con el bloque de <i>noise-shaping</i> operando a $f_c$ . . . . .	156
7.27. EVM en función de los niveles de cuantización $q$ . . . . .	158
7.28. Espectro cercano medido para el transmisor UPWM: (a) Sin <i>noise-shaping</i> , (b) Con <i>noise-shaping</i> . . . . .	161
7.29. Espectro cercano medido para el transmisor T-PWM: (a) Sin <i>noise-shaping</i> , (b) Con <i>noise-shaping</i> . . . . .	162
7.30. Espectro lejano medido para el transmisor T-PWM con NS. . . . .	163
7.31. Diagrama en bloques del transmisor T-PWM propuesto. . . . .	164
A.1. Fotografía del circuito impreso para testear el CI-DL. . . . .	170

---

A.2. Circuito equivalente de la conexión dentro del empaquetado. . . . .	171
B.1. Comunicación SPI: escritura en modo <i>único</i> . . . . .	174
B.2. Comunicación SPI: escritura en modo <i>ráfaga</i> . . . . .	174
B.3. Comunicación SPI: lectura en modo <i>único</i> . . . . .	175
B.4. Comunicación SPI: lectura en modo <i>ráfaga</i> . . . . .	175
B.5. Variación medida en el ancho de pulso $d_{out}$ , utilizando distintos valores MSB. . . . .	176
B.6. Diferencia entre las mediciones realizadas y el valor ideal. . . . .	177
B.7. Actualización de los valores LSB y MSB. . . . .	178



# Índice de tablas

3.1. Valores temporales del inversor mínimo ecualizado. . . . .	35
3.2. Cambio en el tiempo de propagación ante variaciones PVT. . . . .	37
3.3. Dimensiones de los dispositivos usados en el DE. . . . .	45
3.4. Parámetros físicos del chip CI-DL. . . . .	53
4.1. THD+N medida de las señales PWM. . . . .	71
4.2. Parámetros de desempeño del chip CI-DL. . . . .	74
5.1. Dimensiones de los dispositivos usados en el DE modificado. . . . .	77
5.2. Rango de los anchos de pulso por entrada del multiplexor. . . . .	85
5.3. Configuración de los registros y anchos de pulso de salida con $k = 28$ . . . . .	86
5.4. Área ocupada por los distintos módulos del sistema CI-PWM. . . . .	92
5.5. Estimación de potencia [ $\mu W$ ] de los módulos digitales ( $f_{clk} =$ 10 MHz, $f_{spi} = 1$ MHz, $f_{pwm} = 100$ kHz). . . . .	94
5.6. Cambio en el paso temporal $\tau$ ante variaciones PVT ( $A_i = 3$ ). . . . .	96
6.1. Calibración óptima basada en las mediciones realizadas. . . . .	113
6.2. Configuración de registros en modo <i>Normal</i> . . . . .	114
6.3. Parámetros de las señales PWM generadas. . . . .	117
6.4. Ancho de pulso ideal y errores medidos, antes y después de la compensación. . . . .	119
6.5. Parámetros de desempeño del chip CI-PWM. . . . .	122
6.6. Comparativa de PWM de alta resolución. . . . .	123
7.1. Valores de frecuencia utilizados en las simulaciones. . . . .	139
7.2. EVM de las modulaciones T-PWM y UPWM, para las simulacio- nes y mediciones experimentales. . . . .	150

7.3. Principales parámetros utilizados en la simulación. . . . .	157
7.4. ACPR simulado para varios niveles de cuantización $q$ . . . . .	159
7.5. ACPR y EVM de los transmisores T-PWM y UPWM, para las simulaciones y mediciones experimentales con $q = 80$ . . . . .	163
A.1. Parámetros eléctricos del encapsulado DIP40. . . . .	171
B.1. Registros de configuración del chip CI-PWM. . . . .	173
B.2. Valores programados para esta experiencia. . . . .	176
B.3. Error total $\epsilon_T$ considerando el error de programación y compara- ción con el error medido $\epsilon_{med}$ . . . . .	178

# Lista de acrónimos

<b>ACPR</b> <i>Adjacent Channel Power Ratio</i> . . . . .	157
<b>ASIC</b> <i>Application Specific Integrated Circuit</i> . . . . .	20
<b>CI</b> <i>Circuito Integrado</i> . . . . .	1
<b>CMOS</b> <i>Complementary Metal Oxide Semiconductor</i> . . . . .	1
<b>CSI</b> <i>Current-Starved Inverter</i> . . . . .	15
<b>DCM</b> <i>Digital Clock Manager</i> . . . . .	20
<b>DE</b> <i>Delay Element</i> . . . . .	11
<b>DL</b> <i>Delay Line</i> . . . . .	11
<b>DNL</b> <i>Differential Non-Linearity</i> . . . . .	59
<b>DTC</b> <i>Digital-to-Time Converter</i> . . . . .	10
<b>EVM</b> <i>Error Vector Magnitude</i> . . . . .	138
<b>FPGA</b> <i>Field Programmable Gate Array</i> . . . . .	6
<b>HDL</b> <i>Hardware Description Language</i> . . . . .	11
<b>HRPWM</b> <i>High-Resolution Pulse Width Modulation</i> . . . . .	17
<b>INL</b> <i>Integral Non-Linearity</i> . . . . .	60

<b>LSB</b> <i>Least Significant Bits</i> . . . . .	19
<b>MMCM</b> <i>Mixed-Mode Clock Manager</i> . . . . .	20
<b>MSB</b> <i>Most Significant Bits</i> . . . . .	18
<b>PA</b> <i>Power Amplifier</i> . . . . .	22
<b>PVT</b> <i>Process-Voltage-Temperature</i> . . . . .	12
<b>PWM</b> <i>Pulse Width Modulation</i> . . . . .	3
<b>RF</b> <i>Radiofrecuencia</i> . . . . .	6
<b>SCI</b> <i>Shunt-Capacitor Inverter</i> . . . . .	15
<b>TDC</b> <i>Time-to-Digital Converter</i> . . . . .	10
<b>THD+N</b> <i>Total Harmonic Distortion + Noise</i> . . . . .	71
<b>VNCAP</b> <i>Vertical Natural Capacitor</i> . . . . .	43

# Capítulo 1

## Introducción

### 1.1. Motivación

EL diseño de circuitos integrados (CI<sup>1</sup> o chip) en el proceso tecnológico CMOS<sup>2</sup>, que utiliza transistores MOSFET complementarios (tipo  $n$  y tipo  $p$ ) fabricados sobre el mismo sustrato, inició una revolución en la industria de los semiconductores a partir de la introducción de los primeros dispositivos CMOS comerciales en 1968 (compuertas lógicas de la serie 4000) [1]. En la actualidad, más del 95 % de los CI son fabricados en CMOS, superando ampliamente a otros procesos tecnológicos que utilizan transistores bipolares (BJT) o de arseniuro de galio (GaAs), principalmente por su bajo costo de fabricación relativo, la posibilidad de escalar las dimensiones de los transistores con relativa facilidad, y su bajo consumo de potencia. Otra ventaja, quizás la más atractiva para el diseño de chips en tecnología CMOS, es la posibilidad de implementar circuitos analógicos y digitales en el mismo CI, mejorando el desempeño general e integrando todo el sistema en un mismo encapsulado [2].

El número de dispositivos por circuito integrado ha aumentado exponencialmente en las últimas cinco décadas, duplicándose aproximadamente cada dos años siguiendo la tendencia predicha por la *Ley de Moore* [3]. Este avance continuo en los procesos de fabricación modernos resulta en transistores con dimensiones más pequeñas, mejorando notablemente el desempeño de los mismos ya

---

<sup>1</sup>Circuito Integrado

<sup>2</sup>*Complementary Metal Oxide Semiconductor*

que pueden operar a mayores velocidades (frecuencias de reloj más altas o mayor resolución en las transiciones temporales) y con menores tensiones de alimentación. Ambos parámetros junto con las capacidades intrínsecas (que también se ven reducidas por el escalado tecnológico) impactan directamente en la disminución de la potencia disipada por dispositivo [4]. Sin embargo, como contrapartida, el aumento de la densidad de transistores por unidad de área trae aparejado un incremento de la potencia total por chip, aspecto que de no ser correctamente estimado puede resultar en la degradación de los dispositivos.

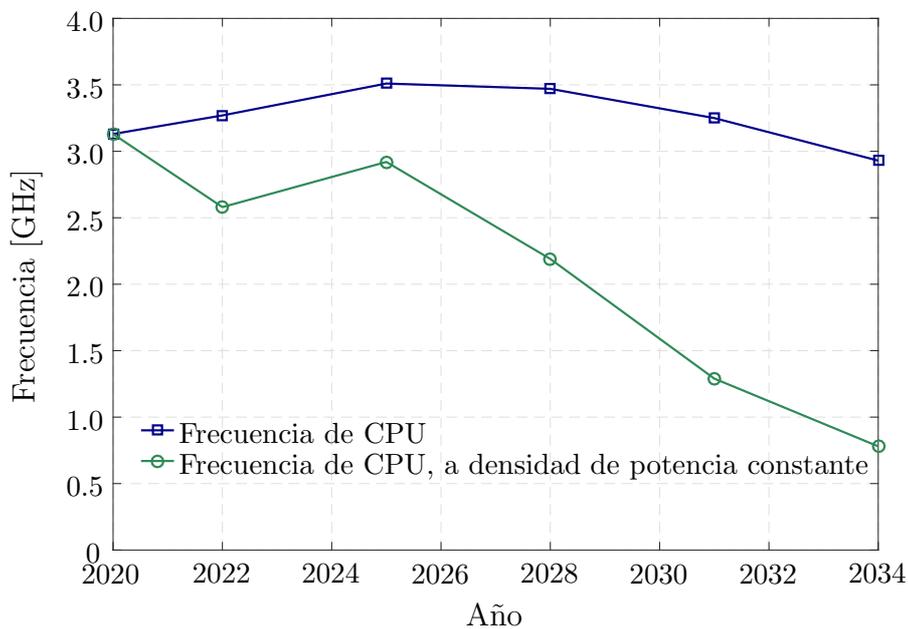


Figura 1.1: Estimación de la frecuencia de operación de los CI digitales para los próximos años.

Para ejemplificar esta situación, en la Figura 1.1 se grafican algunos datos extraídos de la edición 2020 de la *International Roadmap for Devices and Systems* (IRDS) [5], informe anual producido por expertos de la industria de semiconductores donde se identifican las tendencias, necesidades y desafíos para los siguientes 15 años. La estimación supone que la frecuencia de reloj a tensión nominal mejorará hasta 3.5 GHz en el año 2025 (actualmente en 3.1 GHz para el nodo de 5 nm), y luego disminuirá hasta alrededor de 3.0 GHz en 2034, debido al incremento de las resistencias parásitas de interconexión y el escalado en la tensión de la alimentación. Si el mismo chip opera a una densidad de potencia constante y a su tensión nominal, la frecuencia de reloj no podrá superar los 0.8 GHz en 2034,

demostrando la necesidad de considerar los factores térmicos en la arquitectura del chip.

En los procesos CMOS nanométricos, con tensiones de alimentación menores a 1.5 V y tensiones de umbral de los transistores relativamente altas (0.4 – 0.7 V), el rango dinámico de tensión es muy pequeño. Asimismo, el ruido de conmutación producido por los circuitos digitales dificulta la resolución en el dominio de la tensión, mientras que el progreso en las características dinámicas de los transistores MOS, con tiempos de subida y bajada en el orden de los picosegundos, permite aumentar la resolución temporal.

Esto propicia el uso de un nuevo paradigma [6, 7] hacia el cual enfocar el diseño de los circuitos en estos procesos:

*La resolución temporal en la transición de una señal digital es superior a la resolución en tensión de una señal analógica.*

Los trabajos presentados en esta tesis están orientados en ese sentido, abarcando diferentes áreas del diseño microelectrónico y teniendo como eje temático la resolución temporal de las señales, considerando otros aspectos importantes como la disminución en el consumo de potencia o la robustez ante variaciones en las condiciones de operación.

## 1.2. Objetivos

Dentro de las técnicas más utilizadas para codificar la información en la posición de los flancos de una señal digital, la modulación por ancho de pulsos (PWM<sup>3</sup>) emerge como una solución efectiva en términos de complejidad: el período de los pulsos es fijo y la señal modulada puede recuperarse fácilmente utilizando un filtrado sencillo, de acuerdo a la relación entre las frecuencias involucradas [8]. Sin embargo, la naturaleza no lineal de la conversión de amplitud a tiempo realizada por la modulación PWM requiere analizar los algoritmos utilizados para minimizar las componentes armónicas indeseadas generadas, las cuales han sido estudiadas de forma extensa para las variantes más difundidas [9, 10]. Uno de los objetivos de esta tesis se puede enunciar de la siguiente manera:

---

<sup>3</sup>*Pulse Width Modulation*

- \* Implementar nuevas técnicas de modulación digital que mejoren el rendimiento de los algoritmos convencionales, analizando su desempeño bajo diferentes condiciones de operación y la viabilidad de su incorporación en sistemas de mayor complejidad.

Entre los factores que limitan el desempeño de los moduladores PWM digitales, la resolución temporal es una de las principales variables a considerar. Una de las alternativas posibles es utilizar señales de reloj a elevadas frecuencias, mejorando así la precisión en el posicionamiento de los flancos de los pulsos. Si bien esta opción brinda la solución más directa, es la que ofrece mayor cantidad de inconvenientes: elevado consumo de potencia (directamente proporcional a la frecuencia de reloj,  $f_{\text{clk}}$ ), dificultad para lograr una distribución homogénea de la señal de reloj por todo el chip (restricciones temporales más exigentes debido al reducido período de reloj,  $T_{\text{clk}} = 1/f_{\text{clk}}$ ), y la necesidad de diseñar e implementar los circuitos en procesos tecnológicos relativamente modernos (y por lo tanto, más costosos). Otro objetivo propuesto al inicio de esta tesis es:

- \* Desarrollar sistemas microelectrónicos capaces de generar intervalos de tiempo precisos con reducido consumo de potencia, implementados en procesos CMOS estándar utilizados en la industria y en el ámbito académico.

## 1.3. Publicaciones

En esta sección se presenta un listado de los trabajos originales desarrollados por el autor durante el transcurso de esta tesis. El contenido de la misma está basado parcialmente en dichos trabajos, cuyos resultados han sido ampliados y extendidos.

### Trabajos originales en revistas científicas [11, 12]

- J. I. Morales, F. Chierchie, P. S. Mandolesi, y E. E. Paolini, “Table-based PWM for all-digital RF transmitters,” *International Journal of Circuit Theory and Applications*, vol. 47, no. 2, pp. 320–332, Feb. 2019.

Disponible en: <https://doi.org/10.1002/cta.2590>

- J. I. Morales, F. Chierchie, P. S. Mandolesi, y E. E. Paolini, “A high-resolution all-digital pulse-width modulator architecture with a tunable delay element in CMOS,” *International Journal of Circuit Theory and Applications*, vol. 48, no. 8, pp. 1329–1345, Ago. 2020.

Disponible en: <https://doi.org/10.1002/cta.2803>

### Trabajos originales en congresos científicos [13–16]

- J. I. Morales, F. Chierchie, P. S. Mandolesi, y E. E. Paolini, “FPGA implementation and evaluation of a PWM-based RF modulator,” en *2018 Argentine Conference on Automatic Control (AADECA)*, Nov. 2018, pp. 73–78.

Disponible en: <https://doi.org/10.23919/AADECA.2018.8577334>

- J. I. Morales, F. Chierchie, P. S. Mandolesi, y E. E. Paolini, “All-digital high-resolution PWM with a wide duty-cycle range,” en *2019 Argentine Conference on Electronics (CAE)*, Mar. 2019, pp. 15–20.

Disponible en: <https://doi.org/10.1109/CAE.2019.8709295>

- J. I. Morales, F. Chierchie, P. S. Mandolesi, y E. E. Paolini, “Design and evaluation of an all-digital programmable delay line in 130-nm CMOS,” en *2019 XVIII Workshop on Information Processing and Control (RPIC)*, Sept. 2019, pp. 209–213.

Disponible en: <https://doi.org/10.1109/RPIC.2019.8882166>

- J. I. Morales, F. Chierchie, P. S. Mandolesi, y E. E. Paolini, “Implementation of a high-resolution symmetric PWM based on custom CMOS delay lines,” en *2019 XVIII Workshop on Information Processing and Control (RPIC)*, Sept. 2019, pp. 218–222.

Disponible en: <https://doi.org/10.1109/RPIC.2019.8882148>

## 1.4. Organización de la tesis

El Capítulo 2 introduce conceptos de distintas áreas temáticas que serán discutidas en esta tesis, cada una de ellas atravesada por la problemática de la resolución finita en el dominio del tiempo. Se presentan el estado del arte en las topologías circuitales utilizadas para generar intervalos temporales discretos, las arquitecturas usadas en los formadores de pulsos de alta resolución, y los esquemas empleados en transmisores de radiofrecuencia (RF<sup>4</sup>) basados en modulaciones digitales.

En el Capítulo 3 se presenta la primera aproximación del autor a la generación de intervalos temporales precisos mediante líneas de retardo. Allí se propone la utilización de un novedoso elemento de retardo controlado de forma digital, el cual puede ser calibrado dentro de cierto rango, permitiendo un correcto funcionamiento bajo distintas condiciones de operación. También se discute un modelo equivalente del mismo, los criterios de diseño usados y detalles específicos de la implementación realizada en un proceso CMOS estándar de 130 nm [15].

Los resultados experimentales del circuito integrado fabricado se presentan en el Capítulo 4, donde se incluye una caracterización estática y dinámica, analizando la linealidad lograda en la conversión digital a tiempo. Además, se introduce una arquitectura híbrida de un modulador por ancho de pulsos de alta resolución, implementado mediante los CI diseñados en combinación con una FPGA<sup>5</sup> de propósitos generales [16]. Los ensayos realizados demuestran una notable reducción en la distorsión armónica medida, en comparación con un sistema convencional operando en las mismas condiciones sin el módulo de alta resolución temporal.

En el Capítulo 5 se describe la integración de un sistema PWM de alta resolución. Este CI implementa una arquitectura original para el formador de pulsos, la cual emplea menos elementos de retardo que otros esquemas para obtener los misma cantidad de pasos temporales discretos. Los elementos de retardo utilizados presentan modificaciones con respecto al chip previo, resultando en un aumento de la resolución temporal y mayor flexibilidad para su calibración [14]. Asimismo,

---

<sup>4</sup>Radiofrecuencia

<sup>5</sup>*Field Programmable Gate Array*

se realiza un exhaustivo análisis de los datos obtenidos a partir de simulaciones posteriores al diseño físico, evaluando aspectos como potencia consumida, linealidad en la generación de los ciclos de trabajo y cambios en la resolución temporal ante variaciones en las condiciones de operación [12].

Los resultados experimentales del chip que implementa el PWM de alta resolución se presentan en el Capítulo 6. Las mediciones realizadas sobre los distintos aspectos del formador de pulsos permitieron obtener su curva característica y compensar los comportamientos no ideales, generando formas de onda con un rango de error muy acotado respecto al valor programado. Los espectros medidos mostraron un rango dinámico muy amplio y sin distorsión armónica apreciable, demostrando una gran linealidad en la conversión digital a tiempo. Su evaluación fue posible gracias a la utilización de una modulación digital sin distorsión en banda base.

Tomando como base esta última, en el Capítulo 7 se propone la implementación de una modulación PWM en transmisores digitales de RF, cuya característica de poseer una banda espectral libre de distorsión supone una ventaja comparativa con respecto a otras técnicas. La arquitectura propuesta es discutida junto con otras modulaciones PWM utilizadas en RF, presentando el resultado de extensas simulaciones donde se analiza el impacto de la resolución temporal y las relaciones entre las frecuencias involucradas [11]. Distintas variantes de la modulación PWM presentada fueron implementadas en FPGA [13], cuyos resultados experimentales ratifican los valores obtenidos en las simulaciones previas, demostrando la validez del enfoque propuesto.

Finalmente, en el Capítulo 8 se presentan las conclusiones generales de esta tesis y los trabajos futuros que permiten continuar con esta línea de investigación. Los Apéndices A y B incluyen información adicional de los circuitos integrados fabricados.



# Capítulo 2

## Sistemas de alta resolución temporal

### 2.1. Introducción

LA resolución en el dominio del tiempo de los sistemas microelectrónicos puede convertirse en una gran limitación en su rendimiento, de acuerdo al campo de aplicación de los mismos. La solución más directa es la implementación de esos circuitos en procesos más modernos, lo que puede convertirse en prohibitivo desde el punto de vista económico. En este capítulo se presentan diversas opciones para superar esta restricción utilizando un enfoque alternativo, mediante bloques circuitales específicos que amplían la resolución temporal y pueden implementarse en cualquier proceso CMOS estándar: las líneas de retardo. Al utilizar estos esquemas combinados con otros circuitos combinatoriales y secuenciales se pueden generar formas de onda cuyo incremento temporal mínimo es del orden de los picosegundos, imposibles de lograr en circuitos sincrónicos basados en una señal de reloj. A continuación se exhibe el estado del arte en las arquitecturas utilizadas como formadores de pulso de alta resolución.

La modulación PWM tiene un gran campo de aplicación en los transmisores de radiofrecuencia, donde la tendencia hacia transmisores multiestándar y reconfigurables allana el camino para el diseño de arquitecturas totalmente digitales. Por ello, en este capítulo también se analiza la importancia de los sistemas de alta resolución temporal en los nuevos esquemas de transmisión de RF. Se in-

troducen algunos conceptos básicos de modulación, así como varias definiciones referidas a la eficiencia del transmisor que involucran tanto al modulador como al amplificador de potencia, necesarios para poder analizar los distintos enfoques utilizados en la actualidad y comparar con el esquema propuesto en esta tesis.

## 2.2. Generación de intervalos temporales precisos

Como se presentó en el Capítulo 1, en los procesos modernos es preferible codificar la información de las señales en el dominio temporal en oposición al de tensión o corriente. Esto desplaza el problema de diseño hacia la generación y/o medición de intervalos temporales precisos, mientras que las señales utilizadas pueden tener una cantidad limitada de niveles en amplitud. Si la señal es binaria, puede emplearse con los circuitos digitales tradicionales como inversores, compuertas lógicas, y las restantes celdas estándar utilizadas en el diseño de circuitos integrados digitales. Sin embargo, en los sistemas digitales (amplitud y tiempo discreto) la resolución temporal está limitada a un periodo de la señal de reloj,  $T_{\text{clk}} = 1/f_{\text{clk}}$ . Un enfoque para lograr alta resolución temporal basado en sistemas con señal de reloj no es viable, ya que la potencia promedio disipada por un inversor CMOS es función de la frecuencia del reloj y está dada por [1]

$$P_{\text{avg}} = C_{\text{tot}} V_{DD}^2 f_{\text{clk}} \quad (2.1)$$

donde  $C_{\text{tot}}$  representa la capacidad total que debe cargarse o descargarse en cada cambio de estado, y  $V_{DD}$  es la tensión de alimentación. Para otras compuertas lógicas más complejas, la disipación de potencia es similar e incorpora otra variable: la actividad de conmutación (*switching activity*), que contempla tanto la topología de la compuerta como el comportamiento temporal en los distintos nodos del circuito [4].

Los sistemas digitales de tiempo continuo, como los conversores tiempo/digital (TDC<sup>1</sup>) y digital/tiempo (DTC<sup>2</sup>), son circuitos que permiten la cuantización del

---

<sup>1</sup>Time-to-Digital Converter

<sup>2</sup>Digital-to-Time Converter

tiempo en intervalos menores al periodo de reloj, cuyas arquitecturas de señal mixta se basan en componentes digitales implementados mediante técnicas de diseño analógico [7]. Cabe destacar que el flujo de diseño de CI es muy diferente en cada caso. Los sistemas digitales se implementan utilizando lenguajes de descripción de hardware (HDL<sup>3</sup>) de alto nivel, que permiten describir los circuitos de acuerdo a su comportamiento o su estructura, asignando distintas jerarquías, logrando así el diseño eficiente de sistemas muy grandes y complejos que integran millones de transistores en un mismo chip. Esta metodología posibilita la reutilización de bloques entre diferentes procesos tecnológicos realizando muy pocas modificaciones. La última afirmación no aplica para el diseño de circuitos integrados analógicos, donde la mayoría de las topologías circuitales deben adecuarse a los parámetros específicos de cada tecnología (cambios en la tensión de alimentación, tensión de umbral de los transistores, etc.). Los sistemas de tiempo continuo comparten algunas ventajas del diseño de circuitos digitales, como la robustez de la señal binaria ante perturbaciones (ruido, acoplamientos) y variaciones de proceso, aunque el manejo de las señales continuas en el tiempo requiere de un enfoque cuidadoso con conocimientos en diseño de circuitos analógicos [17].

Dentro de los sistemas de tiempo continuo que permiten aumentar la resolución temporal, las líneas de retardo (DL<sup>4</sup>) conforman un bloque fundamental utilizado en la mayoría de las implementaciones. En estos circuitos, la señal aplicada a la entrada se propaga por los  $n$  idénticos elementos de retardo (DE<sup>5</sup>) de la línea. Cada uno de ellos aporta un retardo temporal  $\tau$  y están conectados en serie, como se muestra en el esquema de la Figura 2.1. Así, en cada nodo  $out_i$ , correspondiente a la salida de la etapa DE <sub>$i$</sub> , se obtiene la señal de entrada retardada por un intervalo temporal  $\Delta t = i\tau$ , donde  $1 \leq i \leq n$ .

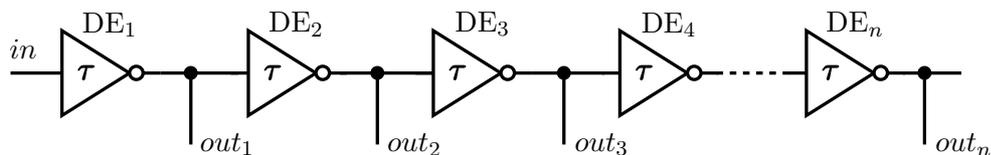


Figura 2.1: Línea de retardo con  $n$  elementos y resolución temporal  $\tau$ .

<sup>3</sup>Hardware Description Language

<sup>4</sup>Delay Line

<sup>5</sup>Delay Element

Las líneas de retardo pueden caracterizarse teniendo en cuenta principalmente dos aspectos [18]:

- la resolución, definida como el menor incremento temporal discreto;
- el rango, determinado por el máximo intervalo temporal que una señal puede ser retardada.

Las características nombradas delimitan los valores extremos que puede tomar el retardo  $\Delta t$ , y a partir de ellas se revelan otras relaciones de compromiso como, por ejemplo, mantener una buena linealidad entre el control de la DL y el retardo producido, para lo cual se deben utilizar técnicas que consideren la simetría de los componentes físicos y permitan alcanzar un buen emparejamiento (*matching*) entre etapas, logrando una cuantización uniforme del tiempo. Además, el elemento de retardo se debe diseñar cuidadosamente para minimizar la sensibilidad ante variaciones de proceso, tensión y temperatura (PVT<sup>6</sup>), o de forma alternativa contemplar mecanismos de calibración que permitan alcanzar los valores de retardo nominales en todas las condiciones de trabajo, convirtiendo en un gran desafío el diseño de una línea de retardo con un amplio rango, elevada resolución (mínimo  $\tau$ ), e insensible a variaciones PVT.

### 2.2.1. Elementos de retardo

En la Figura 2.1 se representó a cada DE con el símbolo de un inversor porque precisamente con ellos se realiza la implementación más directa de una DL, con la adición de la letra griega  $\tau$  indicando el valor temporal por el cual se retrasa la señal de entrada (para este caso igual al tiempo de propagación del inversor,  $\tau = t_p$ ). La principal desventaja de este enfoque es que la señal tiene una polaridad opuesta a la original en la mitad de las salidas de la DL. Agrupando los inversores de a pares (formando *buffers*) se logra reestablecer la polaridad de la señal de entrada [19, 20], aunque con el costo de duplicar el mínimo valor temporal ( $\tau = 2t_p$ ), disminuyendo entonces la resolución de la DL. A pesar de esto, las líneas de retardo basadas en inversores son muy

---

<sup>6</sup>*Process-Voltage-Temperature*

utilizadas en diseño digital cuando se requiere ecualizar señales en las redes de distribución de reloj, dada su relativa facilidad para ser implementadas mediante HDL. Otra posible solución a la alternancia de polaridad entre salidas es utilizar DE diferenciales, construyendo de esta manera dos líneas en paralelo: en una DL, las salidas tienen la misma polaridad que la señal de entrada, mientras que en la otra DL la polaridad está invertida [7, 21].

Existen otros esquemáticos similares que también utilizan inversores o buffers en cadena como elementos de retardo. Algunos utilizan una estructura basada en flip-flops tipo D (FF-D) como la mostrada en la Figura 2.2(a), donde los DE son intercalados entre cada entrada  $D$  de los mismos retardando la propagación de la señal, mientras que la señal de reloj los activa simultáneamente [22–24]. Este enfoque posee múltiples salidas  $\{out_1 : out_n\}$  en forma similar a la DL mostrada en la Figura 2.1, mientras que existen otros esquemas con salida única. Un ejemplo de estos últimos se muestra en la Figura 2.2(b), donde se emplea una red de inversores e inversores triestado conectados en serie, los cuales son agregados o desconectados del camino de la señal mediante una señal de control, alterando así el retardo de propagación [25].

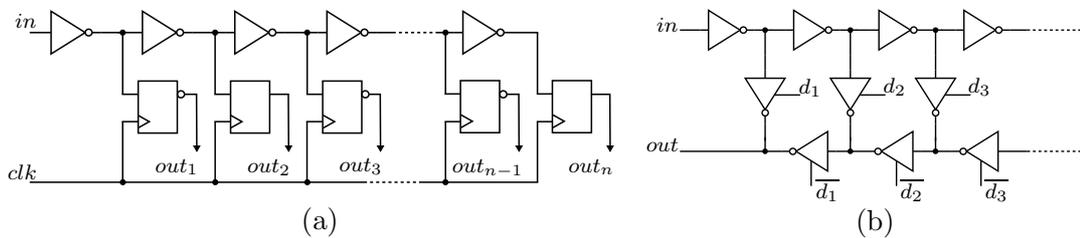


Figura 2.2: Líneas de retardo basadas en: (a) FF-D, y (b) Inversores triestado.

La resolución temporal de los sistemas presentados hasta el momento está limitada por el tiempo de propagación  $t_p$  del inversor de mínimas dimensiones, dependiente del proceso CMOS utilizado. Entre las técnicas utilizadas para mejorar la resolución por debajo de este valor se puede citar el método Vernier [26–28], donde se utilizan dos DL con resolución temporal levemente distinta ( $\tau_1$  y  $\tau_2$ , respectivamente, con  $\tau_1 > \tau_2$ ) y un esquema similar al de los FF-D explicado anteriormente, como se muestra en la Figura 2.3(a). La DL adicional se coloca en el camino de la señal de reloj, resultando en una resolución equivalente a  $\tau_{eq} = \tau_1 - \tau_2$ . Entre las desventajas de este enfoque se encuentran su reducido

rango en relación a la cantidad de componentes que emplea, requiriendo largas líneas de retardo que impactan en el área y el consumo de potencia del chip.

Otra técnica utilizada para cuantizar el tiempo en intervalos menores al retardo de un inversor de tamaño mínimo es la interpolación pasiva local [29, 30]. En ella se realiza una interpolación de la tensión a través del DE mediante resistores, de tal forma que durante el intervalo temporal en que la señal transiciona entre estados se generan nuevas señales en los nodos intermedios del divisor resistivo. Mediante comparadores que detectan el punto medio de estas señales interpoladas se puede lograr una resolución igual a una fracción del tiempo de propagación del inversor,  $\tau/F$ , siendo  $F$  el factor de interpolación (dado por el número de resistores). Este valor no puede ser arbitrariamente elevado (generalmente  $F \leq 4$ ) ya que a medida que se interconectan varios DE en serie, se incrementa la carga en los nodos del circuito debido a los resistores [7, 19]. Así, el aumento en la resolución es menor a  $F$  ya que  $\tau$  aumenta. Otra característica a considerar es que para lograr un espaciado equidistante entre las señales interpoladas se deben usar distintos valores de resistencia, dadas las diferentes características de los transistores nMOS y pMOS, volviendo más compleja la tarea de ecualizar los retardos. En la Figura 2.3(b) se muestra el esquema de una línea de retardos diferencial con interpolación resistiva ( $F = 2$ ).

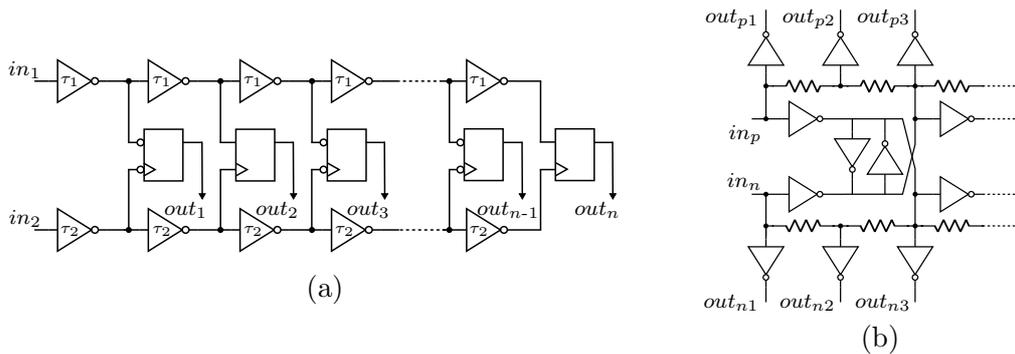


Figura 2.3: Líneas de retardo con resolución ampliada: (a) Método Vernier, y (b) Interpolación pasiva.

### 2.2.2. Ajuste del retardo producido

La principal desventaja de utilizar al inversor de mínimas dimensiones como elemento de retardo es su sensibilidad ante variaciones PVT, que provocan gran-

des desviaciones en la resolución temporal  $\tau$  de los sistemas donde se emplea, por lo que resulta fundamental compensar estos efectos. La manera en que se realiza el control del retardo de propagación permite clasificar a los DE en dos categorías: controlados por una señal analógica o una palabra digital. Si bien los primeros permiten obtener retardos temporales menores [31–33], su diseño se debe realizar de forma cuidadosa para garantizar la integridad de las señales analógicas de control. Éstas requieren de circuitos adicionales para su generación (bomba de carga, filtro pasabajos) que resultan en esquemáticos más complejos, sobre todo en los procesos CMOS modernos si se considera el paradigma presentado en el Capítulo 1 respecto a la precisión en el dominio de la tensión. Así, la elección de un elemento de retardo con control digital está basada en: mayor robustez e inmunidad al ruido, ya que solo emplea señales binarias; flexibilidad y versatilidad, porque las topologías pueden ser adaptadas entre procesos sin mayores cambios; y su programabilidad, que permite el control del DE por otros bloques digitales del sistema implementados con HDL.

Dentro de las topologías más utilizadas para diseñar DE con control digital se destacan dos que permiten variar el retardo de propagación del inversor CMOS: el inversor con corriente controlada (CSI<sup>7</sup>) y el inversor con carga capacitiva (SCI<sup>8</sup>). El comportamiento dinámico del inversor se puede modelar con un circuito equivalente RC de primer orden, donde el retardo de propagación es función de la resistencia equivalente y la capacidad de carga (un análisis detallado del inversor se presenta en el Capítulo 3). La estrategia CSI se basa en variar la resistencia equivalente del inversor, mientras que en los esquemas SCI el tiempo de propagación se modifica al variar la capacidad de salida.

En la Figura 2.4(a) se muestra la estructura básica de un DE-CSI [34]. El tiempo de bajada del primer inversor, formado por  $M_1$  y  $M_2$ , es controlado mediante un arreglo de transistores ubicados en el terminal de *source* de  $M_1$ . Aplicando una palabra binaria de  $n$  bits (se excluye el código 0) a los transistores de control  $\{M_{10}, M_{11}, \dots, M_{1n}\}$  se modifica la resistencia del arreglo de nMOS, en serie con la resistencia de encendido de  $M_1$ , cambiando así el retardo de propagación en esa transición. La Figura 2.4(b) muestra el esquemático circuital de un DE-SCI [35].

---

<sup>7</sup> *Current-Starved Inverter*

<sup>8</sup> *Shunt-Capacitor Inverter*

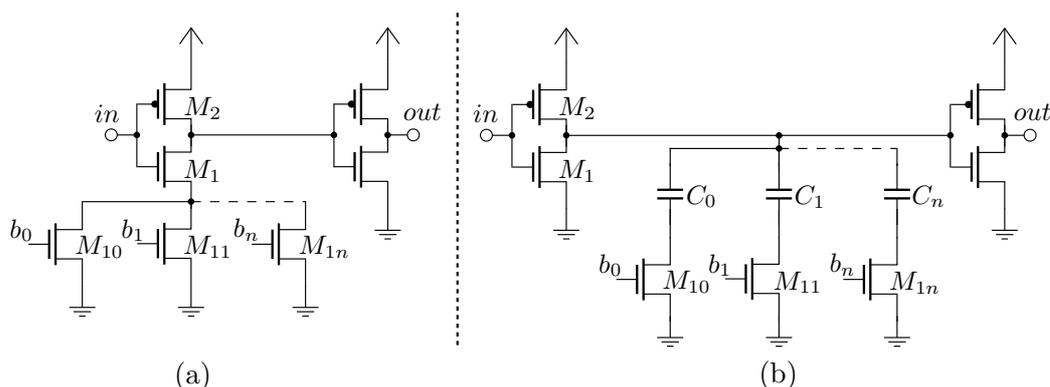


Figura 2.4: Esquemáticos circuitales de (a) Inversor controlado por corriente, DE-CSI, y (b) Inversor con carga capacitiva, DE-SCI.

En este caso los transistores  $\{M_{10}, M_{11}, \dots, M_{1n}\}$  actúan como interruptores controlados por una palabra digital, permitiendo variar la capacidad de carga del inversor, y en consecuencia, la respuesta temporal del elemento de retardo.

Ambas estrategias tienen sus ventajas y desventajas. Las líneas de retardo basadas en CSI tienen un consumo de potencia ligeramente mayor que las cadenas de inversores [36], pero mucho menor que en los métodos basados en incrementar la capacidad de carga. Sin embargo, exhiben un comportamiento no lineal entre el código de entrada y el retardo de propagación, directamente relacionado con el cambio en la resistencia equivalente cuando se activan o desactivan los transistores de control (conectados en paralelo), a lo que se agrega la interacción entre las capacidades de los mismos. Las estructuras basadas en SCI tienen mayor robustez ante variaciones de proceso y pueden producir intervalos de retardo muy lineales en un amplio rango [25], aunque la utilización de grandes valores de capacidad es muy costoso en términos de área del circuito integrado. En la Sección 3.4.1 se introducen los criterios para la elección de los capacitores dentro de las variantes disponibles en el proceso CMOS utilizado.

Existen otras topologías para realizar elementos de retardo programables, como las que usan esquemas CSI con espejo de corriente [37], matrices de inversores triestado [25], compuertas de transmisión (*transmission gate*), tiristores o multiplexores [18, 19, 38]. Sin embargo, las técnicas CSI y SCI son las de mayor difusión dada su versatilidad para ser adaptadas a los distintos procesos con ligeras modificaciones, como lo demuestran diversas publicaciones recientes (CSI y SCI en 65 nm [39], SCI en 32 nm [40], CSI en 14 nm [21], por citar algunos ejemplos).

Por esta razón fueron elegidas para diseñar un nuevo elemento de retardo, el cual fue utilizado en dos circuitos integrados implementados en 130 nm durante el transcurso de esta tesis, cuyas pautas de diseño y resultados experimentales son presentados en los capítulos siguientes.

### 2.2.3. Arquitecturas de PWM

Las líneas de retardo son ampliamente utilizadas en CI para múltiples propósitos, siendo un bloque fundamental en dispositivos de medición (TDC), osciladores controlados por tensión (VCO), lazos de seguimiento de fase (PLL) o de retardo (DLL), entre otros. El estudio llevado a cabo en esta tesis se orientó hacia los convertidores digital/tiempo (DTC), y dentro de ellos a los sistemas que permitan generar pulsos de ancho variable con alta precisión en el dominio del tiempo. Es decir, arquitecturas que puedan utilizarse como moduladores por ancho de pulso de alta resolución (HRPWM<sup>9</sup>), cuya entrada sea una palabra digital que represente el ciclo de trabajo de la señal de salida.

Las arquitecturas de HRPWM se aplican en diferentes campos de la electrónica, como en convertidores CC-CC [41–43], y moduladores de radiofrecuencia basados en amplificadores conmutados, donde la resolución temporal es una de las principales limitaciones [30, 44, 45]. Otra área donde los HRPWM son usados es en amplificadores de audio clase D [46–49], para lograr alta fidelidad con niveles bajos de distorsión y elevada eficiencia. El diseño de HRPWM involucra diversos aspectos y relaciones de compromiso, donde una estrategia óptima debería lograr las siguientes características (o la mayor cantidad de ellas simultáneamente):

- alta resolución temporal,
- buena linealidad,
- bajo consumo de potencia,
- mínima área de silicio.

En la literatura se han propuesto diferentes topologías para generar una señal de alta resolución con moduladores por ancho de pulso digitales (DPWM) [50–53].

---

<sup>9</sup>*High-Resolution Pulse Width Modulation*

Los DPWM basados en contador son una imitación directa de un modulador PWM analógico, donde un contador de  $n$  bits emula la forma de onda triangular o diente de sierra, y ese valor es comparado con el código digital  $K[n]$  para producir la señal de salida, como se muestra en la Figura 2.5(a). Con esta arquitectura se logra una excelente linealidad entre el código de entrada y el ciclo de trabajo producido, donde la frecuencia de reloj requerida es  $f_{clk} = 2^n f_{pwm}$  para un DPWM de  $n$  bits operando a  $f_{pwm}$ . Para un DPWM de alta resolución, la implementación basada en contador puede ser inviable por sus exigentes restricciones de temporizado y el elevado consumo de potencia. Por ejemplo, para lograr 14 bits de resolución en un DPWM operando a  $f_{pwm} = 250$  kHz se necesita un reloj de  $f_{clk} = 4.1$  GHz.

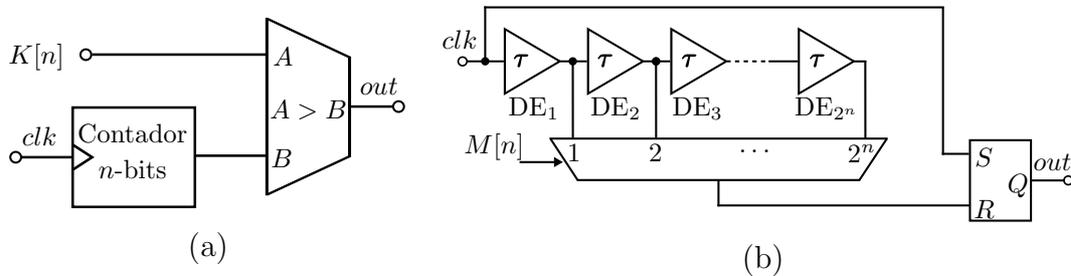


Figura 2.5: Arquitecturas de DPWM: (a) PWM basado en contador, y (b) PWM basado en líneas de retardo.

La arquitectura de DPWM basada en líneas de retardo utiliza el tiempo de propagación a través de  $2^n$  DE conectados en cascada para generar la señal modulada, utilizando un multiplexor de  $2^n$  entradas y una señal de control  $M[n]$  para seleccionar las diferentes salidas de los elementos de retardo. Finalmente, la señal de reloj y la salida del multiplexor son combinadas utilizando un flip-flop tipo SR (FF-SR) disparado por flanco como se muestra en la Figura 2.5(b). Esta topología no necesita una señal de reloj de alta frecuencia para generar la señal HRPWM y es adecuada para aplicaciones de bajo consumo. Sin embargo, el área usada del IC es una gran limitación así como también el ecualizado de las  $2^n$  etapas de retardo, lo que afecta la linealidad de la conversión digital a tiempo.

Un tercer enfoque que combina ambas topologías es conocido como arquitectura híbrida, donde el esquema basado en contador se utiliza para lograr un ajuste grueso, representando los bits más significativos (**MSB**<sup>10</sup>) del ciclo de tra-

<sup>10</sup>Most Significant Bits

bajo deseado, y el esquema basado en líneas de retardo proporciona la resolución temporal fina representando los bits menos significativos (LSB<sup>11</sup>). De esta manera se logra una relación adecuada entre el área de silicio utilizada y el consumo de potencia del circuito.

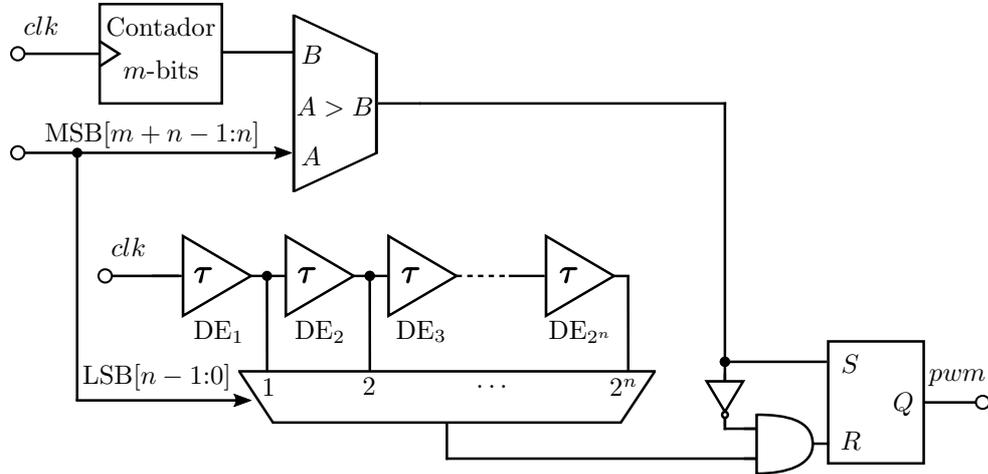


Figura 2.6: Arquitectura DPWM híbrida.

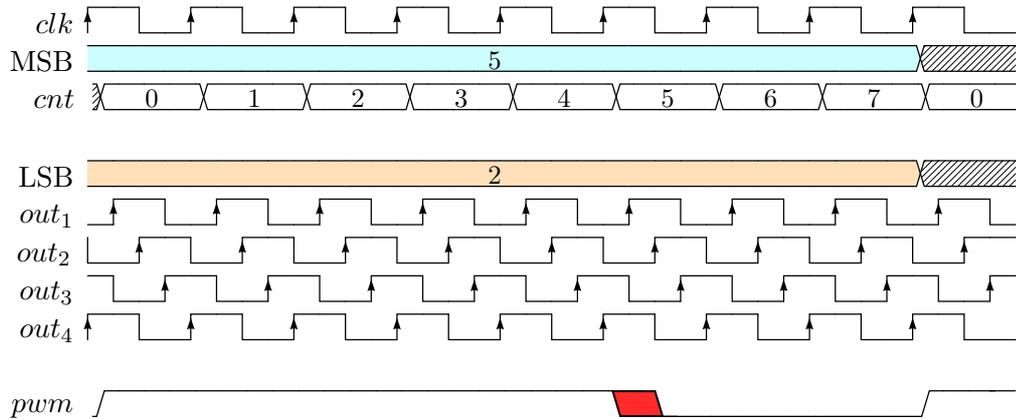


Figura 2.7: Formas de onda temporales en una arquitectura DPWM híbrida.

La Figura 2.6 muestra un ejemplo de arquitectura DPWM híbrida, mientras que la Figura 2.7 grafica las formas de onda involucradas. El ciclo de trabajo de una señal PWM codificada con 5 bits de resolución se puede generar utilizando un contador de 3 bits para los MSB, mientras que para los 2 bits menos significativos se puede utilizar un esquema como el de la Figura 2.5(b), con 4 elementos de retardo que desfasan la señal de reloj  $clk$  en un intervalo  $\tau = T_{clk}/4$  cada uno. El valor de ciclo de trabajo en el ejemplo es  $D = 0.6875$ , que al cuantizarlo con 5 bits

<sup>11</sup> *Least Significant Bits*

de resolución resulta en  $22_d = 10110_b$  en sus representaciones decimal y binaria, indicadas mediante los subíndices  $d$  y  $b$  respectivamente. Separando este número binario en parte alta y baja, al contador se le aplica el valor  $\text{MSB} = 101_b = 5_d$ , en tanto la señal que controla el multiplexor es  $\text{LSB} = 10_b = 2_d$ . Así, la señal de reloj es retrasada en  $2\tau$  antes de ser aplicada al reset del FF-SR, resultando en la señal *pwm*. La porción del ciclo de trabajo agregada mediante el esquema basado en DL se indica en la Figura 2.7 con color rojo para mayor claridad (correspondiente a la salida  $out_2$  de la DL).

Dentro de las arquitecturas de DPWM híbridas, diversas alternativas han sido implementadas. Un controlador DPWM para un convertidor CC es presentado en [54], donde se utiliza un contador de 5 bits en conjunto con una línea de retardo de 4 bits para generar la señal PWM de alta resolución. El diseño fabricado en 180 nm tiene una complejidad media aunque poca versatilidad para adaptar a otros procesos, ya que los DE son del tipo CSI analógico e involucra un DLL para controlar los mismos. Una arquitectura más flexible puede encontrarse en [55], donde se presenta un módulo DPWM programable con diversas características (múltiples salidas, control de tiempos muertos) que puede alcanzar una resolución de hasta 12 bits, 3 de los cuales son aportados por una DL controlada por un DLL analógico. Distintas variaciones sobre estos esquemas se pueden encontrar en [56–60].

También existen otras variantes de DPWM implementadas en FPGA. Una gran cantidad de éstas se basa en la capacidad de desfazar la señal de reloj en pequeños intervalos mediante el módulo administrador de reloj digital (DCM<sup>12</sup>, reemplazado por el MMCM<sup>13</sup> en las versiones más modernas), provisto para generar señales de distinta frecuencia a partir del reloj principal y sincronizar el temporizado de los módulos y memorias, entre otras funciones [61–63]. Estas arquitecturas se basan en las características propias de cada FPGA, por lo que no resultan en esquemas que se puedan generalizar y aplicar al diseño de circuitos integrados de aplicación específica (ASIC<sup>14</sup>). Sin embargo, existe otro grupo de implementaciones en FPGA cuyas topologías sí pueden extrapolarse al diseño

---

<sup>12</sup>*Digital Clock Manager*

<sup>13</sup>*Mixed-Mode Clock Manager*

<sup>14</sup>*Application Specific Integrated Circuit*

de ASIC ya que se basan en líneas de retardo, cuyos DE pueden ser compuertas lógicas o celdas específicas de cada FPGA. En [64] se presenta un DPWM híbrido con dos señales de salida complementarias que incluyen tiempos muertos, con una resolución de 5 bits dada por la estructura basada en contador y 5 bits con la línea de retardo, controlada por un DLL digital. Otras alternativas, como las presentadas en [65–67] utilizan una combinación de los DE presentes en la FPGA con las distintas fases de la señal de reloj para ampliar la resolución de la señal DPWM.

Por último, es importante mencionar que existen algunos microcontroladores comerciales que incluyen moduladores HRPWM como periféricos, como los procesadores de la línea TMS320 de Texas Instrument [68], o los microcontroladores de la familia XMC4000 de Infineon [69]. Por todo lo expuesto, puede concluirse que la generación de señales moduladas por ancho de pulso con alta resolución temporal es un campo de gran interés en el ámbito académico y también en la industria, donde pueden encontrarse múltiples aplicaciones. Parte de los trabajos realizados en esta tesis se orientaron al diseño de un HRPWM con arquitectura híbrida, cuya resolución esté dada por un elemento de retardo programable como los presentados en el apartado previo.

### 2.3. Transmisores de radiofrecuencia

Los equipos electrónicos usados de forma cotidiana, tales como *smartphones*, *tablets* y computadoras portátiles, realizan distintas funciones para las cuales necesitan transmitir y recibir una enorme cantidad de información (texto, audio, imagen, video). Usualmente, cada uno de estos dispositivos electrónicos tiene la capacidad de soportar diferentes estándares de comunicación, como GSM, UMTS (3G), LTE (4G), WLAN, Bluetooth, entre otros. En consecuencia, el diseño de arquitecturas de radiofrecuencia donde deben coexistir varios estándares se convierte en un gran desafío debido a las diferentes especificaciones que impone cada uno de ellos, con el objetivo común de incrementar la eficiencia energética para maximizar la vida útil de la batería, además de intentar obtener costo y tamaño mínimos.

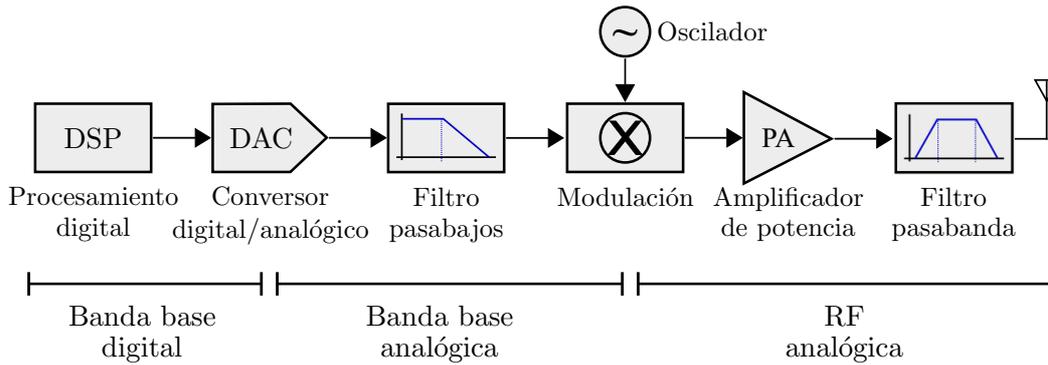


Figura 2.8: Diagrama en bloques de un transmisor de RF genérico.

En la Figura 2.8 se muestra el esquema de un transmisor de RF convencional, para un único estándar, que consta de los siguientes bloques:

- Procesamiento digital, donde la información a transmitir es procesada y codificada;
- D/A, que convierte los datos digitales en una señal analógica;
- Filtro pasabajos, utilizado para reducir las réplicas espectrales de la señal analógica y limitar el ancho de banda;
- Modulador, donde se realiza la conversión de frecuencias y se traslada la información a una determinada banda de RF;
- Amplificador de potencia (PA<sup>15</sup>), encargado de amplificar de forma eficiente la señal de RF que es aplicada a la antena.
- Filtro pasabanda, utilizado para remover la potencia fuera de la banda de interés, causada por no linealidades en las etapas de modulación y amplificación.

Los circuitos integrados de RF generalmente combinan transmisor y receptor en la misma arquitectura (denominada transceptor), siendo el esquema del receptor similar al de la Figura 2.8 pero en sentido inverso: la señal recibida en la antena es aplicada a un amplificador de bajo ruido, demodulada, filtrada y digitalizada por medio de un convertor analógico/digital [70, 71]. La manera más sencilla de implementar un transmisor de RF multiestándar es combinando varios

<sup>15</sup>Power Amplifier

transmisores, cada uno de los cuales está optimizado para un estándar distinto, mientras que un bloque único de procesamiento digital controla la información a enviar y el encendido de los transmisores [7]. Al recorrer los bloques de la Figura 2.8 desde la generación de la información hasta su transmisión inalámbrica, se puede suponer que la implementación de componentes reconfigurables permitiría reutilizarlos para distintos estándares. Por ejemplo, si el filtro pasabajos tuviera una frecuencia de corte ajustable se podría utilizar una cadena única de DSP + DAC + Filtro, y a continuación los bloques específicos de cada estándar. El mismo razonamiento aplica a las etapas de modulación y amplificación, aunque la flexibilidad en estas supone un trabajo más arduo dado la variedad de parámetros entre estándares (frecuencia de operación, ancho de banda y potencia de salida).

Considerando los desafíos planteados y las ventajas de plataformas reconfigurables, la tendencia actual en los transmisores de RF es extender el dominio digital hasta las proximidades de la antena, reduciendo asimismo la complejidad de los circuitos analógicos (filtros, mezcladores, conversores) y aprovechando las ventajas del escalado tecnológico en los circuitos integrados CMOS [72–74]. Así, el diseño de arquitecturas para transmisores de RF totalmente digitales está orientada a reducir el consumo de potencia, integrar los distintos bloques del sistema en un mismo chip y aportar la mayor versatilidad posible para el manejo de múltiples estándares de comunicaciones. Por otra parte, la potencia de RF generada debe ser la adecuada, reduciendo al mínimo las componentes espectrales fuera de la banda asignada. Además, el ruido de cuantización inducido por la limitada resolución en la codificación de la señal de banda base empeora el espectro resultante. Así, los sistemas de alta resolución temporal se convierten en bloques fundamentales en el rendimiento de los transmisores de RF: los TDC, que convierten magnitudes temporales a un código digital, son utilizados para medir intervalos temporales muy pequeños y controlar la generación de las señales de alta frecuencia [6]; mientras que las arquitecturas que realizan la operación inversa (los DTC, que producen una señal digital de tiempo continuo cuando a su entrada se aplica una palabra digital) son usadas para generar pulsos con intervalos temporales muy precisos [7].

En esta tesis se propone una nueva modulación, apta para ser utilizada en

una arquitectura digital para la transmisión de RF. La modulación propuesta se basa en señales PWM de alta resolución, las cuales pueden ser generadas mediante los circuitos presentados en las secciones previas. Los detalles de la técnica desarrollada, y una comparativa minuciosa con otras modulaciones PWM utilizadas en transmisores digitales se presentan en el Capítulo 7. A continuación se introducen algunos conceptos necesarios para delimitar el alcance del trabajo realizado.

Se entiende por modulación al proceso de transferir la información de una señal de banda base  $m(t)$ , moduladora, a una señal pasabanda de RF  $s(t)$ , portadora, cuyo espectro está concentrado en  $\pm f_c$ , donde la frecuencia de portadora  $f_c$  se selecciona de forma tal que  $s(t)$  se propague a través de un determinado canal de comunicación [75]. Mediante la modulación, uno o más parámetros de la señal portadora sinusoidal (amplitud, frecuencia y fase) se modifican en función de la señal de banda base [76].

Una señal modulada pasabanda se puede representar como

$$v(t) = \text{Re}\{g(t)e^{j\omega_c t}\} \quad (2.2)$$

donde  $g(t)$  es la envolvente compleja de  $v(t)$  y  $\omega_c = 2\pi f_c$ , siendo  $f_c$  la frecuencia de portadora asociada [75]. La señal compleja  $g(t)$  que modula al fasor  $e^{j\omega_c t}$  puede ser representada mediante coordenadas cartesianas (2.3a) o polares (2.3b):

$$g(t) = I(t) + jQ(t) \quad (2.3a)$$

$$g(t) = A(t)e^{j\theta(t)} \quad (2.3b)$$

Usando las expresiones de (2.3), es posible plantear las siguientes equivalencias:

$$A(t) = \sqrt{I(t)^2 + Q(t)^2} \quad (2.4a)$$

$$\theta(t) = \arctan\left(\frac{Q(t)}{I(t)}\right) \quad (2.4b)$$

$$I(t) = A(t) \cos(\theta(t)) \quad (2.4c)$$

$$Q(t) = A(t) \text{sen}(\theta(t)) \quad (2.4d)$$

Así, la señal modulada  $v(t)$  se puede expresar como:

$$v(t) = I(t) \cos(\omega_c t) - Q(t) \sin(\omega_c t) \quad (2.5a)$$

$$v(t) = A(t) \cos(\omega_c t + \theta(t)) \quad (2.5b)$$

La expresión (2.5a) es la representación cartesiana de la señal modulada, y las señales  $I(t)$  y  $Q(t)$  son llamadas componentes en fase (*in-phase*) y en cuadratura (*quadrature*), respectivamente. La expresión (2.5b) es la representación polar de  $v(t)$ , donde  $A(t)$  contiene la información de amplitud de la señal compleja  $g(t)$  y  $\theta(t)$  la información de fase, pudiéndose indicar también como  $A(t) = |g(t)|$  y  $\theta(t) = \angle g(t)$ . Dado que  $g(t)$  es una señal de banda base, también lo son  $I(t)$ ,  $Q(t)$ ,  $A(t)$ , y  $\theta(t)$ . El factor  $e^{j\omega_c t}$  indica un desplazamiento del espectro  $G(f)$  desde banda base hacia la frecuencia  $f_c$ , proceso conocido como heterodinado o conversión de frecuencia.

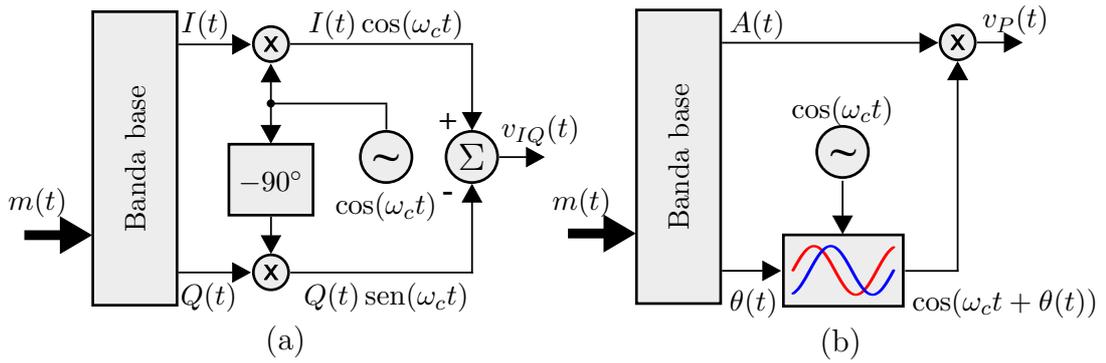


Figura 2.9: Arquitecturas genéricas de los transmisores de RF: (a) Modulación IQ, (b) Modulación Polar.

Las arquitecturas genéricas de los transmisores de RF que implementan las expresiones de (2.5) se muestran en la Figura 2.9: en (a), el procesamiento en banda base obtiene las señales en cuadratura  $I(t)$  y  $Q(t)$  a partir de  $m(t)$ , las cuales son multiplicadas por sendas portadoras desfasadas  $90^\circ$  resultando en la señal  $v_{IQ}(t)$ ; mientras que en (b) se generan  $A(t)$  y  $\theta(t)$  en función de la señal moduladora, donde la componente angular es utilizada para modular en fase la portadora, y la multiplicación de ésta con la componente de amplitud resulta en  $v_P(t)$ .

La eficiencia del transmisor depende en gran medida de la eficiencia del amplificador de potencia de radiofrecuencia. Ésta se define como la relación entre la

potencia de salida promedio a la frecuencia fundamental y el consumo de potencia en corriente continua del PA [77]. La potencia promedio  $P_o$  es un parámetro directamente relacionado con la señal de RF aplicada: si ésta tiene una envolvente constante (por ejemplo una señal modulada en fase), la potencia es la misma que si no existiera modulación. Así, se puede definir una potencia de salida para una envolvente constante, como también una potencia pico de la envolvente (*Peak Envelope Power, PEP*) definida como la potencia disipada en la carga si la envolvente se mantiene en su máximo valor. El valor de *PEP* puede ser mucho mayor que  $P_o$ , y ambas magnitudes son factores muy importantes en el diseño de los amplificadores de potencia, relacionadas mediante la  $PAPR = PEP/P_o$ , *Peak to Average Power Ratio*.

Las señales de RF producidas por las modulaciones digitales utilizadas en los sistemas de comunicaciones inalámbricos tienen una elevada *PAPR*, provocando que los PA lineales operen en regiones de baja eficiencia. En estas modulaciones, la señal digital (discretizada en tiempo y con un número finito de amplitudes) se mapea sobre un número finito de puntos del plano complejo, graficado mediante el diagrama de constelación. Cada punto del diagrama se conoce como símbolo digital, con valores determinados de magnitud y fase [78]. La trayectoria de un punto a otro de la constelación determinará las variaciones en la envolvente de la señal de RF, las cuales impactan directamente en el desempeño del PA. Si la trayectoria entre dos puntos es circular, la amplitud de la envolvente compleja es constante y la  $PAPR = 1$ . Esta situación sería la más favorable para el amplificador desde el punto de vista de la potencia, pero necesitaría un ancho de banda muy grande y sería ineficiente en términos de capacidad del canal de comunicaciones. En la práctica, la señal digital es filtrada para limitar el ancho de banda de la misma y disminuir la interferencia entre símbolos (*ISI, Intersymbol interference*), efecto que sucede al intentar transmitir un pulso rectangular por un sistema limitado en banda como el canal de comunicaciones. Los filtros utilizados para la conformación del pulso (*pulse shaping*) suavizan las transiciones de la señal en el dominio del tiempo, confinando el espectro en una forma rectangular [70]. Generalmente se aplican filtros de coseno alzado, cuya respuesta al impulso es similar a una función sinc y en su expresión contienen un parámetro llamado *roll-off*, que

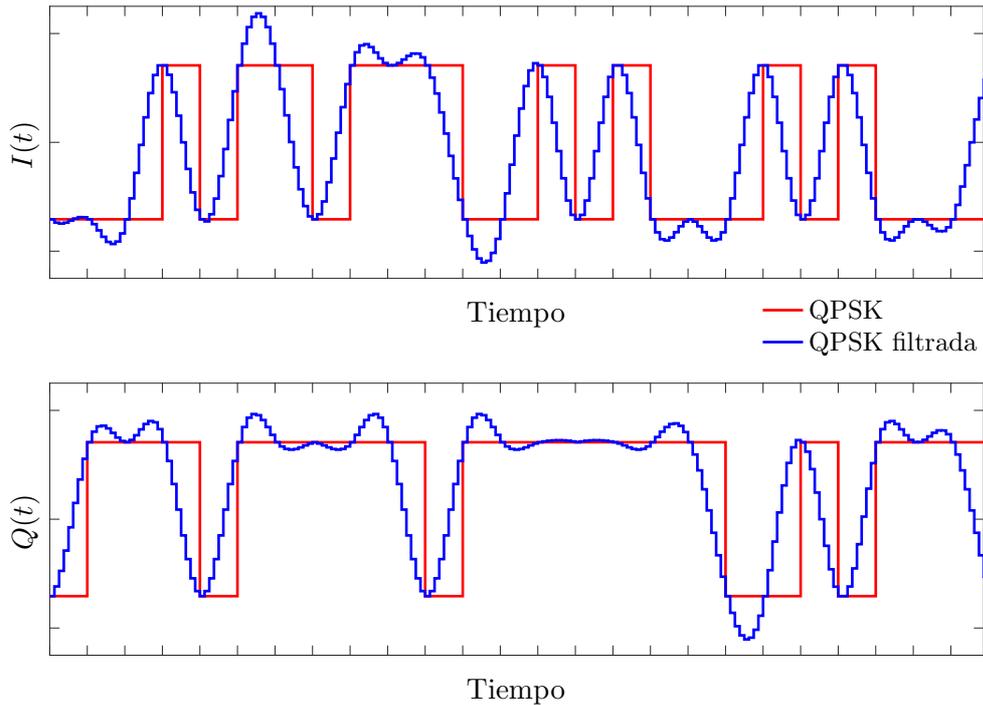


Figura 2.10: Componentes en fase  $I(t)$  y cuadratura  $Q(t)$  de las señales QPSK (rojo), y QPSK filtrada (azul).

indica cuán cercano es aquella a una sinc ideal. Para graficar estos conceptos, en la Figura 2.10 se muestra una señal compleja modulada con QPSK (*Quadrature Phase Shift Keying*) en el dominio del tiempo, separada en sus componentes  $I(t)$  (arriba) y  $Q(t)$  (abajo), sin filtrar y luego de ser aplicada a un filtro de coseno alzado con  $roll-off=0.35$  (en colores rojo y azul, respectivamente).

La modulación QPSK codifica dos bits en cada símbolo, teniendo entonces cuatro estados posibles, los que pueden observarse en el diagrama de constelación

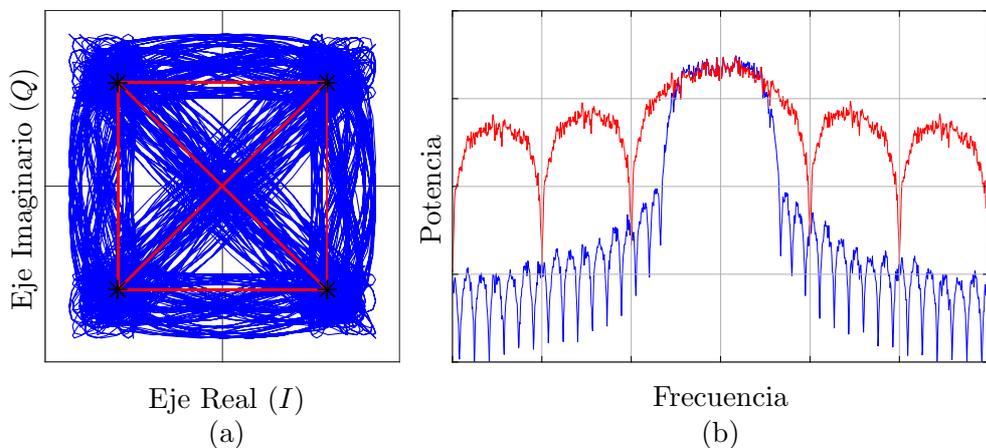


Figura 2.11: (a) Diagrama de constelación, y (b) Espectro en frecuencia para las señales QPSK (rojo) y QPSK filtrada (azul).

de la Figura 2.11(a) con asteriscos de color negro. Para la QPSK ideal, las transiciones se indican mediante los trazos rojos, mientras que las trayectorias entre símbolos de la QPSK filtrada se muestran con color azul. En la Figura 2.11(b) se grafican los espectros de ambas señales.

Agrupando una cantidad  $l$  de bits de la señal digital de entrada, es posible generar una modulación con  $M = l^2$  símbolos digitales con una combinación única de amplitud y fase, conocida como modulación de amplitud en cuadratura (QAM, *Quadrature Amplitude Modulation*). Por ejemplo, la modulación 16-QAM utiliza 16 símbolos donde cada uno de ellos transmite la información de una palabra binaria de 4 bits. De esta forma, se puede incrementar la velocidad de transmisión sin aumentar el ancho de banda (las modulaciones 64-QAM, 128-QAM y 256-QAM son ampliamente utilizadas por los distintos estándares de comunicaciones). La desventaja de emplear constelaciones más densas es que los puntos están cada vez más cerca entre sí, dificultando la detección del símbolo en el demodulador y haciendo los sistemas más sensibles al ruido. Además las variaciones de envolvente son mayores (alta *PAPR*), requiriendo el uso de PA muy lineales, los cuales ven reducida su eficiencia ya que trabajan en su máxima capacidad de potencia solo en los picos de la envolvente.

Diferentes enfoques se han propuesto para mejorar la eficiencia del amplificador de potencia. Una de ellas es el seguimiento de la envolvente (*envelope tracking*, ET) donde la tensión de alimentación de un PA lineal es variada de forma dinámica con conmutadores, permitiendo que el amplificador de RF opere de modo lineal en el rango necesario (sin demasiado margen) y con menor consumo de potencia que si el mismo fuera alimentado con una fuente de valor fijo [79]. Generalmente se utiliza un detector de envolvente para controlar un convertidor CC-CC, el cual no tiene que replicarla con gran precisión, e incluso puede implementarse utilizando una fuente de alimentación con sólo algunos niveles discretos de tensión. Sin embargo la eficiencia, que puede alcanzar valores cercanos a los teóricos para la potencia máxima del PA (78.5 % para un amplificador lineal clase B), se reduce considerablemente cuando decrece la potencia de salida del PA [80]. Dado que el ancho de banda de la señal  $A(t)$  tiene un ancho de banda varias veces mayor que el de la señal modulada  $v(t)$ , un problema típico en esta topología es

el ancho de banda del controlador de la fuente de alimentación del PA [81]. Otro aspecto a considerar es la variación de parámetros del PA (ganancia, ancho de banda, fase de salida) ante cambios en la tensión de alimentación, para lo cual se aplican distintos métodos de linealización y predistorsión [82].

Otra técnica muy utilizada para mejorar la eficiencia en los amplificadores utilizados con modulaciones multinivel es la eliminación y restauración de envolvente (*Envelope Elimination and Restoration*, EER), introducida originalmente por Kahn [83] como una alternativa para transmisores de banda lateral única. En ella se combina un PA no lineal para la señal de RF con un PA lineal para la envolvente, logrando un sistema de amplificación muy eficiente. Su estructura típica consta de un limitador que elimina la envolvente y convierte a la señal de entrada en una señal de envolvente constante, permitiendo que la señal modulada en fase pueda ser amplificada eficientemente por un PA clase C, D, E o F. La modulación de amplitud es restaurada en la última etapa de amplificación, mediante la modulación de la fuente de alimentación del amplificador de RF, el cual puede ser un amplificador de potencia conmutado (*switching-mode power amplifier*, SMPA). Las principales causas de degradación en la linealidad son debido a retardos diferentes entre las trayectorias de amplitud y fase, el posible filtrado pasabajos de la envolvente debido a un ancho de banda limitado del amplificador, y distorsión AM-PM [84,85] (*Amplitude modulation to phase modulation*, distorsión producida en los amplificadores cuando cambios en la amplitud de la señal provocan desplazamientos adicionales de fase [78]). Esta arquitectura utiliza la modulación polar presentada anteriormente, y en ocasiones es llamada con ese nombre en la bibliografía.

En los últimos años, un enfoque diferente se ha presentado con la intención de mejorar la eficiencia de los transmisores de RF: la operación en modo ráfaga [86], donde la información de amplitud se codifica en una señal binaria unipolar o bipolar, utilizando modulación por ancho de pulso [87] o modulación delta-sigma ( $\Delta\Sigma$ ) [88]. La multiplicación de esta señal binaria con la portadora modulada en fase produce un tren de pulsos con envolvente constante, adecuada para ser amplificada de forma muy eficiente: cuando la señal de RF está en nivel bajo, no existe consumo de potencia; mientras que el PA puede diseñarse para

un rendimiento óptimo durante el nivel alto, pudiendo utilizarse amplificadores lineales [89, 90] o SMPAs [30, 91].

La codificación de la información de amplitud mediante moduladores PWM tiene varias ventajas sobre los moduladores  $\Delta\Sigma$ , ya que los primeros no requieren ningún camino de realimentación haciéndolos más robustos y estables. Por otro lado, los formadores de pulsos con ancho variable pueden ser implementados utilizando elementos de sistemas de tiempo continuo, como las líneas de retardo presentadas en la sección previa, consiguiendo una resolución temporal más alta que la brindada por la señal de reloj [7]. Además, las ráfagas relativamente largas obtenidas con la modulación PWM (de periodo fijo  $T_{\text{pwm}}$ ) son más adecuadas para ser amplificadas con un SMPA [92] que las provenientes de un  $\Delta\Sigma$ , cuyo periodo  $T_s$  generalmente es mucho menor que  $T_{\text{pwm}}$ .

Existen distintas variantes de modulación PWM aplicada a los transmisores de RF con arquitectura polar. En esta tesis usaremos como referencia dos de ellas cuya señal digital de RF resultante es bipolar ( $\pm 1$ ) o toma tres niveles lógicos (1, 0,  $-1$ ), y puede ser amplificada mediante un SMPA de alta eficiencia: *Baseband PWM*, donde la modulación PWM se realiza sobre la amplitud de la señal de banda base, y la señal de RF se obtiene multiplicando aquella con una señal portadora cuadrada, modulada en fase; y RF-PWM, en la cual la envolvente de banda base es predistorsionada y utilizada para modular el ancho de pulso de la portadora modulada en fase, obteniéndose una  $f_{\text{pwm}}$  igual a la frecuencia de la portadora. La comparativa de estas técnicas con la modulación propuesta se presenta en el Capítulo 7.

# Capítulo 3

## Integración de una línea de retardo programable

### 3.1. Introducción

EN este capítulo se presenta el diseño de una línea de retardo programable con control digital y su implementación en un proceso CMOS estándar de 130 nm. La topología propuesta para el elemento de retardo es una novedosa configuración que combina dos estrategias conocidas para generar retardos temporales: el inversor con carga capacitiva y el inversor con corriente controlada. Utilizando la primera de éstas se logra una relación lineal y monótona entre el retardo generado y la palabra digital de entrada, mientras que la restante permite calibrar la resolución del DE dentro de un cierto rango y mejorar el *matching* entre etapas, compensando ante posibles variaciones.

A continuación se exhibe un análisis del inversor CMOS y su modelo equivalente durante la conmutación, el cual es usado como base para plantear un modelo equivalente simplificado del elemento de retardo propuesto. A partir del mismo se presentan los criterios de diseños utilizados para estimar el dimensionamiento de los dispositivos intervinientes en el DE y algunas relaciones entre ellos. Luego se comentan detalles específicos de implementación del chip (denominado CI-DL), como la lógica utilizada para controlar la línea de retardo, y la disposición física o *layout* del DE y del circuito integrado fabricado, el cual permite una resolución temporal de 295 ps y un retardo programable máximo de 45 ns. Las mediciones

del CI-DL y una implementación experimental del mismo en una arquitectura PWM de alta resolución se presentan en el Capítulo 4.

## 3.2. El inversor CMOS

El inversor CMOS (Figura 3.1) es el núcleo de todos los diseños digitales. Extrapolando los resultados obtenidos en su análisis pueden diseñarse estructuras más complejas, tales como compuertas lógicas o elementos de retardo, entre otras. Los circuitos integrados presentados en esta tesis fueron implementados en la tecnología GlobalFoundries (GF) 130 nm, donde las dimensiones del transistor mínimo son las siguientes: largo del canal  $L = 0.12 \mu\text{m}$  y ancho del canal  $W = 0.16 \mu\text{m}$ , tanto para los transistores nMOS como para los pMOS. La tensión de alimentación utilizada es  $V_{DD} = 1.2 \text{ V}$ . Los circuitos digitales generalmente son diseñados utilizando dispositivos con las mínimas dimensiones permitidas por el proceso, ya que permiten conseguir la implementación de menor área y el mejor desempeño dinámico. A continuación se realizará un breve análisis del inversor mínimo en el proceso GF 130 nm.

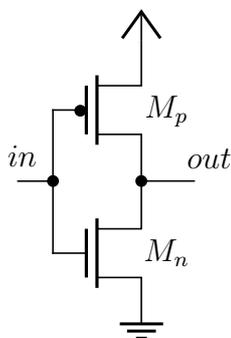


Figura 3.1: Esquemático del inversor CMOS.

### 3.2.1. Modelo equivalente del inversor

El retardo de propagación de una red RC de primer orden (Figura 3.2) se define como el tiempo necesario para que la tensión de salida  $v_{out}$  alcance el 50 % del valor  $V$ , cuando la señal presente en la entrada  $v_{in}(t)$  es una onda cuadrada

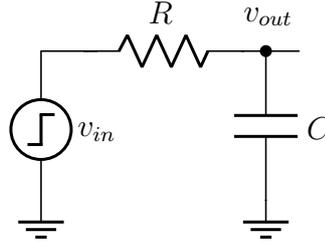


Figura 3.2: Circuito RC de primer orden.

entre 0 y  $V$ . La expresión de la tensión de salida está dada por:

$$v_{out}(t) = V(1 - e^{-t/RC}) \quad (3.1)$$

a partir de la cual se puede despejar el tiempo de propagación:

$$t_{RC} = \ln(2)RC = 0.69RC. \quad (3.2)$$

Una situación análoga puede plantearse al analizar el comportamiento dinámico del inversor modelándolo como un circuito equivalente RC. Utilizando el modelo simplificado del transistor MOS, con una resistencia infinita de apagado y una resistencia finita de encendido, el tiempo de propagación en cada transición está dado por la resistencia equivalente y la capacidad de carga equivalente a la salida [4]:

$$t_p = 0.69R_{eq}C_{eq} \quad (3.3)$$

- $C_{eq}$  está compuesta por la capacidad de salida del propio inversor, la capacidad de entrada de los bloques siguientes y la capacidad de los cables usados para la interconexión entre bloques.
- $R_{eq}$  es la resistencia equivalente del transistor activo en cada transición:  $R_{eq-n}$  para el  $t_{pHL}$  (tiempo de propagación cuando la salida transiciona desde el nivel lógico 1 a 0), y  $R_{eq-p}$  para el  $t_{pLH}$  (tiempo de propagación cuando la salida conmuta desde 0 a 1).
- $t_p$  se define como el promedio de ambos valores:  $t_p = \frac{t_{pHL} + t_{pLH}}{2}$

Asumiendo que la capacidad de carga  $C_{eq}$  es idéntica para ambas transiciones,

las resistencias equivalentes de ambos transistores deben ser aproximadamente iguales para equalizar los tiempos de propagación  $t_{pHL}$  y  $t_{pLH}$ . La resistencia de un transistor en conmutación  $R_{on}$  es variante en el tiempo y depende del punto de operación del transistor. Una estrategia para obtener una resistencia equivalente  $R_{eq}$  es usar el valor promedio de la  $R_{on}$  entre los puntos extremos del intervalo de interés, por ejemplo, para valores de tensión  $V_{DS}$  entre  $V_{DD}$  y  $V_{DD}/2$  en el transistor nMOS, considerando su uso para obtener  $t_{pHL}$ .

$$R_{eq} \approx \frac{R_{on}|_{V_{DD}} + R_{on}|_{V_{DD}/2}}{2} \quad (3.4)$$

En la Figura 3.3(a) se grafica la dependencia de  $I_{D-n}$  con respecto a  $V_{DS}$  para un transistor nMOS de mínimas dimensiones ( $L = 0.12 \mu\text{m}$ ,  $W_n = 0.16 \mu\text{m}$ ), con tensión de gate  $V_{GS} = V_{DD}$ . A partir de la relación entre la tensión  $V_{DS}$  y la corriente  $I_{D-n}$  puede obtenerse la resistencia  $R_{on-n}$ , graficada en la Figura 3.3(b).

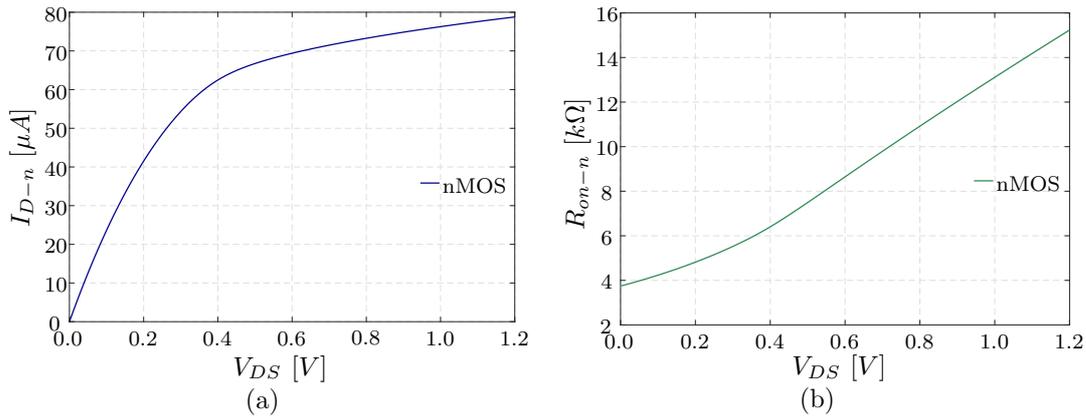


Figura 3.3: Curvas del nMOS mínimo en función de  $V_{DS}$ : (a)  $I_{D-n}$ , y (b)  $R_{on-n}$ .

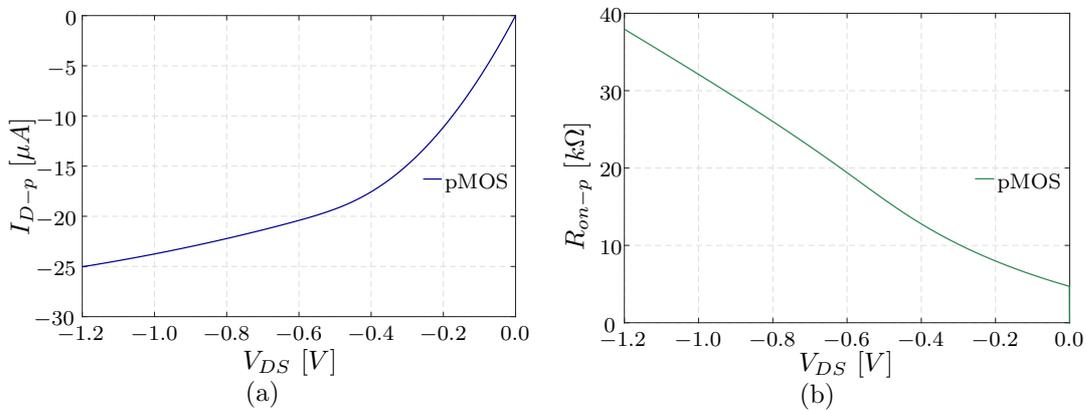


Figura 3.4: Curvas del pMOS mínimo en función de  $V_{DS}$ : (a)  $I_{D-p}$ , y (b)  $R_{on-p}$ .

Las gráficas correspondientes a la corriente  $I_{D-p}$  y la resistencia  $R_{on-p}$  del transistor mínimo pMOS se muestran en las Figura 3.4(a) y Figura 3.4(b), respectivamente. Observando las curvas de corriente en ambos dispositivos puede apreciarse que la corriente máxima en el transistor pMOS es menor a la obtenida con el nMOS, principalmente debido a las diferencias entre la movilidad de los electrones  $\mu_n$  y la movilidad de los huecos  $\mu_p$ , lo cual se ve reflejado en los valores respectivos de  $R_{on}$ . Empleando la Ecuación 3.4 para los valores de resistencia obtenidos en cada tipo de transistor:

$$R_{eq-n} = \frac{R_{on-n}|_{1.2V} + R_{on-n}|_{0.6V}}{2} = 11.94 \text{ k}\Omega \quad (3.5)$$

$$R_{eq-p} = \frac{R_{on-p}|_{1.2V} + R_{on-p}|_{0.6V}}{2} = 38.68 \text{ k}\Omega \quad (3.6)$$

De la expresión analítica de la  $R_{eq}$  [4] se deriva que la resistencia equivalente es inversamente proporcional a la relación  $W/L$  del transistor. Si se desea ecualizar los tiempos de propagación utilizando las resistencias equivalentes de ambos dispositivos halladas en (3.5) y (3.6), se debe dimensionar el ancho  $W_p$  con una relación  $r_{RE}$  respecto a  $W_n$ :

$$r_{RE} = \frac{W_p}{W_n} \approx \frac{R_{eq-p}}{R_{eq-n}} = 3.24, \quad (3.7)$$

y para el caso del transistor nMOS mínimo, el transistor pMOS debe dimensionarse con:

$$W_p = r_{RE}W_n = 518 \text{ nm} \quad (3.8)$$

Realizando una simulación transitoria de una cadena de inversores CMOS con las dimensiones calculadas ( $L = 0.12 \mu\text{m}$ ,  $W_n = 0.16 \mu\text{m}$ ,  $W_p = 0.51 \mu\text{m}$ ), se logran los parámetros temporales de la Tabla 3.1 que corroboran el análisis realizado.

$t_{pLH}$	$t_{pHL}$	$t_r$	$t_f$
22.27 ps	22.3 ps	30.15 ps	29.68 ps

Tabla 3.1: Valores temporales del inversor mínimo ecualizado.

A partir de estos valores, puede estimarse el valor de la capacidad equivalente  $C_{eq}$  para el inversor mínimo ecualizado en cascada:

$$C_{eq} = \frac{t_p}{0.69R_{eq}} = 2.71 \text{ fF} \quad (3.9)$$

### 3.2.2. Análisis de sensibilidad del inversor mínimo

Al inversor mínimo con flancos ecualizados se le aplicó un análisis de Montecarlo (200 corridas) para evaluar la dispersión del tiempo de propagación de acuerdo a las variaciones aleatorias de los parámetros de los dispositivos. El histograma resultante se muestra en la Figura 3.5. El tiempo de propagación promedio es  $\tau_\mu = 22.39 \text{ ps}$  (valor que tiende al tiempo de propagación de la Tabla 3.1 al elevarse el número de corridas), la desviación estandar es  $\sigma_\tau = 1.82 \text{ ps}$  y la relación entre ambas  $\sigma_\tau/\tau_\mu = 0.08$ .

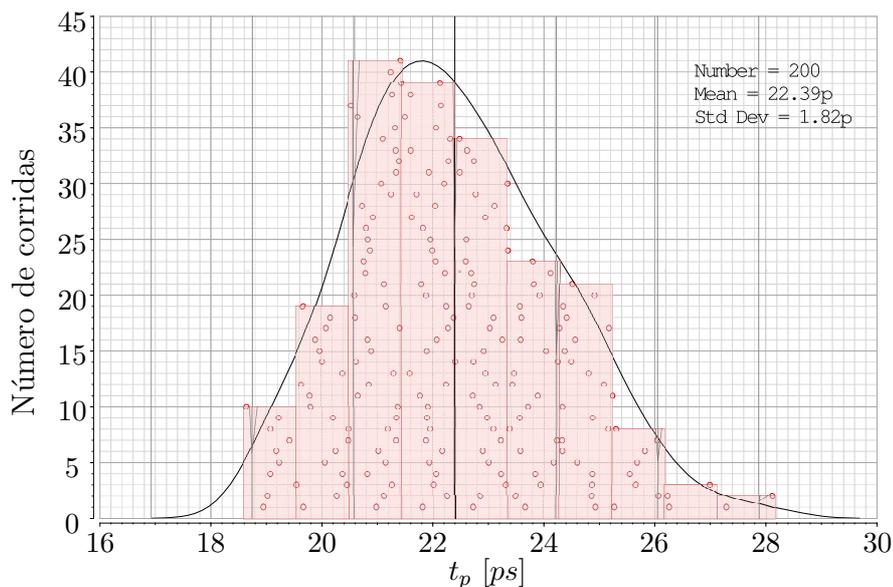


Figura 3.5: Histograma del tiempo de propagación del inversor mínimo.

Por otro lado, para evaluar la sensibilidad del inversor mínimo ecualizado ante variaciones PVT se realizó la simulación transitoria en los distintos *corners*, cuyos resultados se resumen en la Tabla 3.2. Los *corners* son condiciones extremas de operación y de proceso en donde se evalúa el funcionamiento del CI. Las desviaciones máximas del proceso de fabricación se modelan bajo las denominaciones *SS* y *FF*: la primer letra representa al transistor nMOS y la segunda al pMOS, donde *F* (*fast*, rápido en inglés) engloba la condición de los valores de

los parámetros del proceso que resulta en dispositivos más rápidos (mayor movilidad de los portadores, menor tensión de umbral, etc.), mientras que  $S$  (*slow*) reúne los valores que hacen al transistor más lento. Las variaciones de tensión de alimentación utilizadas fueron de  $\pm 10\%$  sobre el valor nominal, y para la temperatura se usaron como valores extremos  $125^\circ\text{C}$  y  $-40^\circ\text{C}$ . La condición típica utilizada para todas las simulaciones de esta tesis fue una temperatura de  $25^\circ\text{C}$ , tensión de alimentación de  $1.2\text{ V}$  y proceso  $TT$  (*typical-typical*), a menos que se aclare lo contrario.

En la tabla puede apreciarse que al utilizar dimensiones mínimas se produce una dispersión muy grande del tiempo de propagación ante variaciones de proceso, desde  $+52.0\%$  a un  $-33.2\%$ , dada la naturaleza de las técnicas de fabricación de los dispositivos [1], y un poco menores pero significativas ante variaciones de tensión y temperatura. Además, los efectos de canal corto son más evidentes en estas dimensiones. Por estas razones, en el diseño del elemento de retardo propuesto se evitará el uso de dimensiones mínimas.

Valor Típico	Proceso		Voltaje		Temperatura	
	$SS$	$FF$	$0.9V_{DD}$	$1.1V_{DD}$	$125^\circ\text{C}$	$-40^\circ\text{C}$
22.3 ps	33.9 ps	14.9 ps	25.9 ps	19.8 ps	24.9 ps	19.6 ps
$\Delta t_p$ (%)	52.0 %	-33.2 %	16.1 %	-11.2 %	11.6 %	-12.1 %

Tabla 3.2: Cambio en el tiempo de propagación ante variaciones PVT.

### 3.3. Elemento de retardo propuesto

A partir de (3.3) se deduce que el tiempo de propagación del inversor puede modificarse cambiando  $R_{eq}$  o  $C_{eq}$ . Las técnicas que utilizan capacidades a la salida del inversor para alterar el valor del retardo son englobadas bajo la denominación SCI, donde el retardo de propagación puede variarse de forma lineal con la variación de capacidad agregada. Agregando distintas cargas capacitivas a la salida mediante transistores actuando como llaves, se puede obtener un elemento de retardo programable. Las topologías que utilizan transistores en serie con el inversor para variar la  $R_{eq}$  son ubicadas dentro de la categoría CSI, donde

el transistor adicional actúa como una resistencia en serie con la resistencia de encendido que presenta el transistor activo, limitando la descarga de la capacidad  $C_{eq}$  del inversor. Un DE programable de forma digital que combina las técnicas CSI y SCI fue diseñado, el cual se muestra en la Figura 3.6.

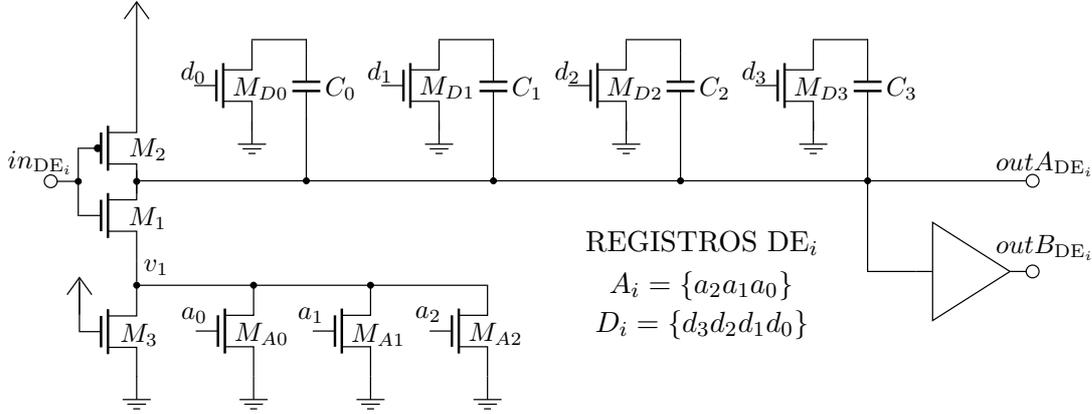


Figura 3.6: Esquemático circuital del elemento de retardo.

En cada una de las etapas  $DE_i$  puede lograrse un retardo temporal de alta resolución que varía linealmente con el registro de control de 4 bits  $D_i = \{d_3:d_0\}$ , cuyo efecto es modificar la capacidad de carga efectiva del inversor formado por los transistores  $M_1$  y  $M_2$ . El arreglo de capacitores  $C_3:C_0$  está pesado de forma binaria, donde  $C_0$  equivale a la capacidad unitaria  $C_u$ ,  $C_1 = 2C_u$ ,  $C_2 = 4C_u$ , y  $C_3 = 8C_u$ . Los capacitores son controlados por los transistores de selección  $M_{D3}:M_{D0}$  que actúan como interruptores agregando carga al nodo de salida del inversor. La resolución del retardo agregado puede ajustarse de forma precisa modificando la corriente de salida del inversor mediante el registro de calibración de 3 bits  $A_i = \{a_2:a_0\}$ , que gobierna la activación de los transistores nMOS  $M_{A2}:M_{A0}$ , cuyas dimensiones son también pesadas en progresión binaria. Estos transistores solo afectan el flanco descendente de la señal de salida, cuando  $M_1$  está encendido y la salida transiciona desde un nivel lógico alto a uno bajo. Agrupando los DE de a pares es posible cambiar ambos flancos de la señal de la misma manera, obteniendo una forma de onda retrasada un tiempo preciso en ambos flancos y cuya pendiente puede ser optimizada utilizando un *buffer* rápido.

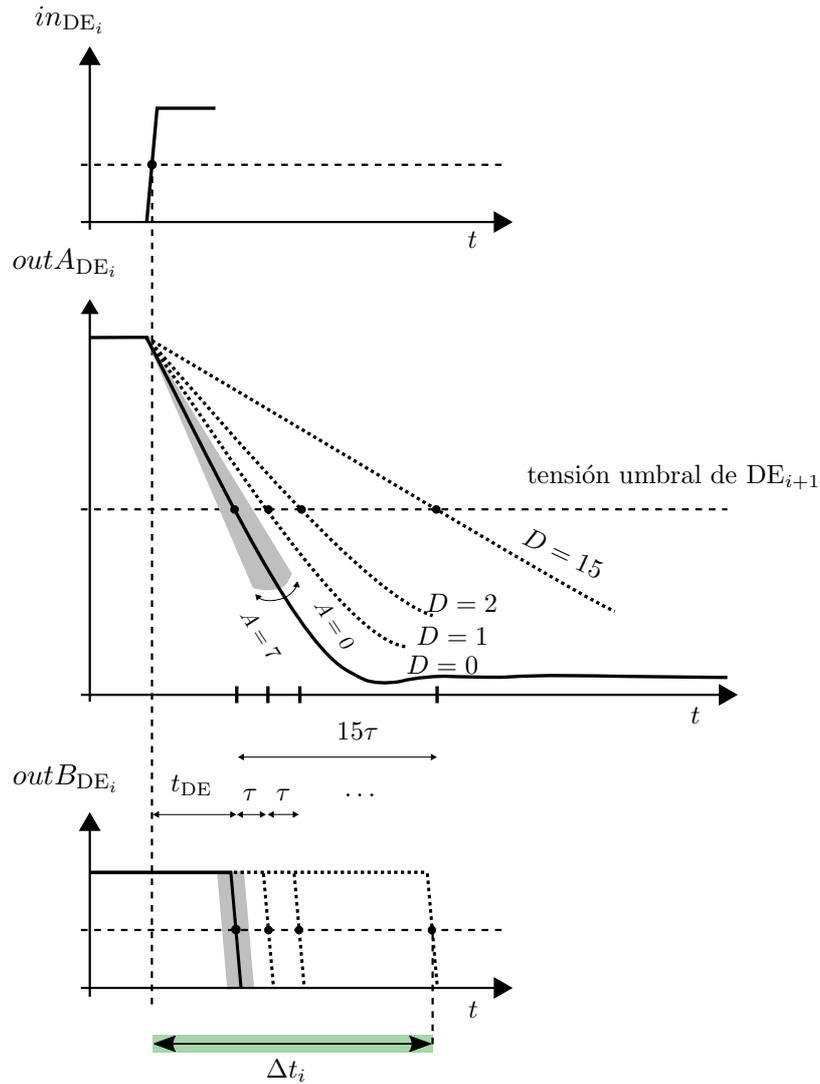


Figura 3.7: Formas de onda temporales de las señales en el elemento de retardo  $DE_i$ .

El retardo a la salida de cada  $DE_i$  está dado por:

$$\Delta t_i = t_{DE} + D_i \tau \quad (3.10)$$

donde  $t_{DE}$  es el retardo temporal mínimo (retardo de propagación del DE cuando  $D_i = 0$ ),  $\tau$  es la resolución (mínimo paso de retardo) y  $D_i$  es el valor del registro programable, variable entre 0 y  $2^4 - 1 = 15$  (posibles cambios de la carga). En la Figura 3.7 pueden observarse las formas de onda en la entrada y las salidas del elemento de retardo ante diferentes valores del registro de control  $D_i$ . El sombreado gris indica la variación causada por la acción del registro  $A_i$ , que modifica ligeramente la pendiente del flanco descendente de  $outA_{DE_i}$  y también

varía la resolución  $\tau$  del elemento de retardo en un porcentaje similar. El resaltado verde muestra el retardo programable  $\Delta t_i$  agregado por el  $DE_i$ .

### 3.3.1. Modelo equivalente del elemento de retardo

El tiempo de propagación del elemento de retardo programable de la Figura 3.6 puede ser estimado usando el modelo equivalente del inversor detallado en la Sección 3.2.1. Asumiendo que todas las capacidades se concentran en un solo capacitor  $C_L$  ubicado entre el nodo  $outA_{DE_i}$  y el nodo de tierra, el retardo de propagación del  $DE_i$  se obtiene resolviendo el circuito RC de primer orden.

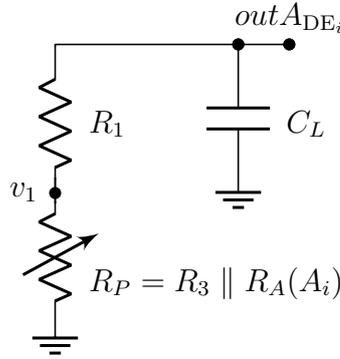


Figura 3.8: Circuito equivalente del elemento de retardo programable para una transición 0 a 1 en la entrada  $in_{DE_i}$ .

La Figura 3.8 muestra un circuito equivalente simplificado cuando se aplica un escalón de tensión 0 a 1 en la entrada  $in_{DE_i}$  del  $DE_i$ .  $R_1$  modela al transistor nMOS  $M_1$  del inversor, mientras que  $R_P = R_3 \parallel R_A(A_i)$  es el equivalente del arreglo de transistores compuesto por  $M_3$  (modelado como  $R_3$ ), y  $M_{A2}:M_{A0}$  (representado como  $R_A(A_i)$ , variable con el registro  $A_i$ ).

Durante la transición 1 a 0 del nodo  $outA_{DE_i}$ , desde la tensión  $V_{DD}$  hasta el punto medio  $V_{DD}/2$ , el transistor  $M_1$  se mantiene saturado con una tensión  $V_{DS1} = outA_{DE_i} - v_1$  y su resistencia equivalente puede ser calculada de la misma manera que en (3.5). La tensión en el nodo  $v_1$  nunca alcanza el valor de saturación, por lo tanto los transistores  $M_3$  y  $M_{An}$  se mantienen operando en la región de triodo (o en corte dependiendo del valor del registro  $A_i$ ). Teniendo en cuenta estas premisas, el tiempo de propagación para el modelo de la Figura 3.8 es:

$$t_{pHL}(A_i, D_i) = 0.69 (R_1 + R_3 \parallel R_A(A_i)) C_L(D_i) = 0.69 R_{eq} C_{eq} \quad (3.11)$$

donde  $R_{eq} = R_1 + R_3 \parallel R_A(A_i)$ , y  $C_{eq} = C_L(D_i)$ .

El efecto del registro  $D_i$  puede ser analizado a partir de (3.11): una variación  $\Delta C$  en la capacidad de carga  $C_L(D_i)$  produce un cambio proporcional  $\Delta t$  en el tiempo de propagación  $t_{pHL}(A_i, D_i)$ .

Cuando el registro  $A_i = 0$ , los transistores  $M_{A2}:M_{A0}$  están apagados y la resistencia equivalente depende solo de  $M_1$  y  $M_3$ ,  $R_{eq} = R_1 + R_3$ . Al incrementar el valor de  $A_i$  desde 1 a 7,  $R_{eq}$  queda fijado por  $R_1$  y la resistencia paralelo  $R_P$  entre  $R_3$  y  $R_A(A_i)$ . Dado que los transistores del arreglo  $M_{An}$  tienen longitud de canal  $L$  constante con distintos anchos  $W$  pesados de forma binaria, y que la resistencia equivalente es inversamente proporcional a la relación  $W/L$ , ésta puede ser calculada en función de uno de los transistores del arreglo, por ejemplo  $R_{A0}$ , para cada valor del registro  $A_i$ :

$$\begin{aligned}
 R_A(1) &= R_{A0} \\
 R_A(2) &= R_{A1} = R_{A0}/2 \\
 R_A(3) &= R_{A1} \parallel R_{A0} = \frac{R_{A0}/2 \cdot R_{A0}}{R_{A0}/2 + R_{A0}} = R_{A0}/3 \\
 &\dots \\
 R_A(n) &= R_{A0}/n
 \end{aligned} \tag{3.12}$$

De (3.12) se puede inferir que eligiendo la relación entre las dimensiones de  $M_3$  y  $M_{A0}$  es posible modificar la resistencia paralelo  $R_P$ , como se muestra en la Figura 3.9. Se observa que con los valores más pequeños de  $R_3$ , la dependencia de  $R_P$  con  $A_i$  se vuelve más lineal aunque el valor absoluto de  $R_P$  disminuye, aumentando el consumo de corriente en la conmutación.

Otra relación de compromiso a considerar es que el rango de resistencias equivalentes producido por la variación de  $A_i$  debe ser del mismo orden que  $R_1$  para permitir una corrección en el retardo de propagación del DE. La Figura 3.10 grafica la variación de la resistencia equivalente  $R_{eq}$ , y por lo tanto del tiempo de propagación, si se fija  $R_3 = R_{A0}/4$  (la curva naranja en la Figura 3.9) para diferentes valores de  $R_1$ , usando  $A_i = 2$  como condición nominal. Dado que  $R_{eq} = R_1 + R_3$  es sencillo apreciar que la reducción de  $R_1$  con respecto a  $R_{A0}$  permite un mayor rango de variación al utilizar el registro  $A_i$ . La resistencia equivalente

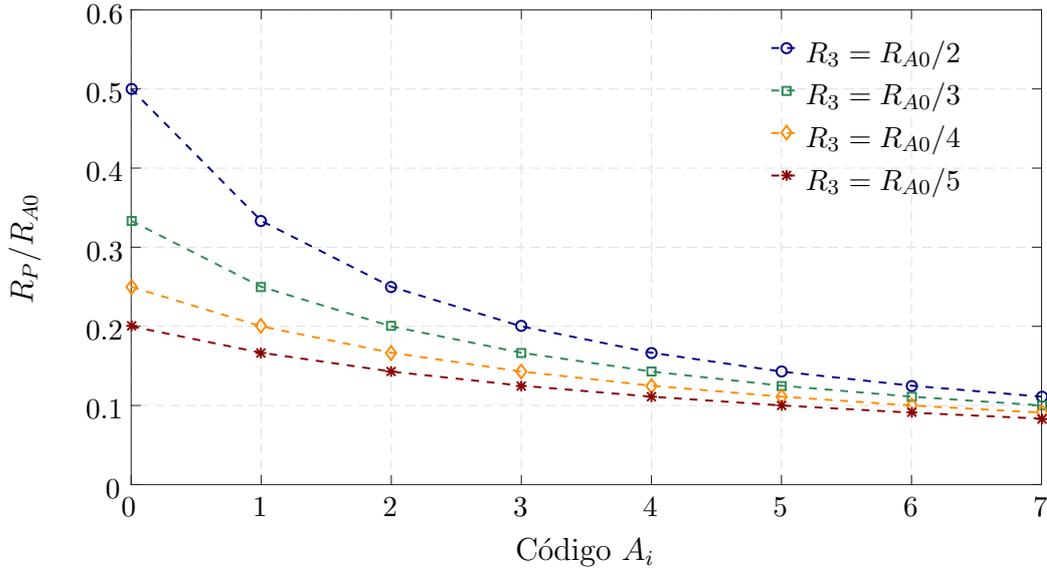


Figura 3.9: Relación de resistencias  $R_P/R_{A0}$  en función del registro  $A_i$ , para diferentes valores de  $R_3$ .

depende fuertemente del modo de operación del transistor, por lo que al igualar las resistencias  $R_1 = R_{A0}$ , por ejemplo, no significa que sus dimensiones sean iguales ya que  $R_1$  se encuentra principalmente en saturación y  $R_{A0}$  en triodo para todo el intervalo de interés. De la Figura 3.3(b) se puede estimar que la resistencia equivalente de un transistor nMOS mínimo en triodo es aproximadamente 4 k $\Omega$ , alrededor de un tercio de la  $R_{eq}$  calculada en (3.5).

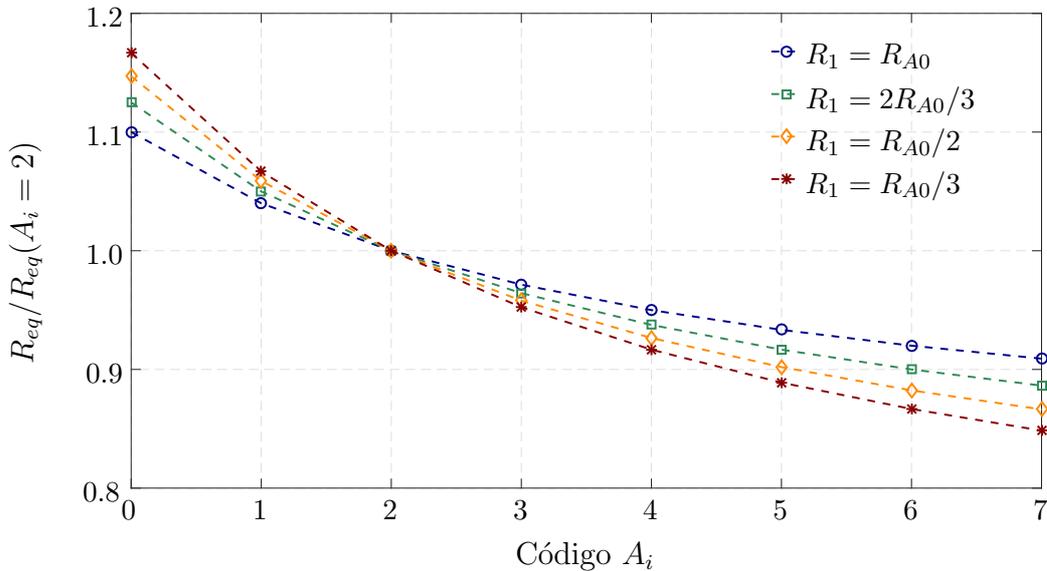


Figura 3.10: Variación de  $R_{eq}$  en función del registro  $A_i$ , usando  $A_i = 2$  como condición nominal, para diferentes valores de  $R_1$ .

## 3.4. Implementación del elemento de retardo en 130 nm

### 3.4.1. Elección de los capacitores

Existen distintos capacitores en los procesos CMOS que pueden utilizarse como carga del elemento de retardo programable. Uno de las posibilidades es el capacitor MOS: un transistor nMOS cuyos terminales de *drain* y *source* se cortocircuitan (Figura 3.11). Los retardos de propagación en este caso no son simétricos, debido a que la capacidad que presenta el capacitor MOS no es la misma en ambas transiciones.

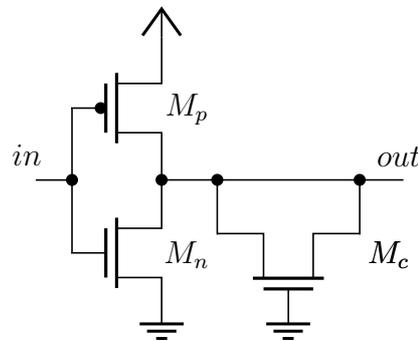


Figura 3.11: Esquemático del SCI con capacitor MOS.

Por esta razón, el capacitor MOS no fue considerado en el diseño del elemento de retardo. Entre los restantes tipos de capacitor disponibles en el proceso, se evaluaron aquellos que garantizaran la menor variabilidad del retardo considerando el tamaño del dispositivo y el valor de capacidad. A partir de estos parámetros, proporcionados por la documentación del proceso de fabricación utilizado, se elige el tipo de capacitor [VNCAP](#)<sup>1</sup> que consiste en una estructura planar interdigitada a través de distintos niveles de metalización. La caracterización de estos capacitores proporcionada por el proceso es para dimensiones mayores a  $10\ \mu\text{m}$  x  $10\ \mu\text{m}$ , presentando un mejor *matching* cuando se aumentan las capas de metal utilizadas. En este punto se genera una relación de compromiso, ya que el incremento de ambos parámetros (dimensiones y niveles de metalización) para reducir el desajuste o *mismatch* entre dispositivos produce un aumento de la capacidad efectiva del capacitor, en desmedro de una mejor resolución temporal. Se decide

<sup>1</sup>Vertical Natural Capacitor

utilizar un capacitor unitario de dimensiones  $L_c = 9 \mu\text{m}$  y  $W_c = 8.44 \mu\text{m}$ , con tres niveles de metalización, resultando en un valor de capacidad  $C_u = 13.1 \text{ fF}$ .

Para agregar la carga  $C_u$  al nodo de salida del inversor, se utiliza un transistor actuando como interruptor (Figura 3.12). Considerando al transistor de control  $M_s$  activo ( $v_s = V_{DD}$ ) y la condición  $in = V_{DD}$ , la tensión de salida será  $out = 0$  y también la tensión en el nodo  $v_x = 0$ . Al transicionar la entrada del inversor desde  $V_{DD}$  a 0, el transistor  $M_p$  se enciende en saturación con  $V_{DS} = |V_{DD}|$  presentando una resistencia equivalente  $R_{p-sat}$ . El transistor de control ya se encontraba encendido con  $V_{DSn} = 0$  y operando en la región de triodo con una resistencia  $R_{s-tri} < R_{p-sat}$ . Aumentando  $(W/L)_s$  de manera tal que  $R_{s-tri} \ll R_{p-sat} \approx R_{n-sat}$ , la influencia del transistor de activación en la respuesta del circuito puede despreciarse. Lógicamente, dado que en el elemento de retardo propuesto en la Figura 3.6 las capacidades  $C_{3:0}$  están pesadas de forma binaria, el ancho de los transistores de control también lo estará ( $W_{D1} = 2W_{D0}$ ,  $W_{D2} = 4W_{D0}$ ,  $W_{D3} = 8W_{D0}$ ).

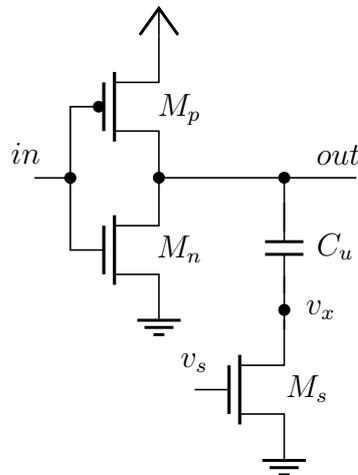


Figura 3.12: Esquemático del SCI con transistor de activación.

### 3.4.2. Dimensionamiento de los transistores

Basado en (3.11) y (3.12), el análisis realizado en la Sección 3.2.2 y el valor de capacidad unitaria elegido, la estrategia para dimensionar los transistores del circuito puede resumirse de la siguiente manera:

- Definir el ancho  $W$  del transistor  $M_1$  para lograr el paso de retardo deseado

considerando los valores de capacidad elegidos, manteniendo el largo del canal varias veces más grande que el mínimo disponible en la tecnología,  $L > L_{min}$ , limitando de esta manera la sensibilidad ante variaciones de proceso y el *mismatch* entre dispositivos.

- Dimensionar el ancho de los transistores  $M_3$  y  $M_{An}$  de manera tal que permitan una corrección del retardo de propagación en un rango dado, de acuerdo a la relación entre sus resistencias equivalentes y la de  $M_1$ .
- Determinar el ancho de los transistores  $M_{Dn}$  que permita despreciar su influencia en el comportamiento del DE.
- Si se desea obtener retardos ecualizados en la señal de salida, determinar el ancho del transistor pMOS  $M_2$ , escalando el mismo por la relación  $r_{RE}$  entre las resistencias equivalentes de los dispositivos nMOS y pMOS dada por la ecuación (3.7), aproximadamente la relación entre las movilidades  $r_{\mu} = \mu_n/\mu_p^2$ .

En la Tabla 3.3 se resumen las dimensiones (en  $\mu\text{m}$ ) de los dispositivos utilizados en el elemento de retardo del chip CI-DL. En la implementación de los transistores del arreglo  $M_{An}$  se usó el ancho del transistor base  $M_{A0}$  multiplicado por  $2^n$  veces (el mismo procedimiento se usó para el ancho de los transistores  $M_{Dn}$  y los capacitores  $C_n$ ). En la Sección 3.4.5 se brindan mayores detalles del diseño físico del elemento de retardo.

Dispositivo	$M_{1,2}$	$M_3$	$M_{A0}$	$M_{D0}$	$C_0$
W/L [ $\mu\text{m}/\mu\text{m}$ ]	5/0.5	1/0.5	0.5/1	3/0.5	8.44/9

Tabla 3.3: Dimensiones de los dispositivos usados en el DE.

### 3.4.3. Línea de retardo

Dado que el retardo producido por el DE propuesto es asimétrico, ya que el arreglo de transistores  $M_{Ai}$  modifica sólo el flanco descendente de la señal

<sup>2</sup>Esta condición no fue utilizada en el diseño del CI-DL, pero sí fue empleada en el elemento de retardo del CI-PWM.

de acuerdo al valor del registro  $A_i$ , se agruparon los elementos de retardo de a pares para construir uno con flancos ecualizados. Además, debido al número limitado de pines de entrada/salida del CI (se utilizará un encapsulado DIP40), se adoptaron algunos compromisos de diseño:

- los pares de DE fueron combinados en grupos de cinco elementos de retardo simétricos (10 DE) para formar una línea de retardo (DL),
- todos los elementos de la línea de retardo comparten el mismo valor del registro de control  $D_i$ ,
- la única salida de cada línea disponible es la correspondiente al elemento  $DE_{10}$  como se muestra en la Figura 3.13(a), y
- todos los DE del chip comparten el mismo valor del registro de calibración  $A_i$ .

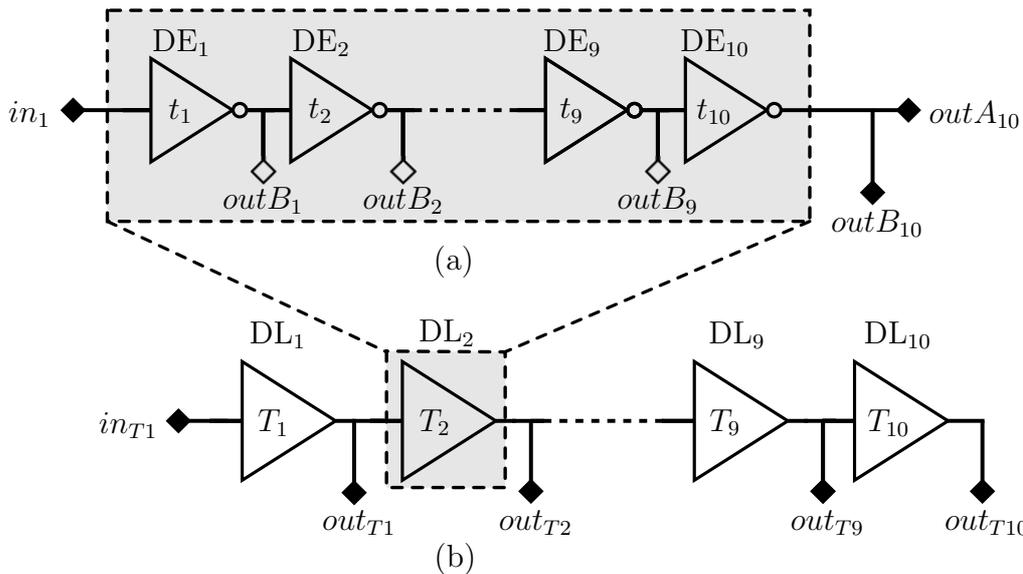


Figura 3.13: (a) Esquemático de la línea de retardo. (b) Arreglo de líneas de retardo implementado en el CI.

Si cada una de las celdas simétricas fuera controlada de forma individual la resolución del sistema podría ser incrementada en un factor de 5. De forma análoga, si la calibración pudiera ser aplicada individualmente se mejoraría la linealidad del sistema al disminuir el *mismatch* entre los retardos producidos por los distintos DE. Sin embargo, el diseño implementado en el CI-DL fue utilizado como prueba de concepto del elemento de retardo propuesto en un proceso de

fabricación estándar, el cual fue mejorado notablemente en el sistema presentado en el Capítulo 5.

El circuito integrado CI-DL contiene un total de 10 DL conectadas en serie (Figura 3.13(b)), cuyo retardo de propagación entre entrada y salida es

$$T_i = T_{DL} + D_i\tau' \quad (3.13)$$

donde  $T_{DL}$  es el retardo de propagación cuando  $D_i = 0$ , y  $\tau'$  es el intervalo temporal programable mínimo de las DL. El chip permite la configuración individual de cada retardo de propagación  $T_i$  usando el registro  $DEL_i$  (el cual ajusta cada uno de los registros  $D_{1:10}$  de la línea con el mismo valor). El registro CAL es común a todas las líneas de retardo y se conecta a cada registro  $A_i$  del chip. En la Figura 3.14 se muestra la simulación a nivel esquemático de las formas de onda de entrada y salida en una línea de retardo, donde la resolución temporal es  $\tau' = 295$  ps y el retardo  $T_{DL} = 8.7$  ns (con el registro de calibración configurado en  $A_i = 2$ ). El retardo entre las curvas  $v_{in}$  y  $D_i = 0$  es el intervalo  $T_{DL}$ , suma de los  $t_{DE}$  de cada elemento de retardo de la línea; en tanto que el intervalo entre las sucesivas combinaciones de  $D_i$  es el retardo  $\tau'$ .

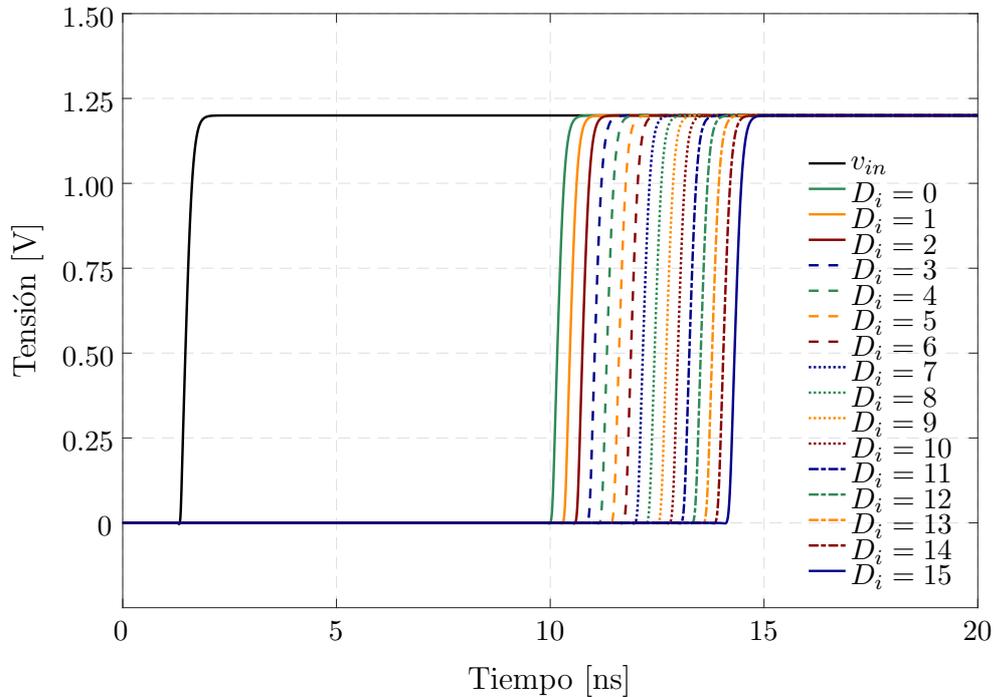


Figura 3.14: Formas de onda simuladas en una línea de retardo al variar el registro  $D_i$ , con el registro  $A_i = 2$ .

### 3.4.4. Lógica de control

El diagrama de bloques del sistema completo implementado en el chip se muestra en la Figura 3.15. Mediante una línea gruesa de puntos se encuentran diferenciados dos grandes bloques del sistema: el análogo, donde aunque sus entradas y salidas son señales digitales ( $in_{T1}$ ,  $out_{T1}$ , etc.) para su simulación, diseño e implementación se utilizaron herramientas del dominio análogo a nivel transistor; y el digital, donde la metodología de diseño utilizada fue la descripción de la lógica mediante HDL, la cual fue simulada, sintetizada e implementada con herramientas de software específico para estos lenguajes.

El acceso a cada uno de los registros  $DEL_i$  es controlado mediante un demultiplexor usando dos señales de 4 bits,  $DATA[3:0]$  y  $SEL[3:0]$ . El registro  $CAL$  puede ser accedido externamente usando la señal de 3 bits  $CAL[2:0]$ . Las restantes entradas necesarias para la configuración del sistema son  $CLK$  (clock),  $EN$  (enable) y  $RST$  (reset).

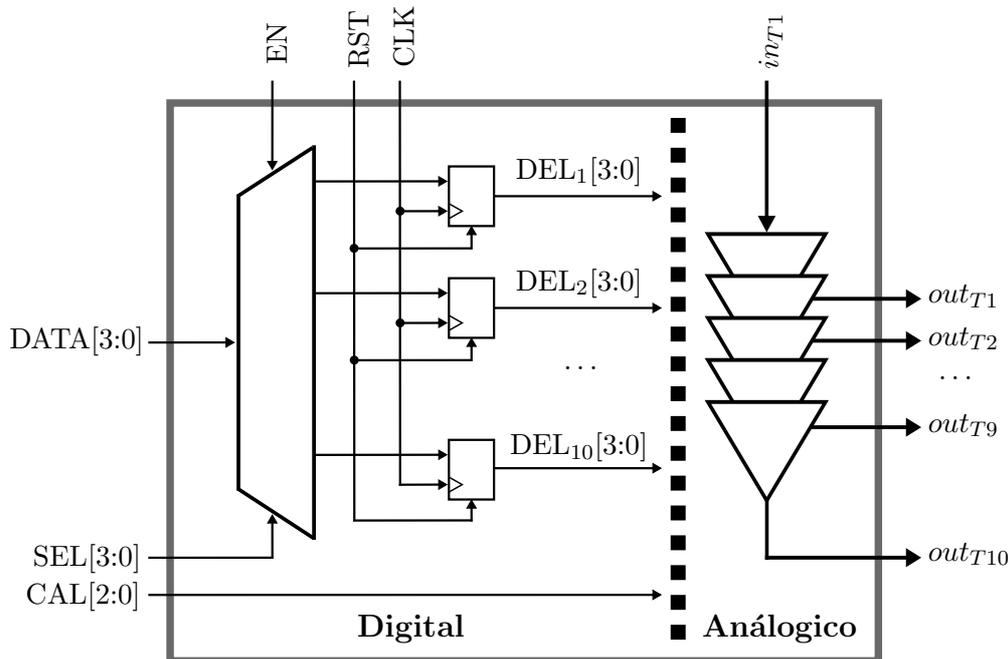


Figura 3.15: Diagrama de bloques del sistema implementado en CI-DL.

### 3.4.5. Aspectos del *layout*

El diseño físico del elemento de retardo se realizó de forma cuidadosa, considerando geometrías y cableados simétricos para lograr un buen *matching* entre los

dispositivos. Varios componentes *dummy* fueron incluidos en los bordes de cada uno de los subcircuitos. Estos elementos no cumplen ninguna función eléctrica, sino que son agregados para asegurar que todos los dispositivos (ya sean capacitores o transistores, tanto los internos como los que se encuentran en los lados exteriores) limiten con las mismas estructuras [1, 93].

En la Figura 3.16 se muestra la disposición física del arreglo de capacitores VNCAP, donde cada uno de los bloques es un capacitor unitario  $C_u = C_0$  (color azul), interconectados como indican los rectángulos de color para formar los restantes valores de capacidad:  $C_1$  ( $2C_u$ , color verde),  $C_2$  ( $4C_u$ , color naranja) y  $C_3$  ( $8C_u$ , color rojo). Puede observarse que los capacitores están dispuestos siguiendo una disposición *common-centroid*, donde los capacitores de mayor valor comparten ejes de simetría. Esta técnica es uno de los recursos más eficientes para minimizar el *mismatch* de los dispositivos [93]. Para completar el arreglo de  $16C_u$  se colocó un capacitor *dummy*, así como también se completó el área circundante al arreglo con mitades de capacitores *dummy* (para minimizar área, ya que este arreglo ocupa más de la mitad del área total del DE).

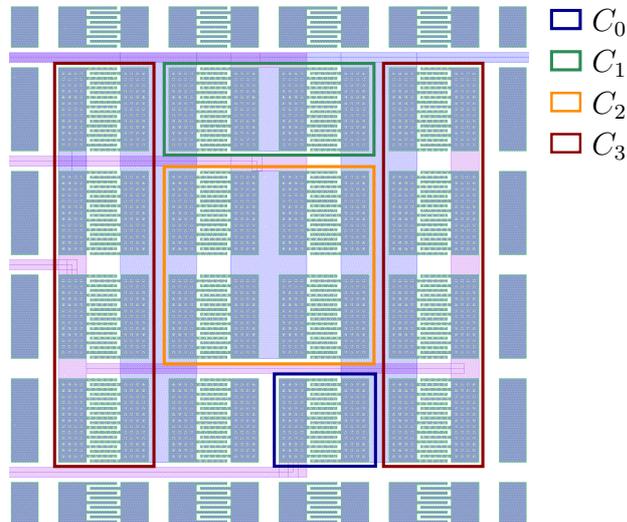


Figura 3.16: *Layout* del arreglo de capacitores,  $C_{0:3}$ .

Una estrategia similar se utilizó para el *layout* del arreglo de transistores de control  $M_{D0:D3}$  (Figura 3.17) y de calibración  $M_{A0:A2}$  (Figura 3.18). Como en el caso de los capacitores, puede observarse que ambas disposiciones se completaron con transistores en cortocircuito rodeados de una guarda conectada a potencial de tierra.

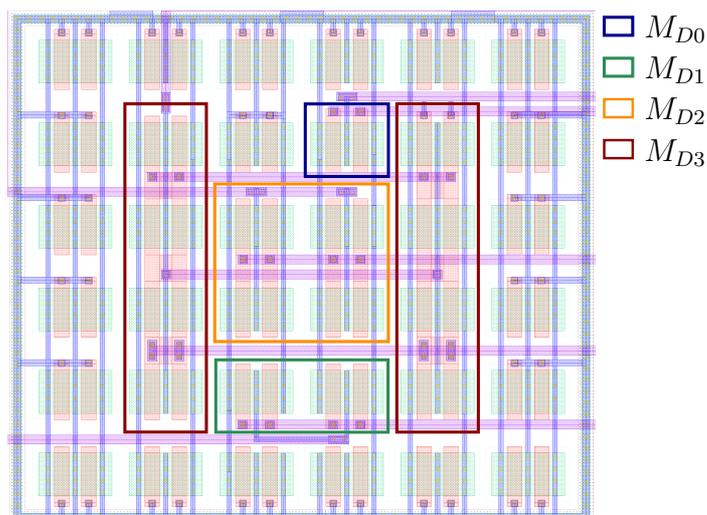


Figura 3.17: *Layout* del arreglo de transistores de control,  $M_{D0:D3}$ .

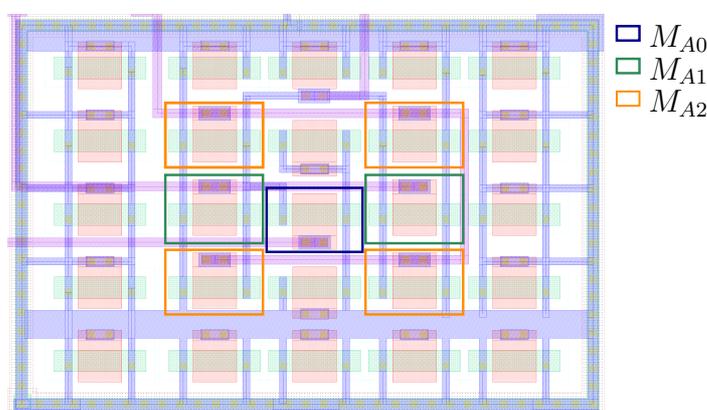


Figura 3.18: *Layout* del arreglo de transistores de calibración,  $M_{A0:A2}$ .

En la Figura 3.19 se muestra el layout del elemento de retardo, detallando la ubicación de las señales de control, calibración y alimentación. Los DE son combinados en grupos de diez elementos para formar una línea de retardo, lo cual puede apreciarse en la Figura 3.20. De esta forma, la salida  $outA$  de la celda  $DE_i$  se conecta con la entrada  $in_{i+1}$  del  $DE_{i+1}$ . Las señales  $CAL[2:0]$  y  $DEL[3:0]$  son comunes a toda la línea.

La máscara de fabricación del chip completo CI-DL se muestra en la Figura 3.21. El área total del circuito integrado es  $2.25 \text{ mm}^2$  (un cuadrado de  $1.5 \text{ mm}$  de lado). La interfaz con el exterior del circuito diseñado se realiza a través de diferentes pads (entradas, salidas, alimentación), ubicados en los cuatro laterales del CI. La tecnología GF 130 nm empleada utiliza dos tipos de tensión de alimentación, externa e interna. La primera es de  $2.5 \text{ V}$  y posibilita la inter-

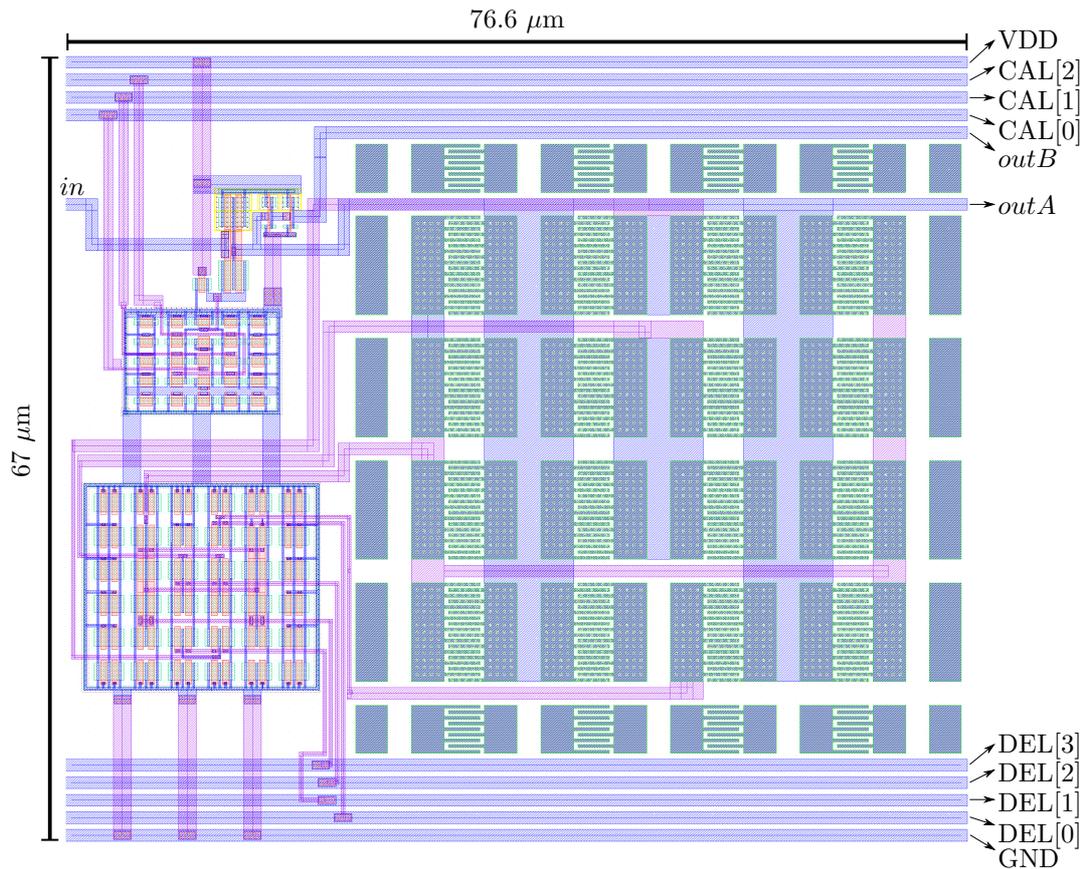

 Figura 3.19: *Layout* del elemento de retardo en el CI-DL.

 Figura 3.20: *Layout* de la línea de retardo.

conexión de los pads con otros circuitos externos; mientras que la restante es de 1.2 V, lo que permite un mejor rendimiento de los dispositivos internos del chip. Las dimensiones de los pads son aproximadamente  $250 \mu\text{m} \times 100 \mu\text{m}$ , un tamaño relativamente grande comparado con los transistores y celdas lógicas utilizadas, debido a que en ellos se realiza la conexión eléctrica con el encapsulado (*bonding*) [94]. Esto se puede apreciar en la fotografía del chip fabricado (Figura 3.22). No es posible apreciar las geometrías observadas en el *layout* debido a que éstas se ubican en los niveles inferiores de metal, y el proceso de fabricación requiere la utilización de patrones de relleno en los metales superiores para cumplir con criterios de densidad. El área libre para diseño, descontando los pads y el espaciado necesario para cumplir con las reglas de fabricación, es de aproximadamente  $900 \mu\text{m} \times 900 \mu\text{m}$ . El espacio reservado para la lógica de

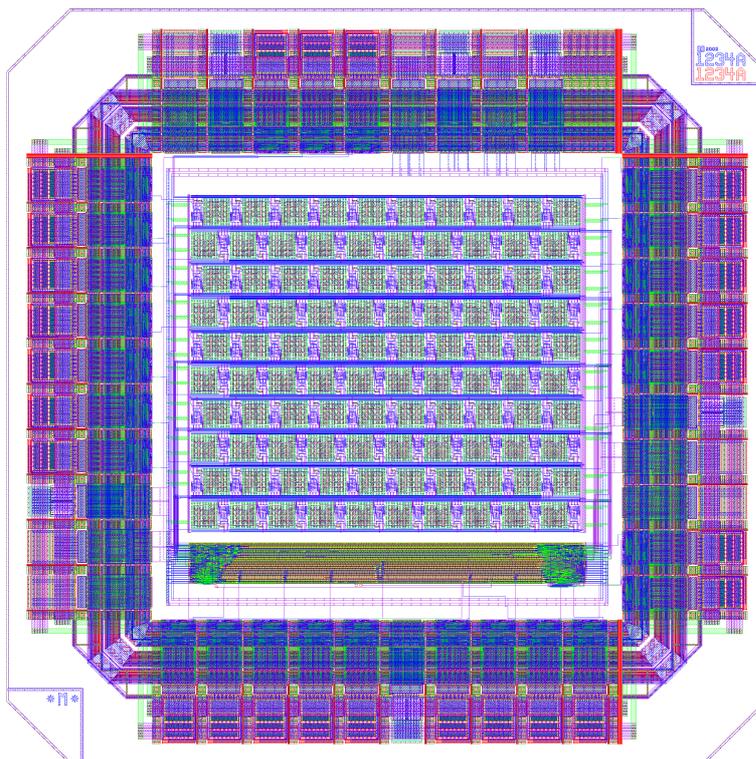


Figura 3.21: *Layout* del chip CI-DL.

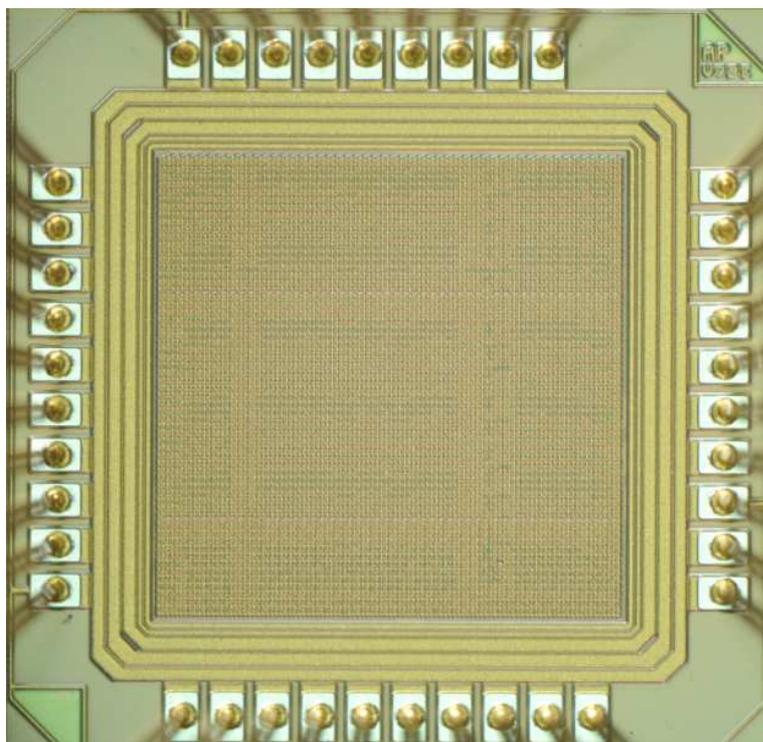


Figura 3.22: Fotografía del chip CI-DL fabricado.

control mencionada en la Sección 3.4.4 es un rectángulo de  $870 \mu\text{m} \times 90 \mu\text{m}$ , el cual puede observarse parcialmente ocupado en la parte inferior de la Figura 3.21,

mientras que el bloque analógico ocupa la mayor parte del área de diseño. El empaquetado o *package* utilizado para encapsular el circuito fue DIP, con 20 pines por fila (Figura 3.23). Un análisis de los retardos asociados a este encapsulado se realiza en el Apéndice A.2. Un resumen de las características físicas del CI-DL se expone en la Tabla 3.4. Las mediciones experimentales realizadas sobre el chip CI-DL y los resultados obtenidos se detallan en el capítulo siguiente.

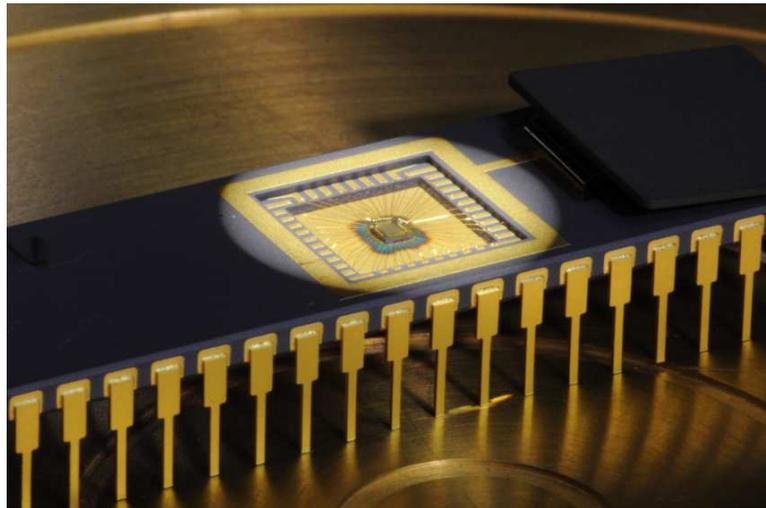


Figura 3.23: Fotografía del chip CI-DL y su encapsulado.

Tecnología de fabricación	130 nm de GlobalFoundries	
Área de chip	2.25 mm <sup>2</sup>	
Área de diseño		Analógico 65 %
	0.81 mm <sup>2</sup>	Digital 9.7 %
		Sub-utilizado 25.3 %
Tensión de alimentación	Externa: 2.5 V	
	Interna: 1.2 V	
Encapsulado	DIP40	

Tabla 3.4: Parámetros físicos del chip CI-DL.

## 3.5. Conclusión

Un elemento de retardo programable de forma digital fue diseñado con una topología original que combina dos estrategias ampliamente utilizadas en este tipo de circuitos. Asimismo, se presentó un modelo equivalente simplificado que permite analizar la acción de cada una de ellas para realizar un dimensionamiento adecuado de los dispositivos, pudiéndose adaptar el DE a cualquier proceso CMOS. El hecho de que el control y la calibración de los circuitos propuestos se realice mediante palabras digitales permite su integración en sistemas más complejos. La implementación detallada en este capítulo se realizó como una prueba de concepto, llevada a cabo en la tecnología GF 130 nm mediante el programa académico del consorcio MOSIS.

# Capítulo 4

## Resultados experimentales del chip línea de retardo programable

### 4.1. Introducción

UNA caracterización completa del circuito integrado CI-DL se presenta en este capítulo. Los distintos ensayos experimentales realizados permitieron evaluar tanto el desempeño estático de las líneas de retardo implementadas como el comportamiento dinámico de las mismas, al ser utilizadas en la implementación de un modulador PWM de alta resolución. A continuación se detalla el procedimiento realizado para obtener la respuesta temporal de las líneas de retardo ante cada combinación de los registros de control y calibración. Con los datos obtenidos en las mediciones y los resultados previos generados en las simulaciones, se llevó a cabo un análisis de la linealidad en la conversión digital a tiempo. Además, se presenta una arquitectura HRPWM híbrida, en la cual se combinan dos unidades del CI-DL con señales generadas por medio de una FPGA para lograr una señal PWM simétrica de alta resolución, permitiendo la reducción de la distorsión armónica total en comparación con un sistema convencional.

## 4.2. Evaluación del chip CI-DL

### 4.2.1. Configuración experimental

El diagrama de bloques de la configuración experimental utilizada para caracterizar el circuito integrado CI-DL se muestra en la Figura 4.1.

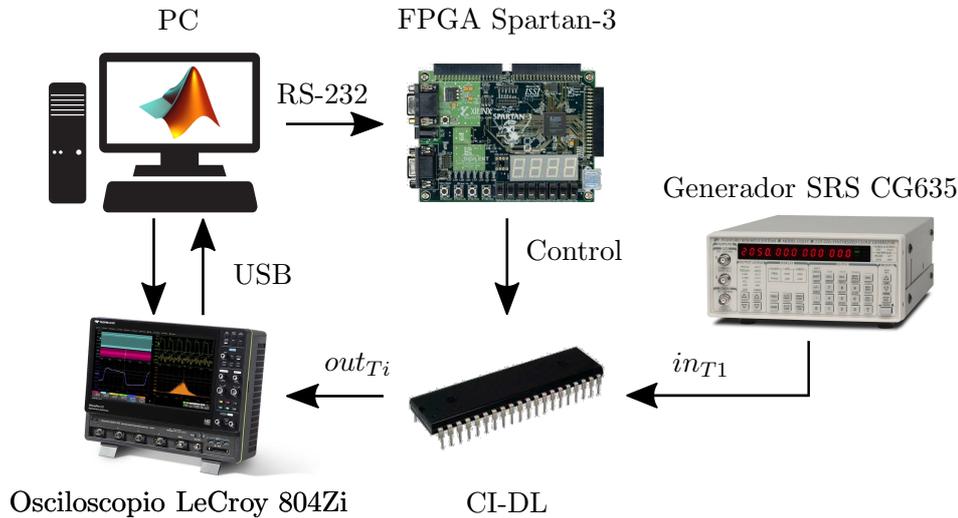


Figura 4.1: Diagrama en bloques de la configuración experimental.

- La señal de entrada a las líneas de retardo se aplica desde un generador de reloj de alta precisión CG635 de Stanford Research Systems (salida CMOS con tiempos de transición menores a 1 ns, frecuencia máxima 250 MHz, *jitter* menor a 1 ps rms).
- Las señales de salida son medidas mediante un osciloscopio WaveMaster 804Zi de LeCroy (ancho de banda 4 GHz, muestreo de 40 GS/s).
- Las señales lógicas necesarias para controlar las líneas de retardo son generadas mediante una placa de desarrollo FPGA Xilinx de la serie Spartan-3 (XC3S200 FPGA), comunicada con una computadora mediante una transmisión UART bajo el estándar RS-232.

A través de una rutina ejecutada en el software Matlab se realiza el control remoto del osciloscopio (conectado a la PC mediante USB), logrando de esta manera programar una adquisición automática de las señales de salida del CI-DL luego de cada cambio en la configuración enviado al chip, permitiendo una caracterización completa del mismo. El osciloscopio permite aumentar la frecuencia

de muestreo efectiva utilizando un modo de muestreo intercalado para señales repetitivas (modo RIS, *Random Interleaved Sampling*). De esta manera se puede lograr una resolución temporal efectiva de 5 ps. Adicionalmente, se realiza un promediado de 200 barridos en cada uno de los canales activos para minimizar el ruido aleatorio en las mediciones.

### 4.2.2. Respuesta temporal

Siguiendo el procedimiento descrito en la Sección 4.2.1, se realizó la medición automática del retardo de propagación entre entrada y salida de cada una de las líneas, para todos los posibles valores de los registros  $D_i$  y  $A_i$ . En la Figura 4.2 se muestran las formas de onda temporales correspondientes a una línea de retardo donde se varía el registro de control  $D_i = 0 : 15$ , mientras que el registro de calibración conserva un valor fijo ( $A_i = 2$ ).

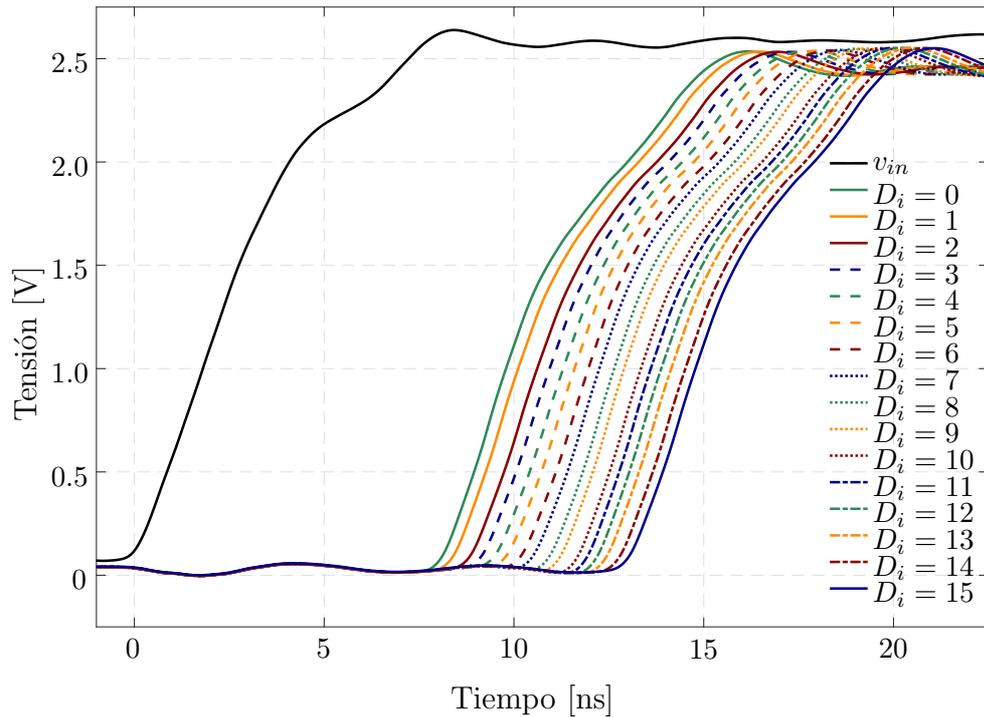


Figura 4.2: Formas de onda medidas en una línea de retardo al variar el registro  $D_i$ , con el registro  $A_i = 2$ .

La señal de entrada  $v_{in}$  se indica con color negro, mientras que la salida se muestra con distintos colores y tipos de línea de acuerdo al valor  $D_i$  programado. Se observa que la diferencia entre ellas es en intervalos de  $\tau'$ , mientras que el retraso con la señal de entrada es bastante mayor, dado por el retardo  $T_{DL}$ .

(ver (3.13)). A partir del análisis del conjunto de curvas en función de los registros  $D_i$  y  $A_i$  es posible obtener los tiempos de propagación de la línea de retardo. Los resultados, mostrados en la Figura 4.3, permiten apreciar el desempeño de las distintas estrategias usadas para producir el retardo: la técnica SCI produce un incremento temporal lineal para valores crecientes de  $D_i$ , mientras que la topología CSI causa una reducción no lineal del retardo para valores crecientes del registro de calibración  $A_i$  (lo que puede estimarse de la separación desigual entre curvas).

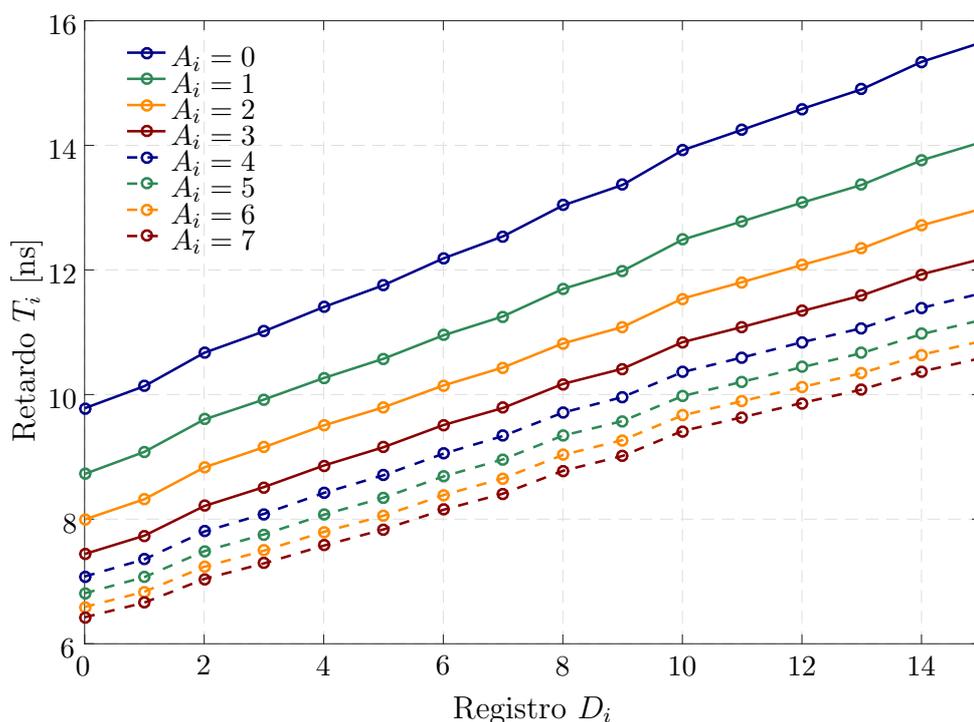


Figura 4.3: Tiempos de propagación  $T_i$  medidos en una línea de retardo.

Si se considera al valor del registro de calibración  $A_i = 2$  como la condición nominal de operación (línea sólida de color naranja en la Figura 4.3), las líneas de retardo implementadas tienen un paso temporal promedio de  $\tau'_\mu = 340$  ps y el retardo de propagación mínimo es  $T_{DL} = 8$  ns. Estos valores temporales pueden ser variados por medio del registro de calibración  $A_i$  en un rango de +15% y -20% respecto a la condición nominal, para los códigos  $A_i = 0$  y  $A_i = 7$ , respectivamente. Los cambios en el retardo de propagación ante variaciones PVT son similares a estos valores, siendo mayores los causados por variaciones en el proceso (+21% para  $SS$  y -16% para  $FF$ ), los que pueden ser compensados mediante la utilización de este registro.

En la Figura 4.4 se presenta el paso temporal  $\tau'_k = T_k - T_{(k-1)}$  para todas las DL del sistema. Los resultados obtenidos son muy similares en cada una de ellas, con una desviación estandar de  $\sigma_\tau = 12$  ps. Sin embargo, puede observarse que los pasos de retardo no son uniformes, variando entre 275 y 400 ps: los pasos temporales  $\tau'$  correspondientes a los  $D_i$  impares son muy parecidos y el patrón se repite en todas las líneas de retardo, por lo que puede estimarse que es debido a aspectos de diseño en el elemento de retardo.

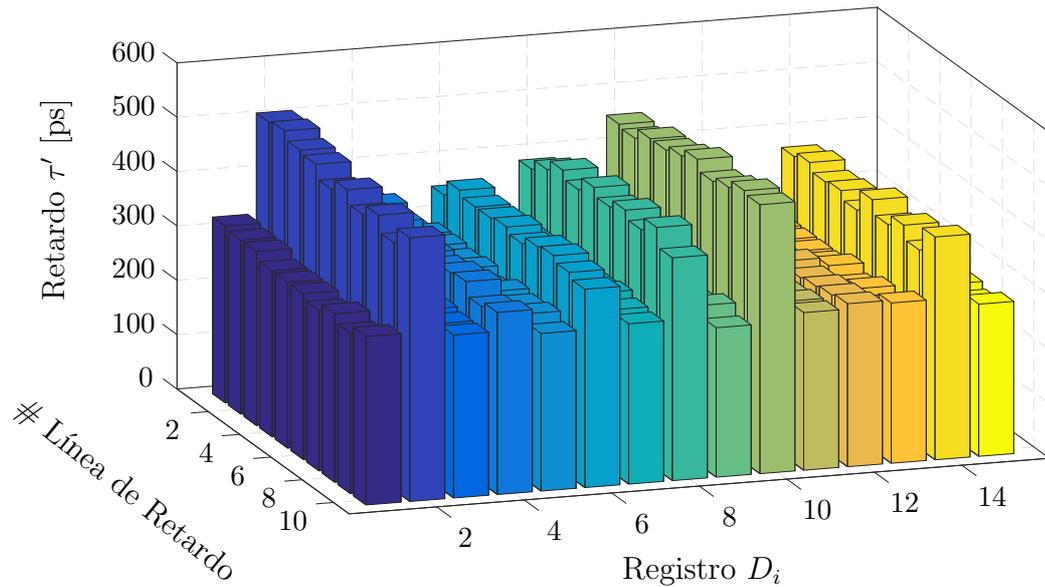


Figura 4.4: Paso temporal  $\tau'$  en cada una de las líneas de retardo ( $A_i = 2$ ).

### 4.2.3. Linealidad

La Figura 4.4 muestra que el paso de retardo  $\tau'_k$  tiene un comportamiento no uniforme, el cual puede evaluarse mediante la no-linealidad diferencial ( $DNL^1$ ), utilizando para ello los datos simulados y medidos. De forma análoga al concepto usado en conversores ADC y DAC [95], la DNL en la línea de retardo puede definirse como la desviación del paso  $k$ -ésimo con respecto al paso ideal  $\tau'_{LSB}$  [17], indicando de esta manera la precisión del retardo en la salida con respecto al código de entrada [18] (valor del registro  $D_i$ ):

$$DNL_k = \frac{T_k - T_{(k-1)}}{\tau'_{LSB}} \quad (4.1)$$

<sup>1</sup>Differential Non-Linearity

Otro parámetro para cualificar el desempeño de la conversión digital a tiempo realizada por la línea de retardo es la no-linealidad integral (INL<sup>2</sup>), que describe la desviación del valor de salida en el  $k$ -ésimo paso con respecto al valor ideal (definido como la línea recta que conecta el primer y el último paso), normalizada a un  $\tau'_{LSB}$  [17]. Dado que la INL representa la suma acumulativa de la DNL [18], se puede calcular como:

$$INL_k = \sum_{k=1}^N DNL_k \quad (4.2)$$

En las Figuras 4.5 y 4.6 se comparan las DNL e INL de las mediciones experimentales con los resultados obtenidos del software de diseño analógico, en simulaciones de esquemático previas al *layout*, y otras posteriores que incluyen los elementos parásitos extraídos del diseño físico.

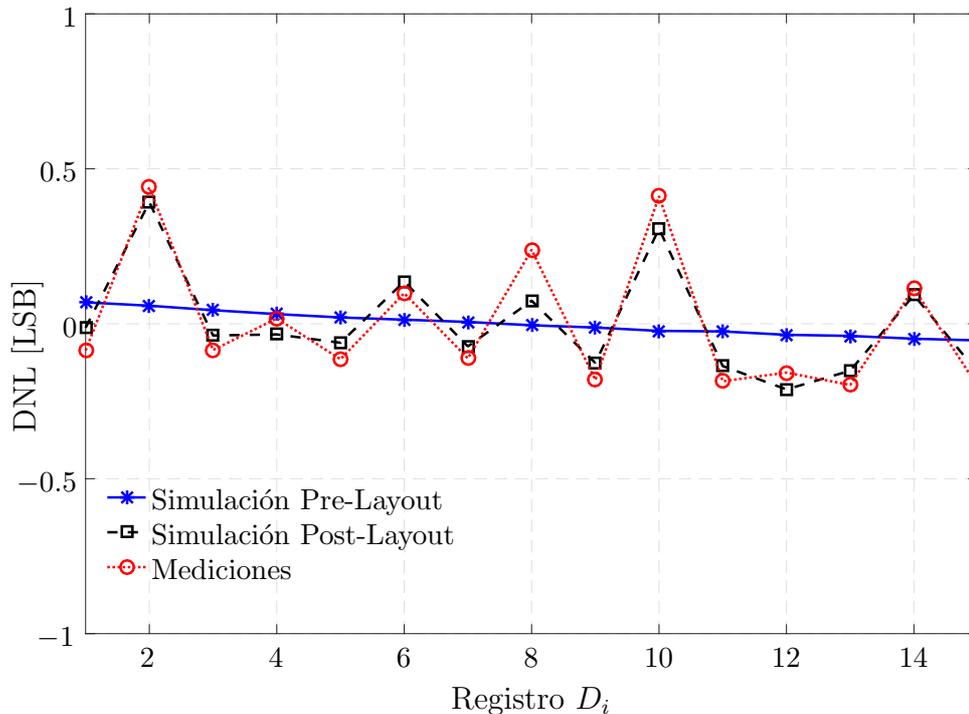


Figura 4.5: DNL calculada para los datos simulados y medidos ( $A_i = 2$ ).

En ambas gráficas se puede apreciar una correspondencia muy estrecha entre los resultados experimentales y las simulaciones *post-layout*, lo que confirma la suposición previa: la no uniformidad de los pasos de retardo se genera a partir del diseño físico de los circuitos, debido principalmente a los parámetros parásitos (resistencia, capacidad e inductancia) introducidos por el cableado que interco-

<sup>2</sup>Integral Non-Linearity

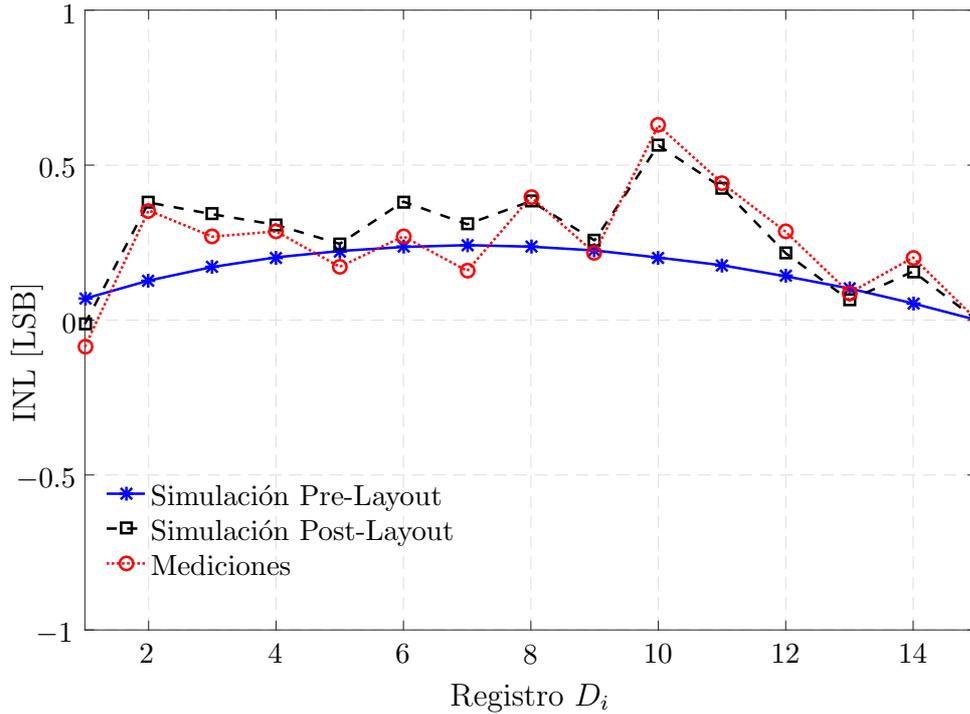


Figura 4.6: INL calculada para los datos simulados y medidos ( $A_i = 2$ ).

necta los dispositivos. Como ejemplo, en la Figura 4.5 se observa que los pasos de retardo producidos con  $D_i = 2$  y  $D_i = 10$  son aproximadamente un 40% mayores que el paso promedio. Si se examina el diseño físico del elemento de retardo, se observa un solapamiento (resaltado en la Figura 4.7) entre los cables de la señal de salida  $outA_{DE}$  y la línea de control de  $C_1$ , siendo éste el capacitor que se añade al inversor para los valores de  $D_i$  mencionados, incrementando la capacidad efectiva en esas combinaciones por efecto del acoplamiento capacitivo entre cables. Estas consideraciones de diseño fueron especialmente atendidas en el diseño del elemento de retardo para el CI-PWM, presentado en el Capítulo 5.



Figura 4.7: Solapamiento entre cables del DE.

### 4.3. PWM de alta resolución con CI-DL

#### 4.3.1. Topología del HRPWM

En el Capítulo 2 se introdujeron diversas arquitecturas reportadas en la literatura para generar señales moduladas por ancho de pulso con alta resolución temporal. En esta sección se presenta una arquitectura híbrida, que combina dos moduladores PWM basados en contador implementados en FPGA y las líneas de retardo integradas en el chip CI-DL para construir un sistema HRPWM donde ambos flancos de la señal son modulados (PWM simétrico). La distorsión intrínseca producida por estos moduladores es mucho menor que en las modulaciones de un solo flanco [10].

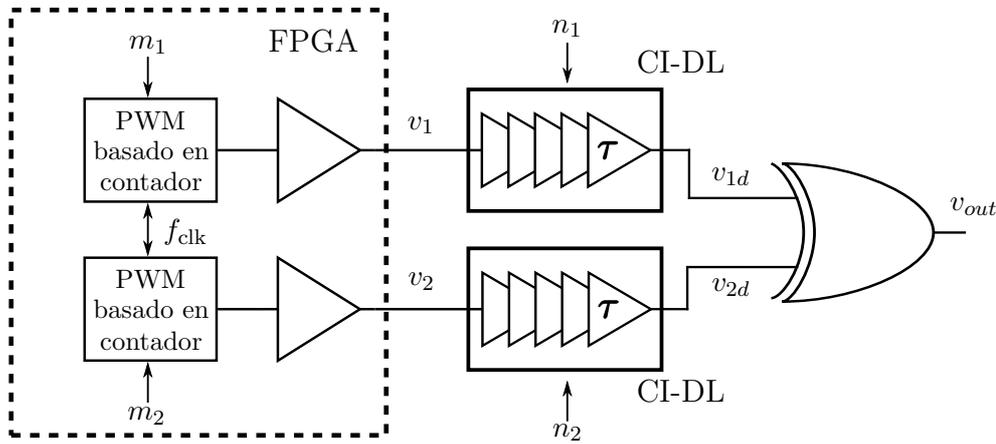


Figura 4.8: Diagrama en bloques del modulador HRPWM simétrico propuesto.

La topología propuesta para el HRPWM se presenta en la Figura 4.8. El ajuste grueso de los ciclos de trabajo se genera mediante la FPGA, operando a una frecuencia de reloj  $f_{\text{clk}}$  y proporcionando  $M = \lfloor f_{\text{clk}}/f_{\text{pwm}} \rfloor$  pasos de resolución, donde  $\lfloor \cdot \rfloor$  es la función *floor* o piso ( $\lfloor x \rfloor$  es el mayor número entero igual o menor a  $x$ ) y  $f_{\text{pwm}}$  la frecuencia del PWM. Las señales  $v_1$  y  $v_2$  son producidas por sensores moduladores PWM *trailing-edge*, es decir, su flanco ascendente se mantiene constante y se modula la posición del flanco descendente en cada período. La primera tiene un ciclo de trabajo  $m_1 T_{\text{clk}}/T_{\text{pwm}}$ , siempre menor que el 50% del período del PWM ( $T_{\text{pwm}}$ ), mientras que la restante es siempre mayor a la mitad del período del PWM. Ambas señales son moduladas en forma complementaria, de tal manera que al realizar una operación lógica XOR entre ellas resulta en

una señal PWM simétrica (ver la Figura 4.9). La resolución del sistema puede aumentarse al utilizar las líneas de retardo del CI-DL, con paso temporal  $\tau'$ , para retrasar las señales PWM complementarias previo a la realización de la operación lógica XOR. Si se elige la frecuencia de reloj de la FPGA como  $T_{\text{clk}} = N\tau'$ , el total de niveles de cuantización del sistema HRPWM simétrico resultante es  $MN/2$ .

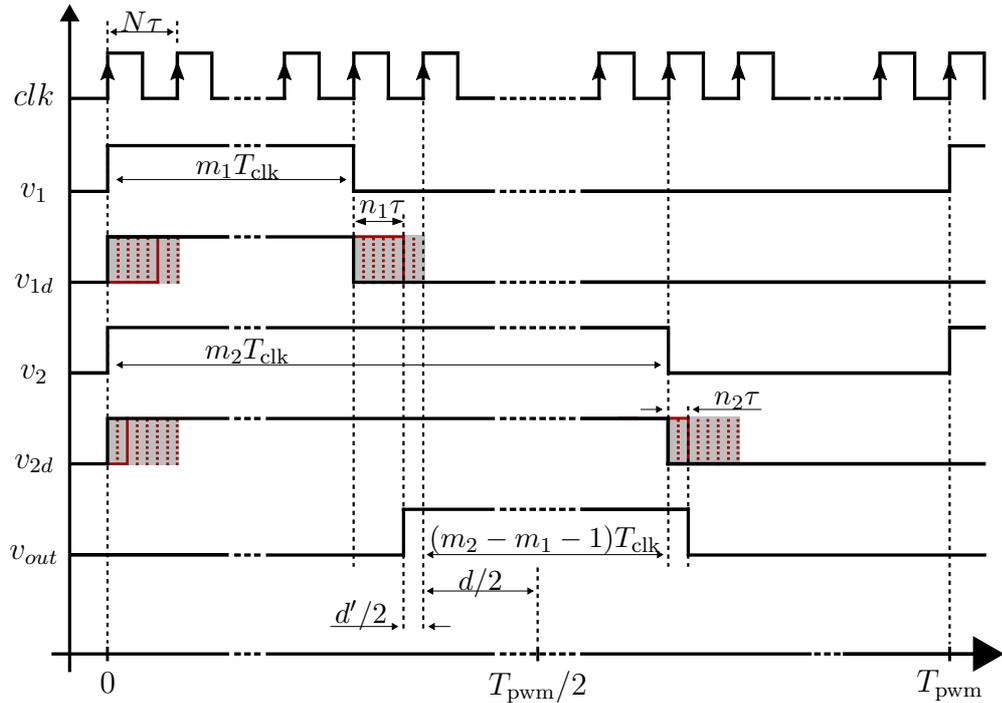


Figura 4.9: Formas de onda temporales en la generación del PWM simétrico.

En la Figura 4.9 se muestran las formas de onda para la generación de los ciclos de trabajo de alta resolución desde un punto de vista cualitativo. El ciclo de trabajo normalizado  $0 < D < 1$  de  $v_{\text{out}}$  es generado por el ajuste grueso  $d$  y el fino  $d'$ , en la forma  $D = d + d'$ . Para obtener una forma de onda simétrica a la salida, la cantidad de períodos de reloj  $d$  debe ser par. El intervalo remanente  $0 < d' < 2(T_{\text{clk}}/T_{\text{pwm}})$  se genera utilizando las líneas de retardo, con  $d' = 2(n_2/N)(T_{\text{clk}}/T_{\text{pwm}})$ , donde  $0 < n_2 < N$  para  $v_2$ , y  $n_1 = N - n_2$  para  $v_1$ . La arquitectura propuesta verifica cuando el ajuste fino del ciclo de trabajo  $d'$  es exactamente cero, y para este caso el ciclo de trabajo  $D$  queda determinado exclusivamente por el ajuste grueso  $d$ . Contemplando estas dos posibles situaciones, los valores de  $m_1$ ,  $m_2$ ,  $n_1$  y  $n_2$  se definen como:

$$\text{si } d' = 0 \quad \begin{cases} m_1 &= M/2 - m_0 \\ m_2 &= M/2 + m_0 \\ n_1 &= 0 \\ n_2 &= 0 \end{cases} \quad (4.3)$$

$$\text{si } d' \neq 0 \quad \begin{cases} m_1 &= M/2 - m_0 - 1 \\ m_2 &= M/2 + m_0 \\ n_1 &= N - n_2 \\ n_2 &= Nn_0 \end{cases} \quad (4.4)$$

donde

$$\begin{aligned} m_0 &= \lfloor DM/2 \rfloor \\ n_0 &= DM/2 - m_0. \end{aligned} \quad (4.5)$$

De acuerdo a (4.3) y (4.4) los valores para el ajuste grueso y fino del ciclo de trabajo pueden ser calculados como  $d = 2m_0/M$  y  $d' = 2n_0/M$ , respectivamente.

### 4.3.2. Implementación

El diagrama en bloques de la Figura 4.10 muestra los pasos utilizados para calcular los valores de programación de las líneas de retardo y de los moduladores PWM *trailing-edge*, para el caso  $d' \neq 0$ . También se presenta la implementación de un modulador PWM estándar de baja resolución ( $M/2$  niveles de cuantización) en el recuadro gris indicado como “PWM convencional”. El modulador PWM simétrico tiene una desventaja conocida desde el punto de vista de la cuantización: su resolución es la mitad que una modulación de simple flanco, porque ambos flancos deben variar simultáneamente. Sin embargo esta desventaja es compensada en términos de distorsión armónica, ya que la modulación simétrica de doble flanco tiene mucho menos contenido armónico intrínseco [10].

Como se presentó en la Sección 4.2.2, las líneas de retardo del chip CI-DL

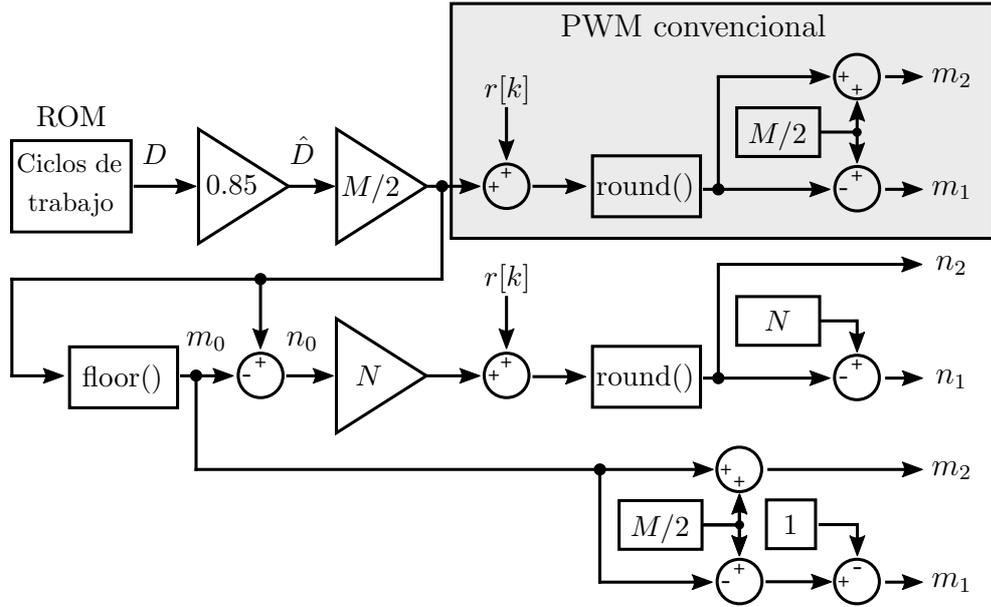


Figura 4.10: Diagrama en bloques del diseño sintetizado en la FPGA.

utilizadas para generar el ajuste fino de los ciclos de trabajo tienen una resolución temporal  $\tau' = 340$  ps en su calibración nominal ( $CAL = 2$ ), ajustable en un rango  $+15\%$  y  $-20\%$ , y una cantidad total de pasos  $N = 150$ . Basado en esto se elige utilizar  $T_{\text{clk}} = N\tau' \approx 50$  ns, que resulta en una frecuencia de reloj para la FPGA de  $f_{\text{clk}} = 1/T_{\text{clk}} = 20$  MHz. El diagrama en bloques de la Figura 4.10 se implementó en una placa de desarrollo FPGA Xilinx de la serie Artix-7 (XC7A200T FPGA). Aunque esta FPGA permite operar a frecuencias de reloj mucho mayores, se elige este valor  $f_{\text{clk}}$  para poder utilizar todo el rango de valores de las líneas de retardo integradas en el chip CI-DL, sirviendo como prueba de concepto para el desarrollo de sistemas más complejos que integren esta arquitectura híbrida.

Las simulaciones se llevaron a cabo utilizando el software System Generator para diseño de FPGA dentro del entorno Simulink, mediante el cual es posible generar código HDL específico usando modelos de alto nivel. En una memoria se guardaron los ciclos de trabajo correspondientes a una onda senoidal de frecuencia  $f_x = 1$  kHz, muestreados con una frecuencia  $f_{\text{pwm}} = 100$  kHz. Con una frecuencia de operación  $f_{\text{clk}} = 20$  MHz, un PWM simétrico basado en contador tiene un total de niveles de cuantización de  $M/2 = 100$ . Los valores son leídos desde la ROM y multiplicados por un valor constante de 0.85 ( $\hat{D} = 0.85D$ ) para ajustar la profundidad de modulación. Con fines comparativos, también se implementó

un modulador PWM basado en contador sin capacidad de alta resolución. En este modo de baja resolución, los ciclos de trabajo se calculan mediante  $d = \text{round}(\hat{D}M)$ , mientras que los valores de programación para las líneas de retardo se mantienen en cero en todos los casos. Se utilizó la técnica de *dithering* para disminuir la correlación entre el ruido de cuantización y la señal de entrada [96], lo que permite la dispersión de la energía del ruido de cuantización en todo el espectro, en oposición a la concentración de esa energía en los armónicos de la señal modulada de 1 kHz, lo que en general es indeseable. Esta técnica consiste en añadir a la señal de entrada un valor  $r[k]$  aleatorio y uniformemente distribuido, con media cero y una amplitud igual a la mitad del paso de cuantización, de forma previa a la cuantización de la misma. Dado que el paso de cuantización es distinto en las dos implementaciones, en el esquema de la Figura 4.10 puede observarse la adición del valor  $r[k]$  en dos posiciones diferentes.

Las líneas de retardo de los chips CI-DL deben ser programadas en cada período de PWM para retrasar la señal de entrada en el intervalo temporal deseado. El retardo de cada línea se configura mediante diez registros programables, accesibles mediante un demultiplexor controlado por dos señales de 4 bits, DATA[3:0] y SEL[3:0] (Sección 3.4.4). Es necesario que la secuencia de programación se realice cuando la señal de entrada se encuentre en estado lógico bajo, por esa razón la profundidad de modulación se ajustó en un 85 % para esta implementación, ejecutándose la configuración de las líneas de retardo en el 15 % restante del período de PWM. En implementaciones futuras del sistema completo en chip se podría evitar esta restricción realizando la programación de las DLs durante el semiperíodo inactivo de las señales  $v_1$  y  $v_2$ .

En la Figura 4.11 se muestra un ejemplo de la secuencia de programación utilizada para variar el retardo en los chips CI-DL, donde se escriben los registros de control de cada una de las líneas de retardo. La señal de reloj del chip  $\text{CLK}_d$  se genera a partir del reloj de la FPGA. La frecuencia usada fue  $f_{\text{CLK}_d} = 10 \text{ MHz}$ , por lo tanto el tiempo necesario para realizar la programación de las DLs es aproximadamente 11 períodos de  $T_{\text{CLK}_d} = 1.1 \mu\text{s}$ , lo que es algo mayor de una décima parte del período de la señal PWM.

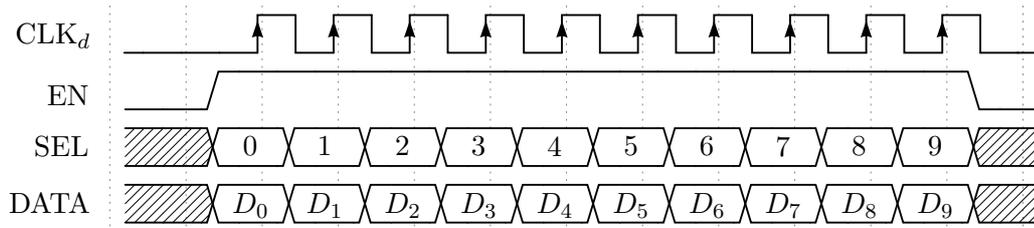


Figura 4.11: Secuencia de programación para la línea de retardo del chip CI-DL.

### 4.3.3. Respuesta temporal y en frecuencia del HRPWM

Para realizar las mediciones experimentales se realizó una placa de circuito impreso, ecualizando los retardos introducidos en las trayectorias de las señales PWM entrantes y salientes a los chips CI-DL. Un circuito integrado adaptador de niveles de tensión fue utilizado para la interfase entre las salidas de las líneas de retardo (2.5 V) y las entradas de una compuerta XOR de alta velocidad, de la familia lógica CMOS 74HC (5 V), a partir de la cual se genera la señal PWM simétrica de alta resolución. Las formas de onda fueron medidas mediante el osciloscopio WaveMaster 804Zi de LeCroy, mientras que los espectros de frecuencia de las señales PWM fueron obtenidos mediante el analizador dinámico de señales SR785 de Stanford Research Systems (ancho de banda desde CC a 104 kHz, 90 dB de rango dinámico). La Figura 4.12 es una fotografía de la configuración experimental empleada para medir la respuesta temporal del HRPWM simétrico. En la Figura 4.13 se muestra en detalle la placa de circuito impreso diseñada para verificar la topología propuesta, montada sobre los puertos de entrada/salida que posee la placa de evaluación AC701 con la FPGA Xilinx.



Figura 4.12: Fotografía de la configuración experimental para medir la respuesta temporal del HRPWM simétrico.

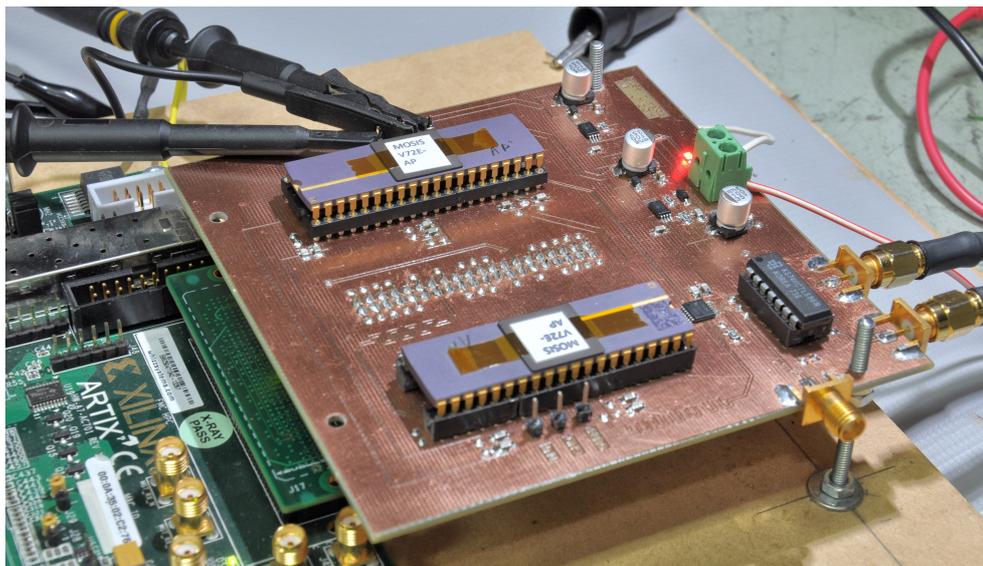


Figura 4.13: Fotografía de la configuración experimental, mostrando el circuito impreso con los dos chips CI-DL y parte de la placa de evaluación con la FPGA Xilinx.

Una captura del osciloscopio es mostrada Figura 4.14, donde se puede observar el flanco descendente de una de las salidas PWM  $v[k]$  provenientes de la FPGA (trazo amarillo). Esta señal se aplica a la entrada del chip CI-DL y su salida  $v_d[k]$ , indicada con el trazo rojo, se mide para distintos valores de programación que varían en función del ajuste fino del ciclo de trabajo  $d'[k]$ .

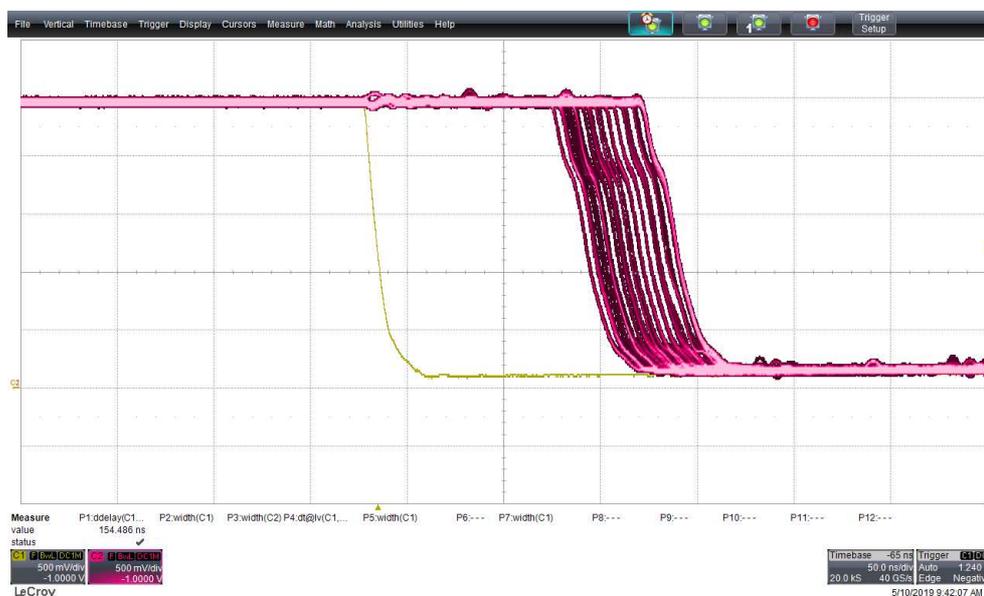


Figura 4.14: Flanco descendente de las señales de entrada y salida del chip CI-DL, en modo de alta persistencia (500 mV/div, 50 ns/div).

Esta medición fue obtenida usando el modo de alta persistencia del osciloscopio, permitiendo la visualización de diferentes retardos en la salida del CI-DL. La configuración de amplitud en ambos canales es 500 mV/div, con una base de tiempos ajustada en 50 ns/div. El retardo entre el trazo amarillo y los trazos rojos en cada período del PWM está dado por  $T[k] = 10T_{DL} + n[k]\tau'$ , donde  $T_{DL}$  es el retardo de propagación de cada una de las diez líneas que forman el CI-DL (conectadas en serie) cuando  $n[k] = 0$ , y  $n[k]$  el valor programable aplicado. Dado que el valor temporal  $T_{DL}$  es prácticamente el mismo en ambos circuitos integrados (alrededor de 9 ns para la calibración utilizada), el retardo  $10T_{DL}$  fue omitido de las formas de onda temporales en la Figura 4.9 graficando sólo el retardo programable  $n[k]\tau'$ .

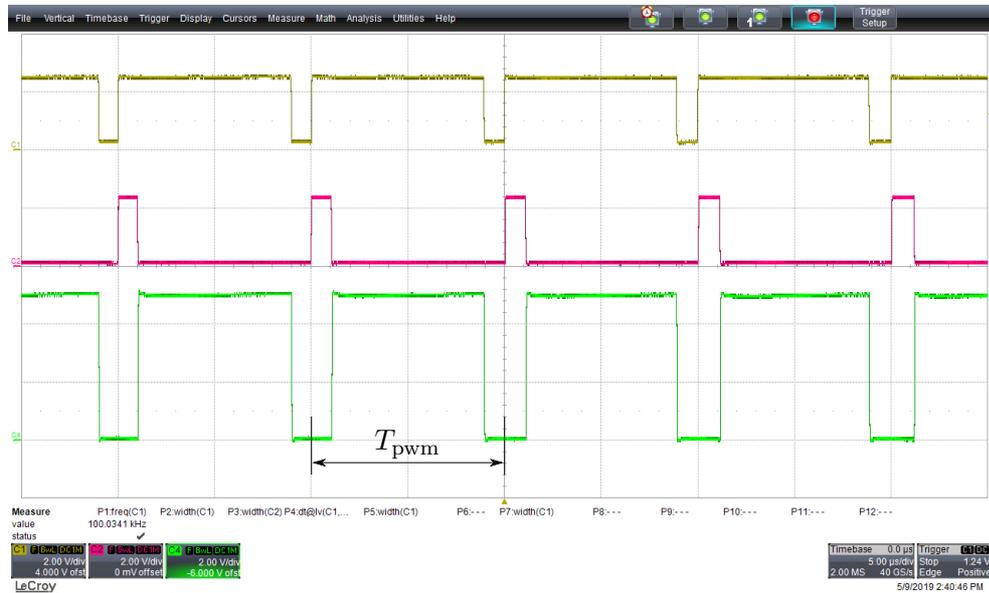


Figura 4.15: Formas de onda PWM:  $v_{2d}$  (arriba),  $v_{1d}$  (centro), y  $v_{out}$  (abajo). Osciloscopio configurado en 2 V/div, 5 μs/div.

La Figura 4.15 es una captura de osciloscopio donde pueden apreciarse ambas señales PWM *trailing-edge*  $v_{2d}$  y  $v_{1d}$ , con trazo amarillo en la parte superior y trazo rojo en el centro de la imagen, respectivamente. También se muestra la señal PWM de alta resolución a la salida de la compuerta XOR  $v_{out}$ , trazo verde en la parte inferior de la figura. En este caso, la configuración vertical de los tres canales está ajustada en 2 V/div, con una base de tiempos configurada en 5 μs/div. En la captura de 50 μs pueden observarse cinco períodos de la señal PWM, con frecuencia  $f_{pwm} = 100$  kHz.

### 4.3. PWM de alta resolución con CI-DL

La señal  $v_{out}$  se convierte en una señal diferencial (utilizando dos compuertas XOR del integrado usado previamente) y se conecta a la entrada del analizador, configurado con un ancho de banda de 25 kHz y desacoplado en continua.

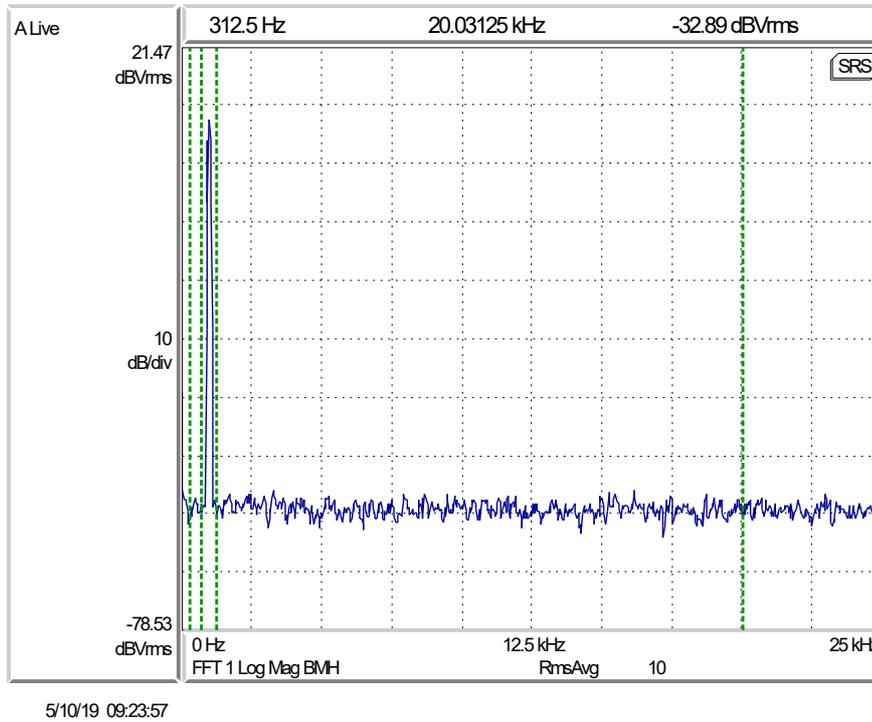


Figura 4.16: Espectro en frecuencia de la señal PWM sin alta resolución.

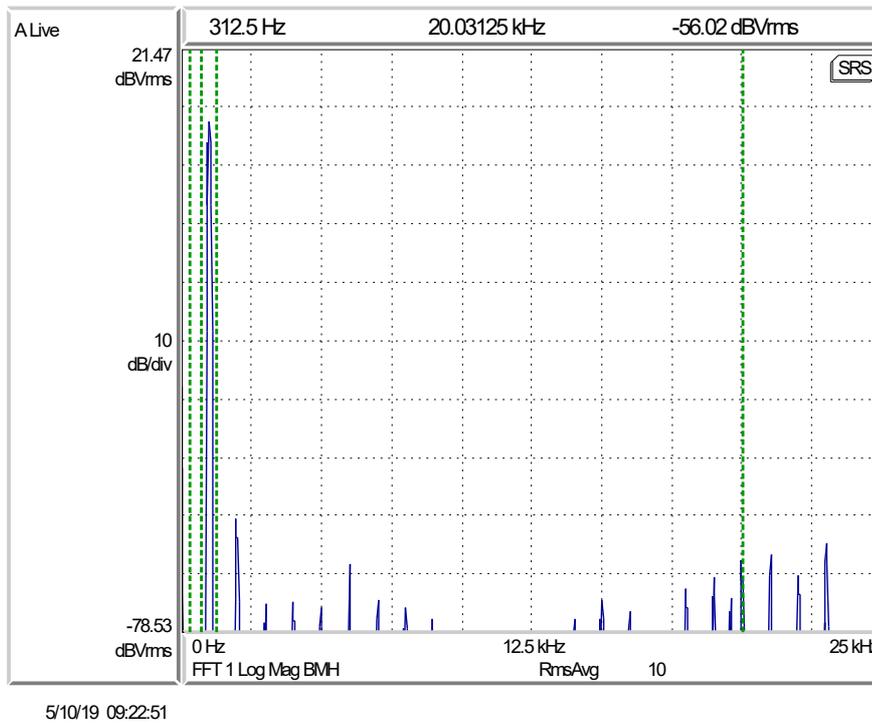


Figura 4.17: Espectro en frecuencia de la señal PWM con alta resolución.

La Figura 4.16 muestra el espectro obtenido cuando el sistema opera como un PWM convencional basado en contador, sin el modo de alta resolución. Se puede observar un piso de ruido plano debido a la aplicación de la técnica de *dithering*. El espectro de la señal PWM de alta resolución se muestra en la Figura 4.17. En este caso, el piso de ruido no puede observarse ya que se encuentra por debajo del rango de medición del instrumento: al aumentar la resolución del sistema en un factor 150 se desplazó el mismo unos 43.5 dB ( $20 \log_{10} 150$ ). Sin embargo, pueden observarse algunos armónicos de la fundamental de la señal modulada, de frecuencia  $f_x = 1$  kHz. Para evaluar el desempeño del modulador en ambos casos se midió la distorsión armónica total más ruido (THD+N<sup>3</sup>) con el analizador dinámico de señales. Con este propósito, se definieron dos bandas de frecuencia: la primera contiene la fundamental de la señal, mientras que la otra banda está comprendida desde 0.3 a 20 kHz, excluyendo la fundamental. La relación entre ambas bandas fue calculada mediante el analizador y los resultados se presentan en la Tabla 4.1, donde se aprecia que la mejora en la THD+N es mayor a 23 dB.

Modulador	dB	%
PWM, baja resolución	-41.5 dB	0.846
PWM, alta resolución	-64.7 dB	0.058

Tabla 4.1: THD+N medida de las señales PWM.

Si bien la disminución en el valor de THD+N es notable, éste no refleja totalmente el aumento en la resolución del PWM debido a las componentes armónicas que se observan en la Figura 4.17. Este comportamiento puede ser atribuido a dos razones. Por un lado, existen no linealidades en la cuantización fina debido a una conversión digital a tiempo no uniforme, como se describió en la Sección 4.2.3. Estas no linealidades fueron incluidas en simulaciones a nivel sistema y se encontró que, aunque son causantes de disminuir la relación señal a ruido al aumentar el piso de ruido y generar algunas componentes armónicas de la fundamental, no provocan elevados niveles de distorsión armónica. Analizando cuidadosamente el esquemático del elemento de retardo implementado, y realizando nuevas simulaciones en la herramienta de diseño analógico, se evidenció otro efecto que

<sup>3</sup>Total Harmonic Distortion + Noise

incrementa la distorsión armónica de la señal PWM: el retardo de la señal a la salida del DE es afectado ligeramente por el ancho de pulso de la señal de entrada, lo que causa una distorsión de la señal modulada que se manifiesta en componentes armónicas de mayor amplitud que en el caso anterior. Este comportamiento no deseado se debe a que el nodo  $outA_{DE}$  del elemento de retardo (ver Figura 3.6) inicia la transición entre los niveles lógicos 0 a 1 en cada ciclo desde valores de tensión distintos, cercanos a 0 V pero que difieren en milésimas de voltios entre sí, modificando el retardo generado con una dependencia del ancho de pulso de la señal previa. Una situación similar sucede en las transiciones desde 1 a 0.

Para ilustrar lo antes expuesto, se simularon distintas condiciones de operación. Como señales de entrada se utilizaron aquellas generadas por el circuito implementado en la FPGA (Figura 4.8):  $v_1$  y  $v_2$  en todos los casos,  $n_1$  y  $n_2$  para los tres tipos de PWM-HR, y  $m_1$  y  $m_2$  en la generación de PWM-HR-MEM. Las señales PWM generadas fueron aplicadas a un filtro pasabajos de octavo orden, con frecuencia de corte 200 kHz, y se calcularon sus espectros, normalizando al valor de la fundamental.

En la Figura 4.18 se muestran los espectros correspondientes a cada caso:

- **PWM-LR** es el espectro de la señal PWM simétrica de baja resolución, con  $M/2 = 100$  niveles de cuantización;
- **PWM-HR** corresponde a la señal PWM simétrica de alta resolución, con  $MN/2 = 15000$  niveles de cuantización, donde el ajuste fino del ciclo de trabajo se realiza con retardos uniformes;
- **PWM-HR-NU** es el espectro de la señal PWM cuando el ajuste fino del ciclo de trabajo se realiza con un cuantizador no uniforme, considerando la DNL del chip CI-DL medida en la Sección 4.2.3.
- **PWM-HR-MEM** es el espectro de la señal PWM simétrico de alta resolución, donde a los valores que ingresan al cuantizador uniforme se le adiciona un valor proporcional al ajuste grueso del ciclo de trabajo, simulando el efecto de memoria o de diferentes condiciones iniciales en la línea de retardo.

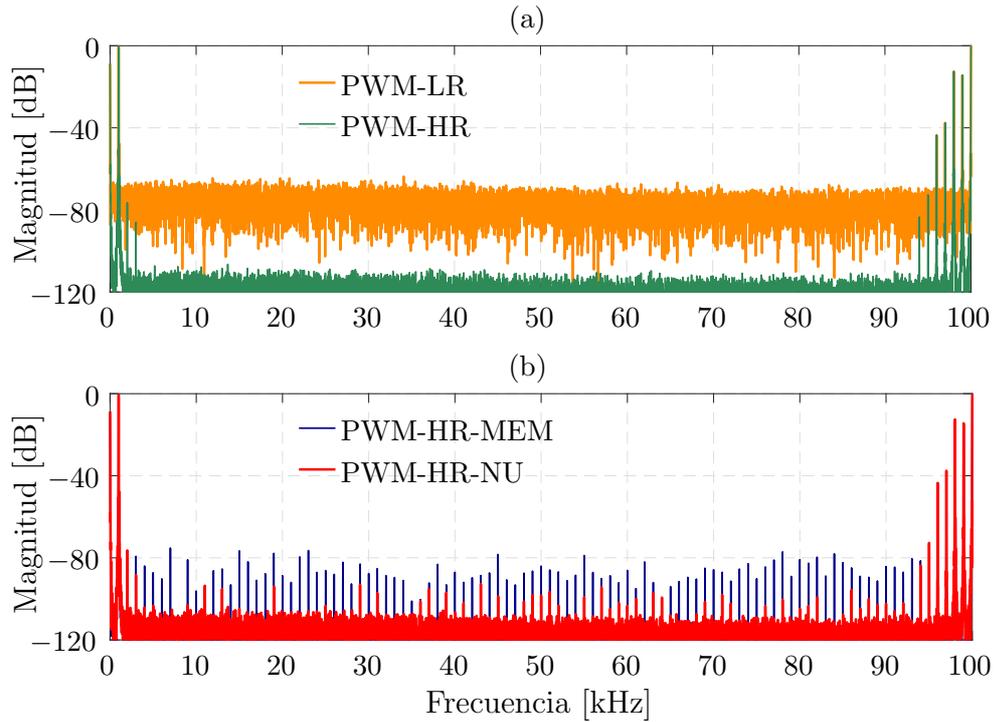


Figura 4.18: Espectros en frecuencia simulados para las señales PWM: (a) PWM-LR y PWM-HR, (b) PWM-HR-MEM y PWM-HR-NU.

En la Figura 4.18(a) se grafican los espectros de las señales PWM-LR y PWM-HR, donde se evidencia el desplazamiento del piso de ruido aproximadamente unos 43 dB (desde  $-67$  a  $-110$  dB), como fue calculado anteriormente. El ancho de banda graficado permite apreciar las bandas laterales generadas por la modulación en torno a la frecuencia del PWM  $f_{\text{pwm}} = 100$  kHz, y los armónicos de la fundamental  $f_x$  en el caso de la PWM-HR, mientras que para la señal PWM-LR quedan cubiertos por el piso de ruido. La Figura 4.18(b) muestra que la cuantización no uniforme en el ajuste fino del ciclo de trabajo (PWM-HR-NU) genera el aumento de ruido en el sistema y la generación de cierta distorsión armónica, aunque de menor magnitud que la distorsión causada por la dependencia del retardo de las condiciones iniciales del circuito (PWM-HR-MEM). A partir de estos resultados, se puede concluir que el sistema HRPWM implementado presenta una combinación de ambos efectos.

## 4.4. Conclusión

En la Tabla 4.2 se resumen los parámetros más importantes obtenidos de los ensayos experimentales al chip CI-DL. La resolución temporal obtenida demostró

ser suficiente para implementar un modulador PWM de alta resolución, logrando una notable reducción en la distorsión armónica de la señal modulada. La posibilidad de modificar la resolución temporal dentro de un cierto rango permite flexibilizar la elección de los parámetros del sistema (por ejemplo, la frecuencia de reloj) sin disminuir la cantidad de niveles de cuantización. Las especificaciones de linealidad de la conversión digital a tiempo se encuentran dentro del margen esperado ( $< 1$  LSB), provocando una mínima reducción del rango dinámico y un leve aumento en la distorsión armónica con respecto al caso ideal, aunque estas condiciones empeoran en mayor medida bajo condiciones dinámicas. Los aspectos de diseño que producen las no linealidades fueron identificados y mejorados en un diseño posterior, presentado en los capítulos siguientes.

Tecnología de fabricación	130 nm
Tensión de alimentación [V]	2.5 / 1.2
Resolución máxima [pasos (bits)]	150 (7.2)
LSB [ps]	270 – 390
DNL [LSB]	0.5
INL [LSB]	0.75

Tabla 4.2: Parámetros de desempeño del chip CI-DL.

# Capítulo 5

## Integración de un modulador por ancho de pulso de alta resolución

### 5.1. Introducción

SE presenta en este capítulo el diseño de un sistema modulador por ancho de pulsos de alta resolución y su integración en un proceso CMOS de 130 nm. La arquitectura híbrida utilizada para el HRPWM utiliza una menor cantidad de elementos de retardo que las topologías convencionales, empleando un DE programable con control digital similar al presentado en el Capítulo 3 y con varias mejoras (retardo de propagación controlado en ambos flancos, resolución temporal en el orden de los 65 ps, salidas *buffereadas*). El formador de pulsos diseñado en forma analógica se complementa con distintos bloques digitales que permiten obtener una señal PWM con 18 bits de resolución. El sistema cuenta además con una memoria con 512 posiciones para almacenar los ciclos de trabajo, y una interfaz de comunicación SPI que permite la programación de la misma y de los diversos registros del HRPWM.

Además de los distintos aspectos de diseño del chip (denominado CI-PWM), en este capítulo se presentan los resultados de simulaciones *post-layout* del mismo, referidas a la disipación de potencia, la linealidad del elemento de retardo y de los ciclos de trabajo generados, así como un ejemplo de las estrategias de calibración que pueden emplearse para mejorarla.

## 5.2. Diseño del modulador PWM de alta resolución

### 5.2.1. Elemento de retardo modificado

En el diseño del elemento de retardo para el CI-PWM, presentado en la Figura 5.1, fueron considerados distintos aspectos para mejorar el desempeño del mismo en comparación con aquel implementado en el CI-DL. Una de las mejoras realizadas fue la inclusión de *buffers* rápidos en cada una de las salidas del DE, tanto en la que se aplica a la entrada del siguiente elemento de retardo  $in_{DE_{i+1}}$  como a la que será utilizada en el formador de pulsos ( $out_{A_{DE_i}}$  y  $out_{B_{DE_i}}$ , respectivamente). Esto permitiría eliminar la dependencia del retardo respecto al ancho de pulso de la señal de entrada observada durante los ensayos del CI-DL, al mantener similares condiciones iniciales en cada transición de la señal, alcanzando rápidamente 0 o  $V_{DD}$  luego de superar la tensión de umbral de los *buffers*.

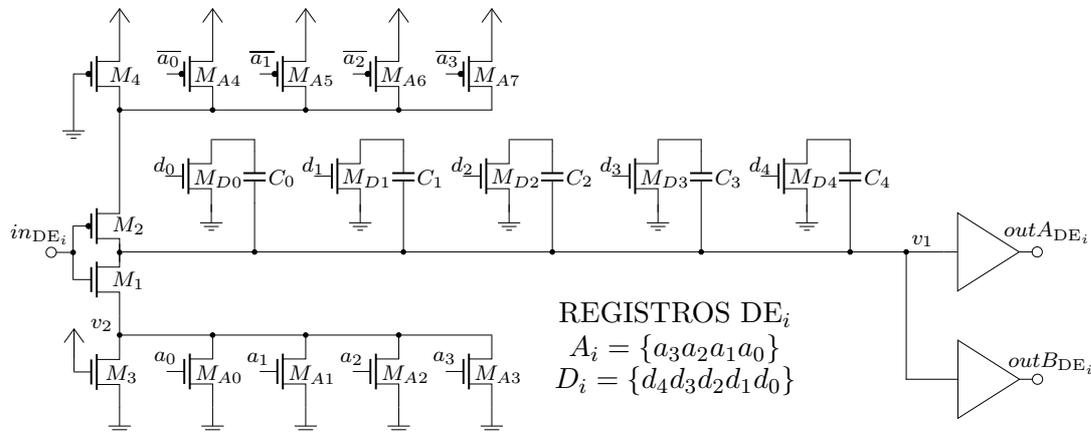


Figura 5.1: Esquemático circuital del elemento de retardo modificado.

Del esquemático circuital puede observarse que los registros de control  $D_i[4:0]$  y de calibración  $A_i[3:0]$  cuentan con un bit adicional, permitiendo aumentar la resolución del elemento de retardo y mayor flexibilidad en el ajuste entre DE. Sin embargo, el mayor cambio con respecto al anterior elemento de retardo es la adición de un arreglo de transistores pMOS que permiten modificar la corriente de salida del inversor, pudiendo así ajustar de forma precisa el retardo en ambas transiciones de la señal. Estos transistores  $M_{A7}:M_{A4}$  son activados mediante la

señal complementaria  $\overline{A}_i = \{\overline{a_3}:\overline{a_0}\}$ .

El retardo  $\Delta t_i$  a la salida de cada  $DE_i$  puede variarse de forma prácticamente lineal usando el registro  $D_i$ , desde  $t_{DE}$  hasta  $t_{DE} + 31\tau$ , con una resolución temporal de  $\tau$ . Esto se indica en la Figura 5.2 mediante líneas punteadas para cada posible valor de  $D_i$ , mientras que el sombreado gris representa la variación causada por los cambios en el registro  $A_i$ , lo cual modifica ligeramente la resolución  $\tau$  del retardo (así como también el tiempo de propagación  $t_{DE}$ ).

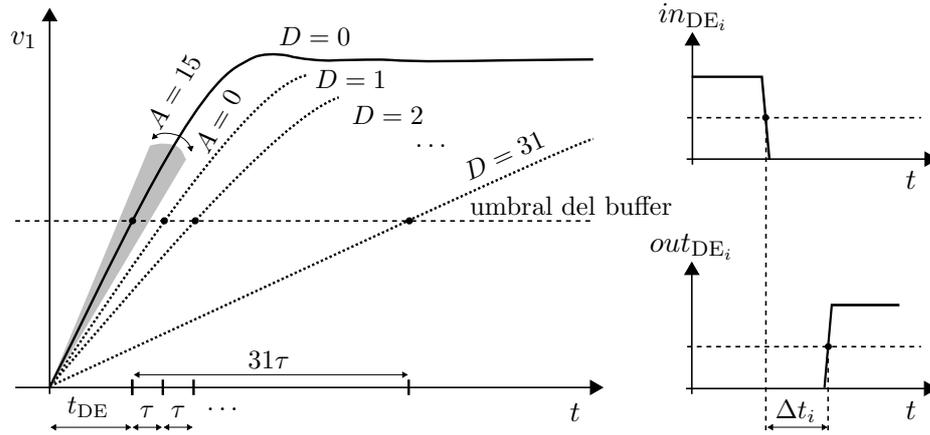


Figura 5.2: Formas de onda temporales de las señales en el elemento de retardo modificado  $DE_i$ .

Realizando un análisis similar al efectuado en la Sección 3.2.1, se determinaron los tamaños de los transistores y capacitores constitutivos del elemento de retardo modificado, los cuales se resumen en la Tabla 5.1. Los transistores del arreglo  $M_{A_n}$  se dimensionaron en base al ancho del transistor  $M_{A_0}$  multiplicado por  $2^n$  veces, siguiendo el mismo procedimiento para el ancho de los transistores  $M_{D_n}$  y los capacitores  $C_n$ . Por otro lado, los transistores pMOS se dimensionaron utilizando la relación entre las movilidades  $r_\mu$ , ajustando los valores ligeramente en base a los resultados obtenidos de las simulaciones.

Disp.	$M_1$	$M_2$	$M_3$	$M_4$	$M_{A_0}$	$M_{A_4}$	$M_{D_0}$	$C_0$
W/L	1.75/1	6.95/1	1.9/1	9.3/1	0.5/1	2.25/0.5	3/0.5	10.36/9

Tabla 5.1: Dimensiones de los dispositivos usados en el DE modificado.

### 5.2.2. Arquitectura del formador de pulsos

La Figura 5.3 muestra un formador de pulsos de alta resolución que aumenta el ancho de un pulso de entrada en  $N = 31n$  pasos. Se compone de una conexión en cascada de  $n$  elementos de retardo  $DE_i$  combinadas con una compuerta lógica OR, utilizados para obtener un retardo asíncrono de alta precisión  $\Delta t$ . El bloque DPWM representa a un modulador de ancho de pulsos digital que produce señales cuadradas cuyo ancho  $d_{in}$  es modificado por el formador de pulsos, obteniéndose a su salida una señal con ancho  $d_{out} = d_{in} + \Delta t$ , donde  $\Delta t$  es el retardo agregado por los  $DE_i$ . Asumiendo que la señal PWM de entrada  $v_{in}$  cumple la condición  $d_{in} > \Delta t$ , el ancho del pulso en la salida  $v_{out}$  de la compuerta OR:

$$d_{out} = d_{in} + \Delta t = d_{in} + n \cdot t_{DE} + \sum_{i=1}^n D_i \tau. \quad (5.1)$$

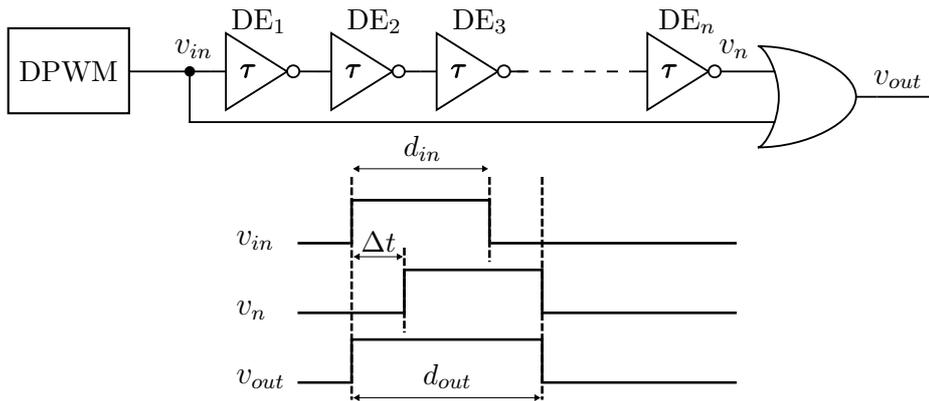


Figura 5.3: Formador de pulsos de alta resolución.

El término  $n \cdot t_{DE}$  en (5.1) exhibe la dependencia del ancho del pulso de salida con el número de DE en cascada, magnitud sobre la cual el usuario no tiene control. De aquí surge la necesidad de compensar este retardo para lograr una correspondencia lineal entre el código de entrada y el ancho de pulso de salida. El retardo de propagación de la compuerta OR ( $t_{OR}$ ) también afecta la forma de onda en  $v_{out}$  retrasando el pulso completo, pero dado que no influye en  $\Delta t$  no será considerado en el cálculo de  $d_{out}$ . Existen diferentes enfoques en la literatura para generar señales PWM de alta resolución que comparten el mismo problema, utilizando circuitos que compensan los retardos para ecualizar las diferencias temporales [52, 53].

Una alternativa sencilla para compensar el valor temporal debido a los retardos de propagación  $t_{DE}$  de los  $n$  elementos es desplazar simultáneamente el inicio del pulso, utilizando para ello una línea de retardo adicional [97] donde todos los elementos  $DE'_i$  se configuran con un retardo mínimo ( $D'_i = 0$ ), representado con una conexión al potencial de tierra en la Figura 5.4.

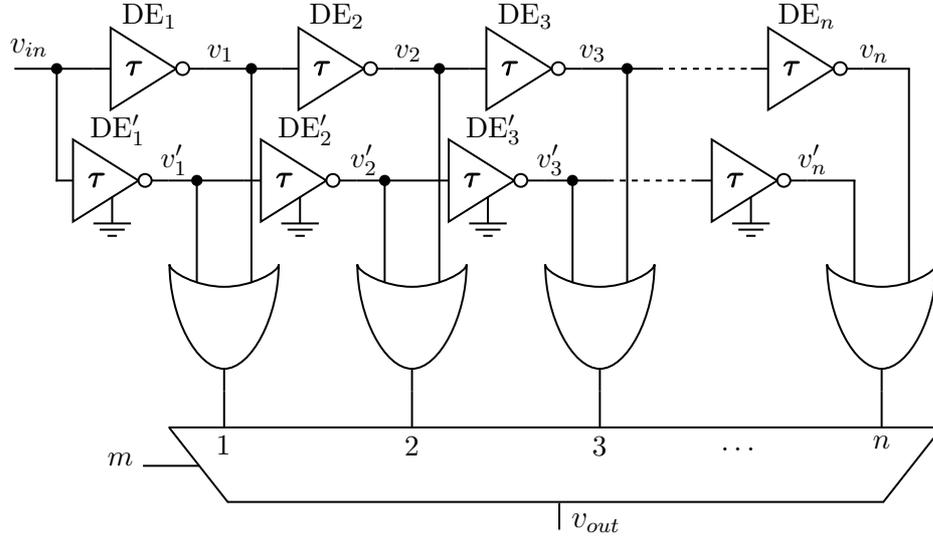


Figura 5.4: Formador de pulsos con línea de retardo adicional.

En este caso, el retardo temporal entre los nodos  $v_m$  y  $v'_m$  es  $T_{mm'} = \sum_{i=1}^m D_i \tau$ . Utilizando un multiplexor de  $n$  entradas (con un retardo de propagación  $t_{MUX}$  idéntico para cada una de ellas) y  $n$  compuertas OR es posible obtener  $N = 31n$  valores distintos de anchos de pulsos de salida, con una resolución  $\tau$ :

$$d_{out} = d_{in} + \sum_{i=1}^n D_i \tau \quad (5.2)$$

De esta manera, el ancho de pulso de la señal  $d_{out}$  depende solamente de  $\tau$  y del valor de los registros de configuración  $D_i$ . La topología presentada elimina la dependencia con  $t_{DE}$  aunque utiliza  $2n$  elementos de retardo. Además produce un flanco ascendente con posición variable, lo que generalmente no es deseable, ya que la señal de salida es desplazada por un tiempo variable dado por  $m \cdot t_{DE} + t_{OR} + t_{MUX}$ , donde  $m$  es la entrada del multiplexor seleccionada, dificultando el uso de este esquema en circuitos síncronos. Otra desventaja es que la polaridad de la señal está invertida en todas las entradas impares del multiplexor, necesitando  $n/2$  inversores adicionales (y considerar el retardo que introducen éstos).

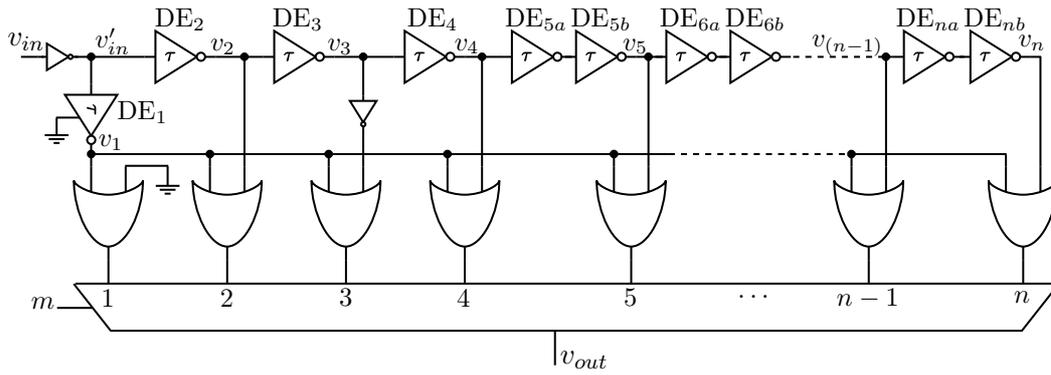


Figura 5.5: Formador de pulsos de alta resolución propuesto.

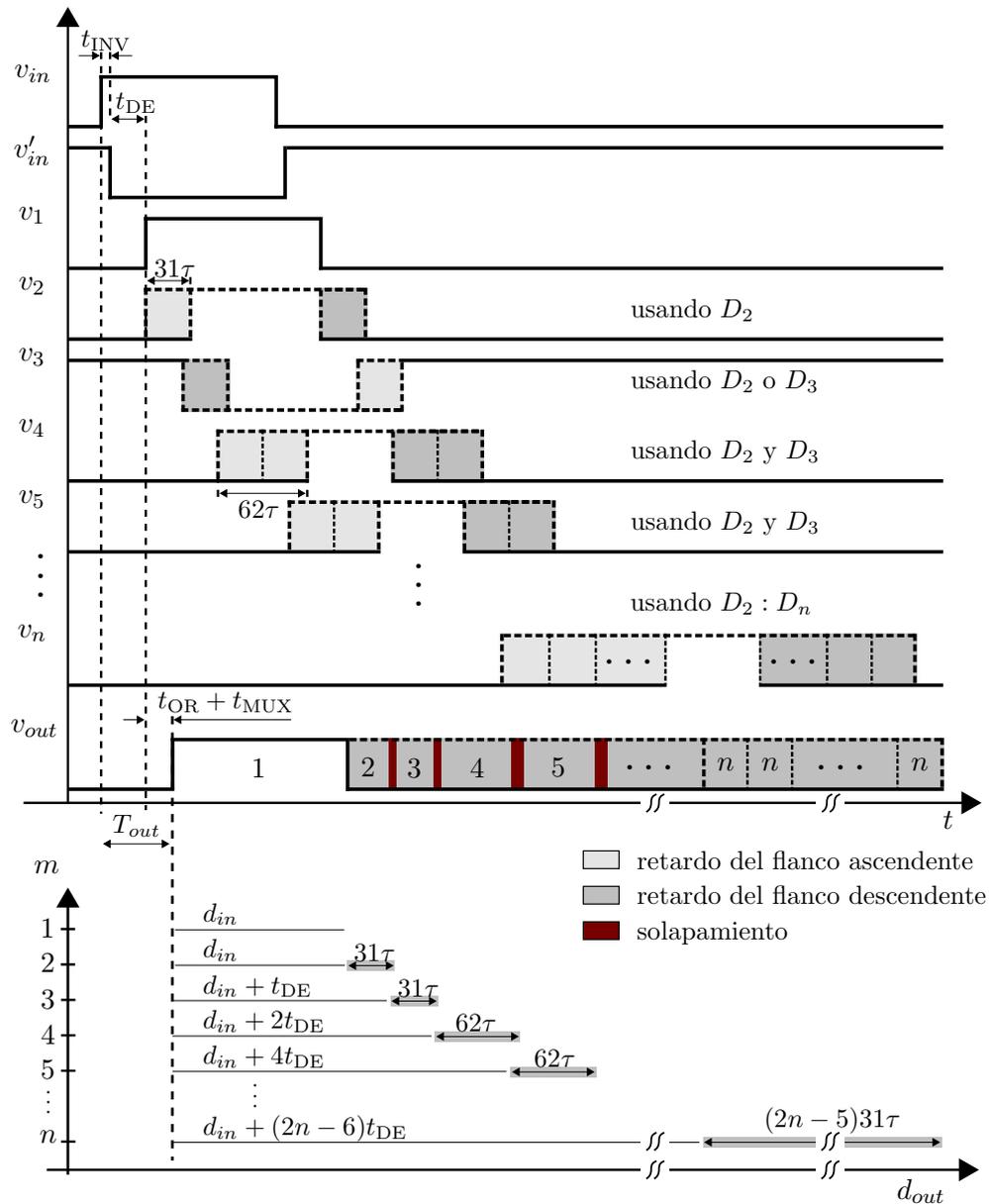


Figura 5.6: Diagrama temporal de las señales en el formador de pulsos (arriba) y ancho de pulsos correspondiente para cada entrada del multiplexor (abajo).

Con el fin de resolver estos problemas se plantea una arquitectura modificada, la cual brinda una solución general que puede ser utilizada con cualquier topología de elemento de retardo. El esquemático circuital del formador de pulsos propuesto se muestra en la Figura 5.5. Utilizando el elemento de retardo presentado en la Sección 5.2.1 es posible obtener un ciclo de trabajo de alta resolución, cuyo flanco ascendente se encuentra en una posición fija y la relación entre el ancho de pulso y el código digital de entrada es lineal. Este circuito genera  $N$  valores de ciclo de trabajo con la misma resolución temporal  $\tau$  pero con una menor cantidad de elementos de retardo y compuertas lógicas que las topologías discutidas previamente. Esto se logra al emplear el retardo de propagación  $t_{DE}$  de cada  $DE_i$  como parte del intervalo temporal deseado. Los elementos de retardo se agrupan de a pares para minimizar el número de compuertas lógicas y el tamaño del multiplexor, además de conservar la polaridad de la señal de entrada. Una excepción se hace para los primeros  $DE_{1,4}$  que son dispuestos de forma individual, y en conjunto con dos inversores adicionales permiten lograr el funcionamiento descrito a continuación.

Una explicación sencilla del circuito puede realizarse con la ayuda de la Figura 5.6, donde el diagrama superior es una representación de las formas de onda de las señales en el formador de pulsos mientras que el gráfico inferior indica el ancho de pulso de esas señales, en función de la entrada del multiplexor que esté activa. La primera forma de onda representa la señal de entrada al formador de pulsos  $v_{in}$ , mientras que la segunda es  $v'_{in}$ , señal a la salida del inversor. La siguiente es la salida de  $DE_1$  llamada  $v_1$  cuyo registro de control se fija en  $D_1 = 0$ , indicado con un símbolo de tierra en el esquemático de la Figura 5.5. Esta es una versión invertida de  $v'_{in}$  retrasada por un tiempo  $t_{DE}$  y con la misma polaridad que  $v_{in}$ . Seleccionando la entrada 1 del multiplexor, el ancho del pulso de salida es el mismo que el ancho del pulso de entrada (que proviene de la etapa DPWM basada en contador),  $d_{out} = d'_{in} = d_{in}$ , pero el pulso en  $v_{out}$  está retrasado por  $T_{out} = t_{INV} + t_{DE} + t_{OR} + t_{MUX}$ , donde  $t_{INV}$  es el retardo de propagación del inversor luego de  $v_{in}$ ,  $t_{DE}$  el proporcionado por el elemento  $DE_1$ ,  $t_{OR}$  el correspondiente a la compuerta lógica, y  $t_{MUX}$  el del multiplexor.

Al elegir la entrada 2 del multiplexor, la señal de salida en  $v_{out}$  es retrasada

por el mismo valor  $T_{out}$  pero su ciclo de trabajo puede incrementarse mediante el registro  $D_2$ , de acuerdo a la expresión  $d_{out} = d_{in} + D_2\tau$ . Puede notarse que el flanco ascendente de la señal en  $v_{out}$  es retrasada por el mismo intervalo temporal para las diferentes entradas del multiplexor, resolviendo así la cuestión del desplazamiento variable del flanco ascendente en la señal de salida, funcionando el nodo  $v_1$  como referencia para el retardo temporal. El retardo entre los nodos  $v_2$  y  $v_1$  puede variarse entre  $0 \leq T_{21} \leq 31\tau$  de acuerdo al valor del registro  $D_2 = 0 : 31$ . El rango de posiciones posibles para los flancos de  $v_2$  se indica mediante áreas sombreadas en la Figura 5.6, con color gris claro el flanco ascendente y gris oscuro el descendente. El ancho de pulso en la salida es

$$d_{out} = d_{in} + D_2\tau, \quad 0 \leq D_2 \leq 31. \quad (5.3)$$

Evaluando la salida de la siguiente celda ( $v_3$ ), el retardo entre los nodos  $v_3$  y  $v_1$  es

$$T_{31} = t_{DE_2} + (D_2 + D_3)\tau, \quad 0 \leq D_2, D_3 \leq 31, \quad (5.4)$$

donde  $t_{DE_2}$  es el retardo mínimo de propagación de  $DE_2$ . En este caso, el ancho de pulso puede ser incrementado usando los registros  $D_2$  y/o  $D_3$ . El rango de retardos posibles varía desde  $t_{DE_2}$  a  $t_{DE_2} + (D_2 + D_3)\tau$ , el cual se solapa con el producido cuando se selecciona la entrada 2 del multiplexor. Este área de solapamiento es indicada con color rojo oscuro en la Figura 5.6. Como  $t_{DE_2}$  es varias veces mayor que la resolución temporal  $\tau$ , para poder utilizar el primero como parte de un incremento uniforme del ancho de pulso es deseable que  $t_{DE_2}$  sea un múltiplo entero de  $\tau$ . Este es un requerimiento de diseño difícil de lograr, aunque al utilizar el elemento de retardo programable propuesto,  $\tau$  (y en menor medida  $t_{DE_2}$ ) pueden ser variados mediante los registros de calibración  $A_i = \{a_3 : a_0\}$  (y su complemento  $\overline{A_i}$ ) que controlan el arreglo de transistores CSI. Por lo tanto, en lo sucesivo se asumirá que los  $DE_i$  han sido calibrados de tal manera que

$$t_{DE_i} \approx k\tau, \quad \text{con } k \text{ entero, } k \leq 31. \quad (5.5)$$

Utilizando el siguiente procedimiento se puede conseguir una variación uniforme del ancho de pulso. Si el intervalo temporal deseado es menor que  $k\tau$ , se

selecciona la entrada 2 del multiplexor y se ajusta el registro  $D_2$  con el valor pretendido:

$$d_{out} = d_{in} + D_2\tau, \quad 0 \leq D_2 < k. \quad (5.6)$$

Para anchos de pulso  $k_0\tau > k\tau$ , se selecciona la entrada 3 del multiplexor y se utiliza  $t_{DE_2}$  como parte de la cuenta para alcanzar el valor deseado. Entonces el ancho de pulso se puede alcanzar mediante cualquier combinación de  $D_2$  y  $D_3$  que cumpla  $D_2 + D_3 = k_0 - k$ . Así, el retardo mínimo de la señal de entrada en  $v_3$  es  $t_{DE_2} + t_{DE_3} = 2k\tau$ , y el rango de retardos posibles para  $T_{31}$  es  $k\tau \leq T_{31} \leq 2k\tau$ , usando los registros  $D_2$  o  $D_3$  de forma indistinta. Dado que cada elemento de retardo invierte la polaridad de la señal, se agregó un inversor luego de  $v_3$  para generar el ancho de pulso correcto en la compuerta OR correspondiente a la entrada 3 del multiplexor. Se añadió otro inversor en la entrada del formador de pulsos para restaurar la polaridad de la señal original en la salida del multiplexor. Ambos inversores fueron diseñados de tamaño mínimo y su tiempo de propagación es cercano a  $\tau/3$ , por lo que no fue considerado en el análisis de tiempos.

En  $v_4$  y las señales posteriores la polaridad de la señal es la misma que en la señal de entrada  $v_{in}$ , dado que se utilizaron dos elementos de retardo en serie entre entradas consecutivas del multiplexor. El mínimo retardo para  $T_{41}$  es  $2k\tau = 2t_{DE}$ , mientras que para  $T_{51}$  es  $4k\tau = 4t_{DE}$ , entonces el rango de retardos correspondiente a la entrada 4 del multiplexor es  $2k\tau \leq T_{41} \leq 4k\tau$ , y se puede lograr variando  $D_2$  para los primeros  $k$  pasos manteniendo  $D_3 = 0$ , y variando  $D_3$  con  $D_2 = k$  para los pasos de retardo desde  $(k + 1)$  a  $2k$ ; o mediante la variación de  $D_3$  para los primeros  $k$  pasos manteniendo  $D_2 = 0$ , y luego variando  $D_2$  con  $D_3 = k$  para  $(k + 1)\tau \leq T_{31} \leq 2k\tau$ .

### 5.2.3. Algoritmo de generación de los pulsos

El análisis previo muestra que hay varias maneras de lograr un incremento monótono del ancho de pulso en  $v_{out}$  usando la topología presentada en la sección anterior. Dado que no existe una correspondencia única entre un determinado ancho de pulso  $d_{out}$  y la configuración de los registros  $D_i$ , se eligió simplificar

la lógica de control operando los elementos de retardo agrupados de a pares de la siguiente forma: para las entradas del multiplexor  $4 \leq i \leq n - 1$ , los registros  $D_{4:n}$  son configurados a cero mientras que los registros  $D_2$  y  $D_3$  se utilizan como elementos variables, logrando el intervalo temporal deseado al elegir la entrada correspondiente del multiplexor y mediante el ajuste apropiado de dichos registros. Así, los retardos posibles entre los nodos  $v_i$  y  $v_1$  son  $(2i - 6)k\tau \leq T_{i1} \leq (2i - 4)k\tau$ , incrementando el ancho del pulso en esta cantidad.

La situación es distinta para la última entrada  $n$  del multiplexor, donde el retardo temporal  $T_{n1}$  puede ser modificado utilizando todos los elementos de retardo desde  $DE_2$  a  $DE_n$ , logrando un retardo máximo equivalente al doble del conseguido con los registros  $D_{2:n} = 0$ . En la Tabla 5.2 se detallan los valores del selector del multiplexor de acuerdo al valor del ancho de pulso pretendido, con sus correspondientes códigos digitales para  $D_i$ . La Tabla 5.3 muestra los valores para un ejemplo con un multiplexor de  $n = 12$  entradas y  $k = 28$ . Este valor de  $k$  fue elegido para satisfacer la Ecuación 5.5 basado en el diseño implementado, el cual puede ser programado digitalmente de acuerdo a la calibración realizada de los elementos de retardo contra variaciones PVT.

El formador de pulsos implementado tiene un multiplexor de 12 entradas, la misma cantidad de compuertas OR y 20 elementos de retardo (19 de ellos programables y uno fijo,  $DE_1$ ). Esta configuración permite un máximo de 1148 pasos de retardo con resolución  $\tau$ , limitados a 10 bits (1024 pasos) en la lógica que controla los bits menos significativos del ancho de pulso en el HRPWM. Aunque el valor elegido de  $k$  no aprovecha todos los valores posibles de los registros  $D_i$  (las combinaciones 29, 30 y 31 no son usadas), esta desventaja es menor con respecto a otros esquemas: si se quisiera lograr la misma resolución de 10 bits con el circuito mostrado en la Figura 5.3 serían necesarios 33 elementos de retardo, y 66 etapas si se usara el circuito de la Figura 5.4.

$d_{out}$ mínimo	$d_{out}$ máximo	Mux Sel	Valores de los Registros <sup>†</sup>			
$d_{in}$	$d_{in}$	1	$D_{2:n} = X$			
$d_{in} + \tau$	$d_{in} + k\tau$	2	$D_2 = 1 : k$	$D_{3:n} = X$		
$d_{in} + (k + 1)\tau$	$d_{in} + 2k\tau$	3	$D_2 = 1 : k$	$D_3 = 0$	$D_{4:n} = X$	
$d_{in} + (2k + 1)\tau$	$d_{in} + 3k\tau$	4	$D_2 = 1 : k$	$D_3 = 0$	$D_{5:n} = X$	$(D_4 = 0)$
$d_{in} + (3k + 1)\tau$	$d_{in} + 4k\tau$	4	$D_2 = k$	$D_3 = 1 : k$	$D_{5:n} = X$ $(D_4 = 0)$	
$d_{in} + (4k + 1)\tau$	$d_{in} + 5k\tau$	5	$D_2 = 1 : k$	$D_3 = 0$	$D_{6:n} = X$	$(D_{4,5} = 0)$
$d_{in} + (5k + 1)\tau$	$d_{in} + 6k\tau$	5	$D_2 = k$	$D_3 = 1 : k$	$D_{6:n} = X$ $(D_{4,5} = 0)$	
...	...	...	...	...	...	...
$d_{in} + ((2n - 6)k + 1)\tau$	$d_{in} + (2n - 5)k\tau$	$n$	$D_2 = 1 : k$	$D_{3:n} = 0$		
$d_{in} + ((2n - 5)k + 1)\tau$	$d_{in} + (2n - 4)k\tau$	$n$	$D_2 = k$	$D_3 = 1 : k$	$D_{4:n} = 0$	
$d_{in} + ((2n - 4)k + 1)\tau$	$d_{in} + (2n - 3)k\tau$	$n$	$D_{2,3} = k$	$D_4 = 1 : k$	$D_{5:n} = 0$	
...	...	...	...	...	...	...
$d_{in} + ((4n - 12)k + 1)\tau$	$d_{in} + (4n - 11)k\tau$	$n$	$D_{2:(n-1)} = k$	$D_n = 1 : k$		

Tabla 5.2: Rango de los anchos de pulso por entrada del multiplexor.

<sup>†</sup>  $X$ : no importa;  $k$  = valor fijo, de acuerdo a la relación  $t_{DE}/\tau$ ;  $1 : k$  = cualquier valor entero entre 1 y  $k$ .

$d_{out}$ mínimo	$d_{out}$ máximo	Mux Sel	Valores de los Registros		
$d_{in}$	$d_{in}$	1			$D_{2:12} = 0$
$d_{in} + \tau$	$d_{in} + 28\tau$	2	$D_2 = 1 : 28$		$D_{3:12} = 0$
$d_{in} + 29\tau$	$d_{in} + 56\tau$	3	$D_2 = 1 : 28$		$D_{3:12} = 0$
$d_{in} + 57\tau$	$d_{in} + 84\tau$	4	$D_2 = 1 : 28$		$D_{3:12} = 0$
$d_{in} + 85\tau$	$d_{in} + 112\tau$	4	$D_2 = 28$	$D_3 = 1 : 28$	$D_{4:12} = 0$
$d_{in} + 113\tau$	$d_{in} + 140\tau$	5	$D_2 = 1 : 28$		$D_{3:12} = 0$
$d_{in} + 141\tau$	$d_{in} + 168\tau$	5	$D_2 = 28$	$D_3 = 1 : 28$	$D_{4:12} = 0$
...	...	...	...	...	...
$d_{in} + 449\tau$	$d_{in} + 476\tau$	11	$D_2 = 1 : 28$		$D_{3:12} = 0$
$d_{in} + 477\tau$	$d_{in} + 504\tau$	11	$D_2 = 28$	$D_3 = 1 : 28$	$D_{4:12} = 0$
$d_{in} + 505\tau$	$d_{in} + 532\tau$	12	$D_2 = 1 : 28$		$D_{3:12} = 0$
$d_{in} + 533\tau$	$d_{in} + 560\tau$	12	$D_2 = 28$	$D_3 = 1 : 28$	$D_{4:12} = 0$
$d_{in} + 561\tau$	$d_{in} + 588\tau$	12	$D_{2,3} = 28$	$D_4 = 1 : 28$	$D_{5:12} = 0$
...	...	...	...	...	...
$d_{in} + 1009\tau$	$d_{in} + 1036\tau$	12	$D_{2:11} = 28$	$D_{12} = 1 : 28$	

Tabla 5.3: Configuración de los registros y anchos de pulso de salida con  $k = 28$ .

## 5.3. Implementación del modulador PWM de alta resolución en 130 nm

### 5.3.1. Arquitectura del sistema HRPWM

Hasta el momento, se ha descrito la arquitectura del formador de pulsos diseñada y el algoritmo para la generación de los mismos. En la Figura 5.7 se muestra el diagrama de bloques del sistema HRPWM implementado en 130 nm, incluyendo el formador de pulsos descrito en la sección previa. Dentro de éste, la sección indicada como **DELAY LINE** comprende los elementos de retardo y las compuertas lógicas OR, cuyo diseño y simulación fueron llevados a cabo mediante herramientas del dominio analógico. Los restantes bloques que conforman el sistema, incluidos el multiplexor del formador de pulsos (**MUX**), fueron descritos mediante HDL en herramientas del dominio digital. Éstos son:

- el **DPWM**, modulador digital PWM basado en contador, cuya señal de salida es la entrada del formador de pulsos;

- un módulo de comunicaciones serial **SPI**, que permite la programación del sistema HRPWM;
- una memoria **RAM** que cuenta con 512 palabras de 18 bits;
- la **LÓGICA DE CONTROL** del formador de pulsos, donde se implementa el algoritmo para la generación del ancho de pulso deseado, controlando los DE y la entrada activa del multiplexor.

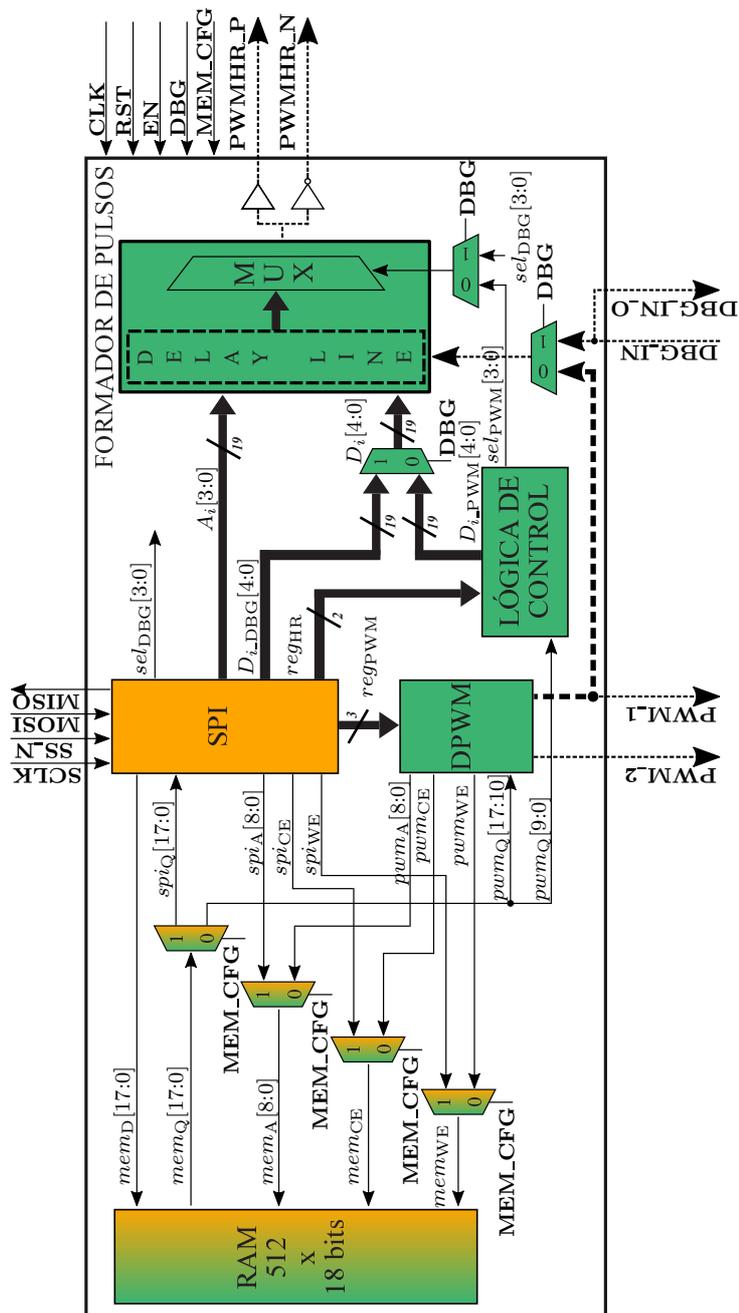


Figura 5.7: Diagrama en bloques del sistema implementado, modo *Normal*.

El sistema implementado tiene dos modos de funcionamiento: *Normal* y *Debug*. El primero de ellos, a su vez, comprende dos estados diferentes: (i) programación, donde se realizan operaciones de lectura y escritura en la memoria RAM, accediendo de forma externa mediante las cuatro señales de la interfaz SPI; y (ii) automático, donde los valores guardados en la memoria son leídos de forma automática para generar la señal con alta resolución temporal: los 8 bits más significativos de los datos en memoria son utilizados por el DPWM para generar un pulso con resolución  $T_{\text{clk}}$ , mientras que los 10 bits menos significativos del dato son empleados por la lógica del formador de pulsos, con resolución temporal  $\tau$ . Activando la señal externa **MEM\_CFG** se ingresa al estado de programación. Los bloques activos son indicados en la Figura 5.7 con color naranja. Cuando se deshabilita la señal **MEM\_CFG**, el acceso a la memoria es de sólo lectura y es controlada por el bloque DPWM. Los módulos que participan en este estado son indicados con color verde en la Figura 5.7, mientras que aquellos que poseen ambos colores son compartidos entre modos de funcionamiento.

Cuando se configura la señal externa **DBG** en nivel alto se ingresa en el modo de funcionamiento *Debug*, cuyo propósito es aislar los distintos módulos del sistema mediante distintos multiplexores. En este modo, cada elemento de retardo  $DE_i$  puede ser testeado y calibrado de forma individual, configurando los registros  $D_i$  con valores específicos almacenados en el módulo SPI (señalados como registros  $D_{i,\text{DBG}}$  en el diagrama de bloques), controlando el selector del multiplexor del formador de pulsos, y permitiendo aplicar una señal externa **DBG\_IN** a la entrada del mismo. Los bloques activos en este modo fueron indicados con color celeste en la Figura 5.8. De esta manera, es posible elegir un valor apropiado para  $k$  y para los registros  $A_i$  de cada elemento de retardo luego de realizar algunas mediciones.

En el estado *Normal* automático, es decir con las señales **MEM\_CFG** y **DBG** en estado bajo, el usuario puede configurar el valor de los tres registros que controlan el funcionamiento del módulo DPWM:

- $cnt_{\text{PWM}}$ , indica el período del PWM en cuentas de  $T_{\text{clk}}$ ;
- $ctrl_{\text{PWM}}$ , controla la configuración de las señales **PWM\_1** y **PWM\_2**;

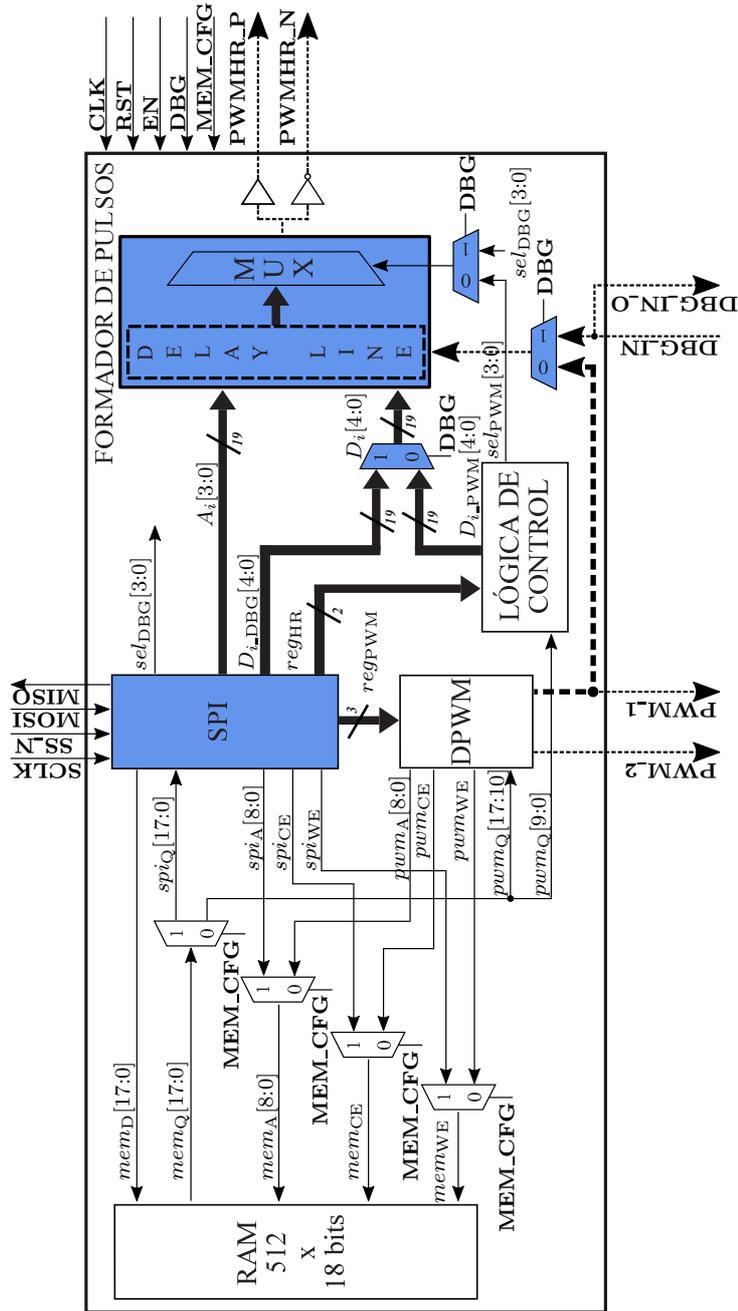


Figura 5.8: Diagrama en bloques del sistema implementado, modo *Debug*.

- $size_{PWM}$ , tamaño de la RAM utilizada para guardar los anchos de pulso.

Sólo la señal **PWM\_1** es conectada al formador de pulsos de alta resolución, el cual se configura mediante dos registros adicionales:  $cnt_{PWMHR}$ , cantidad de cuentas del HRPWM con resolución  $\tau$ ; y  $cfg_{PWMHR}$ , cantidad de cuentas  $k$  utilizadas en cada celda  $DE_i$ . Ambos valores se basan en los resultados de las mediciones realizadas en modo *Debug*, para la calibración y frecuencia de operación dadas.

### 5.3.2. Aspectos del *layout*

En el diseño físico del elemento de retardo para el CI-PWM se tomó como base la celda del CI-DL, la cual fue mejorada en diversos aspectos del *layout*, se incorporó el arreglo de transistores pMOS  $M_{A7}:M_{A4}$ , y se modificaron los tamaños de algunos dispositivos (como puede apreciarse al comparar las Tablas 3.3 y 5.1 con las dimensiones de los mismos).

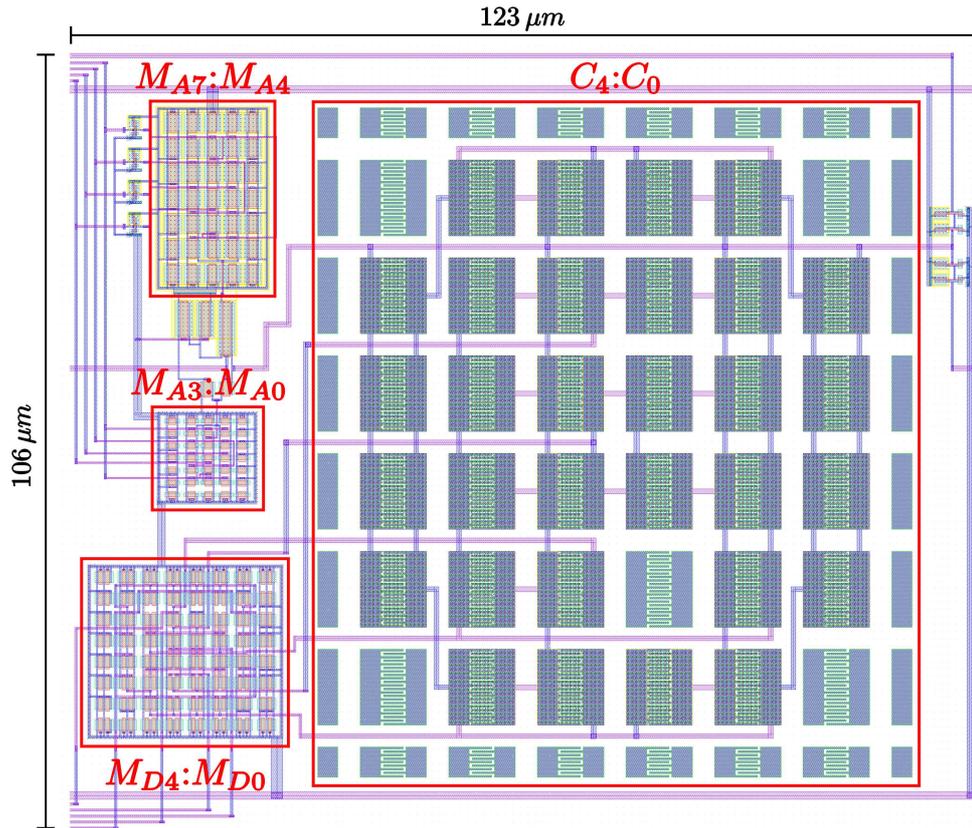


Figura 5.9: *Layout* del elemento de retardo en el CI-PWM.

La Figura 5.9 muestra el *layout* del elemento de retardo utilizado en el CI-PWM, donde con recuadros rojos se indican los arreglos de transistores y capacitores. Puede apreciarse que éste último es el bloque más grande dentro del DE, ocupando el 56 % del área. A su izquierda se pueden observar los restantes bloques remarcados: los transistores que controlan las cargas capacitivas (abajo), y los transistores de calibración nMOS (centro) y pMOS (arriba). A la izquierda de este último arreglo pueden observarse cuatro inversores mínimos, encargados de generar la señal complementaria  $\overline{A}_i$  a partir del valor cargado en el registro  $A_i$ , cuya conexión se observa en el vértice superior izquierdo. Los *buffer* de rege-

neración de la señal se pueden observar a la derecha del arreglo de capacitores.

A diferencia de la implementación realizada en el CI-DL, en este chip cada uno de los elementos de retardo tiene una configuración independiente de sus registros  $A_i$  y  $D_i$ , lo que conlleva una dificultad adicional en el cableado de estas señales. En la Figura 5.10 se muestra la disposición elegida para la interconexión de los 20 elementos de retardo y las 12 compuertas lógicas OR (indicadas con un recuadro rojo). El restante elemento del formador de pulsos es el multiplexor de 12 entradas, el cual originalmente se pretendía implementar con la herramienta de diseño analógico. Debido al tiempo limitado para ingresar en el periodo de integración brindado por el fabricante, se optó por describirlo mediante HDL e implementarlo con la herramienta de diseño digital. Los restantes bloques del sistema HRPWM (SPI, DPWM, RAM, Lógica de control del formador de pulsos) también fueron implementados mediante síntesis lógica, luego de haber sido descritos en lenguaje HDL.

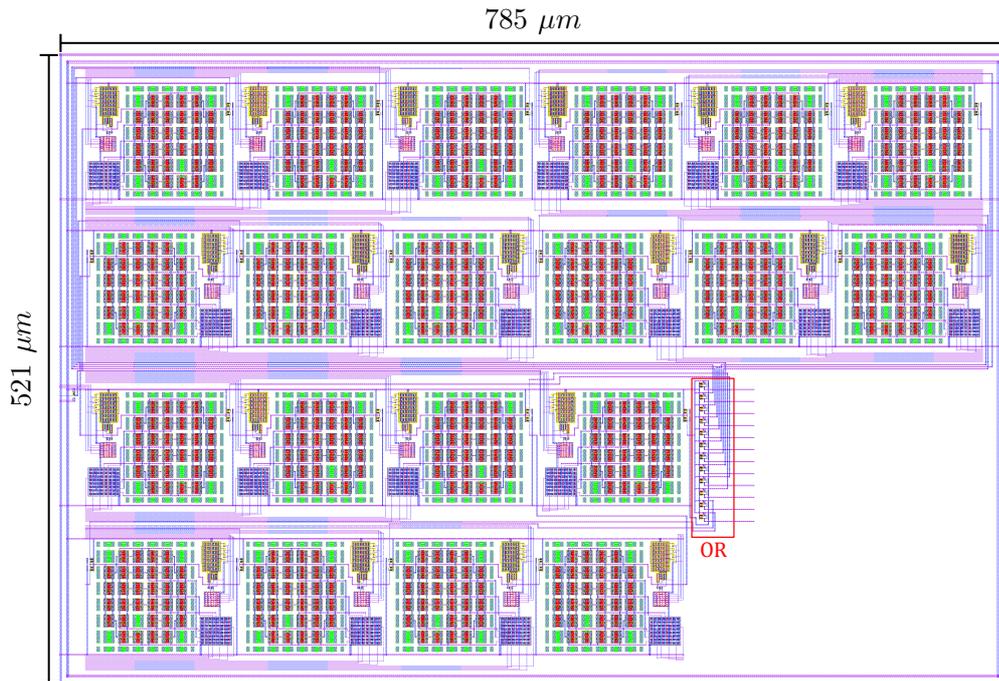


Figura 5.10: *Layout* del formador de pulsos (sin el multiplexor).

La máscara de fabricación del chip completo CI-PWM se muestra en la Figura 5.11. El área total del circuito integrado es  $2.25 \text{ mm}^2$ ; al descontar los pads y el espaciado necesario para cumplir con las reglas de fabricación, el área libre para diseño resulta en un cuadrado de aproximadamente  $860 \text{ μm}$  de lado. A partir

de la Figura 5.11 se puede estimar que el formador de pulsos ocupa la mayor proporción de área del chip. En la parte superior se puede observar el módulo de memoria RAM, y entre ambos bloques se distribuyen los restantes módulos sintetizados. En la Tabla 5.4 se detalla el área ocupada por los distintos bloques del sistema HRPWM. A pesar de que el tamaño de la memoria RAM puede ser reducido si la aplicación lo requiere, y optimizarse el espacio ocupado por los módulos digitales, el área libre o subocupada es una proporción muy grande del área total.

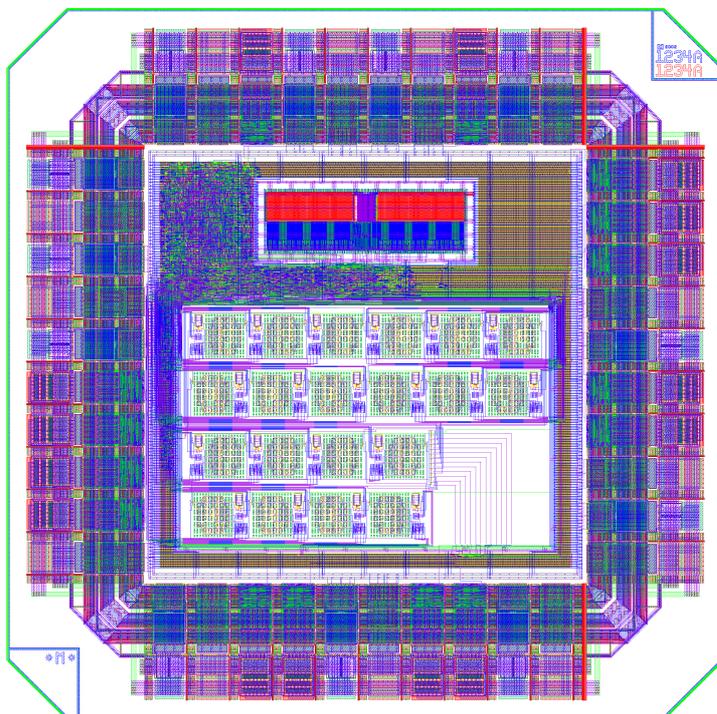


Figura 5.11: *Layout* del chip CI-PWM.

Módulo	Área [mm <sup>2</sup> ]	Porcentaje
DPWM	0.003	0.52 %
SPI	0.017	2.32 %
Lógica del formador de pulsos + Mux	0.030	4.09 %
RAM	0.058	7.86 %
Formador de pulsos (DE + OR)	0.326	44.08 %
Área libre o subocupada	0.304	41.13 %

Tabla 5.4: Área ocupada por los distintos módulos del sistema CI-PWM.

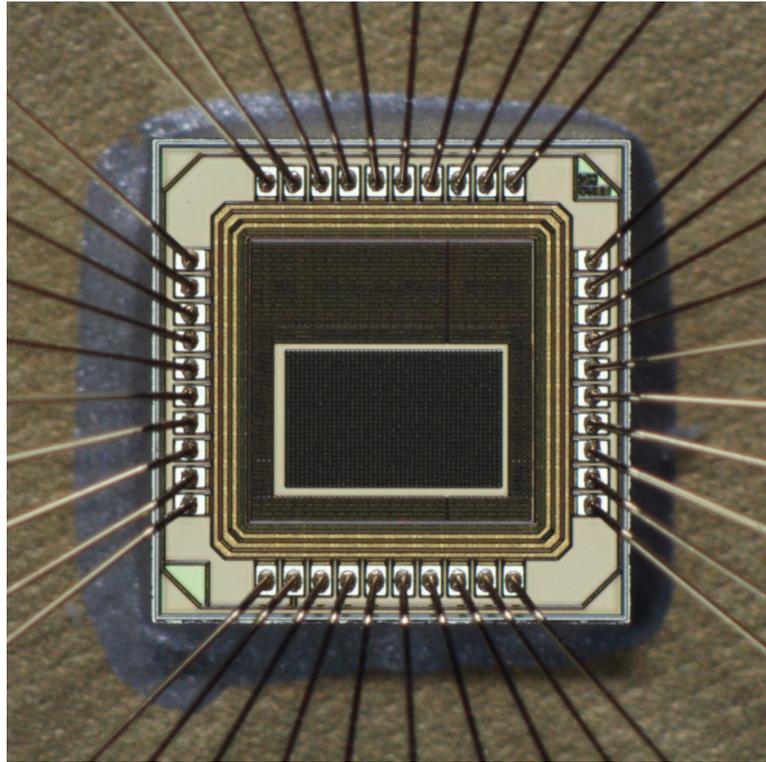


Figura 5.12: Fotografía del chip CI-PWM.

La Figura 5.12 muestra una fotografía del chip fabricado dentro de su encapsulado. Como en el caso anterior, las geometrías no pueden observarse debido al metalizado de los niveles superiores, pero sí puede apreciarse el límite entre los bloques digital y analógico del sistema implementado en el CI-PWM.

## 5.4. Resultados de simulación *post-layout*

### 5.4.1. Estimación de potencia

El consumo total de potencia fue simulado para dos casos distintos del modo normal de funcionamiento: el estado de programación, cuando el módulo SPI se encuentra activo y realiza acciones de lectura/escritura en la memoria RAM, y el estado automático, cuando el módulo PWM genera la forma de onda de alta resolución. El análisis de potencia se realizó para las condiciones de *corner* menos favorables con los siguientes valores de frecuencia: frecuencia de reloj de 10 MHz, frecuencia de reloj de la comunicación SPI de 1 MHz, y frecuencia del modulador PWM de 100 kHz. El consumo en el estado automático fue ligeramente mayor

que en el estado de programación (alrededor de +13%), por lo que este estado fue elegido para el análisis. Los resultados de la potencia estimada por el software de implementación digital se presentan en la Tabla 5.5, clasificados según tres campos:

- *switching*, es la potencia consumida en la carga y descarga de las capacidades de interconexión entre celdas;
- *internal*, es la potencia consumida en la carga y descarga de las capacidades internas a las celdas;
- *leakage*, es la potencia consumida por los dispositivos que no están conmutando.

Módulo	<i>Internal</i>	<i>Switching</i>	<i>Leakage</i>	Total	%
SPI	8.6	0.9	< 0.1	9.6	0.29 %
Lógica del FP + Mux	7.8	1.9	0.1	9.8	0.29 %
DPWM	14.5	3.1	< 0.1	17.7	0.52 %
Pads	512	10.6	116.2	639	19 %
RAM	910	0.01	1774	2684	79.9 %

Tabla 5.5: Estimación de potencia [ $\mu\text{W}$ ] de los módulos digitales ( $f_{\text{clk}} = 10 \text{ MHz}$ ,  $f_{\text{spi}} = 1 \text{ MHz}$ ,  $f_{\text{pwm}} = 100 \text{ kHz}$ ).

Puede observarse en la Tabla 5.5 que la memoria SRAM de 512 x 18 bits comprende el 79.9% del consumo de potencia del sistema. Este no es un bloque fundamental en la topología propuesta, fue incluido en esta implementación con fines prácticos para el testeo experimental. Los ciclos de trabajo podrían cargarse en el modulador HRPWM mediante la interfaz SPI, utilizando para este propósito una placa de entrenamiento con un DSP o una FPGA, por ejemplo.

Los principales bloques digitales del formador de pulsos de alta resolución son: el modulador PWM, la lógica de control del formador de pulsos, y la interfaz de comunicación (SPI). La disipación de potencia de estos tres módulos alcanza los 37.1  $\mu\text{W}$ . Este valor es comparable con los 25.3  $\mu\text{W}$  que consumen los elementos del retardo y las compuertas lógicas del formador de pulsos, analizados para las mismas condiciones que los módulos digitales pero en la herramienta de

simulación analógica donde se diseñó el circuito. De esta manera, el núcleo del formador de pulsos tiene un bajo consumo de potencia, de solo  $62.4 \mu\text{W}$ . Si se incluyen los pads de entrada/salida, el consumo total de potencia del sistema se incrementa a  $701 \mu\text{W}$ .

### 5.4.2. Retardo de propagación

El retardo de propagación ( $\Delta t_i = t_{\text{DE}} + D_i\tau$ ) del elemento de retardo modificado implementado se muestra en la Figura 5.13, donde se puede apreciar el desempeño de las diferentes estrategias para producir los retardos: el incremento lineal del retardo temporal en función del aumento del registro  $D_i$ , y la reducción no lineal del retardo cuando se incrementa el registro  $A_i$  (topologías SCI y CSI, respectivamente).

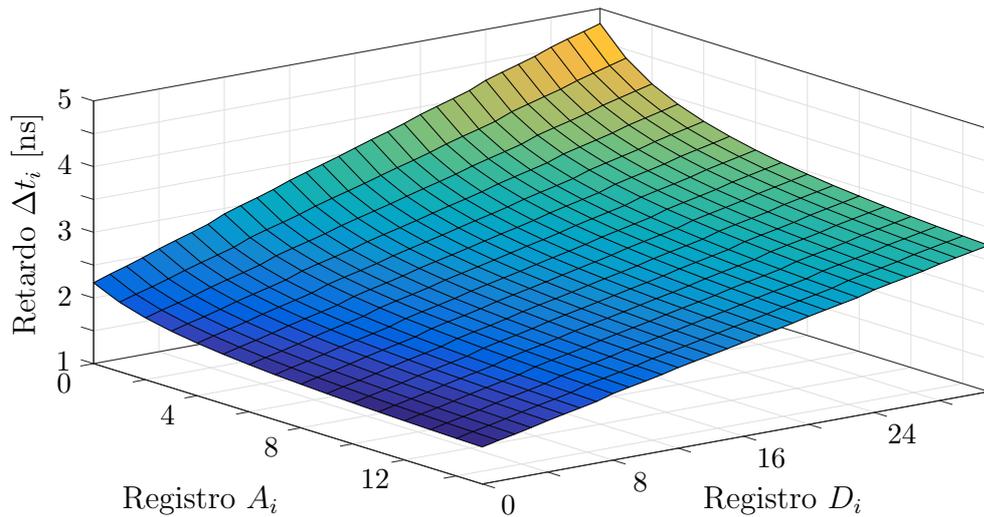


Figura 5.13: Retardo de propagación del elemento de retardo modificado.

Considerando como condición nominal a la configuración de los registros de calibración con el valor  $A_i = 3$ , el elemento de retardo tiene un paso temporal promedio de  $\tau = 65 \text{ ps}$  y un retardo  $t_{\text{DE}} = 1.9 \text{ ns}$ . El paso temporal puede variarse entre  $+20\%$  y  $-18\%$  del valor nominal, al utilizar los registros de calibración en las combinaciones  $A_i = 0$  y  $A_i = 15$ , respectivamente. Este rango es adecuado para compensar los cambios en el retardo de propagación debidas a variaciones PVT, como se detalla en la Tabla 5.6. Los mayores cambios son debidos a variaciones de proceso, que en el *corner* más lento (SS) aumenta el retardo de propagación en un  $16.4\%$ . Estas variaciones pueden corregirse utilizando los

transistores controlados por el registro  $A_i$ , el cual en su valor máximo ( $A_i = 15$ ) logra una reducción del retardo de un  $-18\%$ .

Proceso		Voltaje		Temperatura	
$SS$	$FF$	$0.9 V_{DD}$	$1.1 V_{DD}$	$125\text{ }^\circ\text{C}$	$-40\text{ }^\circ\text{C}$
$16.4\%$	$-14.6\%$	$12.3\%$	$-10.6\%$	$8.2\%$	$-12.8\%$

Tabla 5.6: Cambio en el paso temporal  $\tau$  ante variaciones PVT ( $A_i = 3$ ).

Para analizar la dispersión del retardo de propagación  $\Delta t_i$  de acuerdo al *mismatch* en los parámetros de los dispositivos, se llevaron a cabo simulaciones Monte Carlo (100 corridas). La Figura 5.14(a) muestra el histograma de los resultados, considerando que las simulaciones se realizaron fijando el registro de control en  $D_i = 0$  y el registro de calibración en  $A_i = 3$ . Las mismas se repitieron para cada valor de  $D_i$ , calculándose en cada caso el promedio y la desviación estándar. En la Figura 5.14(b) se grafica el promedio obtenido mediante una línea sólida y una barra de error indicando la cantidad  $3\sigma$  para cada caso (en color verde). Además se graficaron los retardos de propagación obtenidos con los valores extremos del registro  $A_i$  para el *corner* típico ( $A_i = 0$  en color naranja y  $A_i = 15$  en color azul). Puede notarse que la desviación estándar  $\sigma$  se incrementa cuando el retardo de propagación es mayor, como podría estimarse a partir de la *Ley de Pelgrom* [7, 98]. Las desviaciones  $3\sigma$  se encuentran entre el  $18 - 25\%$  del retardo de propagación, y quedan comprendidas prácticamente en su totalidad dentro del rango de compensación dado por el registro de calibración  $A_i$ . El mismo podría extenderse mediante ligeros cambios en la etapa de diseño, como se detalló en la Sección 3.3.1.

La variación en el ancho de pulso de salida  $d_{out}$  se muestra en la Figura 5.15 para dos condiciones diferentes: con todos los registros de calibración configurados en  $A_i = 3$  o  $A_i = 4$ . En ambos casos se configuran los 10 bits menos significativos del registro  $pwm_Q$  con valores desde 0 a 1023, mientras que el ancho de pulso  $d_{in}$  a la entrada del formador se mantiene constante (los 8 bits superiores de  $pwm_Q$  [17:10] con un valor fijo). El desempeño para estas configuraciones aparenta ser lineal, aumentando el ancho de pulso de salida de forma monótona con el código de entrada. La pequeña diferencia de pendiente entre líneas es debido al cambio

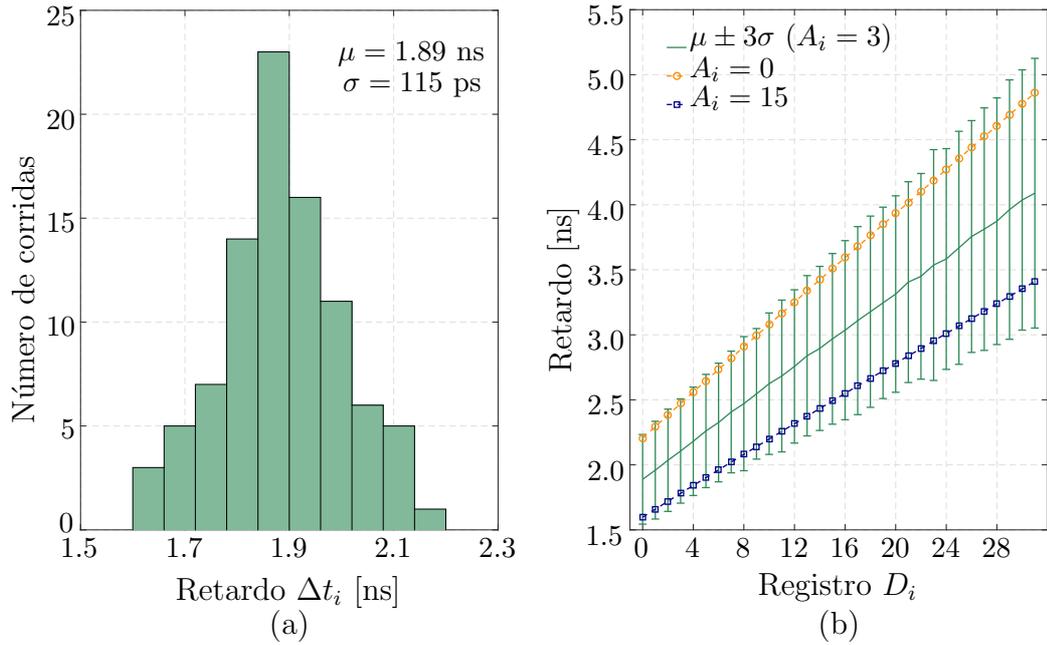


Figura 5.14: (a) Histograma del retardo de propagación  $\Delta t_i$  para 100 corridas de la simulación Monte Carlo ( $A_i = 3$ ,  $D_i = 0$ ). (b) Retardo promedio y variación  $3\sigma$  para todos los valores de  $D_i$ , en condiciones nominales (*corner* típico,  $A_i = 3$ ). También se grafica el retardo de propagación para la condición  $A_i = 0$  y  $A_i = 15$ .

en la resolución  $\tau$  del sistema, dependiente de los valores  $A_i$ .

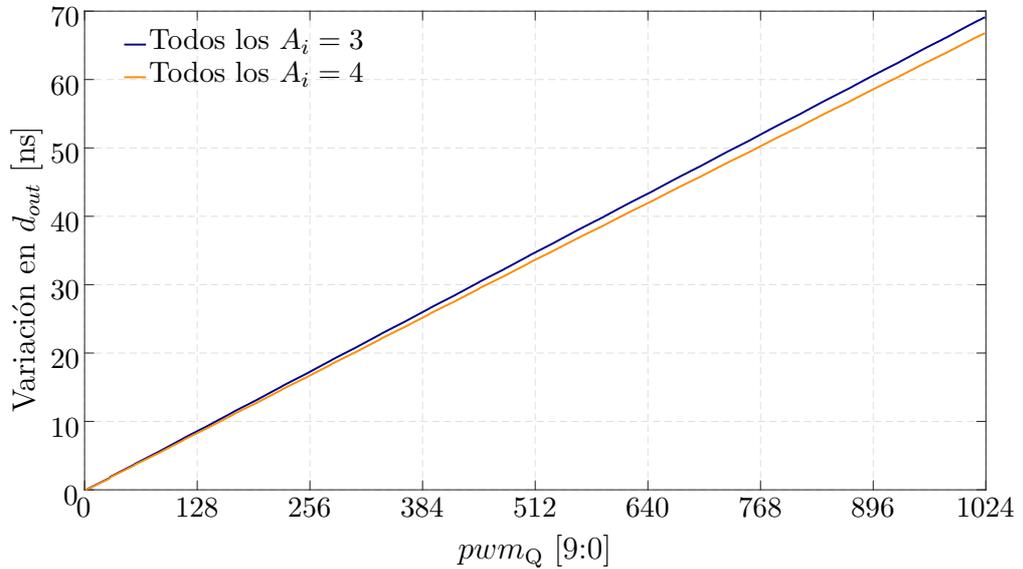


Figura 5.15: Variación en el ancho de pulso de salida  $d_{out}$ .

La no-linealidad diferencial (DNL) fue evaluada para estos dos casos, y se muestra en la Figura 5.16(a). Se puede observar que en ambas situaciones las desviaciones más grandes ocurren cuando el multiplexor cambia de una entrada activa a la siguiente, debido a que la relación  $t_{DE}/\tau$  no es exactamente un número entero  $k$  (el valor del registro que controla los cambios de entrada en el multiplexor

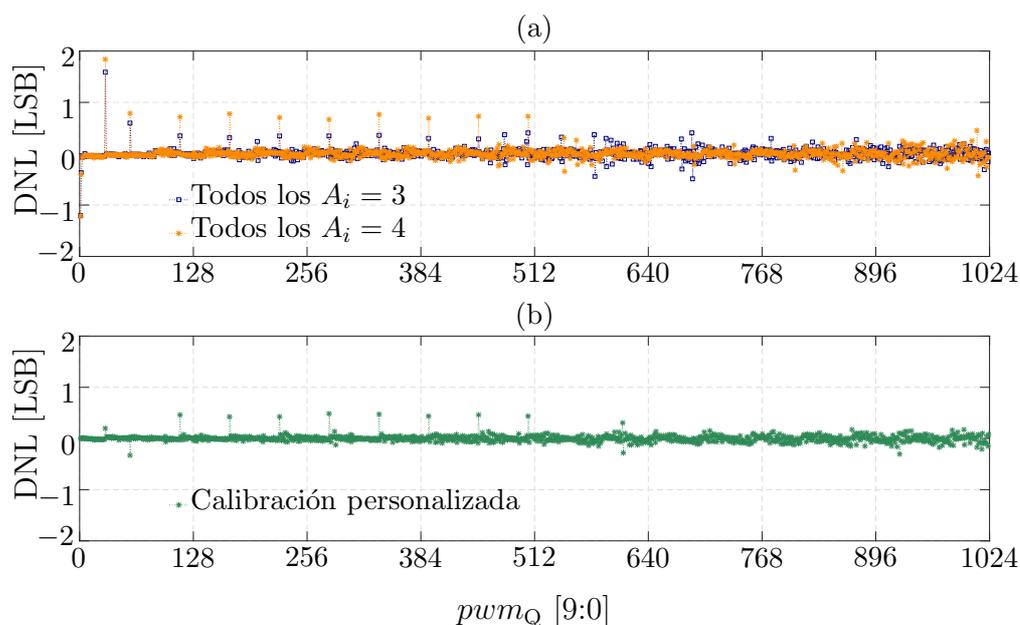


Figura 5.16: DNL calculada para: (a) Todos los registros de calibración con el mismo valor (casos  $A_i = 3$  y  $A_i = 4$ ), (b) Calibración personalizada.

fue configurado en  $k = 28$ ). Estas alteraciones son menores cuando los registros de calibración se configuran en  $A_i = 3$ , mejorando la DNL. En cambio, cuando la entrada activa del multiplexor es la última ( $n = 12$ ,  $pwm_Q > 505$  para el valor actual de  $k$ , ver la Tabla 5.3), las no linealidades entre códigos sucesivos se reducen con  $A_i = 4$ . Dado que cada registro  $A_i$  del sistema se puede ajustar de forma individual para cada DE, una calibración personalizada puede aplicarse para mejorar la DNL. En la Figura 5.16(b) se muestra un ejemplo, donde la DNL ha sido reducida a menos de  $\pm 0.5$  LSB en todo el rango, configurando  $A_1 = 5$ ,  $A_2 = 3$ ,  $A_3 = 5$  y los restantes  $A_{4-20} = 4$ . El desarrollo de una estrategia óptima para ajustar los registros  $A_i$  en pos de lograr la mínima DNL realizando la menor cantidad de mediciones se analiza en el capítulo siguiente.

### 5.4.3. Espectro de la señal PWM

El sistema implementado en el CI-PWM puede ser utilizado en diferentes aplicaciones donde se requiera una alta resolución temporal operando a frecuencias de reloj en el orden de 10 - 20 MHz, logrando un reducido consumo de potencia con procesos CMOS estándar. Eligiendo una frecuencia de reloj  $f_{clk} = 15$  MHz, y una frecuencia del PWM de  $f_{pwm} = 100$  kHz, los posibles ciclos de trabajo para un PWM digital son  $f_{clk}/f_{pwm} = 150$ , con un paso mínimo  $T_{clk} = 1/f_{clk} = 66.67$  ns.

Usando la capacidad de alta resolución del sistema, con un paso de retardo ajustado en  $\tau = 65$  ps, la resolución se puede incrementar en  $T_{\text{clk}}/\tau \approx 1024$  veces, logrando una resolución equivalente de 17.23 bits contra los 7.23 bits del DPWM sin alta resolución.

Ambos casos fueron modelados a nivel sistema y simulados en el entorno Simulink. Los ciclos de trabajo correspondientes a una onda senoidal de frecuencia  $f_x = 1$  kHz fueron muestreados de forma uniforme con una frecuencia  $f_{\text{pwm}} = 100$  kHz, cuantizados y aplicados a un modulador por ancho de pulsos *trailing-edge*. El número de niveles de cuantización  $q$  para el PWM digital basado en contador (PWM-LR) fue 150 y fueron distribuidos de manera uniforme. Para el PWM de alta resolución (PWM-HR) los niveles de cuantización fueron  $q = 150 \cdot 1024 = 153600$  y distribuidos de forma no uniforme, considerando la DNL obtenida con la calibración personalizada presentada en la sección anterior. Las señales fueron filtradas (pasabajos de octavo orden, frecuencia de corte en 200 kHz) y sus espectros calculados, eliminando la señal de continua y normalizándolos al valor de la fundamental. Estos se muestran en la Figura 5.17, donde puede observarse un piso de ruido plano en ambos casos logrados con la aplicación de *dithering*. De esta forma se pueden apreciar la señal fundamental y los armónicos relacionados con la modulación [9], además de la portadora PWM y su banda lateral inferior. Puede apreciarse que la relación entre la fundamental y el piso de ruido ha sido mejorada en 60 dB ( $20 \log_{10} 2^n$ , con  $n = 10$  bits) mediante la utilización del módulo PWM de alta resolución.

Los armónicos de la fundamental en 2, 3 y 4 kHz son producidos debido a las no linealidades inherentes a la modulación por ancho de pulsos, y no están asociados con la resolución del modulador. Existen distintos métodos que permiten eliminar estas componentes armónicas y podrían ser aplicados, como la modulación digital PWM sin distorsión en banda base (propuesta en [99], en la cual se basan las implementaciones de los Capítulos 6 y 7) que garantiza una banda de frecuencias libre de distorsión entre cero y la mitad de la frecuencia PWM, reduciendo el contenido armónico en el rango de frecuencias de interés.

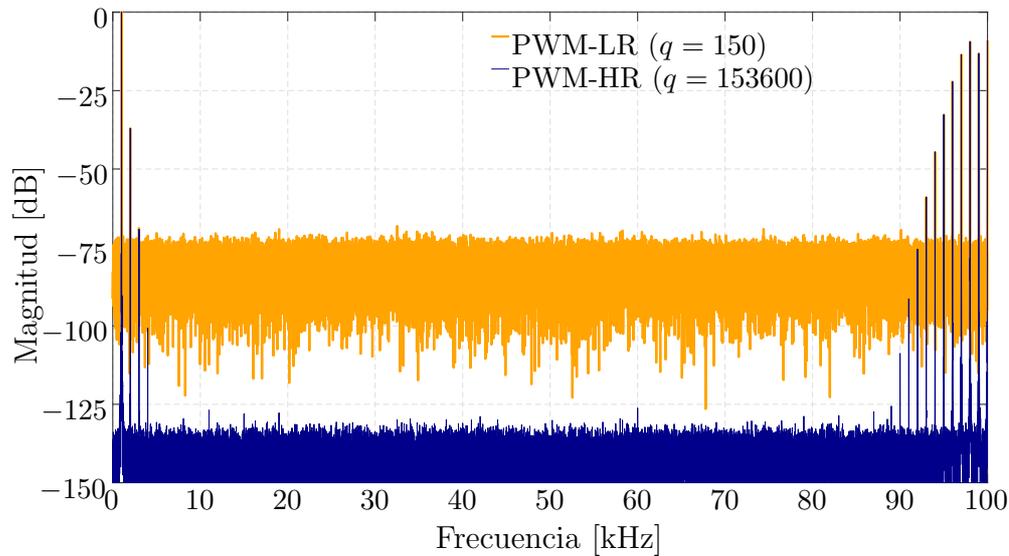


Figura 5.17: Espectros en frecuencia simulados para las señales PWM-LR y PWM-HR ( $f_x = 1$  kHz,  $f_{\text{pwm}} = 100$  kHz).

## 5.5. Conclusión

Una arquitectura DPWM híbrida de alta resolución fue integrada en la tecnología GF 130 nm. El sistema implementado permite alcanzar una resolución de 18 bits en la cuantización de los ciclos de trabajo: los 8 MSB son representados mediante un esquema basado en contador, y los 10 LSB empleando un circuito basado en línea de retardo. El intervalo temporal mínimo (65 ps) se logra mediante un elemento de retardo programable de forma digital, el cual puede ser ajustado dentro de un cierto rango para compensar cambios debido a variaciones PVT, o ajustar la linealidad en la conversión digital a tiempo reduciendo el *mismatch* entre etapas. La topología empleada en el formador de pulsos permite minimizar el número de componentes usados para generar los ciclos de trabajo de alta resolución, exhibiendo un reducido consumo de potencia.

## Capítulo 6

# Resultados experimentales del chip modulador PWM de alta resolución

### 6.1. Introducción

UNA evaluación de los distintos aspectos del sistema implementado en el CI-PWM se presenta en este capítulo. La incorporación del modo de operación *Debug* permitió caracterizar el chip empleando una señal externa, obteniendo así distintos parámetros necesarios para configurar el sistema en modo *Normal* de operación. Se detalla el procedimiento utilizado para la medición de cada uno de estos valores temporales, y a continuación la obtención de los valores óptimos para programar los registros de calibración del formador de pulsos. Aplicando esta configuración, se midió la variación en el ancho de pulso de salida y con los datos obtenidos se evaluó la linealidad del formador de pulsos de alta resolución. Por último, se midió la respuesta temporal del modulador PWM en funcionamiento y los correspondientes espectros en frecuencia, demostrando un muy buen desempeño del sistema implementado.

## 6.2. Configuración experimental

Debido a que el sistema implementado en el CI-PWM consta de dos bloques principales, uno de ellos sintetizado de forma digital mediante celdas estándar y el otro diseñado a nivel transistor, cada uno de ellos fue testeado de forma independiente, para luego realizar una evaluación integral a nivel sistema. La configuración experimental utilizada para evaluar el circuito integrado CI-PWM (Figura 6.1) comparte algunas características con la utilizada para testear el CI-DL.

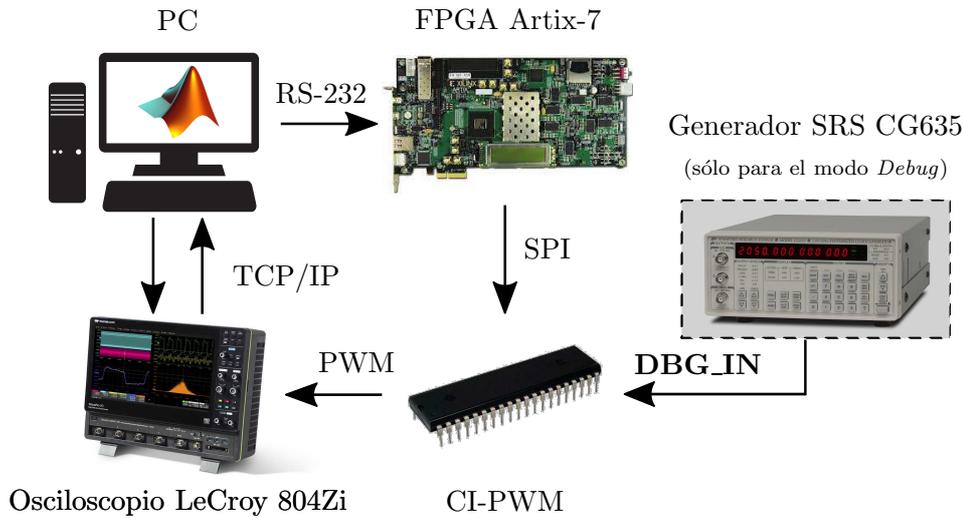


Figura 6.1: Diagrama en bloques de la configuración experimental.

En este caso, la interfaz de comunicación entre la PC y el chip CI-PWM se realizó mediante una placa de desarrollo FPGA Xilinx de la serie Artix-7 (XC7A200T FPGA), utilizando RS-232 para la comunicación PC-FPGA y SPI para la comunicación FPGA-CI. El módulo SPI sintetizado en el chip posee dos modos de comunicación, que se pueden utilizar tanto en la lectura como en la escritura: modo *único*, donde la acción se realiza para un solo byte, o modo *ráfaga* donde se leen o escriben varios bytes con el mismo comando. Mayores detalles de la comunicación SPI implementada en el chip se brindan en el Apéndice B.2. El circuito impreso utilizado para testear el CI-PWM (Figura 6.2) se diseñó cuidadosamente, siguiendo las mismas consideraciones que para el CI-DL (Apéndice A).

La velocidad de la transmisión UART puede ser configurada al momento de realizar la síntesis de ese módulo en la FPGA, estableciéndose en 19200 bps en todos los ensayos, mientras que la frecuencia del reloj SPI fue  $f_{spi} = 153.6$

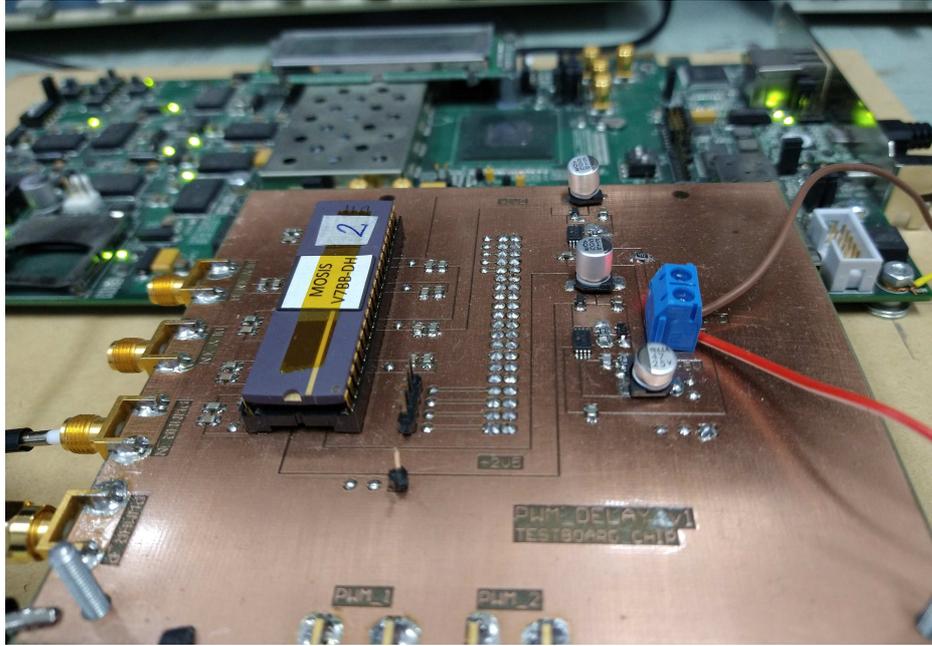


Figura 6.2: Fotografía del circuito impreso usado para testear el chip CI-PWM y la placa de evaluación con la FPGA Xilinx.

kHz. La frecuencia de operación de la FPGA se configuró en  $f_{\text{clk}} = 50$  MHz, en tanto la frecuencia de reloj del chip CI-PWM se ensayó a distintos valores entre 5–20 MHz, verificándose el correcto funcionamiento de la comunicación (lectura y escritura de registros/memoria) y las señales de control (**MEM\_CFG**, **DBG**, **EN**).

Concluida la verificación funcional del integrado, se procedió a corroborar la generación de las señales con ancho de pulso programado.

- La señal de entrada al formador de pulsos es aplicada desde el generador de reloj CG635 sólo cuando el sistema se encuentra en modo *Debug*. En el modo *Normal* no es necesario, ya que el formador de pulsos es alimentado con la salida del módulo DPWM.

### 6.3. Evaluación en modo *Debug*

Este modo de operación se utilizó para caracterizar el formador de pulsos de alta resolución. Utilizando una señal externa proveniente del generador de reloj SRS CG635, configurado con salida CMOS 2.5 V y  $f = 10$  MHz ( $T = 100$  ns,  $T_{\text{on}} = 50$  ns), se aplica la misma en la entrada **DBG\_IN**. De forma similar a lo

implementado en el chip CI-DL, el chip CI-PWM incorpora una salida **DBG\_IN\_O** que es una copia exacta de la señal que ingresa al chip por el pin **DBG\_IN**, luego de atravesar un buffer y los pads, es decir que el retardo  $t_A$  de la señal en **DBG\_IN\_O** con respecto a la entrada **DBG\_IN** puede considerarse como:

$$t_A = t_{\text{PAD-I}} + t_{\text{PAD-O}} + t_{\text{BUFF}}, \quad (6.1)$$

donde  $t_{\text{PAD-I}}$  es el retardo del pad de entrada,  $t_{\text{PAD-O}}$  el retardo del pad de salida y  $t_{\text{BUFF}}$  el retardo del buffer.

Empleando la nomenclatura utilizada previamente en la Figura 5.6, la señal de entrada tiene un ancho de pulso  $d_{in}$  (50 ns en este ensayo) mientras que la señal de salida tiene un ancho variable de acuerdo a la entrada activa  $m$  del multiplexor, además de estar desplazada por un intervalo de tiempo  $T_{out}$  con respecto a la primera. Idealmente este retardo es constante, comprendiendo los tiempos de propagación  $t_{\text{INV}} + t_{\text{DE}} + t_{\text{OR}} + t_{\text{MUX}}$ . Dado que el multiplexor fue implementado mediante HDL,  $t_{\text{MUX}}$  puede variar levemente dependiendo del valor de  $m$ . Por otro lado, el usuario puede modificar el registro de calibración  $A_1$  del elemento de retardo  $\text{DE}_1$ , variando el tiempo  $t_{\text{DE}_1}$  en cierto rango. Ambas dependencias se simbolizarán con  $T_{out}(A_1, m)$ .

El retardo  $t_B$  en la salida **PWMHR\_P** es:

$$t_B = t_{\text{PAD-I}} + t_{\text{MUX-DBG}} + T_{out}(A_1, m) + t_{\text{PAD-O}} \quad (6.2)$$

donde  $t_{\text{MUX-DBG}}$  es el retardo correspondiente al multiplexor que conecta la señal en **DBG\_IN** con la entrada del formador de pulsos en el modo *Debug* (**DBG** en estado alto, ver diagrama de la Figura 5.8). De la diferencia entre ambos retardos  $t_A$  y  $t_B$  se puede obtener el valor temporal por el cual está desplazado el flanco ascendente de la señal de salida con respecto al de la entrada:

$$T'_{out} = t_B - t_A = t_{\text{MUX-DBG}} + T_{out}(A_1, m) - t_{\text{BUFF}} \quad (6.3)$$

En el cálculo de  $t_A$  y  $t_B$  se omitieron los retardos introducidos por los conectores SMA por ser idénticos en ambos casos, así como los retardos asociados al

circuito impreso y al empaquetado, cuyo rango de variación se encuentra en el orden de un LSB ( $\Delta t_{\text{DIP}} < \Delta t_{\text{PCB}} \approx \tau$ ) como se demuestra en el Apéndice A.

### 6.3.1. Retardo del flanco ascendente

- A través de una rutina ejecutada en Matlab se controló el osciloscopio WaveMaster 804Zi de LeCroy mediante TCP/IP, configurando la base de tiempos en modo RIS (resolución efectiva de 5 ps). Se realizó un promedio de 200 barridos en ambos canales activos, adquiriendo las señales presentes en las salidas **DBG\_IN\_O** y **PWMHR\_P**.
- Todos los registros  $D_{i\_DBG}$  y  $A_i$  fueron configurados en cero mediante la comunicación SPI. También se programaron los registros de control del PWM, de los cuales sólo  $sel_{DBG}$  es utilizado para seleccionar la entrada activa del multiplexor. Para cada una de ellas se realiza un barrido del registro  $A_1$ .
- Dado que el incremento en el ancho del pulso de salida aportado por los DE para las últimas entradas del multiplexor  $m = \{11, 12\}$  es próximo a los 50 ns, se utilizó una frecuencia  $f = 5$  MHz en estos casos ( $T = 200$  ns,  $T_{on} = 100$  ns).

En la Figura 6.3 se puede apreciar la disminución de  $T'_{out}$  en función del aumento de  $A_1$ , debido al descenso en  $t_{DE_1}$ . Además, se observa una diferencia máxima  $\Delta T'_{out} \approx 250$  ps entre las distintas combinaciones del multiplexor, para una misma condición de calibración.

### 6.3.2. Tiempo de resolución

- Se programó una rutina de Matlab para realizar un barrido automático del registro de control  $D_{2\_DBG}$  con la entrada  $m = 2$  del multiplexor seleccionada, modificando el ancho de pulso de salida  $d_{out}$ .
- A las formas de onda adquiridas por el osciloscopio se les aplicó una interpolación lineal de  $10\times$ , aumentando la resolución a 0.5 ps (alrededor de 2 órdenes de magnitud de los retardos más pequeños que se desea medir).

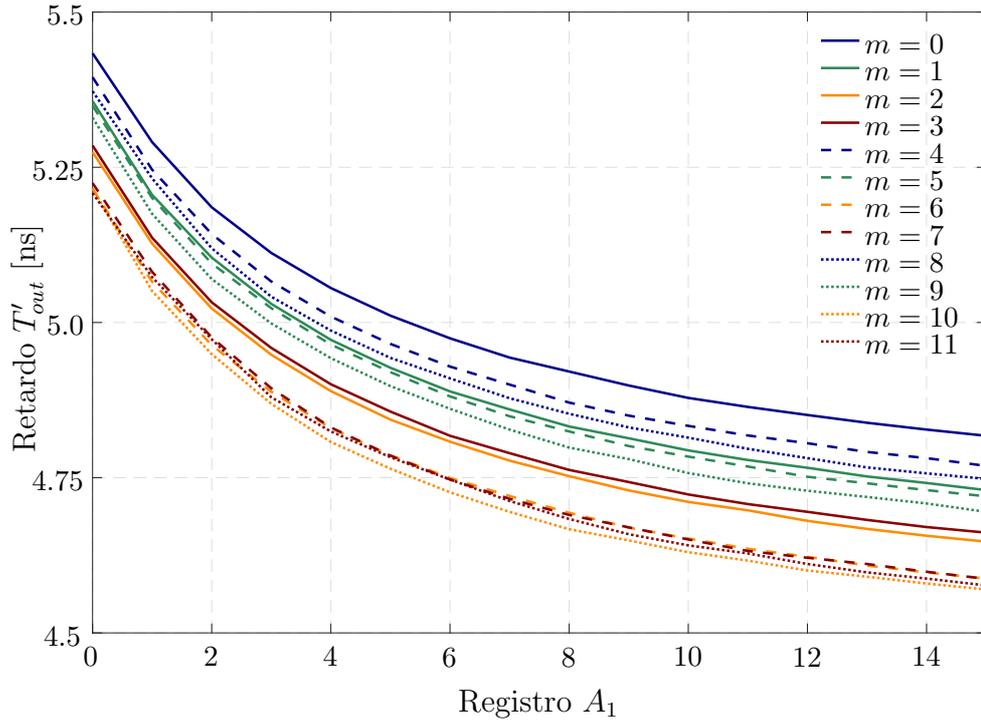


Figura 6.3: Variación del retardo  $T'_{out}$  en función del registro de calibración  $A_1$  y la entrada  $m$  del multiplexor.

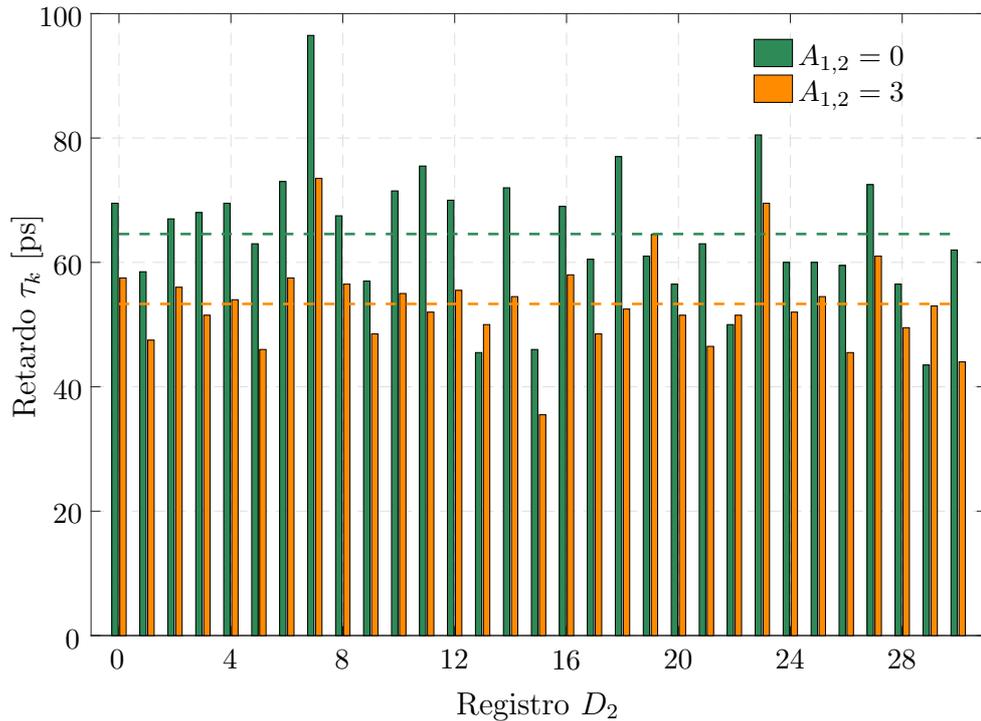


Figura 6.4: Resolución  $\tau$  del sistema, dos condiciones de calibración.

El paso temporal  $\tau_k = T_k - T_{(k-1)}$  del formador de pulsos en función del registro de control  $D_{2\_DBG}$  se muestra en la Figura 6.4, para dos condiciones de calibración distintas:  $A_{1,2} = 0$  y  $A_{1,2} = 3$ . También se indica en líneas punteadas

el paso promedio  $\tau_\mu$  para cada una de las calibraciones, que es de 64.6 ps y 53.3 ps, respectivamente. Al realizar una comparación con los valores obtenidos en las simulaciones *post-layout* de la Sección 5.4.2, se aprecia que la resolución temporal medida es un  $-18\%$  menor, una diferencia mayor al rango esperado debido a las variaciones de proceso (en un punto cercano al *corner* rápido).

### 6.3.3. Linealidad del DE

La linealidad del elemento de retardo se puede cualificar mediante la DNL, la cuál es graficada en la Figura 6.5 para el conjunto de datos analizados previamente. Los valores de DNL obtenidos son menores a 0.5 LSB y se encuentran dentro del margen esperado. En la Figura 6.6 se muestra una gráfica de la INL para ambos casos, demostrando que el máximo error acumulado es aproximadamente 1 LSB para la condición  $A_{1,2} = 0$ , mientras que para  $A_{1,2} = 3$  es menor a 0.5 LSB.

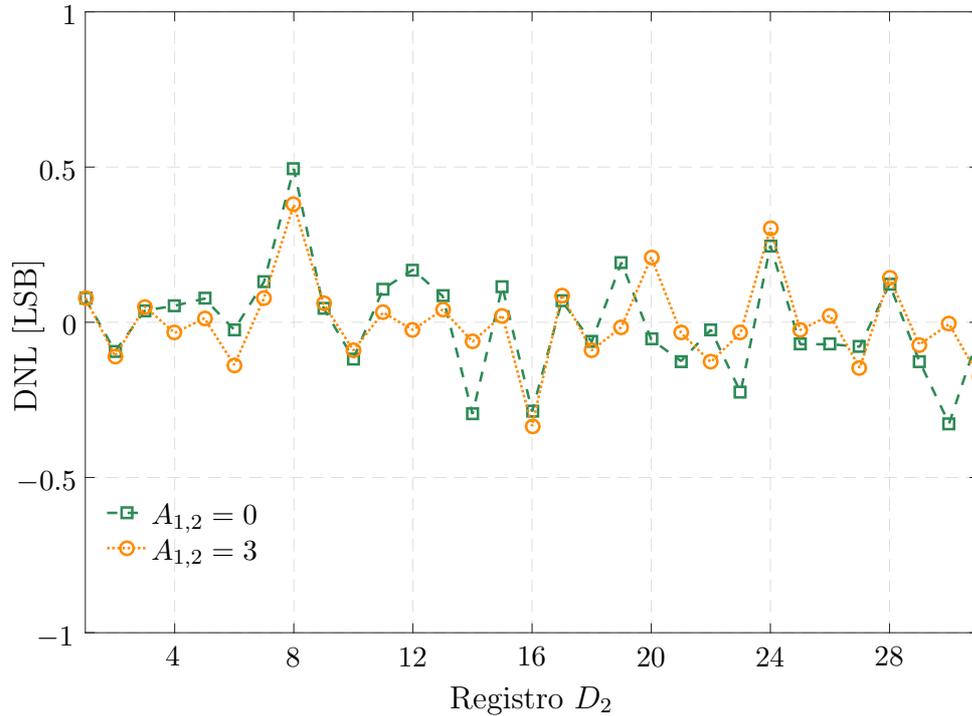


Figura 6.5: DNL del paso de retardo  $\tau$  medido, dos calibraciones.

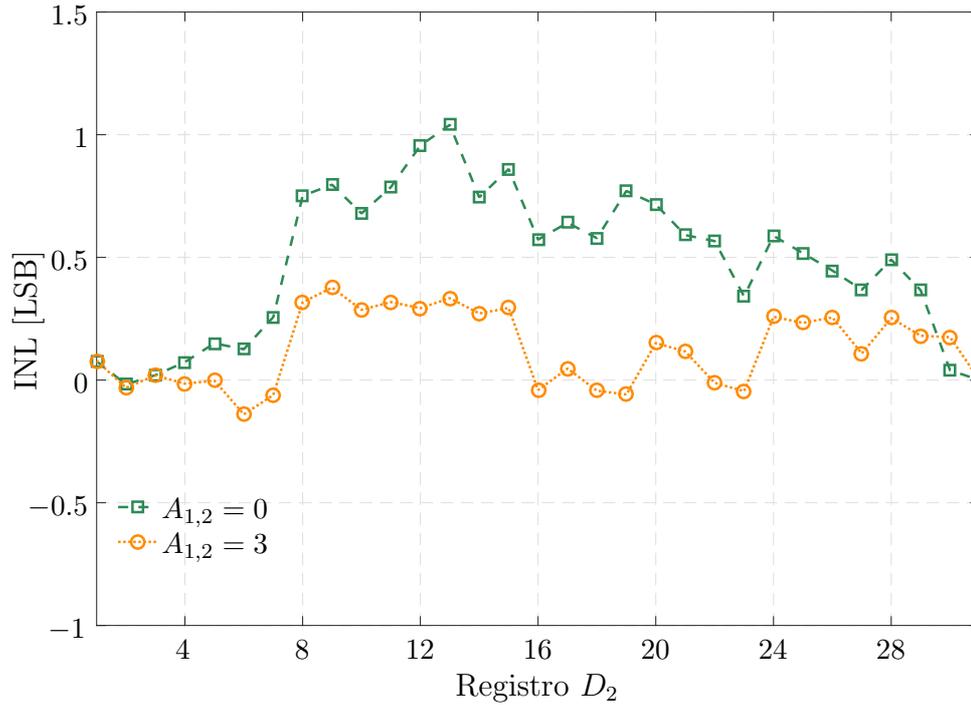


Figura 6.6: INL del paso de retardo  $\tau$  medido, dos calibraciones.

### 6.3.4. Retardo de propagación mínimo

Mediante la estrategia presentada en la Sección 5.2.3 se logra un incremento en el ancho de pulso de salida  $d_{out}$  en un rango determinado para cada entrada  $m$ . Conociendo el ancho del pulso de entrada  $d_{in}$ , y configurando todos los registros  $D_i$  en cero, se puede despejar el retardo de propagación mínimo  $t_{DE}$  al relacionar los  $d_{out}$  obtenidos. Así, del diagrama presentado en la Figura 5.6, se obtienen las siguientes relaciones:

$$\begin{aligned}
 t_{DE} &\approx d_{out3} - d_{out2} \\
 t_{DE} &= \frac{d_{out4} - d_{out2}}{2} \\
 t_{DE} &= \frac{d_{out5} - d_{out2}}{4} \\
 t_{DE} &= \frac{d_{out5} - d_{out4}}{2} \\
 t_{DE} &= \frac{d_{out6} - d_{out4}}{4} \\
 &\dots
 \end{aligned} \tag{6.4}$$

En la Figura 6.7 se grafica el retardo de propagación mínimo  $t_{DE}$ , calculado

a partir de algunas de las combinaciones expresadas en (6.4), en función de los registros de calibración  $A_i$ . Se observa una variación máxima  $\Delta t_{\text{DE}} \approx 250$  ps, debido a las distintas combinaciones del multiplexor (mismo valor que el obtenido en la Sección 6.3.1).

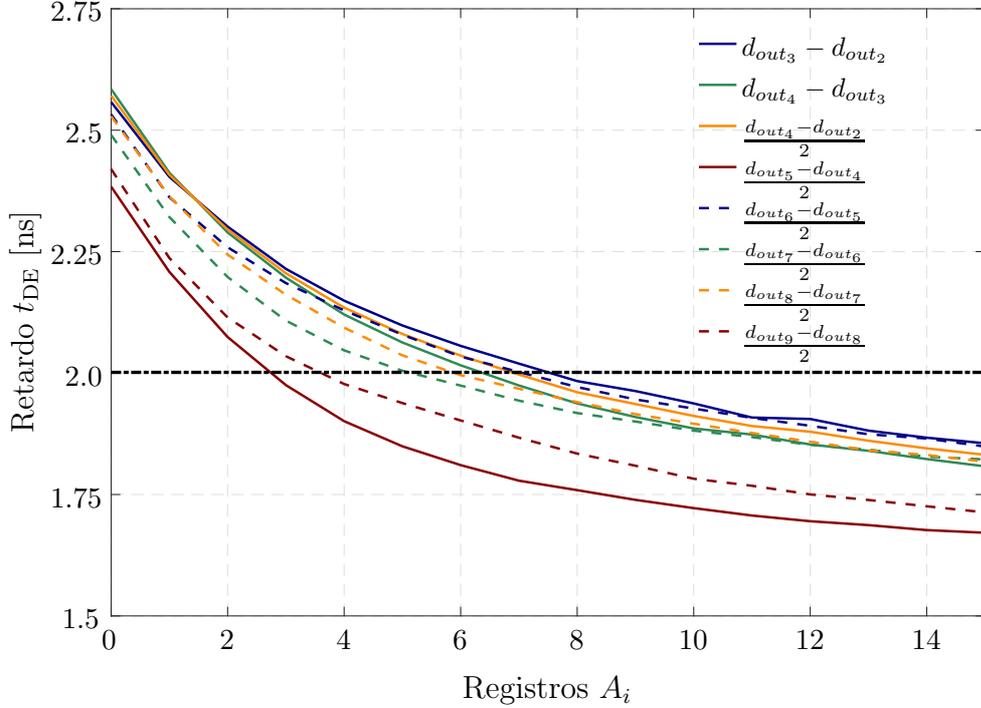


Figura 6.7: Variación del retardo  $t_{\text{DE}}$  en función de los registros  $A_i$ .

En la misma figura se graficó una línea recta correspondiente al valor  $31\tau$  para la calibración  $A_i = 0$ , que representa el mayor retardo programable aportado por cada DE. La relación del retardo  $t_{\text{DE}}$  con el tiempo de resolución expresada en (5.5) es fundamental para lograr el buen desempeño del formador de pulsos. Durante la etapa de diseño se realizaron simulaciones *post-layout* que indicaban un factor  $k = t_{\text{DE}}/\tau \approx 29$ , permitiendo un margen de corrección mediante la variación de  $k$  y los registros de calibración  $A_i$ . Sin embargo, a diferencia de los resultados obtenidos previamente en la Sección 6.3.2 respecto a  $\tau$ , en este caso el retardo  $t_{\text{DE}}$  medido es un 15% mayor que el simulado. De esta forma, resulta imposible realizar una compensación del retardo de propagación mínimo del DE y obtener una variación monótona del ancho de pulso de salida con el funcionamiento previsto.

### 6.3.5. Compensación propuesta

Para explicitar por qué es problemática la condición  $t_{DE} > 31\tau$ , se realizaron mediciones en el formador de pulsos modificando en forma conjunta los registros  $sel_{DBG}$ ,  $D_{2,DBG}$  y  $D_{3,DBG}$ , simulando las condiciones normales de trabajo con  $k = 31$  y los registros de calibración configurados en  $A_i = 0$ , en un rango de  $\{0 : 600\}$  de la parte menos significativa del registro  $pwm_Q$ . En la Figura 6.8 se muestra la DNL obtenida al relacionar el paso temporal para cada valor de  $pwm_Q$  y el paso promedio  $\tau_\mu$  obtenido en la Sección 6.3.2. Puede observarse que la variación en el ciclo de trabajo cuando se conmuta de una entrada del multiplexor a la siguiente es varias veces mayor a  $\tau$ .

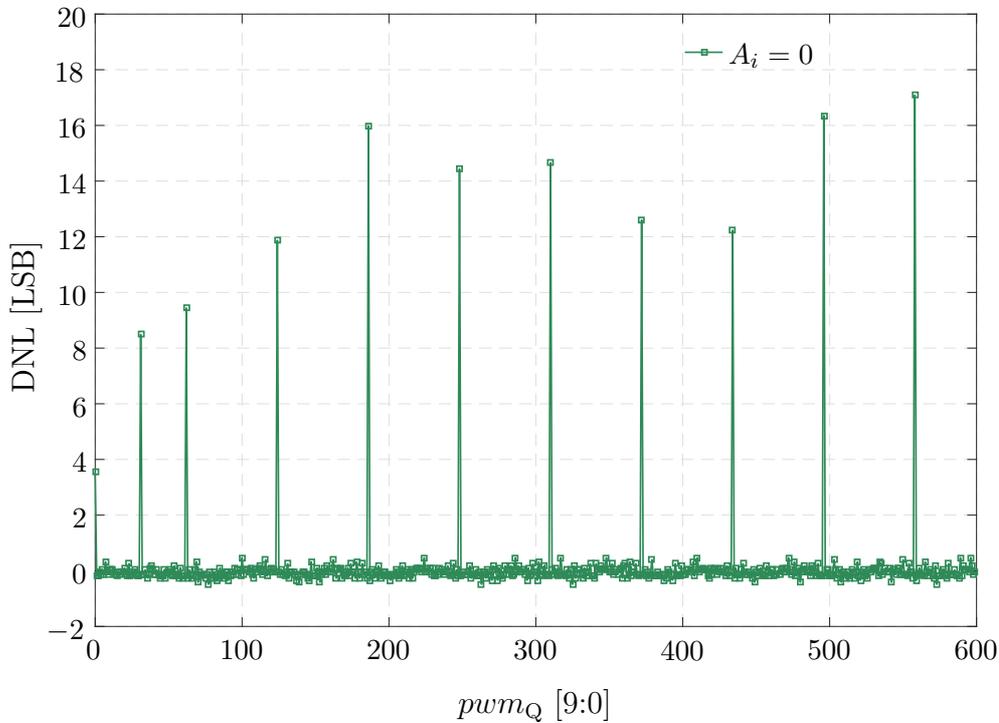


Figura 6.8: DNL del paso de retardo  $\tau$  medido, registros  $A_i = 0$ .

Si se pretende obtener un aumento lineal y monótono en el ciclo de trabajo, se debe lograr que la resolución del formador de pulsos sea en pasos de  $\tau$  incluso en los cambios de entrada del multiplexor, minimizando los picos observados en la Figura 6.8.

Durante el funcionamiento normal del formador de pulsos, la entrada 2 del multiplexor está activa para códigos de entrada entre 1 y  $k$ , donde  $k < 32$ . El retardo máximo producido es de  $k\tau_2$ , ya que los retardos de propagación  $t_{DE_1}$  y  $t_{DE_2}$  se compensan (para acentuar esta característica, en este análisis

se denominara  $t_{DE_{cmp}}$  a  $t_{DE_1}$ ). El retardo mínimo en la siguiente entrada del multiplexor es  $t_{DE_3} + \tau_2$ , por lo que el intervalo temporal en cada caso es:

$$t_{2(D_2=k)} = t_{DE_2} + k\tau_2 - t_{DE_{cmp}}$$

$$t_{3(D_2=1)} = t_{DE_2} + t_{DE_3} + \tau_2 - t_{DE_{cmp}}$$

Dado que idealmente  $t_{DE_2} = t_{DE_{cmp}}$ :

$$t_{2(D_2=k)} = k\tau_2$$

$$t_{3(D_2=1)} = t_{DE_3} + \tau_2$$

$$\Delta t_{32} = t_{DE_3} - (k-1)\tau_2$$

De forma análoga, para el cambio entre las entradas 3 y 4 del multiplexor:

$$\Delta t_{43} = t_{DE_4} - (k-1)\tau_2$$

Para las siguientes entradas del multiplexor el aumento del retardo es con pares de DE, usando como registros programables  $D_{2\_DBG}$  y  $D_{3\_DBG}$ . El cambio en el retardo entre las entradas 4 y 5 es:

$$\Delta t_{54} = t_{DE_{5a}} + t_{DE_{5b}} - (k-1)\tau_2 - k\tau_3$$

En todos los casos anteriores se pretende que  $\Delta t_{32} \approx \Delta t_{43} \approx \Delta t_{54} \approx \tau_2$ , de lo que se desprende:

$$t_{DE_3} = k\tau_2 \tag{6.5}$$

$$t_{DE_4} = k\tau_2 \tag{6.6}$$

$$t_{DE_{5a}} + t_{DE_{5b}} = k(\tau_2 + \tau_3) \tag{6.7}$$

La Figura 6.9 se puede utilizar para graficar estas últimas condiciones. En el lado izquierdo se observa que (6.5) y (6.6) sólo pueden cumplirse cuando la calibración  $DE_2$  está en su valor mínimo,  $A_2 = 0$ , indicado de la forma  $\tau_2(0)$ . Los valores que puede adoptar  $k$  están en el rango  $\{29 : 31\}$ . Cuando el registro de

calibración  $A_2 = 1$ ,  $t_{DE_3} > 31\tau_2$ , por lo que se descarta el uso de un valor distinto a cero en el registro de calibración de  $DE_2$ .

En el lado derecho de la Figura 6.9 se grafican algunas curvas que se corresponden con la condición (6.7), la cual debe cumplirse para todas las entradas del multiplexor a partir de la 5. Se observa que los valores de  $A_3$  que permiten cumplir con la misma están en el rango  $\{0 : 2\}$ . Sin embargo, volviendo al gráfico de la izquierda y seleccionando los valores de  $t_{DE_3}$  para estas calibraciones, ninguno cumple con (6.5). Bajo estas circunstancias se adopta la relación de compromiso  $A_1 = A_2 = A_3 = 0$  y  $k = 31$ , que permite cumplir con (6.6) y (6.7) utilizando valores en el rango medio de  $A_i$  para el resto de los elementos de retardo, además de brindar un paso de retardo uniforme  $\tau_2 = \tau_3$  para todos los códigos  $pwm_Q$  [9:0] desde 0 a 620 (en este rango de valores el incremento en el ancho de pulso de salida es obtenido únicamente mediante la programación de  $DE_2$  y  $DE_3$ , y la selección de entrada del multiplexor). Lógicamente, el intervalo temporal de varios  $\tau$  que se produce entre las combinaciones 31 y 32 no puede evitarse.

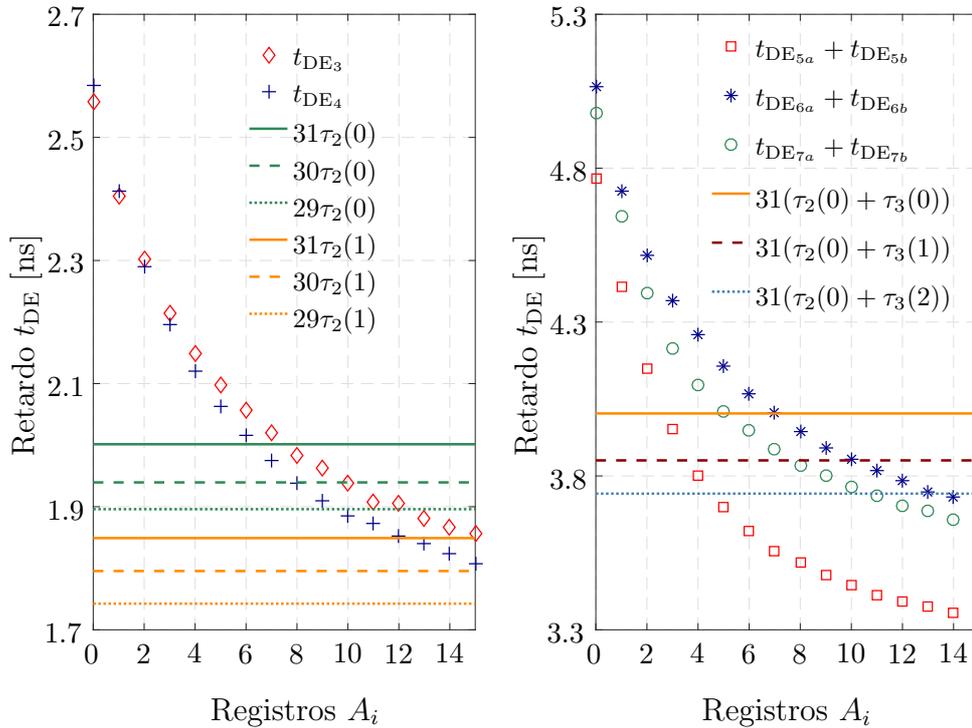


Figura 6.9: Relación entre distintos  $t_{DE_i}$  y  $k\tau_i$ , en función de la calibración  $A_i$  y utilizando  $k$  como parámetro.

La Tabla 6.1 muestra los valores óptimos de los registros  $A_i$  calculados de acuerdo a las mediciones realizadas, los cuales fueron comprobados mediante un

modelo del formador de pulsos diseñado en Matlab con los parámetros medidos. Algunos registros fueron modificados para mejorar la DNL, lo que se indica en la tabla mediante una flecha, mientras que en algunos pares de DE poseen valores levemente distintos y se indica con la cantidad entre paréntesis.

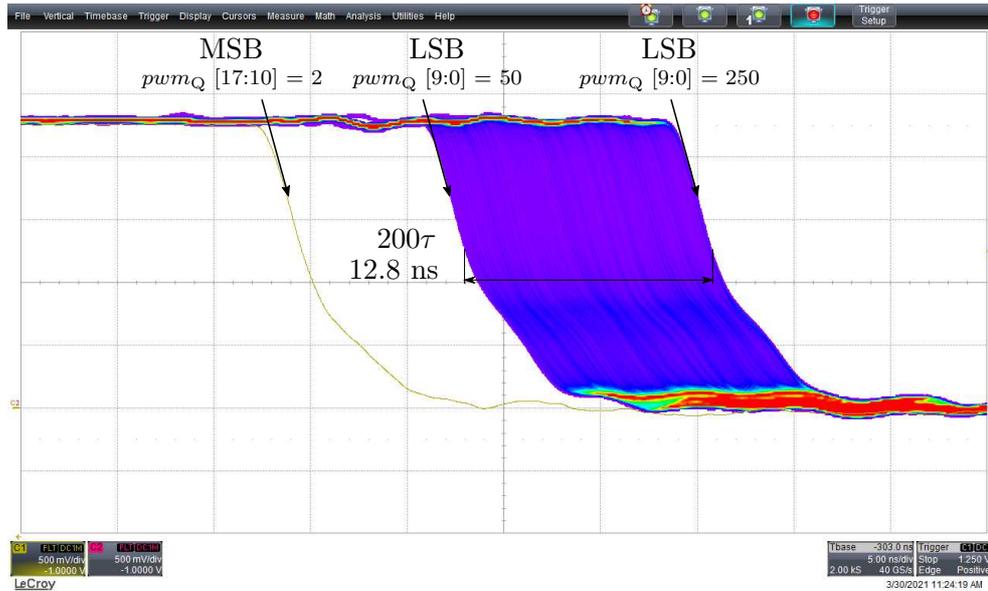
Registros de calibración					
$A_{cmp}$	$A_2$	$A_3$	$A_4$	$A_{5a} = A_{5b}$	$A_{6a} = A_{6b}$
0	0	0	6 → 7	3 → 4	7 → 6
$A_{7a} = A_{7b}$	$A_{8a} = A_{8b}$	$A_{9a} = A_{9b}$	$A_{10a} = A_{10b}$	$A_{11a} = A_{11b}$	$A_{12a} = A_{12b}$
5 → 6	6	4	4 → 3	7(8)	6(7)

Tabla 6.1: Calibración óptima basada en las mediciones realizadas.

## 6.4. Evaluación en modo *Normal*

En el modo de operación *Normal*, la señal que ingresa al formador de pulsos es generada internamente por el módulo DPWM. El ciclo de trabajo de esta señal binaria está dado por la relación entre la parte alta del registro  $pwm_Q$  [17:10] y el registro  $cnt_{PWM}$ , que expresa el periodo de PWM como una cantidad de periodos de reloj,  $T_{clk}$ . Esta señal fue proporcionada por la FPGA, utilizando una frecuencia de  $f_{clk} = 5$  MHz ( $T_{clk} = 200$  ns) para esta primera evaluación del formador de pulsos.

El osciloscopio se configuró de manera similar a las mediciones anteriores, adquiriendo las señales presentes en las salidas **PWM\_1** y **PWMHR\_P** (señales PWM de baja y alta resolución, respectivamente). Para analizar el comportamiento del sistema en este modo de operación, se grabaron 201 palabras de la memoria RAM con la parte alta del código digital fija ( $pwm_Q$  [17:10] = 2, mínimo valor programable) mientras que la parte baja  $pwm_Q$  [9:0] se grabó con valores consecutivos desde 50 a 250. En la Figura 6.10 se muestra una captura del osciloscopio para el flanco descendente de ambas señales PWM. La opción de persistencia en el canal correspondiente a la señal **PWMHR\_P** permite apreciar la variación en el ancho de pulso, con un rango total equivalente a  $200\tau$ .

Figura 6.10: Flanco descendente de las salidas **PWM\_1** y **PWMHR\_P**.

### 6.4.1. Variación en el ancho de pulso de salida

La medición del rango completo de variación en el ancho de pulso de salida se realizó mediante el siguiente procedimiento:

- Todos los registros de calibración  $A_i$  fueron configurados de acuerdo a los valores óptimos mediante la comunicación SPI. Además se configuraron los registros de control del PWM con los valores indicados en la Tabla 6.2.

Registro	Valor	Función
$cnt_{PWM}$	$05_h$	Periodo del PWM: $5 T_{clk} = 1 \mu s$
$ctrl_{PWM}$	$0F_h$	<b>PWM_1</b> y <b>PWM_2</b> habilitadas, misma polaridad
$size_{PWM}$	$00A_h$	RAM utilizada: 10 palabras de 18 bits
$cfg_{PWMHR}$	$1F_h$	Cuentas por celdas de retardo: $k = 31$

Tabla 6.2: Configuración de registros en modo *Normal*.

- Se grabaron las 10 primeras palabras de la memoria RAM con el código hexadecimal  $800_h = 00\ 0000\ 1000\ 0000\ 0000_b$ , donde la parte alta de esta palabra digital quedó fija en  $pwm_Q [17:10] = 2_d$ , y se aumentó de forma iterativa la parte baja,  $pwm_Q [9:0]$ . La variación en el ancho del pulso de salida esperada es entre  $2T_{clk} = 400\ ns$  y  $2T_{clk} + 1024\tau \approx 460\ ns$ .

En la Figura 6.11 se muestra la variación medida en el ancho de pulso de salida  $d_{out}$  con respecto al código  $pwm_Q [9:0]$ . Se puede observar que su comportamiento

es descrito con rectas de distinta pendiente, debido a los distintos valores de los registros  $A_i$ . La variación máxima es  $\approx 58.7$  ns; si se considera un paso de retardo uniforme  $\tau'_{LSB} = \frac{d_{out(max)}}{1024} = 57.3$  ps, la variación ideal del ancho de pulso sería la descrita con línea discontinua en el gráfico.

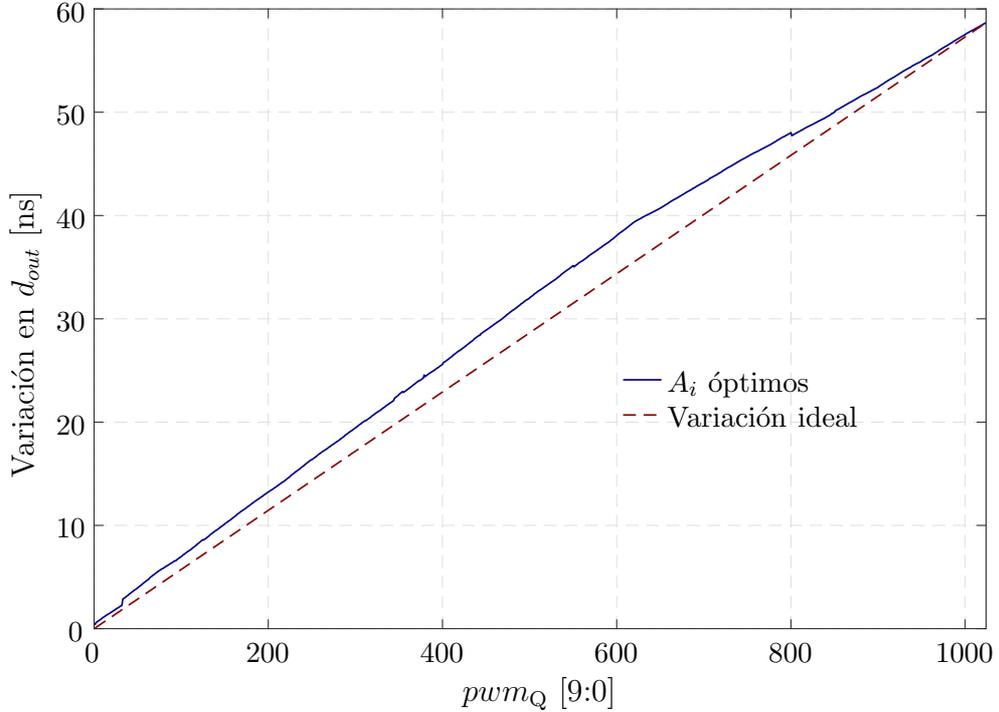


Figura 6.11: Variación medida en el ancho de pulso  $d_{out}$ .

Si se analiza el rango de  $pwm_Q$  [9:0] desde 0 a 620 donde el paso de retardo  $\tau$  es uniforme, ya que queda definido solo por los registros  $A_{1,2,3} = 0$ , resulta que  $\tau = 63.5$  ps, una variación de  $-1.7\%$  respecto al valor medido previamente (Sección 6.3.2). Esta disminución se debe a variaciones de temperatura entre mediciones, que podrían haber sido compensadas con cambios en los registros de calibración si la condición  $t_{DE} < k\tau$  hubiese estado garantizada. Otra variación atribuible a la temperatura se observa entre las combinaciones 800 y 801: entre estos códigos no hay ningún cambio de entrada del multiplexor (el último se realiza para el valor 559, reemplazar con  $k = 31$  y  $n = 12$  en la Tabla 5.2), sino que las mediciones en el rango  $\{801 : 1023\}$  se realizaron en ensayos distintos a las del rango  $\{0 : 800\}$ <sup>1</sup>.

En la Figura 6.12 se muestra la DNL del formador de pulsos, calculado a

<sup>1</sup>Debido a las medidas excepcionales adoptadas por la pandemia causada por el Coronavirus (COVID-19), los ensayos de laboratorio estuvieron condicionados a permisos puntuales y fueron realizados en momentos específicos y espaciados en el tiempo.

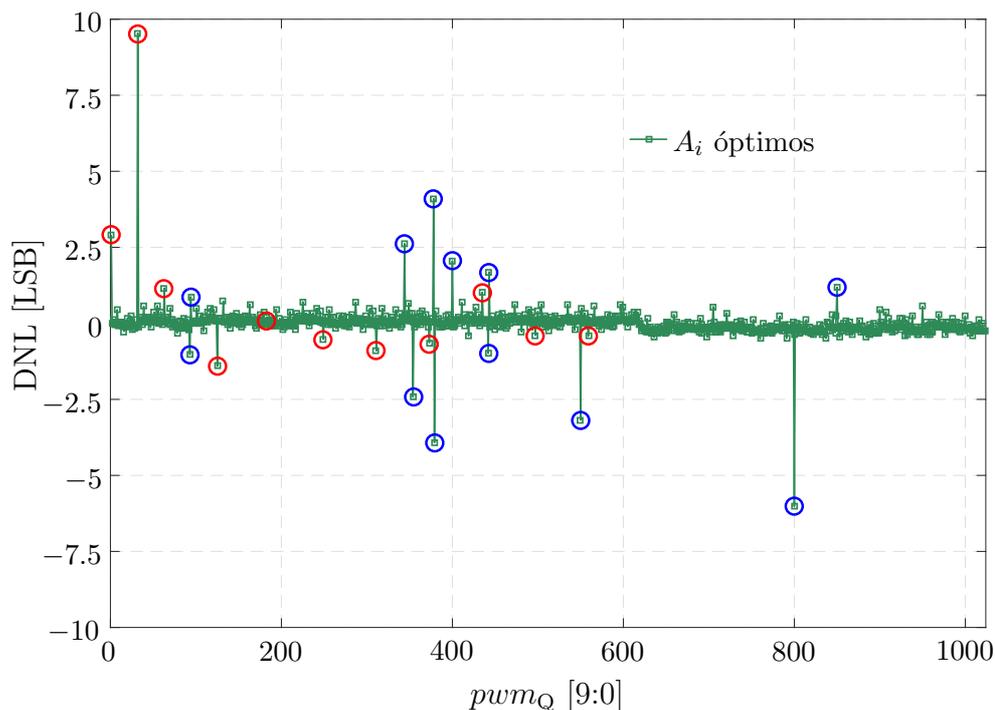


Figura 6.12: DNL de los datos medidos, calibración óptima.

partir de los datos medidos, tomando como referencia el paso de retardo ideal  $\tau'_{LSB} = 57.3$  ps. Si se compara con la DNL presentada en la Figura 6.8, puede observarse que ésta ha sido mejorada en gran medida. Los círculos en color rojo indican las variaciones del ancho de pulso que se corresponden con los cambios de entrada activa del multiplexor. Estas se encuentran dentro de un margen  $< 1$  LSB, exceptuando entre los códigos 31-32 donde toma el valor 9.5 LSB y no puede compensarse, y entre los valores 124-125 donde es de  $-1.4$  LSB y podría mejorarse aumentando levemente  $t_{DE4}$ . Los restantes valores que superan este margen, indicados con círculos en color azul, son debido a errores en la medición y no tienen correlación con el funcionamiento del formador de pulsos.

### 6.4.2. Evaluación del modulador de alta resolución

Para verificar el buen funcionamiento del modulador por ancho de pulsos de alta resolución, y evaluar cuánto afecta al desempeño la transferencia no lineal del formador de pulsos, se realizaron diversas simulaciones previas a las mediciones. Una manera de analizar los efectos de la cuantización no uniforme es evaluar la distorsión en el espectro. En el espectro de una señal sinusoidal  $x(t)$  modulada con PWM uniforme, el valor de las componentes armónicas causadas por la

modulación predominan respecto a la distorsión introducida por las no linealidades. Se decidió entonces utilizar la modulación PWM sin distorsión en banda base [99] (BBDFPWM por sus siglas en inglés), con la cual se logra disminuir la amplitud de los armónicos por debajo de 100 dB con respecto a la fundamental en un modulador ideal de la misma resolución que el diseñado.

Considerando un período de reloj igual al rango máximo del formador de pulsos  $T_{\text{clk}} = 58.7$  ns, se configura la señal de reloj proporcionada por la FPGA con frecuencia  $f_{\text{clk}} = 17.045$  MHz. Se elige utilizar  $M = f_{\text{clk}}/f_{\text{pwm}} = 170$  pasos de resolución en el ajuste grueso, para lograr una frecuencia de PWM cercana a 100 kHz ( $f_{\text{pwm}} = 100.26$  kHz,  $T_{\text{pwm}} = 9.97$   $\mu\text{s}$ ). Se calcularon los  $N_x$  ciclos de trabajo sin distorsión en banda base para distintas frecuencias de  $x(t)$ , con  $f_x = f_{\text{pwm}}/N_x$ . Algunos valores se resumen en la Tabla 6.3:

		$M = 170$	$N_x = 5$	6	7	...	100
	$f_{\text{clk}}$ [MHz]	$f_{\text{pwm}}$ [kHz]	$f_x$ [kHz]				
<b>Frecuencia</b>	17.045	100.26	20.05	16.71	14.32	...	1.002
<b>Periodo</b>	58.7 ns	9.97 $\mu\text{s}$	49.7 $\mu\text{s}$	59.8 $\mu\text{s}$	69.8 $\mu\text{s}$	...	997.3 $\mu\text{s}$

Tabla 6.3: Parámetros de las señales PWM generadas.

Para comparar el desempeño de ambas modulaciones se simuló cada señal PWM con las siguientes condiciones:  $f_x = 5$  kHz,  $f_{\text{pwm}} = 100$  kHz, y una cuantización ideal de 18 bits. Como en los casos previos, las señales fueron filtradas con un pasabajos, la componente de continua fue eliminada y se calcularon los espectros normalizando al valor de la fundamental, utilizando la función de Matlab que devuelve la relación señal a ruido más distorsión. En la Figura 6.13 se muestran los espectros para cada caso: la imagen (a) corresponde a la señal PWM uniforme, mientras que la (b) es de la PWM sin distorsión en banda base. Los valores de relación señal a ruido más distorsión obtenidos fueron de 23 y 109 dB respectivamente (aunque en la figura no puede apreciarse por la escala utilizada, el ruido es graficado con color rojo al igual que las componentes armónicas y su potencia en el ancho de banda seleccionado es incluida en el cálculo). En base a lo expuesto, se demuestra que la modulación BBDFPWM es apropiada para evaluar el desempeño del modulador PWM de alta resolución y sus no linealidades.

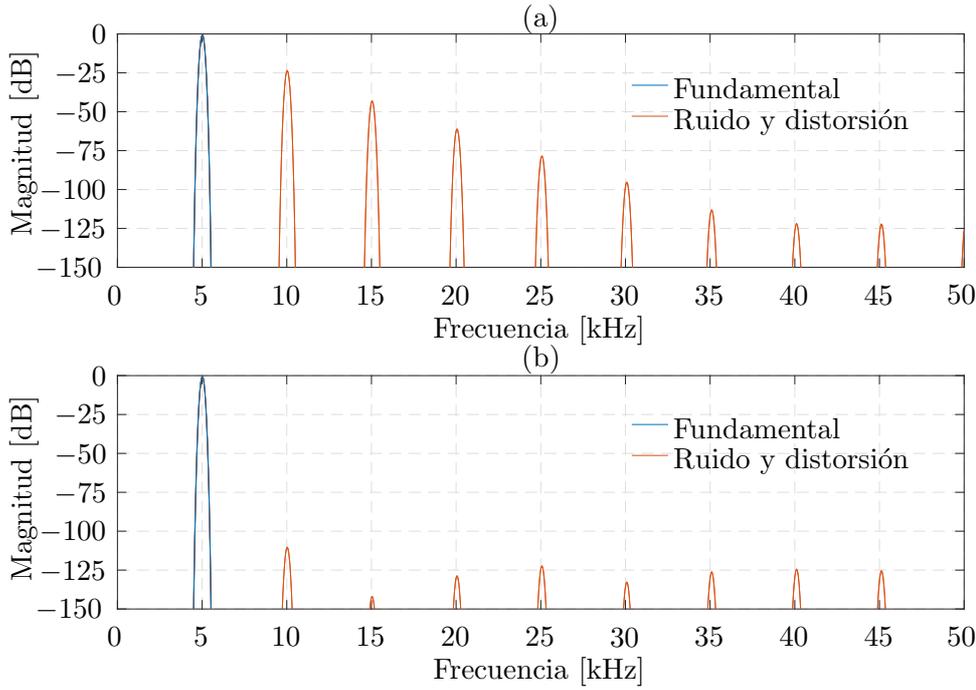


Figura 6.13: Espectros en frecuencia simulados para las señales PWM uniforme y BBDFPWM ( $f_x = 5$  kHz,  $f_{\text{pwm}} = 100$  kHz, cuantización de 18 bits).

### 6.4.3. Respuesta temporal y compensación

- Para salvar una omisión hecha durante la codificación en HDL, los ciclos de trabajo programados en el chip se calcularon para un rango menor a  $T_{\text{pwm}}/2$  (ver mayores detalles en el Apéndice B.3). Se calcularon los valores de memoria para una cuantización de  $M \times N = 174080$ , equivalente a 17.4 bits de resolución, y luego se realizó una compensación utilizando la caracterización previa del formador de pulsos.
- Los elementos de retardo fueron calibrados con sus valores óptimos y se midieron los anchos de pulso para  $N_x = \{5 ; 8 ; 10\}$ , que se corresponden con las frecuencias de señal  $f_x = \{20.05 ; 12.53 ; 10.03\}$  kHz.
- Para cada una de las frecuencias mencionadas se realizaron 100 capturas aleatorias del periodo con el osciloscopio, configurado con una resolución de 400 ps (con la interpolación lineal de  $\times 10$  en Matlab se aumentó la resolución a 40 ps.).

La Tabla 6.4 resume los valores programados y medidos para  $N_x = 5$ ,  $f_x = 20.05$  kHz; una tabla similar puede realizarse para las otras frecuencias ensayadas.

$n$	$d[n]$	$d_{out-id}$	$pwm_Q$	MSB	LSB	$\epsilon_1$	$LSB_{cmp}$	$\epsilon_2$
1	0.0292	0.292 $\mu s$	5091	4	995	1.155 ns	970	-123 ps
2	0.3345	3.336 $\mu s$	58222	56	878	1.911 ns	839	47 ps
3	0.4975	4.962 $\mu s$	86608	84	592	4.217 ns	521	-192 ps
4	0.2846	2.838 $\mu s$	49542	48	390	3.119 ns	341	-14 ps
5	0.1042	1.039 $\mu s$	18136	17	728	3.545 ns	655	-81 ps

Tabla 6.4: Ancho de pulso ideal y errores medidos, antes y después de la compensación.

En la misma se presentan los valores de cada ciclo de trabajo  $d[n]$ , los anchos de pulso ideales  $d_{out-id}$  y el valor guardado en la memoria  $pwm_Q$  [17:0]. A partir de éste último se pueden separar los valores aplicados al DPWM (parte alta,  $pwm_Q$  [17:10] indicado como MSB) y los que son aplicados al formador de pulsos (parte baja,  $pwm_Q$  [9:0] señalado como LSB). En la columna siguiente se muestra el error  $\epsilon_1 = d_{out-med} - d_{out-id}$  obtenido de comparar el ancho de pulso medido  $d_{out-med}$  (promedio) con el ideal. Puede observarse que en todos los casos el error es por exceso, y su valor absoluto es mayor en el rango medio de LSB donde el error acumulado tiene un máximo (Figura 6.11). Utilizando esta caracterización del formador de pulsos, se aplicó una función que compensa el error modificando el valor LSB a escribir en la memoria, el cual se indica en la tabla como  $LSB_{cmp}$ . Las formas de onda medidas en este caso tienen un error  $\epsilon_2$  que se mantienen en un rango  $\pm 200$  ps con respecto al ancho ideal.

#### 6.4.4. Espectro medido de las señales PWM

Los espectros de frecuencia de las señales PWM fueron obtenidos mediante el analizador dinámico de señales SR785 conectado a las salidas **PWM\_1** y **PWMHR\_P**. El ancho de banda fue configurado en 50 kHz, las señales fueron desacopladas en continua y se aplicó un promediado de 100 barridos para obtener una imagen más estable.

La Figura 6.14 muestra los espectros obtenidos cuando el sistema opera con las mismas frecuencias de reloj y de PWM que en las secciones anteriores, con  $N_x = 20$ ,  $f_x = 5.01$  kHz. La imagen superior es el espectro de la señal PWM de alta resolución, la cual exhibe un rango dinámico  $\approx 90$  dB. Si existe alguna

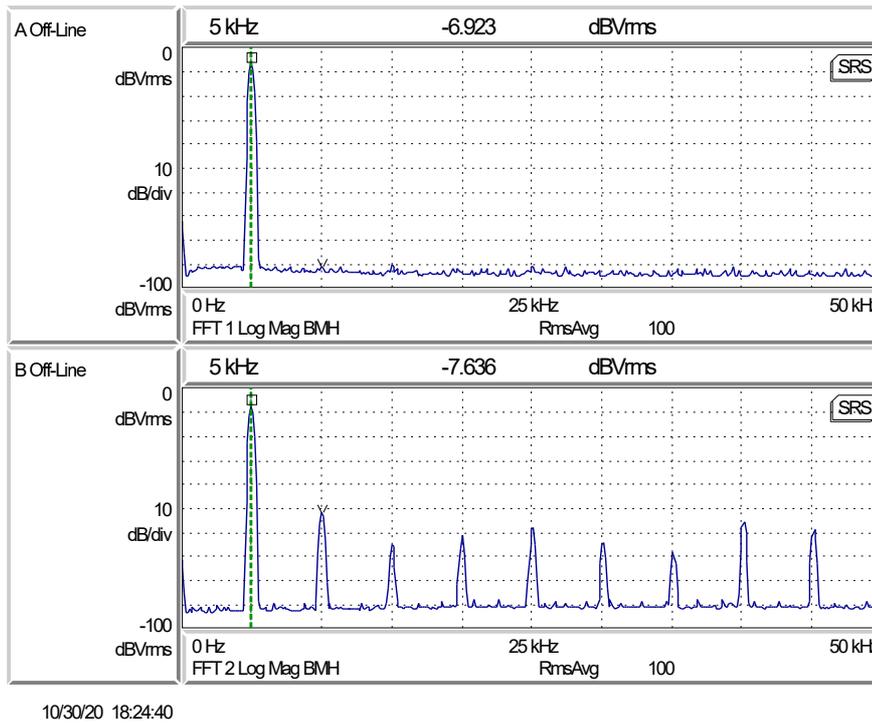
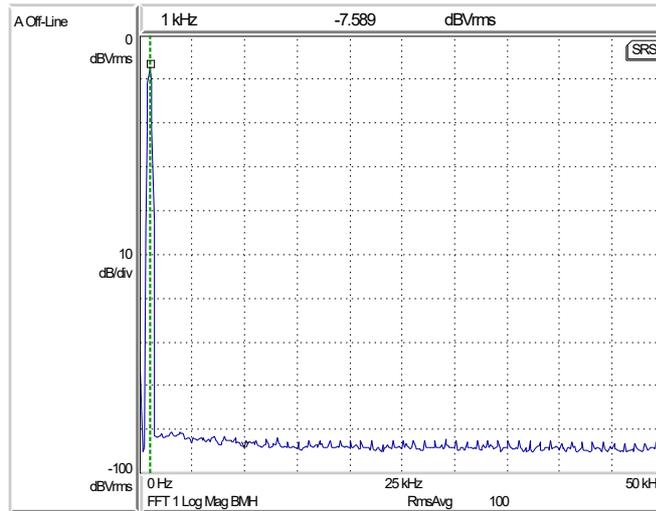


Figura 6.14: Espectros en frecuencia medidos para las señales PWM de alta resolución (arriba) y PWM convencional (abajo),  $f_x = 5.01$  kHz,  $f_{pwm} = 100.26$  kHz.

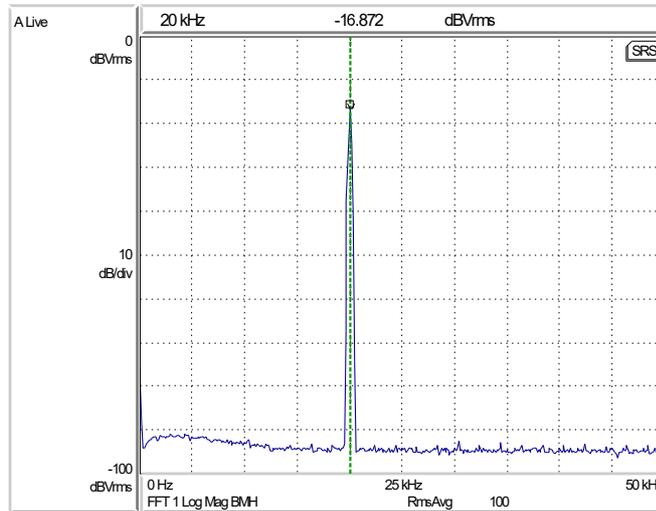
componente armónica debido a una transferencia no lineal en el formador de pulsos, no es posible observarla ya que su magnitud es menor al piso de ruido del instrumento. El espectro mostrado en la parte inferior de la figura corresponde a la señal PWM de baja resolución. Aunque sus ciclos de trabajo son calculados para no tener distorsión en el ancho de banda desde 0 a  $f_{pwm}/2$ , la resolución equivalente a 7.4 bits que aporta el PWM basado en contador es insuficiente para disminuir la magnitud de las componentes armónicas.

Resultados similares se lograron para los distintos valores de  $f_x$  evaluados, en un rango desde  $f_x = \{1 - 20.05\}$  kHz ( $N_x = \{100 - 5\}$ ). En la Figura 6.15 se muestran dos espectros en frecuencia medidos para la señal PWM de alta resolución, para frecuencias de señal  $f_x$  en los extremos del rango citado: el espectro mostrado en (a) se corresponde con una  $f_x = 1$  kHz, mientras que el de (b) es para  $f_x = 20.05$  kHz. Todos los espectros medidos muestran un amplio rango dinámico sin distorsión apreciable, limitado por el piso de ruido del instrumento de medición. El rango dinámico libre de espurios (SFDR) de la señal HRPWM fue calculado en el ancho de banda entre 250 Hz y 24 kHz para todos los valores de  $f_x$ , y los resultados se muestran en la Figura 6.16.



10/30/20 18:30:51

(a)



10/30/20 18:04:28

(b)

Figura 6.15: Espectros en frecuencia medidos de la señal PWM de alta resolución: (a)  $f_x = 1$  kHz, (b)  $f_x = 20.05$  kHz.

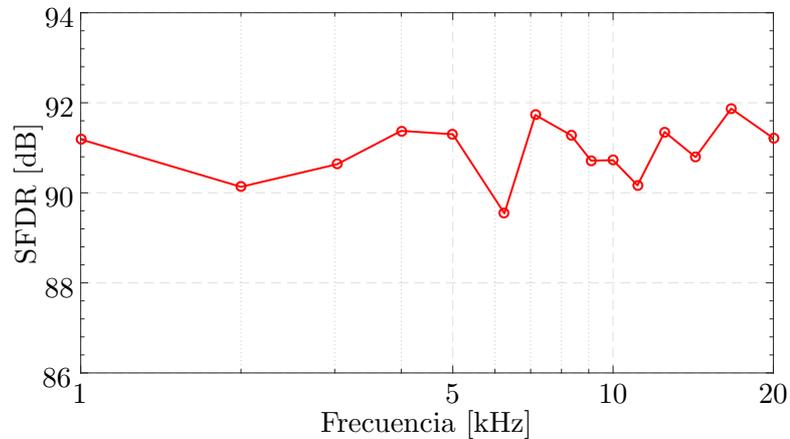


Figura 6.16: Rango dinámico libre de espurios para todos los valores de  $f_x$ .

## 6.5. Conclusión

La Tabla 6.5 resume los parámetros más importantes obtenidos de los ensayos experimentales al chip CI-PWM. A pesar de que la topología propuesta no pudo ser utilizada de la forma prevista debido a variaciones de proceso mayores a las simuladas (para futuras implementaciones esto puede resolverse estableciendo un rango de ajuste mayor en el retardo temporal de cada elemento), la solución empleada de compensar los ciclos de trabajo guardados en la memoria usando la caracterización del formador de pulsos permitió obtener una muy buena linealidad, con una precisión en el posicionamiento de los flancos de la señal binaria cuyo error es menor a los 200 ps. En los espectros en frecuencia medidos para las señales moduladas por ancho de pulso no pueden observarse componentes armónicas debido a estas imprecisiones o a una limitada cantidad de niveles de cuantización, ni siquiera considerando que las señales modulantes utilizan la mitad del rango esperado, exhibiendo un gran rango dinámico  $> 89$  dB en todos los casos y limitado por el instrumento de medición utilizado.

Tecnología de fabricación	130 nm
Tensión de alimentación [V]	2.5 / 1.2
Resolución máxima [pasos (bits)]	262144 (18) <sup>†</sup>
LSB [ps]	41 – 65
DNL [LSB]	1 <sup>†</sup>

Tabla 6.5: Parámetros de desempeño del chip CI-PWM.

<sup>†</sup> Considerando las excepciones previas.

Para finalizar, en la Tabla 6.6 se comparan otros moduladores HRPWM del estado del arte con los parámetros medidos del chip CI-PWM. Dado que cada uno fue diseñado para diferentes aplicaciones, ninguno de los trabajos citados comparte las mismas características.

	CI-PWM	[53] <sup>§</sup>	[41]	[43]
Tipo	<b>DPWM Híbrido</b>	DPWM + DLL	DPWM Híbrido	DPWM con celdas estándar
Tecnología de fabricación [nm]	<b>130</b>	130	250	130
Tensión de alimentación [V]	<b>1.2</b>	1.2	2.5	1.2
Resolución máxima [bits]	<b>18</b>	8	11 <sup>‡</sup>	18
Min. LSB [ps]	<b>41</b>	340	195	61
DNL [LSB]	<b>1</b>	0.5	0.75	2.17 <sup>†</sup>
Área [mm <sup>2</sup> ]	<b>0.376</b>	0.007	0.15	0.182
Potencia [ $\mu$ W]	<b>380</b>	228	2360	14000
@ frecuencia	<b><math>f_{\text{clk}} = 17 \text{ MHz}</math></b>	$f_{\text{clk}} = 11.6 \text{ MHz}$	$f_{\text{clk}} > 10 \text{ MHz}$	$f_{\text{clk}} = 10 \text{ MHz}$
	<b><math>f_{\text{pwm}} = 100 \text{ kHz}</math></b>	$f_{\text{pwm}} = 11.6 \text{ MHz}$	$f_{\text{pwm}} = 10 \text{ MHz}$	$f_{\text{pwm}} = 100 \text{ kHz}$

Tabla 6.6: Comparativa de PWM de alta resolución.

<sup>§</sup> Resultados de simulación *post-layout*.

<sup>†</sup> Valor de INL (el valor de DNL no es proporcionado).

<sup>‡</sup> Resolución para  $f_{\text{pwm}} = 10 \text{ kHz}$ ; a la frecuencia de  $f_{\text{pwm}} = 10 \text{ MHz}$  la resolución es 9 bits.

En términos de bits de resolución y del paso temporal del LSB, el DPWM basado en celdas estándar en [43] y el propuesto en esta tesis tienen las resoluciones más altas de la tabla, compartiendo el mismo proceso tecnológico y con frecuencias de operación similares. El menor consumo de potencia medido en el CI-PWM indica una clara ventaja respecto al primero. El DPWM + DLL en [53] presenta los mejores valores de linealidad y con la ventaja de operar a mayores frecuencias, pero su resolución está limitada a sólo 8 bits, por lo que tiene un ruido de cuantización similar a los DPWM convencionales. El DPWM híbrido en [41] tiene el mismo rango de frecuencias de operación y una resolución similar al anterior, logrando una mejora de la misma al disminuir la frecuencia de trabajo, aunque su consumo de potencia es muy superior. La resolución máxima alcanzada en ambos circuitos integrados se mantiene por debajo de los 18 bits, siendo el chip CI-PWM el que presenta los mejores parámetros de desempeño dentro de los moduladores PWM de alta resolución citados.

# Capítulo 7

## Modulación por ancho de pulso basada en tabla

### 7.1. Introducción

LA modulación por ancho de pulso (PWM) es ampliamente utilizada en los transmisores de radiofrecuencia digitales, al permitir codificar la información a transmitir en un tren de pulsos binario apto para ser amplificado con un amplificador de potencia conmutado (SMPA). En este capítulo se propone la aplicación de una técnica de modulación PWM con una baja relación de pulsos cuyo espectro contiene una banda libre de distorsión, relajando las características de filtrado necesarias en el transmisor.

A continuación, se realiza un análisis comparativo de la arquitectura propuesta junto a otras modulaciones PWM utilizadas en transmisores digitales, donde se discuten las ventajas e inconvenientes que presenta cada una de ellas, tanto en el dominio temporal (formas de onda y efectos derivados de la implementación) como en el dominio de la frecuencia (contenido armónico). Este análisis incluye extensas simulaciones, considerando el impacto de las relaciones entre las frecuencias involucradas y la resolución temporal del sistema.

Por último, los resultados obtenidos de las simulaciones se ratifican mediante ensayos experimentales, donde se implementan dos variantes de la modulación propuesta. Así, se demuestra el correcto desempeño de la misma y su viabilidad para ser aplicada en transmisores de RF totalmente digitales.

## 7.2. Transmisores de RF digitales con modulación PWM

En esta sección se analizan dos técnicas que involucran modulación PWM y son ampliamente utilizadas en los transmisores de radiofrecuencia digitales, *Baseband PWM* y RF-PWM. En las arquitecturas *Baseband PWM*, la información de la amplitud  $|x[n]|$  de la señal de banda base  $x[n]$  se codifica en el ancho de pulso de la señal PWM, con frecuencia  $f_s$ . Esta señal es elevada en frecuencia al multiplicarse con una portadora cuadrada de frecuencia  $f_c$  (con  $f_c \gg f_s$ ), la cual previamente fue modulada en fase con  $\angle x[n]$ . La señal PWM ideal tiene un contenido espectral infinito, lo que produce distorsiones cuando la señal PWM de banda base es modulada a la señal pasabanda de RF. Distintas alternativas han sido presentadas para disminuir la distorsión dentro de la banda de frecuencias de interés: en [100, 101] se propone utilizar una modulación PWM limitada en banda para obtener un mejor rango dinámico, aunque la señal generada en este caso no es discreta en amplitud y solo puede usarse con amplificadores lineales; mientras que otros trabajos proponen utilizar modulaciones PWM con múltiples niveles [89, 102] o múltiples fases [103, 104], cuyas arquitecturas requieren el uso de varios amplificadores de potencia para obtener la señal de salida. El análisis realizado en este capítulo es sobre la modulación PWM de banda base (o *Baseband PWM*) apta para ser aplicada a un SMPA. En los transmisores RF-PWM la frecuencia de PWM es igual a la frecuencia de la portadora  $f_c$ , donde el ancho y la fase del pulso son funciones de la amplitud  $|x[n]|$  y la fase  $\angle x[n]$ , respectivamente [105]. Una alternativa para implementar la modulación RF-PWM es mediante la técnica de *outphasing* [106] o amplificación lineal con componentes no lineales (*linear amplification with nonlinear components*, LINC) [107], que permite descomponer una señal con envolvente variable en dos señales con envolvente constante, y de esta forma representar una señal pasabanda como la suma de dos señales moduladas en fase [70]. Distintas variantes que implementan la modulación RF-PWM con esta técnica han sido presentadas en [91, 108, 109], y será la arquitectura utilizada en la comparativa posterior.

### 7.2.1. *Baseband PWM*

Un diagrama de bloques de la modulación *Baseband PWM* se muestra en la Figura 7.1. La amplitud de la señal de banda base  $|x[n]|$  (muestreada a la frecuencia de interpolación  $f_s$ ) se predistorsiona utilizando un estimador de cruce por cero, también conocido como *pseudo-natural PWM*, PNPWM [47]. De esta manera se puede aproximar el comportamiento de una modulación PWM analógica o natural, que resulta en una distorsión reducida comparada con la digital (también conocida como uniforme). Obtenidos los ciclos de trabajo, son aplicados a un modulador por ancho de pulsos uniforme (UPWM) previo a través de una etapa de cuantización, con una resolución dada por la relación entre la frecuencia  $f_a$  y la frecuencia  $f_s$  a la que opera el PWM. La señal  $\angle x[n]$  es utilizada para modular en fase una señal cuadrada bipolar de frecuencia  $f_c$ , previa cuantización de la primera con una resolución dada por la relación entre  $f_\phi$  y  $f_c$ . El producto de ambas señales cuadradas resulta en la señal de RF conocida como *Baseband PWM* [110] (BB-PWM de aquí en adelante).

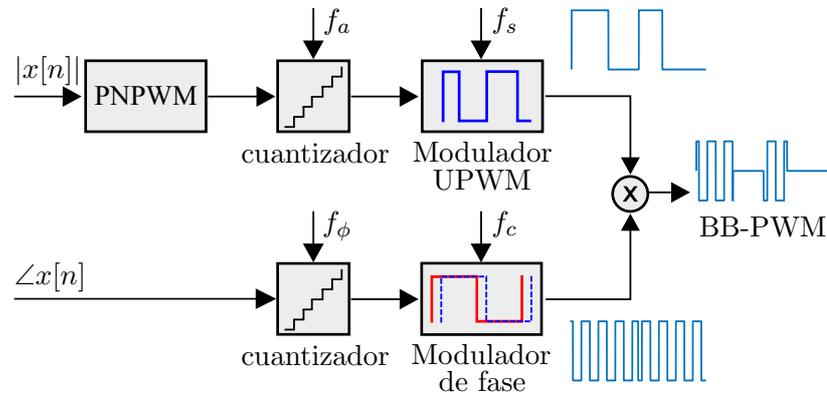


Figura 7.1: Diagrama en bloques de la modulación *Baseband PWM*.

La modulación BB-PWM y los efectos de sus no linealidades en el espectro han sido analizados de forma extensa en [7, 110, 111]. Siguiendo el enfoque presentado en [111], una señal de tiempo continuo  $x(t)$  de banda base que es codificada con PWM natural a frecuencia  $f_s$  se puede expresar como:

$$x_{P, BB}(t) = |x(t)| + \sum_{k=1}^{\infty} \frac{1}{k\pi} \left[ \sin(2\pi k f_s t) - \sin(2\pi k f_s t - 2\pi k |x(t)|) \right] \quad (7.1)$$

donde la amplitud de  $x(t)$  está limitada entre  $0 \leq |x(t)| \leq 1$ . Cuando la señal

en (7.1) es modulada con la portadora (previamente modulada en fase) para generar la señal BB-PWM, es desplazada en frecuencia hacia la frecuencia  $f_c$  y su expresión en el dominio del tiempo es:

$$\begin{aligned} v_{P,RF}(t) &= x_{P,BB}(t) \cdot \cos(2\pi f_c t + \angle x(t)) \\ &= v_{RF}(t) + \sum_{k=1}^{\infty} \frac{1}{k\pi} \left[ \sin(2\pi k f_s t) \right. \\ &\quad \left. - \sin(2\pi k f_s t - 2\pi k |x(t)|) \right] \cos(2\pi f_c t + \angle x(t)) \end{aligned}$$

Dado que la señal de banda base modulada con PWM  $x_{P,BB}(t)$  tiene infinitas componentes espectrales  $k$  en múltiplos de  $f_s$ , el resultado de modular ésta con la señal portadora es el desplazamiento del espectro de la señal PWM hacia  $\pm f_c$ . De acuerdo a la relación  $f_c/f_s$  y al ancho de banda de  $x(t)$ , algunas componentes correspondientes a la señal centrada en  $-f_c$  pueden interferir con la señal deseada  $v_{RF}(t)$  ( $x(t)$  subida en frecuencia hasta  $f_c$ ) en los alrededores de la portadora positiva, y viceversa [110]. Esta situación es conocida como problema de distorsión imagen [111] y es una de las principales limitaciones de la arquitectura BB-PWM.

### 7.2.2. RF-PWM

En los enfoques conocidos como RF-PWM, la frecuencia de PWM es igual a la frecuencia de la portadora  $f_c$ . En [7] se demuestra que para lograr modular en amplitud y fase una señal de banda base utilizando una frecuencia de PWM igual a  $f_c$  se prefiere emplear una modulación PWM de doble flanco, variando los flancos ascendente y descendente de la señal PWM, debido a que la distorsión intrínseca de la PWM de flanco simple introduce una modulación de fase indeseada. La amplitud  $|x[n]|$  de la señal de banda base se debe predistorsionar utilizando una función  $\arcsin(\cdot)$  para obtener los ciclos de trabajo, y éstos deben ser modulados en fase para agregar la información de  $\angle x[n]$ .

Generalmente se prefiere utilizar la forma diferencial de la modulación RF-PWM dado que no tiene componente en CC, además de eliminar los armónicos

pares. La RF-PWM diferencial se puede expresar como [7]:

$$v_{R,RF}(t) = \sum_{k=1,3,\dots}^{\infty} \frac{4}{k\pi} \sin(k\pi d(t)) \cos(2\pi k f_c t + k\angle x(t)) \quad (7.2)$$

donde  $d(t)$  se obtiene al aplicar la función  $\arcsen(\cdot)$  a la componente de amplitud de la señal de banda base:

$$d(t) = \frac{1}{\pi} \arcsen |x(t)|. \quad (7.3)$$

De la ecuación (7.2) se deduce que los armónicos pares son cancelados y el pico más próximo aparece en  $3f_c$ . La modulación RF-PWM diferencial puede ser generada utilizando el principio de *outphasing*, que permite expresar una señal pasabanda  $v(t)$  como la suma de dos señales  $v_1(t)$  y  $v_2(t)$ . Retomando la representación polar de  $v(t)$  expresada en (2.5b) y haciendo el reemplazo  $|x(t)| = \cos(\theta(t))$ , ésta puede ser reescrita como:

$$v(t) = \cos(\theta(t)) \cdot \cos(2\pi f_c t + \angle x(t)) \quad (7.4a)$$

$$v(t) = \frac{1}{2} \left[ \cos(2\pi f_c t + \angle x(t) + \theta(t)) \right] + \frac{1}{2} \left[ \cos(2\pi f_c t + \angle x(t) - \theta(t)) \right] \quad (7.4b)$$

$$v(t) = v_1(t) + v_2(t) \quad (7.4c)$$

donde  $\theta(t)$  es llamado el ángulo de *outphasing*.

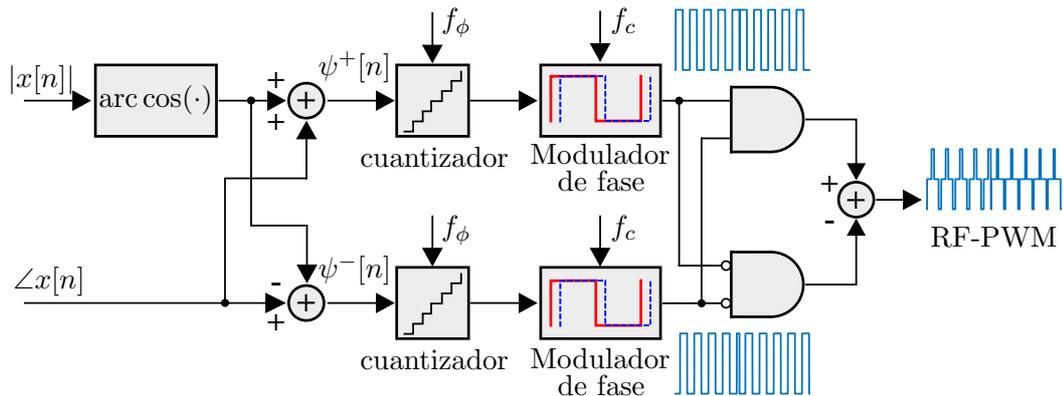


Figura 7.2: Diagrama en bloques de la modulación RF-PWM, implementación mediante *outphasing*.

Codificando la componente de amplitud en  $\theta(t) = \arcsen(|x(t)|)$ , con  $\theta(t)$  en el rango  $[0, \pi/2]$  para  $0 \leq |x(t)| \leq 1$ , y expresando el ángulo  $\pi d(t)$  de la ecua-

ción (7.2) como el complemento del ángulo de *outphasing*, la RF-PWM diferencial se puede implementar mediante la suma de dos señales cuadradas como se indica el diagrama de bloques de la Figura 7.2 [91]. Las señales  $\psi^+[n] = \angle x[n] + \theta[n]$  y  $\psi^-[n] = \angle x[n] - \theta[n]$  son utilizadas para modular en fase sendas portadoras cuadradas de frecuencia  $f_c$ , luego de ser cuantizadas con una resolución dada por la relación entre  $f_\phi$  y  $f_c$ . Por último, ambas portadoras moduladas son combinadas lógicamente para generar la señal RF-PWM diferencial.

### 7.3. PWM basada en tabla

Como alternativa a las modulaciones para transmisores digitales discutidas, se propone una arquitectura que codifica las portadoras de RF generadas por cada símbolo digital utilizando una señal PWM con  $N$  pulsos por período de portadora, siendo  $N$  un entero tan pequeño como sea posible. El uso de una modulación digital PWM uniforme estándar con una relación tan baja entre las frecuencias  $f_{\text{pwm}}/f_c$  es inviable, debido a su distorsión intrínseca [10]. La utilización de algoritmos pseudo-naturales que imitan la modulación PWM analógica por medio de estimadores de cruce por cero [74, 112] también son impracticables, ya que las bandas laterales de la frecuencia PWM (de gran amplitud) caerían dentro de la banda de frecuencias de interés alrededor de la frecuencia  $f_c$ .

Una representación esquemática de esta situación se grafica en la Figura 7.3. En (a) se muestra el espectro ideal de una portadora modulada. El espectro en (b) es el correspondiente a la portadora modulada con una señal PWM uniforme ( $f_{\text{pwm}} = 3f_c$ ), donde el trazo rojo indica una banda lateral de la señal PWM que cae dentro de la banda de información modulada en  $f_c$ , la línea punteada es el espectro ideal y la línea sólida azul es el espectro distorsionado resultante. Para lograr mínimos niveles de distorsión con una baja relación de pulsos, se desarrolló un novedoso modulador PWM basado en el análisis propuesto en [99], con el cual se garantiza una banda de frecuencias libre de distorsión (Figura 7.3(c)).

Un diagrama en bloques del modulador PWM basado en tabla (T-PWM) se muestra en la Figura 7.4. Cada uno de los  $L$  símbolos de banda base son codificados utilizando  $N$  ciclos de trabajo  $d_T[n]$  ( $0 \leq n \leq N - 1$ ) y guardados en

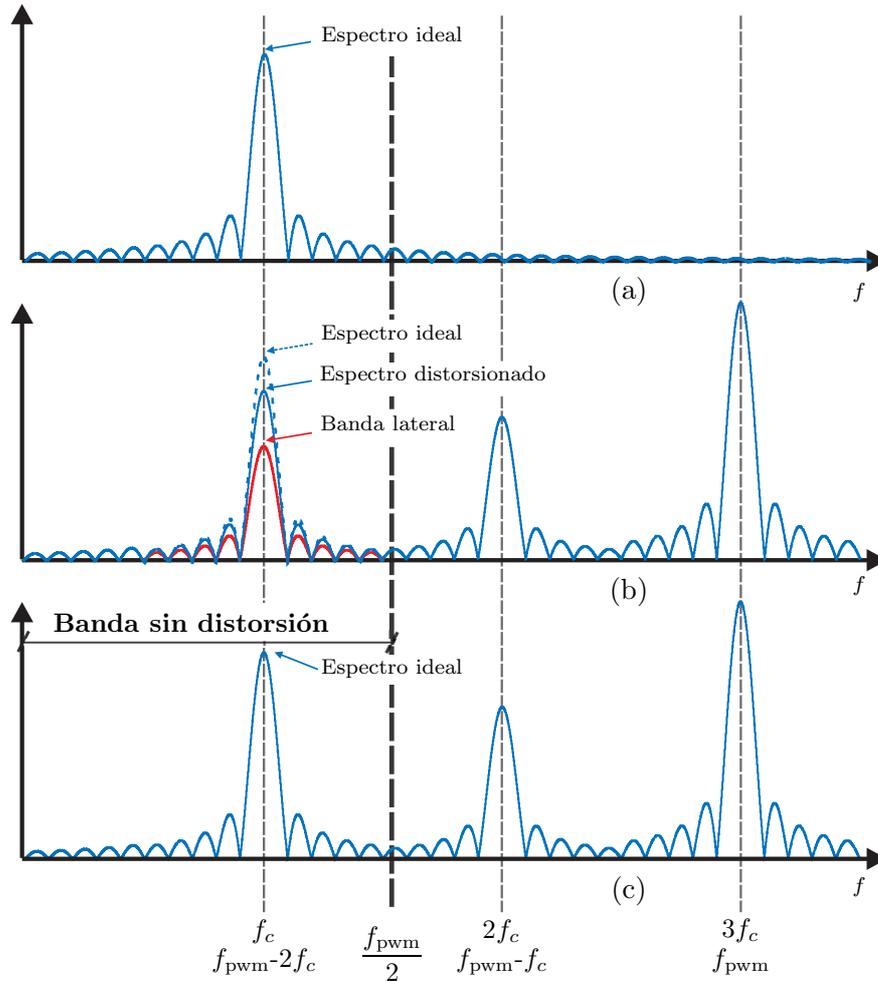


Figura 7.3: Esquemático de los espectros: (a) Portadora modulada ideal, (b) Señal PWM uniforme, y (c) Señal PWM sin distorsión entre  $0 < f < f_{pwm}/2$ .

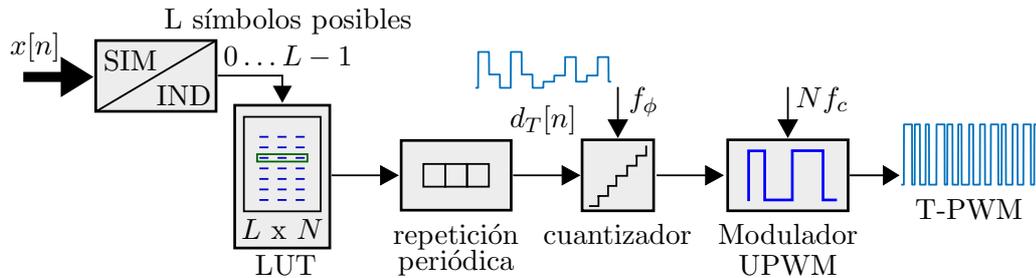


Figura 7.4: Diagrama en bloques de la modulación PWM basada en tabla.

una tabla. Cuando alguno de los símbolos disponibles aparece en la entrada  $x[n]$ , se selecciona una fila de la tabla (representado con el bloque SIM/IND), y los  $N$  ciclos de trabajo se repiten hasta que un nuevo símbolo aparezca. Los ciclos de trabajo  $d_T[n]$  son cuantizados y aplicados a un modulador PWM uniforme *trailing-edge* de alta resolución, operando a  $f_{pwm} = Nf_c$  (los niveles de cuantización están dados por la relación entre  $f_\phi$  y  $f_{pwm}$ ). Estos  $d_T[n]$  son calculados

fuera de línea, de forma tal que la señal de RF no posee distorsión entre 0 y la mitad de la frecuencia de PWM,  $Nf_c/2$ . Así, no sólo se evita la distorsión dentro de la banda próxima a  $f_c$  sino que también se obtiene un espectro de frecuencias más limpio, permitiendo obtener la información modulada mediante un filtrado sencillo y evitando la interferencia con otras bandas de frecuencia.

### 7.3.1. Cálculo de los ciclos de trabajo

Dada una señal de tiempo discreto  $-1 < \hat{v}[n] < 1$  de período  $N$ , con frecuencia máxima  $f_c$ , muestreada a  $f_{\text{pwm}} = Nf_c$  (con  $f_c < f_{\text{pwm}}/2$ ), y definiendo  $v[n] = (1 + \hat{v}[n])/2$ , es posible obtener una serie de  $N$  ciclos de trabajo  $0 < d_L[n] < 1$  ( $0 \leq n \leq N - 1$ ) de una señal PWM unipolar *leading-edge*  $p_L(t)$  (tomando valores de amplitud  $[0, 1]$ ) de frecuencia  $f_{\text{pwm}}$  y sin distorsión entre las frecuencias 0 y  $f_{\text{pwm}}/2$ , al resolver un conjunto de ecuaciones no lineales [99]. Esta característica de distorsión cero puede lograrse incluso para valores bajos de  $N$ , con una relativa proximidad en el espectro de las frecuencias  $f_{\text{pwm}}$  y  $f_c$ .

El sistema de ecuaciones no lineales se obtiene al imponer que la señal de tiempo discreto  $p[n]$ , resultado de muestrear a  $f_{\text{pwm}}$  la señal  $p_L(t)$ , previamente limitada en banda a  $f_{\text{pwm}}/2$ , es igual a  $v[n]$ :  $p[n] = v[n]$ . Si  $V[k]$  es la transformada discreta de Fourier (TDF) de un período de  $v[n]$ , el sistema de ecuaciones no lineales se puede expresar como [99]:

$$\begin{cases} \sum_{n=0}^{N-1} d_L[n] = \frac{N}{2}, & k = 0, \\ \sum_{n=0}^{N-1} \cos\left(\frac{2\pi}{N}k(n - d_L[n])\right) = \frac{2\pi}{N}k\Re\{jV[k]\}, & k = 1, \dots, M, \\ \sum_{n=0}^{N-1} \sin\left(\frac{2\pi}{N}k(n - d_L[n])\right) = \frac{2\pi}{N}k\Im\{jV[k]\}, & k = 1, \dots, M. \end{cases} \quad (7.5)$$

donde  $M = \lfloor N/2 \rfloor$ . La primer ecuación en (7.5) para  $k = 0$  representa un valor medio de  $1/2$  para los ciclos de trabajo, que también es el valor de CC de la señal PWM unipolar  $p_L(t)$ . Las expresiones en (7.5) representan un sistema de  $2M + 1$  ecuaciones en  $\mathbb{R}$  con  $N$  incógnitas  $d_L[0], \dots, d_L[N - 1]$ . Para  $N$  impar hay  $N$  ecuaciones con  $N$  incógnitas. Si  $N$  es par, hay  $N + 1$  ecuaciones con  $N$  incógnitas y

una ecuación se descarta. En este escenario, las ecuaciones para  $k = M = N/2$  son  $\sin(\pi(n - d_L[n])) = 0$  y  $\cos(\pi(n - d_L[n])) = 0$  ya que  $V[N/2] = 0$  porque  $v[n]$  está limitada en banda a  $[0, f_{\text{pwm}}/2)$ , o de forma equivalente a  $[0, \pi)$ . La ecuación de  $\sin(\cdot)$  se descarta a expensas de probablemente introducir cierta distorsión en  $\omega = \pi$  (que se corresponde con  $f_{\text{pwm}}/2$ ) pero la señal PWM aun permanece sin distorsión en la banda  $[0, f_{\text{pwm}}/2)$  como se esperaba. De manera alternativa, la ecuación de CC ( $k = 0$ ) podría eliminarse a expensas de posiblemente tener una señal PWM con valor en CC distinto de  $1/2$  y una banda de frecuencias  $(0, f_s/2]$  libre de distorsión.

Las ecuaciones en [99] fueron desarrolladas para PWM *leading-edge* pero también pueden utilizarse en señales PWM *trailing-edge* realizando dos modificaciones: usando  $v[n] = (1 - \hat{v}[n])/2$  (con signo menos) y calculando los ciclos de trabajo *trailing-edge* resultantes como  $d_T[n] = 1 - d_L[n]$ . Este resultado surge del hecho de que las señales PWM *leading-edge* y *trailing-edge* son equivalentes [10]. En PWM *trailing-edge* el flanco ascendente de la señal se mantiene fijo y se modula el flanco descendente. Esta alternativa será usada para obtener la señal PWM  $p_T(t)$  ya que es el enfoque preferido cuando se implementan formadores de pulso con líneas de retardo, como el presentado en el Capítulo 5. Por razones prácticas, es deseable que la frecuencia de repetición de los pulsos de la señal de RF sea lo más baja posible, idealmente,  $f_{\text{pwm}} = 2f_c$ . Se elige  $N = 3$  para esta implementación,  $f_{\text{pwm}} = 3f_c$ , como una relación de compromiso que garantiza un espectro libre de contenido armónico espúreo hasta  $1.5f_c$ , siendo más sencillo el filtrado, y con una señal PWM resultante cuyo valor medio es  $1/2$  (igual a 0 cuando se realiza la implementación bipolar de la misma). Siendo  $x_m$  los símbolos de banda base a transmitir, muestreados con período  $T_x = 1/f_x$ , se define

$$v[n] = \frac{1}{2} - \frac{|x_m|}{2} \cos(\omega_c n + \angle x_m) \quad (7.6)$$

con  $\omega_c = 2\pi f_c / f_{\text{pwm}}$ . Para  $N = 3$ ,  $M = \lfloor N/2 \rfloor = 1$  y  $f_{\text{pwm}} = 3f_c$ . La TDF  $V[k]$  de un período de  $v[n]$  tiene tres valores para  $k = 0, 1, 2$ :

$$V[0] = \frac{N}{2}, \quad V[1] = -\frac{N}{4}x_m \quad \text{and} \quad V[2] = V[1]^* \quad (7.7)$$

donde  $*$  es el complejo conjugado. El sistema de  $N = 3$  ecuaciones que se debe resolver para cada símbolo  $x_m$  es

$$\begin{cases} \sum_{n=0}^2 d_L[n] = \frac{3}{2} \\ \sum_{n=0}^2 \cos\left(\frac{2}{3}\pi(-n + d_L[n])\right) = \frac{\pi}{2}\Im\{x_m\} \\ \sum_{n=0}^2 \sin\left(\frac{2}{3}\pi(-n + d_L[n])\right) = -\frac{\pi}{2}\Re\{x_m\}. \end{cases} \quad (7.8)$$

Este sistema de ecuaciones se resuelve numéricamente para encontrar los  $d_L[n]$ , y los ciclos de trabajo *trailing-edge* se calculan como  $d_T[n] = 1 - d_L[n]$ . El sistema en (7.8) podría resolverse en línea usando algoritmos eficientes como Newton-Raphson, aunque se prefirió utilizar la solución fuera de línea ya que los símbolos son conocidos de antemano. Para cada uno de los  $L$  símbolos complejos  $x_m$ , los ciclos de trabajo  $d_T[0]$ ,  $d_T[1]$  y  $d_T[2]$  fueron calculados y guardados en una tabla de tamaño  $L \times N$ . En las simulaciones y experimentales que se presentan en las siguientes secciones se utilizó una modulación 64-QAM, entonces los símbolos complejos son  $x_{m,0} \cdots x_{m,63}$  y se usó una tabla de  $64 \times 3$  valores.

## 7.4. Análisis Comparativo

Las formas de onda típicas para cada arquitectura discutida se grafican en la Figura 7.5: en (a) se muestran las componentes real e imaginaria de la señal de banda base  $x[n]$ , (b) muestra la señal sinusoidal de RF correspondiente a cada uno de los símbolos, mientras que (c)-(e) muestran las señales digitales de RF obtenidas con los diferentes métodos. Para esta figura ilustrativa se eligió una relación  $f_c/f_s$  baja que permite apreciar detalladamente los pulsos que conforman cada una de las señales de RF.

Puede observarse que aunque el enfoque propuesto tiene una frecuencia de repetición de pulsos mayor, el ancho de pulso mínimo está limitado y es conocido de antemano ya que los ciclos de trabajo se encuentran almacenados en la tabla. Si bien la frecuencia de los pulsos en BB-PWM es más baja que para las restantes formas de onda, esta señal de RF puede tener pulsos arbitrariamente estrechos, lo que puede apreciarse en la Figura 7.5. Éstos son el resultado de la multiplicación

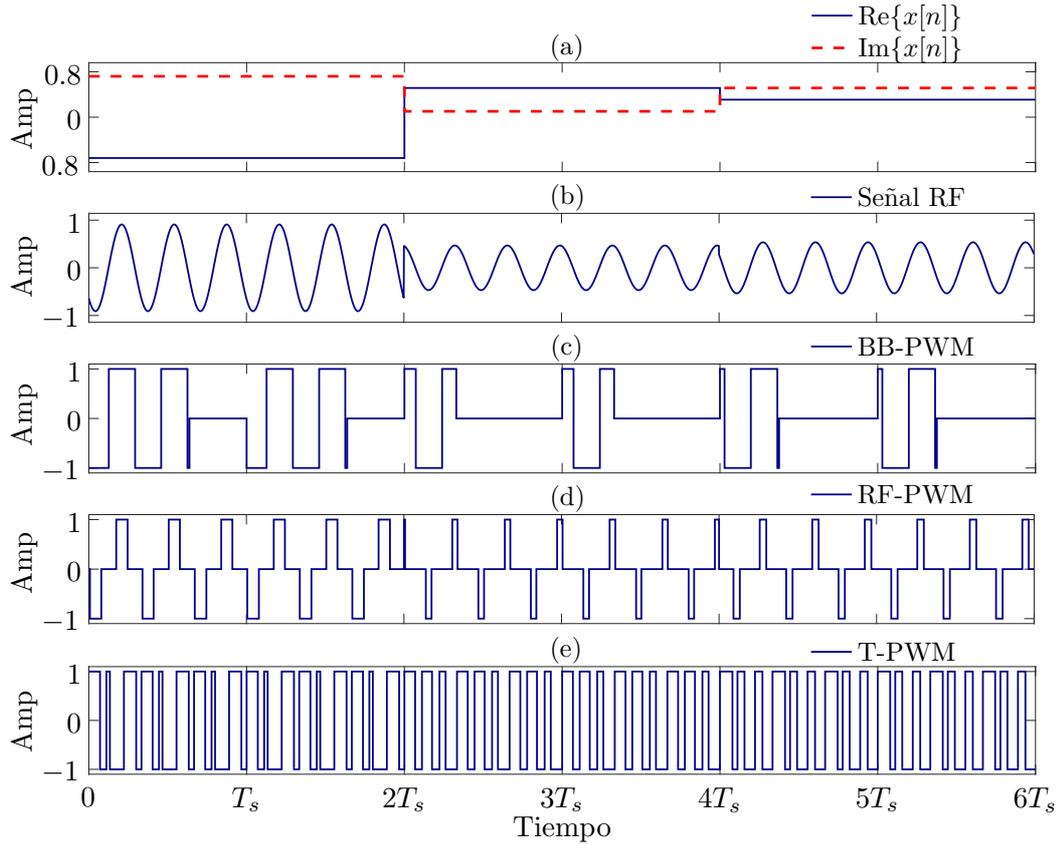


Figura 7.5: (a) Señal compleja de banda base  $x[n]$ , (b) Señal de RF modulada, (c) BB-PWM con  $f_s = 2f_x$ , (d) RF-PWM, (e) T-PWM con  $N = 3$ .

entre la señal portadora modulada en fase y la señal PWM a frecuencia  $f_s$ . Un caso similar puede ocurrir en la modulación RF-PWM, lo que es posible observar en el tiempo  $2T_s$  de Figura 7.5(d), por ejemplo. Los pulsos extremadamente angostos deben evitarse en las implementaciones prácticas, ya que pueden derivar en alguno de los siguientes efectos no deseados en los formadores de pulsos [7]:

- *pulse swallowing*: ocurre cuando la pendiente de los flancos ascendente y/o descendente se degrada al pasar a través de los diferentes elementos de retardo, debido a una mayor carga de salida en relación con el dimensionamiento de los mismos (*fan-out*). La pendiente puede restaurarse utilizando una compuerta adicional con menor *fan-out*, regenerando la forma de onda original del pulso aunque agregando el retardo de propagación de la compuerta regeneradora. Sin embargo, si el pulso es muy estrecho el cambio en la pendiente puede deformarlo de tal manera que no supere el umbral del siguiente elemento de retardo y que el mismo desaparezca.
- *pulse shrinking*: es un efecto similar al anterior, donde el cambio en el ancho

del pulso se produce de manera asimétrica, debido a diferentes pendientes en los flancos ascendente y descendente. Para pulsos temporales muy cortos, la deformación producida puede resultar en la desaparición del pulso al no alcanzar el umbral de la siguiente celda.

Los espectros típicos que producen las arquitecturas discutidas se muestran en la Figura 7.6. De la misma se puede inferir que el comportamiento de la modulación T-PWM es similar a la RF-PWM en términos de distorsión. Ésta última tiene la ventaja de no poseer contenido armónico en  $2f_c$  debido a su implementación diferencial, aunque para ello necesita utilizar una señal de tres niveles mientras que la modulación propuesta emplea una señal bipolar. Por otra parte, este armónico puede ser filtrado fácilmente al estar en una frecuencia del doble del valor de la portadora  $f_c$ . Lo contrario sucede en el caso de la modulación BB-PWM donde se debe realizar un filtrado pasabanda muy abrupto para eliminar las componentes armónicas ubicadas en  $f_c \pm kf_s$ .

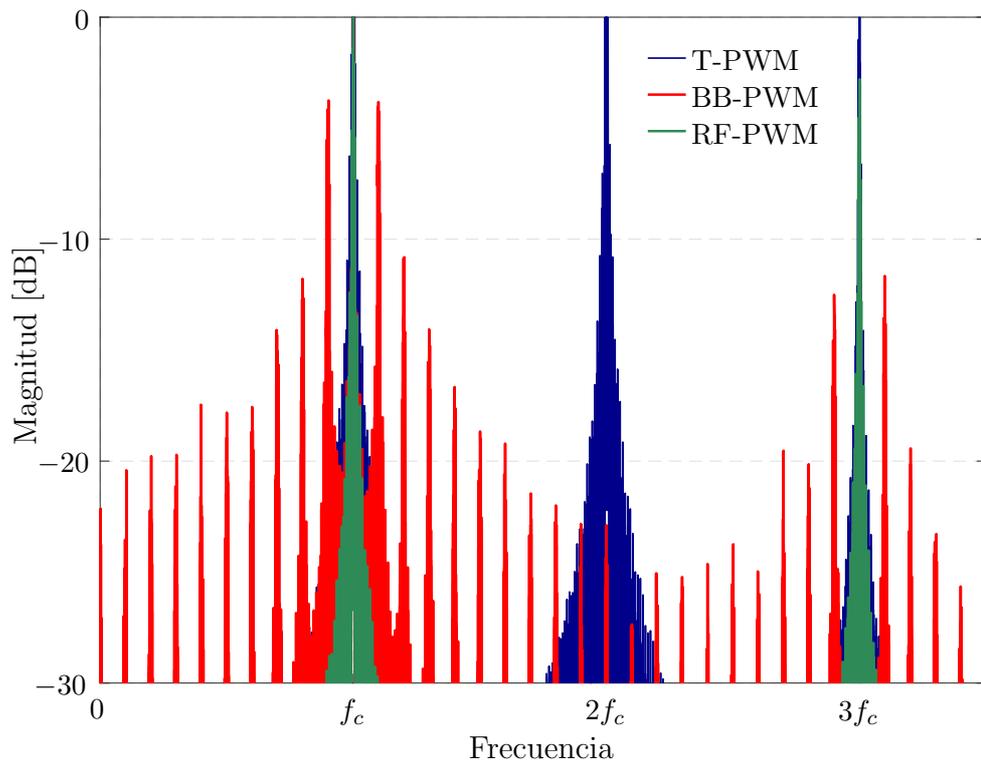


Figura 7.6: Espectros en frecuencia simulados para las distintas modulaciones PWM.

## 7.5. Simulaciones

### 7.5.1. Configuración

Dado que los símbolos son conocidos de antemano, las modulaciones BB-PWM o RF-PWM también podrían implementarse utilizando tablas calculadas previamente, como se realizó para la T-PWM. Sin embargo, como no hay documentación en la literatura de este tipo de implementación, para facilitar la comparación se eligió realizar los esquemas tradicionales mostrados en las Figura 7.1 y Figura 7.2. Las componentes de amplitud y fase fueron cuantizadas con tiempos de resolución finitos  $T_a = 1/f_a$  y  $T_\phi = 1/f_\phi$ , los cuales podrían ser obtenidos mediante formadores de pulsos basados en líneas de retardo como los discutidos en los capítulos previos.

Para evaluar el rendimiento de la técnica propuesta se llevaron a cabo simulaciones con diferentes anchos de banda de la señal de banda base así como distintas resoluciones temporales, utilizando Matlab y Simulink. La Figura 7.7 muestra el diagrama de los bloques utilizados para la generación de los símbolos complejos  $x_m$  (con período  $T_x$ ) mediante un generador de números enteros aleatorios y un modulador 64-QAM. Estos símbolos son muestreados a  $f_s$  usando un retenedor de orden cero para realizar la interpolación desde  $f_x = 1/T_x$  a  $f_s$ . No se utilizó ningún filtro conformador de pulsos dado que el objetivo de la simulación es una prueba conceptual de la modulación propuesta. Lo anterior queda evidenciado en la respuesta en forma de sinc de los espectros graficados en la Figura 7.6. La señal de banda base resultante  $x[n]$  es aplicada a la entrada de cada uno de los transmisores, separada en sus componentes de amplitud y fase para los casos BB-PWM y RF-PWM.

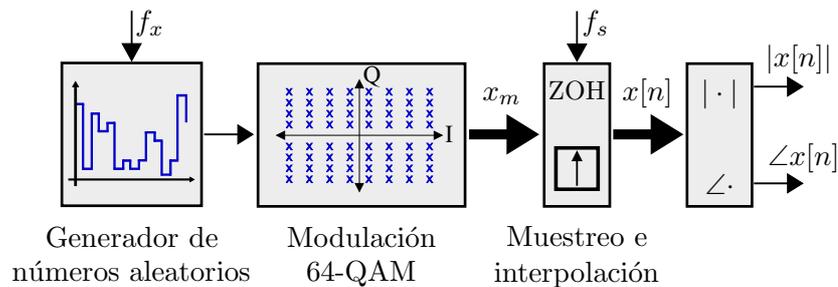


Figura 7.7: Diagrama en bloques utilizado para la generación de la señal de banda base compleja  $x[n]$ .

La linealidad de los transmisores fue evaluada mediante el cálculo del  $\text{EVM}^1$ , medida que se define como

$$\text{EVM [dB]} = 20 \log \frac{\sqrt{\frac{1}{K} \sum_{n=1}^K |y_m - x_m|^2}}{\sqrt{\frac{1}{K} \sum_{n=1}^K |x_m|^2}} \quad (7.9)$$

donde  $K$  es la longitud del vector de entrada e  $y_m$  son los símbolos recibidos en el demodulador.

Al momento de realizar esta comparativa no existían modelos de banda base para los transmisores estudiados, por lo que la señal de RF fue generada para cada uno de ellos y luego demodulada para obtener  $y_m$ . Posteriormente, un modelo de banda base de la modulación RF-PWM fue presentada en [113]. El demodulador usado en todos los casos se muestra en la Figura 7.8. La señal de RF es multiplicada por portadoras en cuadratura y luego aplicadas a un filtro pasabajos con frecuencia de corte  $f_{\text{LPF}} = f_c/20 = 50$  MHz, valor elegido porque permite recuperar los símbolos demodulados para todo el rango de  $f_x$  usado. La señal de banda base compleja es reconstruida, escalada y muestreada a  $N_d f_x$ , con  $N_d = 400$ , para evitar aliasing. Las muestras causadas por la respuesta transitoria de los filtros pasabajos son descartadas, y las restantes son promediadas para así obtener los símbolos  $y_m$  mediante la reducción de la frecuencia de muestreo de  $N_d f_x$  a  $f_x$ . Las simulaciones fueron muy intensivas desde el punto de vista computacional, debido a la elevada relación entre el período de la señal  $T_x$  y el mínimo paso de resolución temporal de las simulaciones, configurado en  $T_{\text{sim}} = 0.21$  ps ( $1/4800$  GHz) para garantizar resultados precisos en el cálculo del EVM.

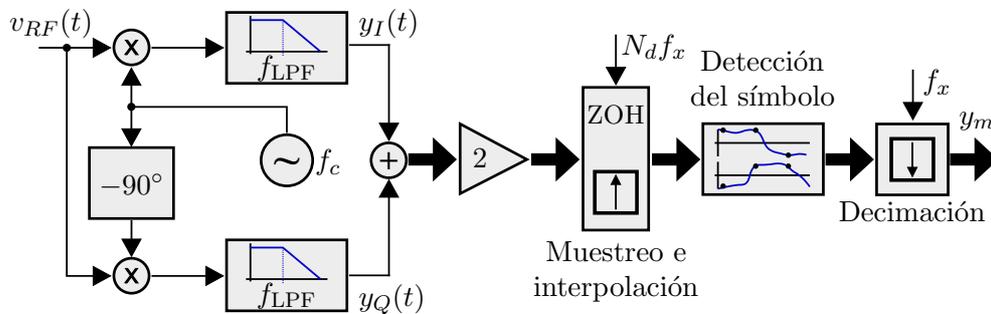


Figura 7.8: Diagrama en bloques del demodulador.

<sup>1</sup>Error Vector Magnitude

Distintos escenarios fueron evaluados para analizar los efectos del tiempo de resolución finito en los moduladores discutidos, y en el caso del modulador PWM por tabla también se realizó una estimación del impacto del *jitter* en el EVM. La mayoría de los valores de frecuencia replican los utilizados en [7], donde se realiza un exhaustivo análisis de las técnicas BB-PWM y RF-PWM, para facilitar la comparación con resultados previos. La Tabla 7.1 resume los valores de frecuencia usados en las simulaciones.

Notación	Valor	Frecuencia
$f_x$	4.95 – 24.75 MHz	Símbolo
$f_s$	99.01 MHz	Interpolación (generador)
$f_c$	1 GHz	Portadora
$f_a$	60 GHz	Resolución de amplitud
$f_\phi$	10 – 480 GHz	Resolución de fase
$f_{\text{LPF}}$	50 MHz	Filtro pasabajos (demodulador)

Tabla 7.1: Valores de frecuencia utilizados en las simulaciones.

■ **Experiencia 1: EVM vs. OSR**

En esta experiencia se calculó el EVM en función del OSR (*oversampling ratio*) definido como la relación entre la frecuencia de interpolación y la frecuencia de símbolo,  $\text{OSR} = f_s/f_x$ . Se realizó un barrido sobre la frecuencia de símbolo  $f_x$  mientras que la frecuencia de portadora se mantuvo constante en  $f_c = 1$  GHz. La frecuencia de interpolación fue fijada en  $f_s = f_c/10.1$ , valor elegido para atenuar el problema de distorsión imagen [110]. El barrido se repitió para dos casos diferentes: considerando o no cuantización temporal en los bloques de cuantización de los diagramas mostrados en las Figuras 7.1, 7.2 y 7.4. La cuantización en la componente de amplitud de la señal de banda base es sólo utilizada en la modulación BB-PWM, previo a la generación de la señal UPWM. Dado que la salida del bloque PNPWM cae dentro del rango  $[-1, 1]$ , el intervalo de cuantización fue  $q_a = 2f_s/f_a$ . La frecuencia de resolución para la señal de amplitud se fijó en  $f_a = 60$  GHz para todas las experiencias. La cuantización en la componente de fase se

implementó de dos maneras: para los moduladores BB-PWM y RF-PWM, el mínimo intervalo de cuantización fue  $q_\phi = 2\pi f_c/f_\phi$  porque los valores de fase caen dentro del rango  $[-\pi, \pi]$ ; en la modulación T-PWM no hay valores de fase para cuantizar pero la resolución temporal limita los ciclos de trabajo, entonces el paso de cuantización fue  $q_\phi = 3f_c/f_\phi$ .

■ **Experiencia 2: EVM vs. resolución de fase  $f_\phi$**

Se fijó el OSR en 20 y se realizó un barrido sobre la frecuencia de resolución de fase  $f_\phi$  entre 10 GHz y 480 GHz (aproximadamente  $T_{\text{res}} = 2$  ps), en concordancia con resoluciones temporales utilizadas en transmisores de RF [44].

■ **Experiencia 3: EVM vs. *jitter***

Se realizó una estimación del impacto del *mismatch* en los elementos de retardo del formador de pulsos en el EVM, mediante la introducción de dos tipos de *jitter* o incertidumbre en la posición temporal de los flancos de la señal PWM: *jitter* aleatorio o no sistemático, causado principalmente por ruido térmico y *flicker* en los transistores MOS de los DE; y *jitter* determinístico o sistemático, debido al *mismatch* entre dispositivos relacionado con aspectos de *layout* y variaciones de proceso [18].

## 7.5.2. Resultados

**Experiencia 1: EVM vs. OSR**

Los resultados de las simulaciones para el caso sin ningún tipo de cuantización se muestran en la Figura 7.9. Estas curvas demuestran la distorsión intrínseca causada por cada uno de los enfoques. La modulación por tabla, con los ciclos de trabajo calculados de acuerdo al procedimiento descrito en la sección 7.3, tiene un desempeño similar a la modulación RF-PWM. En la comparativa también se simuló una modulación PWM uniforme, implementada mediante tabla, donde los ciclos de trabajo fueron calculados de forma directa como  $d_{\text{UPWM}}[n] = (1 + |x_m| \cos(\omega_c n + \angle x_m))/2$ . El EVM obtenido con este modulador es el peor de los casos comparados (sin alcanzar los  $-20$  dB en todo el rango evaluado), revelando la imposibilidad de aplicar la modulación PWM por tabla sin

resolver las ecuaciones planteadas en (7.8). La curva correspondiente a BB-PWM muestra una mejora del EVM con el incremento del OSR, hasta valores cercanos a 7 – 8 cuando el problema de distorsión imagen comienza a predominar.

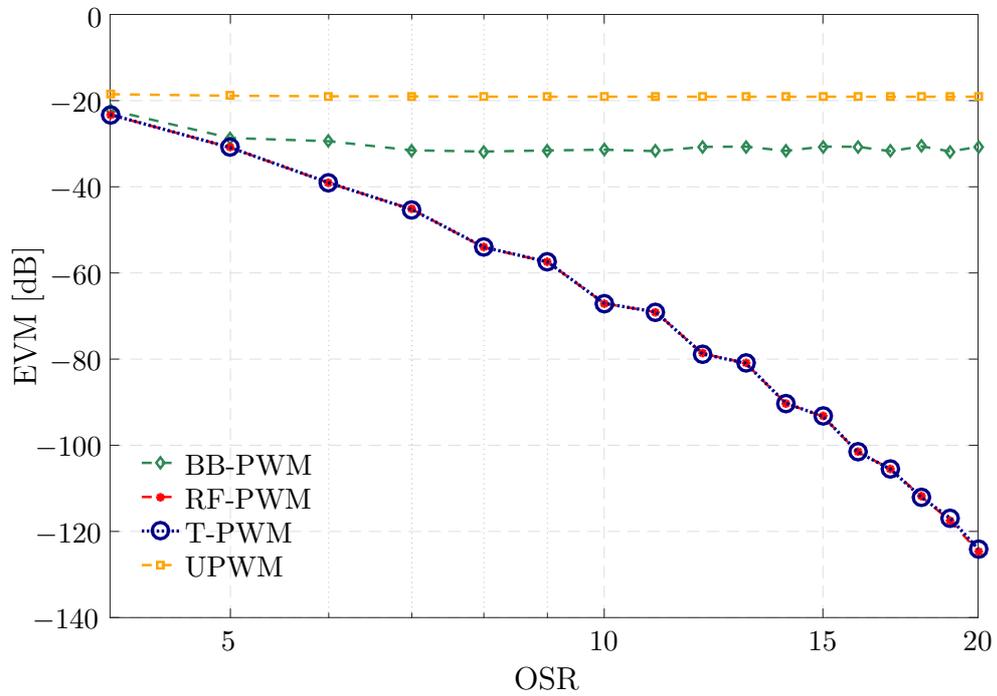


Figura 7.9: EVM en función del OSR, con  $f_c = 1$  GHz,  $f_s = f_c/10.1$  y sin cuantización de fase.

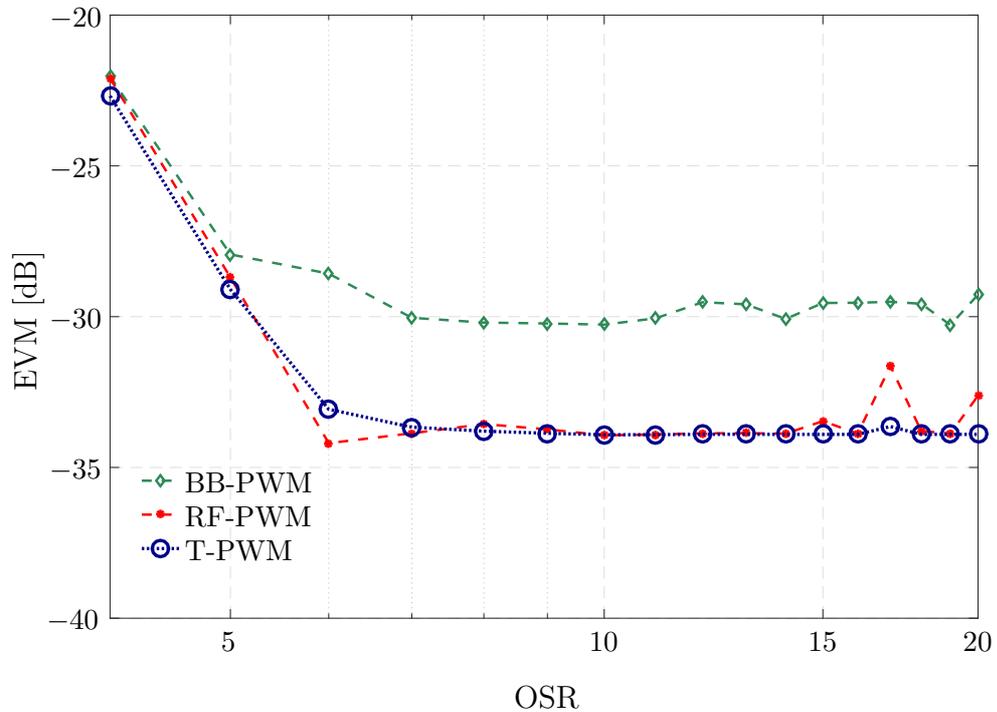


Figura 7.10: EVM en función del OSR, con  $f_c = 1$  GHz,  $f_s = f_c/10.1$  y frecuencia de resolución de fase  $f_\phi = 240$  GHz.

En la Figura 7.10 se muestran los resultados correspondientes a una frecuencia de resolución de fase finita de  $f_\phi = 240$  GHz, correspondiente a una resolución temporal de  $T_{\text{res}} = 4.17$  ps. El comportamiento de la BB-PWM nuevamente se ve limitado por el problema de distorsión imagen, mientras que la cuantización es el factor que limita tanto a la RF-PWM como a la T-PWM.

### Experiencia 2: EVM vs. resolución de fase $f_\phi$

En la segunda experiencia se realizó un barrido de la frecuencia de resolución de fase  $f_\phi$  y los resultados se muestran en la Figura 7.11. Se puede observar que el EVM mejora cuando la resolución temporal del sistema aumenta ( $T_{\text{res}}$  disminuye) debido a la reducción del ruido de cuantización.

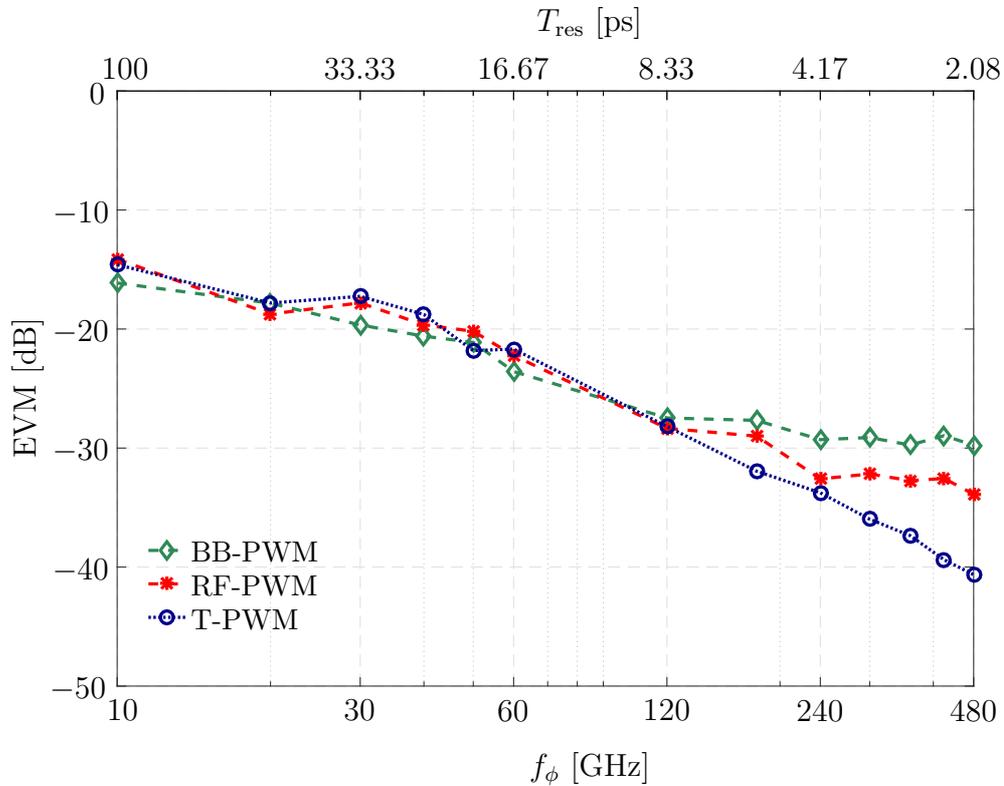


Figura 7.11: EVM en función de la frecuencia de resolución de fase  $f_\phi$ , con  $f_c = 1$  GHz,  $f_s = f_c/10.1$  y  $\text{OSR} = 20$ .

De todas maneras, el EVM de la modulación BB-PWM satura a frecuencias de resolución de fase cercanas a  $f_\phi = 120$  GHz, alrededor de los  $-30$  dB donde predominan otros efectos como la distorsión intrínseca de la PWM y sus armónicos [110,111]. Las diferencias entre la T-PWM y RF-PWM se incrementan cuando aumenta la resolución temporal, lográndose una mejora de aproximadamente 7 dB en la primera con respecto a esta última para la mínima  $T_{\text{res}}$  simulada. Este hecho puede explicarse teniendo en cuenta que el ruido de cuantización en

el modulador RF-PWM depende de la implementación realizada [110]; sin embargo, la tendencia en ambas modulaciones es similar y el EVM mejora con la disminución del mínimo intervalo temporal  $T_{res}$  en la generación de los pulsos.

La Figura 7.12 muestra los diagramas de constelación de los símbolos recibidos cuando se emplean los moduladores BB-PWM y T-PWM, utilizando los resultados de simulación mostrados en la Figura 7.11 para  $f_\phi = 480$  GHz y  $OSR = 20$ . Los signos “+” en color negro indican la constelación de referencia 64-QAM, los asteriscos “\*” en azul se corresponden con la modulación BB-PWM mientras que los círculos “o” en rojo con la T-PWM. Claramente los resultados obtenidos con la técnica propuesta supera a los del modulador BB-PWM: el EVM fue mejorado en 10 dB en este caso ( $-40.7$  dB contra  $-30.7$  dB).

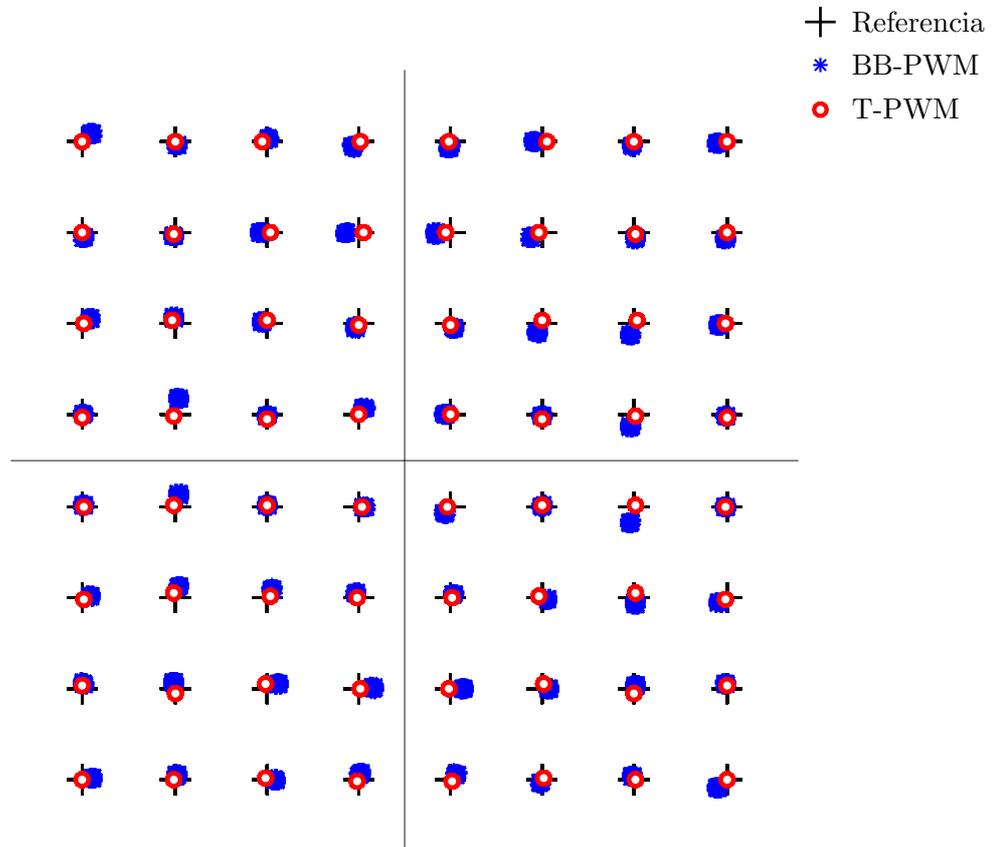


Figura 7.12: Diagrama de constelación de los símbolos 64-QAM recibidos para las modulaciones BB-PWM y T-PWM.

### Experiencia 3: EVM vs. *jitter*

En esta última experiencia se evaluó la robustez de la técnica propuesta ante no linealidades en el formador de pulsos, mediante el agregado de *jitter* aleatorio y sistemático. El *jitter* aleatorio se simuló como una fuente de ruido gaussiano

(con media cero y desviación estándar igual al valor RMS del *jitter*) sumada a los ciclos de trabajo  $d_T[n]$ , causando una variación aleatoria en la posición de los flancos de la señal PWM basada en tabla. La experiencia se repitió para diferentes valores de *jitter* y distintos valores de resolución temporal  $T_{\text{res}}$  de los elementos de retardo.

Los resultados expuestos en la Figura 7.13 exponen la previsible degradación de los valores de EVM con el incremento del *jitter* en todos los casos. De estas curvas se puede afirmar que el desempeño de la modulación PWM basada en tabla con valores de *jitter* de alrededor 0.2 ps (como los reportados en [32, 114, 115]) es mejor que el de la modulación BB-PWM, y similar al de la RF-PWM, para el mismo  $T_{\text{res}}$  aún sin considerar este efecto, como se puede observar en la Figura 7.11. Considerando un ejemplo: el valor de EVM de la T-PWM para la condición de 0.2 ps de *jitter* es  $-32.3$  dB, con  $T_{\text{res}} = 3.33$  ps (indicado con el círculo sólido de color gris, sobre la línea punteada roja en la Figura 7.13); para la misma resolución temporal, RF-PWM y BB-PWM presentan valores de EVM de  $-32.2$  dB y  $-29.1$  dB, respectivamente.

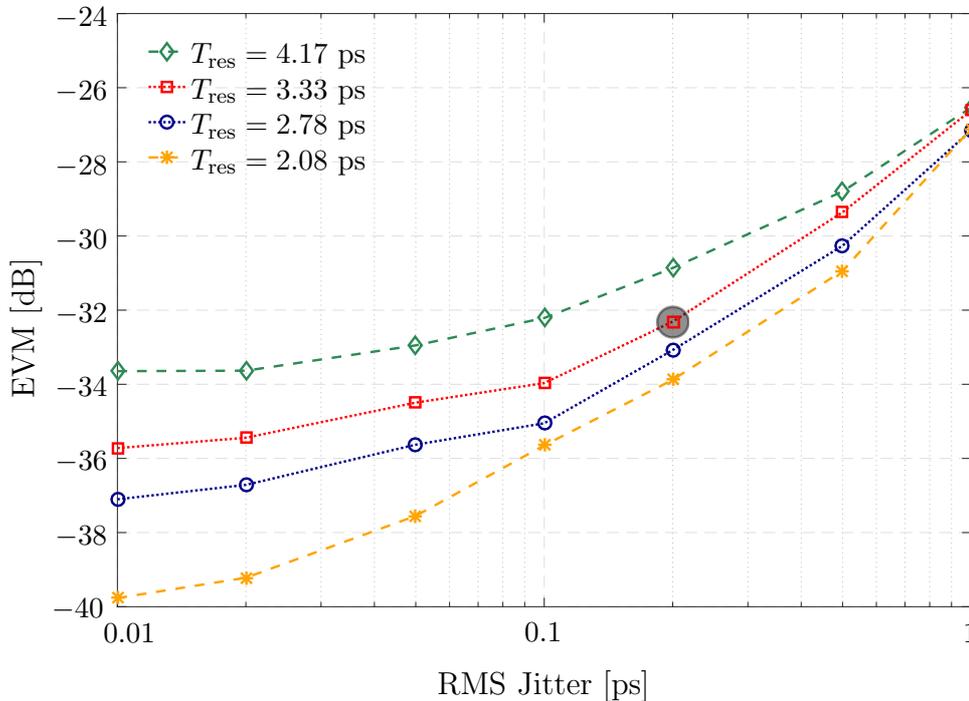


Figura 7.13: EVM en función del *jitter* para la T-PWM, con  $f_c = 1$  GHz,  $f_s = f_c/10.1$  y diferentes valores de  $T_{\text{res}}$ .

Por último, se modelaron las no linealidades en las líneas de retardo del formador de pulsos aplicando una cuantización no uniforme a los ciclos de trabajo

$d_T[n]$ , reemplazando los cuantizadores ideales del diagrama de bloques en la Figura 7.4. Para obtener resultados comparables a los producidos por líneas de retardo reales, se agregó ruido aleatorio con media cero y desviación estándar  $\sigma_D$  a los escalones equidistantes del cuantizador ideal. Con este modelo de una conversión digital a tiempo no uniforme se realizó la simulación y se calculó el EVM, repitiendo el proceso para 100 configuraciones distintas de líneas de retardo. Los resultados en la Figura 7.14 muestra un histograma del EVM obtenido, para las condiciones de  $OSR = 20$ ,  $T_{res} = 4.17$  ps y  $\sigma_D = 0.22$  LSB (este valor surge de las mediciones realizadas al chip CI-DL presentadas en el Capítulo 4). El valor promedio es de  $-32.05$  dB con una desviación estándar de  $0.55$  dB, una leve variación respecto a los  $-33.9$  dB obtenidos utilizando la modulación T-PWM con cuantizadores ideales.

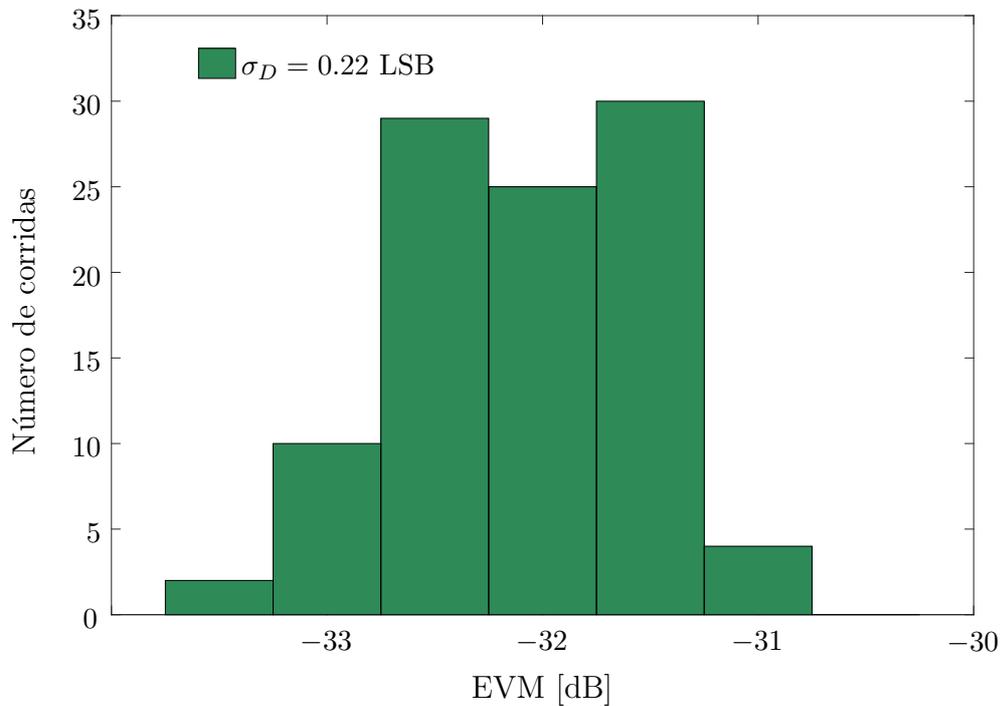


Figura 7.14: Histograma del EVM para la modulación T-PWM con una conversión digital a tiempo no uniforme ( $\sigma_D = 0.22$  LSB en la cuantización).

## 7.6. Implementación en FPGA

Para ratificar los resultados obtenidos mediante simulación, se llevó a cabo la implementación en FPGA de la modulación T-PWM. El diagrama en bloques de la Figura 7.15 se simuló mediante el software System Generator para diseño

de FPGA dentro del entorno Simulink, y luego se sintetizó en una placa de desarrollo FPGA Xilinx Artix-7. Los símbolos complejos  $x_m$  correspondientes a la modulación 64-QAM fueron generados y almacenados en una memoria, la cual es leída a una frecuencia de símbolo  $f_x = 1/T_x = 10$  kHz. Los  $N = 3$  ciclos de trabajo correspondientes a cada símbolo de banda base fueron calculados y guardados en tablas separadas, y la salida de cada una de éstas fue cuantizada y aplicada a sendos moduladores PWM *trailing-edge*. Las salidas de los moduladores están desplazadas temporalmente ( $y_2$  por un intervalo  $\Delta t$ ,  $y_3$  por  $2\Delta t$ , con  $\Delta t = T_{\text{pwm}}$ ), de manera tal que pueden combinarse lógicamente para generar una señal PWM  $out_{RF}$  cuya frecuencia equivalente es  $N$  veces la frecuencia de los moduladores individuales.

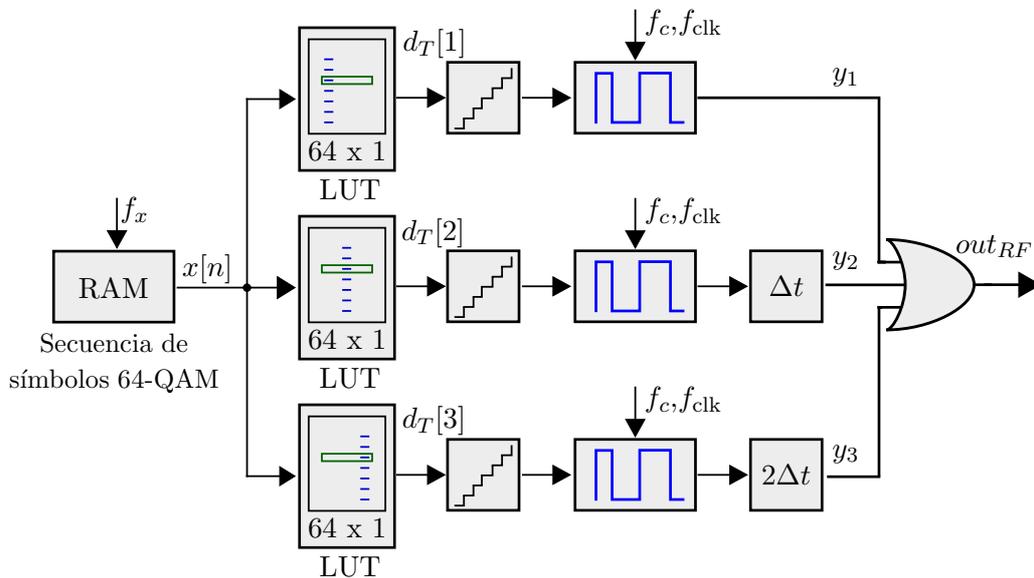


Figura 7.15: Diagrama en bloques de la implementación en FPGA de la modulación T-PWM.

Las formas de onda involucradas en la generación de la T-PWM según este esquema se muestran en la Figura 7.16. Puede observarse que  $T_c = 3T_{\text{pwm}}$ , donde  $T_c = 1/f_c$  es el período de las señales  $\{y_1, y_2, y_3\}$  y es equivalente al período de portadora del análisis realizado en la sección previa, mientras que  $T_{\text{pwm}}$  es el período de la señal T-PWM  $out_{RF}$ . El intervalo mínimo de resolución temporal está dado por el período de clock  $T_{\text{clk}} = 1/f_{\text{clk}}$  ( $T_{\text{res}}$  si se utiliza la notación previa).

Esta propuesta con moduladores intercalados fue considerada por su conveniencia para la implementación con formadores de pulsos basados en líneas de

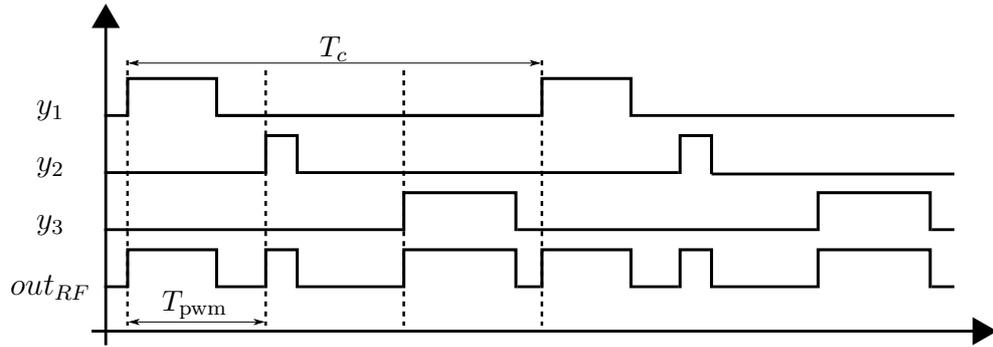


Figura 7.16: Señales de salida de los moduladores PWM intercalados y señal combinada a la salida de la compuerta OR.

retardo, cuya resolución temporal  $T_{res}$  sea apropiada para la frecuencia  $f_c$  del transmisor de RF. Como cada modulador individual mantiene el mismo valor durante todo el período de símbolo  $T_x$ , la frecuencia de programación de las líneas de retardo es disminuida en varios ordenes de magnitud (de  $f_{pwm}$  a  $f_x$ ). Los retardos usados para el desplazamiento de las señales  $y_2$  e  $y_3$  dependen de la  $f_{pwm}$  y se mantienen constantes una vez fijada ésta, por lo que pueden implementarse con líneas de retardo con menores restricciones temporales (el chip CI-DL, por ejemplo).

En esta implementación, la frecuencia de reloj de la FPGA es  $f_{clk} = 240$  MHz y la frecuencia de portadora de la señal RF es  $f_c = 1$  MHz. La frecuencia de PWM entonces es  $f_{pwm} = 3$  MHz y los anchos de pulsos están limitados a un número discreto de niveles dado por la relación  $f_{clk}/f_{pwm}$ , o de manera equivalente, el paso de cuantización aplicado a los ciclos de trabajo es  $q = 1/80$ . Todos los bloques de la Figura 7.15 se implementaron con una precisión de 16 bits de punto fijo. Con el fin de realizar una comparación, se implementó también una modulación PWM uniforme con el mismo esquema de la Figura 7.15, pero en este caso los ciclos de trabajo guardados en las tablas se calcularon de la forma tradicional. Mediante un multiplexor y un selector externo se permite cambiar entre ambas modulaciones, y la salida del multiplexor se aplicó a un módulo LVDS cuyas salidas diferenciales están ruteadas a conectores de la placa de desarrollo AC-701.

### 7.6.1. Resultados

En la Figura 7.17 se muestra una fotografía de la configuración experimental utilizada. Las señales PWM generadas en la FPGA son medidas mediante un osciloscopio WaveMaster 804Zi, donde se lleva a cabo el proceso de filtrado y demodulación. La Figura 7.18 muestra ambas señales PWM diferenciales  $v_{out}^+$  y  $v_{out}^-$ , muestreadas a 1 GS/s, y la señal  $v_{out}$  resultado de la combinación en el osciloscopio. Ésta última es aplicada a un filtro Bessel pasabajos de octavo orden, con frecuencia de corte  $f_{LPF} = 1.1$  MHz.

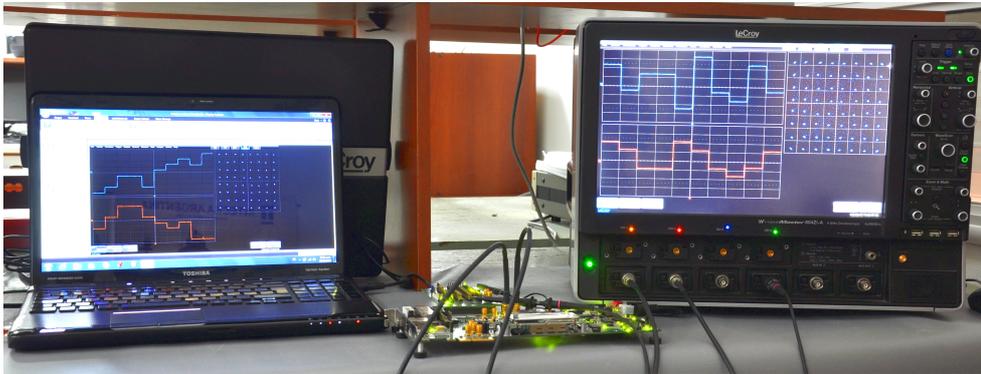


Figura 7.17: Fotografía de la configuración experimental, donde pueden apreciarse las señales IQ demoduladas y la constelación 64-QAM.



Figura 7.18: Señales PWM diferenciales,  $v_{out}^+$  (arriba) y  $v_{out}^-$  (centro), y señal combinada  $v_{out}$  (200 mv/div, 500 ns/div).

Las formas de onda de la señal PWM y la señal de RF senoidal a la salida

del filtro se muestran en la Figura 7.19, con diferentes escalas temporales: en la parte superior se pueden apreciar estas señales en un intervalo de  $500 \mu s$  (cinco períodos de símbolo,  $T_x = 100 \mu s$ ); mientras que en la parte inferior se muestra una ampliación del segmento central de ambas señales, indicado con un color distinto. La señal de RF es demodulada utilizando una función de demodulación en cuadratura, de frecuencia central  $f_c$  y filtro pasabanda con un ancho de banda  $BW = 100 \text{ kHz}$ . Luego de realizar una decimación por un factor 1000, se recuperan los símbolos y se muestran en pantalla sus componentes IQ, así como el diagrama de constelación (Figura 7.20).

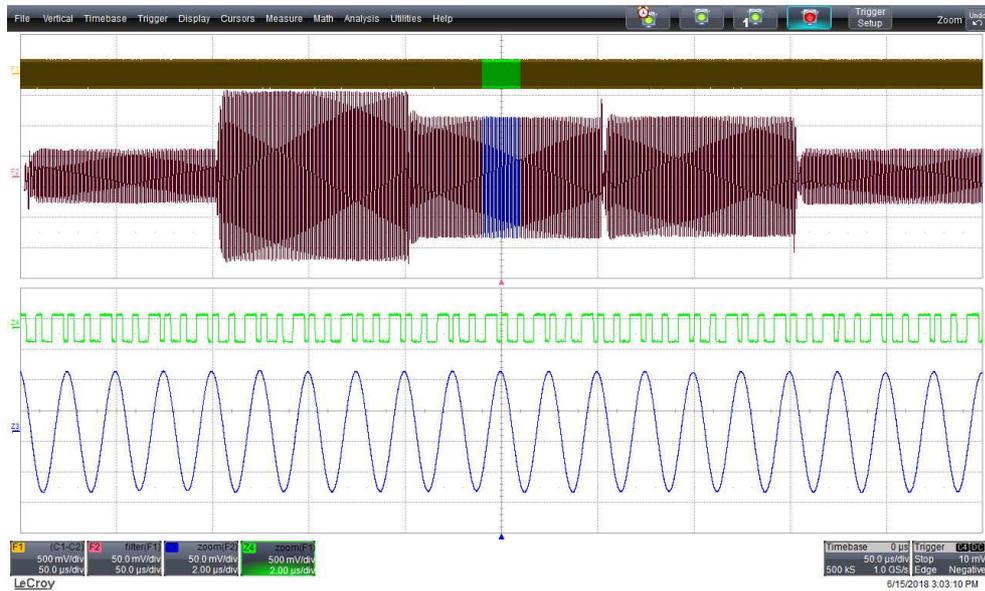


Figura 7.19: Señales PWM combinada  $v_{out}$  y salida del filtro pasabajos: intervalo de cinco períodos  $T_x$  (arriba,  $50 \mu s/div$ ), ampliación sobre una fracción del período  $T_x$  (abajo,  $2 \mu s/div$ ).

De forma similar a las mediciones realizadas en los Capítulos 4 y 6, el osciloscopio fue conectado a una computadora y controlado mediante rutinas de Matlab, donde se capturaron las señales de banda base y se evaluó el desempeño de las modulaciones a través del cálculo del EVM. Éste se calculó de una forma distinta a la presentada en 7.9, ya que en este caso no hay una sincronización entre los símbolos de entrada y salida, entonces se define como:

$$\text{EVM [dB]} = 20 \log \frac{\sqrt{\frac{1}{K} \sum_{n=1}^K |y_m - x'_m|^2}}{\sqrt{\frac{1}{L} \sum_{m=0}^{L-1} |x_m|^2}} \quad (7.10)$$

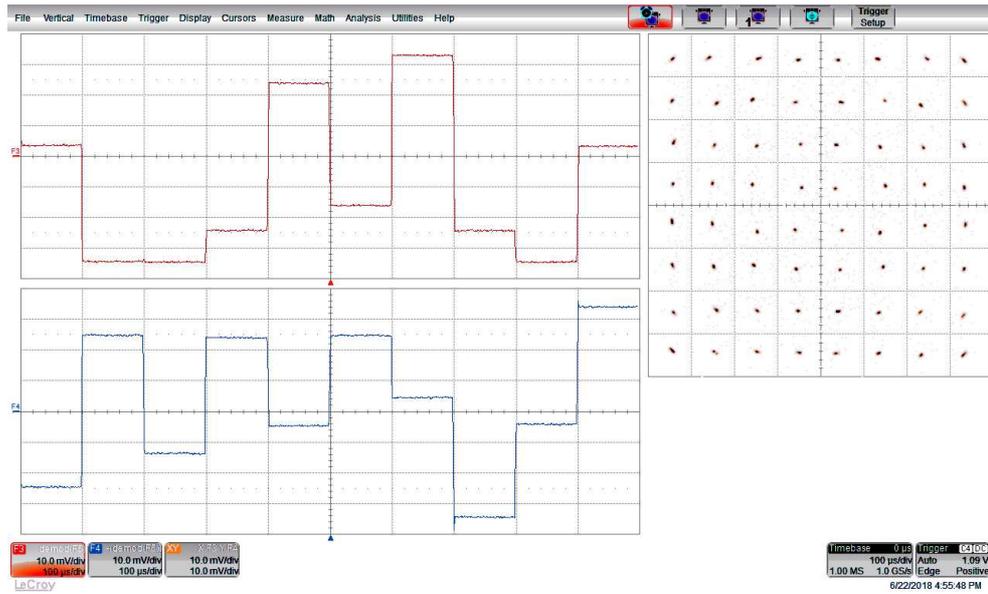


Figura 7.20: Componentes IQ de la señal demodulada  $y[n]$  y su diagrama de constelación.

donde  $y_m$  son los símbolos demodulados y  $K$  la longitud del vector recibido;  $x_m$  son los distintos puntos de la constelación, donde  $L$  es el número de símbolos de la modulación (64 para el caso implementado); y  $x'_m$  es el punto de la constelación ideal más cercano a  $y_m$ .

Modulación	Simulaciones	Mediciones
T-PWM	-32.71 dB	-32.35 dB
UPWM	-18.98 dB	-18.71 dB

Tabla 7.2: EVM de las modulaciones T-PWM y UPWM, para las simulaciones y mediciones experimentales.

La Tabla 7.2 compara los valores de EVM obtenidos en las simulaciones y mediciones experimentales, tanto para la técnica propuesta T-PWM como para la UPWM, calculados para una longitud  $K = 20000$  símbolos. En ambos casos, se observa una coincidencia prácticamente total entre los valores de EVM calculados a partir de los datos simulados y los medidos. Los resultados obtenidos con estas experiencias se pueden extrapolar a los analizados en la sección anterior: dado que la relación entre las frecuencias de portadora  $f_c$  y de resolución  $f_\phi$  es  $f_\phi/f_c = 240$ , se observa que el valor de EVM en la Tabla 7.2 para la modulación T-PWM coincide con el presentado en la Figura 7.11 para la misma relación  $f_\phi/f_c$ .

La diferencia mayor a 13 dB entre ambas modulaciones se puede inferir clara-

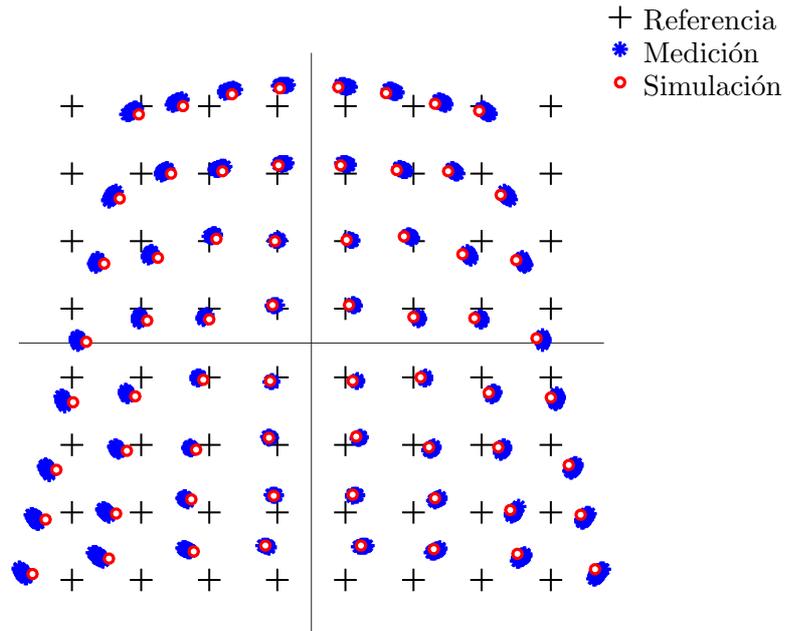


Figura 7.21: Diagrama de constelación de los símbolos 64-QAM recibidos con la modulación UPWM (simulados y medidos).

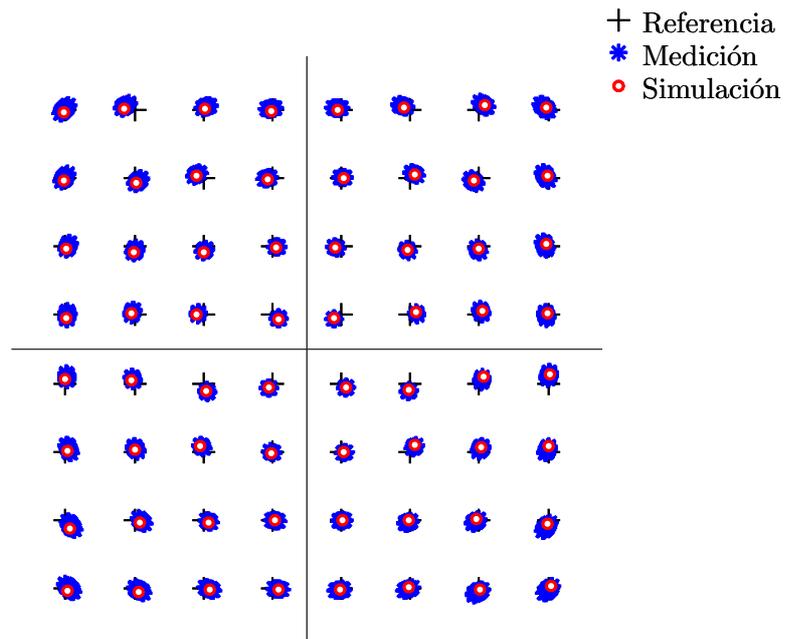


Figura 7.22: Diagrama de constelación de los símbolos 64-QAM recibidos con la modulación T-PWM (simulados y medidos).

mente observando sus constelaciones, mostradas en la Figura 7.21 y la Figura 7.22 para la UPWM y T-PWM, respectivamente. En ambos casos, los signos “+” en color negro indican la constelación de referencia 64-QAM, los círculos “o” en rojo son los resultados de simulación, y los asteriscos “\*” en azul se corresponden con los símbolos recibidos en las mediciones. La primera constelación muestra una

distorsión intrínseca propia de la modulación PWM uniforme estándar, mientras que la modulación T-PWM consigue una distorsión reducida utilizando la misma configuración experimental. Sin embargo, aunque los símbolos medidos se superponen con los datos de simulación, en algunos puntos existe una diferencia significativa con la constelación de referencia. Este aspecto podría mejorarse, considerando que la cuantización producida en los moduladores PWM individuales de la Figura 7.16 está dada por la relación entre  $f_{\text{clk}}$  y  $f_{\text{pwm}}$ , aplicando rutinas de optimización entera a los ciclos de trabajo que resultan de las ecuaciones en (7.8).

## 7.7. Transmisor de radiofrecuencia con modulación PWM basada en tabla

En las secciones previas se presentaron las ventajas comparativas de la modulación PWM basada en tabla (T-PWM), con el respaldo de simulaciones y resultados experimentales. Sin embargo, la arquitectura del modulador T-PWM mostrada en el esquema de la Figura 7.4 no es apta para implementar en un transmisor de RF, debido a que las señales transmitidas no están limitadas en banda y por lo tanto son inadecuadas para transmitir en un canal de comunicaciones. En esta sección se presenta una arquitectura alternativa, que utiliza la modulación T-PWM y el procesamiento en banda base necesario para ajustar la señal transmitida en una banda de frecuencia determinada.

### 7.7.1. Procesamiento en banda base

De acuerdo a lo introducido en la sección 2.3, la señal digital debe ser filtrada mediante conformadores de pulso para acotar el espectro de la misma, y poder transferir apropiadamente la información de la señal de banda base a la señal de radiofrecuencia. Mientras que en los ensayos realizados anteriormente los símbolos complejos eran muestreados a  $f_s$  utilizando un retenedor de orden cero, en este caso la interpolación se lleva a cabo mediante filtros adecuados.

En la Figura 7.23 se muestra un diagrama en bloques del procesamiento en

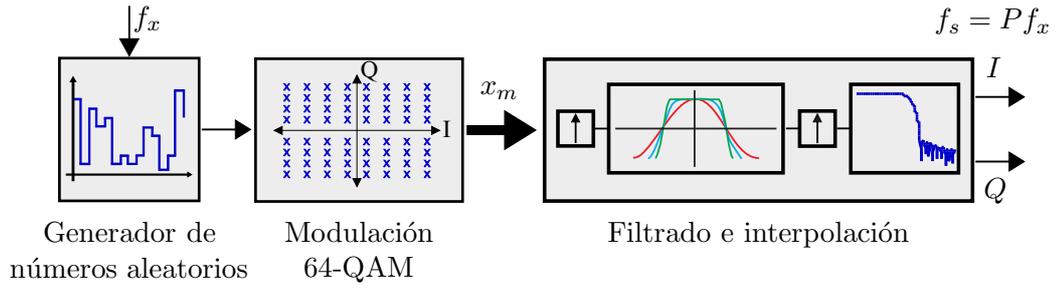


Figura 7.23: Procesamiento en banda base: generación de los símbolos 64-QAM, conformación de los pulsos e interpolación con filtros *half-band*.

banda base implementado en esta arquitectura. El generador produce números enteros aleatorios uniformemente distribuidos a una frecuencia  $f_x$ , información que es modulada en el plano complejo y codificada en los símbolos  $x_m$ . En el siguiente bloque se realiza el conformado de los pulsos e interpolación a una frecuencia  $f_s = P f_x$ . El filtro de *pulse shaping* utilizado es un filtro FIR raíz de coseno alzado, con factor de *roll-off*  $\alpha = 0.22$ , que realiza una interpolación  $\times 2$ . La interpolación restante hasta alcanzar el factor  $P$  se realiza mediante una cascada de filtros FIR pasabajos interpoladores  $\times 2$  (*half band*), cuyas propiedades de simetría son las más adecuadas para ser implementadas de manera eficiente y reducir el esfuerzo de cómputo [116]. El diseño de este bloque se basa en los criterios presentados en [117].

### 7.7.2. Generación de la señal T-PWM

Extendiendo el concepto planteado en la sección 7.3, en este caso se propone obtener los ciclos de trabajo de una señal PWM de dos niveles y frecuencia  $f_{\text{pwm}}$  que representa a la señal de RF modulada pasabanda, con distorsión reducida en los alrededores de la frecuencia de portadora  $f_c$  (sin distorsión entre 0 y la mitad de la frecuencia de PWM), para una señal modulante arbitraria. Así, no sólo los  $L$  símbolos de la modulación utilizada pueden ser representados, sino que la señal de RF puede ser modulada con una señal compleja de banda base  $x_m$  que comprende cualquier punto del plano complejo I/Q.

La Figura 7.24 presenta un diagrama en bloques del sistema que permite obtener la señal T-PWM a partir de las señales I/Q. Volviendo al sistema de ecuaciones con  $N = 3$  en (7.8), es posible obtener los ciclos de trabajo  $d_L[0]$ ,  $d_L[1]$

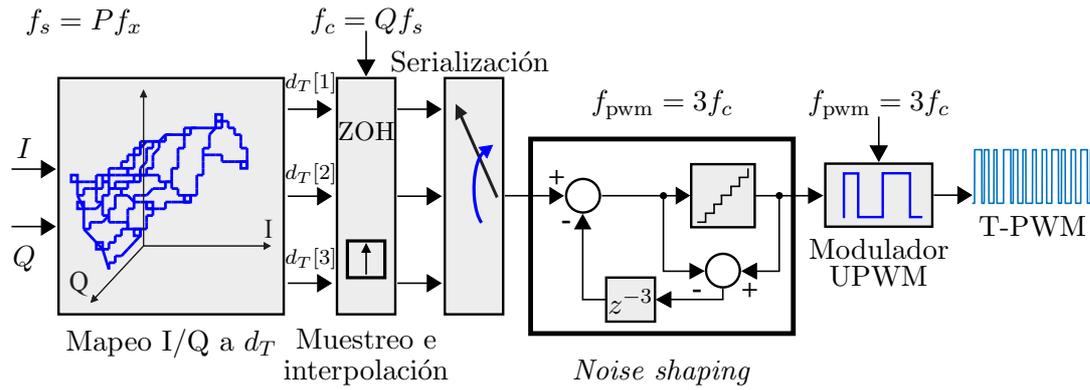


Figura 7.24: Generación de la señal T-PWM a partir de las señales I/Q: mapeo I/Q a ciclos de trabajo, interpolación en frecuencia, serialización y *noise shaping*.

y  $d_L[2]$  para una señal PWM *leading-edge*, en tanto que con  $d_T[n] = 1 - d_L[n]$  pueden obtenerse los correspondientes a una señal PWM *trailing-edge*. Dada que la primera ecuación es trivial  $d_L[0] = (3/2) - (d_L[1] + d_L[2])$ , este resultado podría reemplazarse en las otras dos ecuaciones para resolver  $d_L[1]$  y  $d_L[2]$  usando las ecuaciones no lineales de coseno y seno, reduciéndose a un problema de dos dimensiones en el cual los ciclos de trabajo  $d_L[1]$  y  $d_L[2]$  son determinados a partir de las componentes en fase y cuadratura,  $I = \Re\{x_m\}$  y  $Q = \Im\{x_m\}$ . Manteniendo el enfoque de la anterior implementación, el sistema de ecuaciones se resolvió fuera de línea para una grilla de puntos uniformemente distribuida sobre el plano complejo I/Q (de tamaño  $G_1 \times G_2$ ), y mediante una interpolación lineal en 2D se logra calcular los ciclos de trabajo que no están incluidos en los puntos de la grilla. Así, esta implementación resulta en un buena relación de compromiso entre la complejidad de cálculo y la memoria requerida.

- Mapeo I/Q a ciclos de trabajo:** Se calculan dos tablas de soluciones basadas en la grilla I/Q, una para  $d_L[1]$  y otra para  $d_L[2]$ . Cada una de estas tablas brinda el valor de  $d_L[1]$  y  $d_L[2]$  de acuerdo al valor seleccionado de  $I$  y  $Q$ . Cuando este último no está comprendido entre los puntos de la grilla se realiza una interpolación lineal.
- Interpolación lineal:** Una vez calculadas las tablas que relacionan la correspondencia entre las componentes I/Q y los ciclos de trabajo  $\{d_L[1], d_L[2]\}$  para una grilla que contiene un reducido conjunto de puntos, aquellos valores que no se encuentran en la grilla son obtenidos mediante interpolación

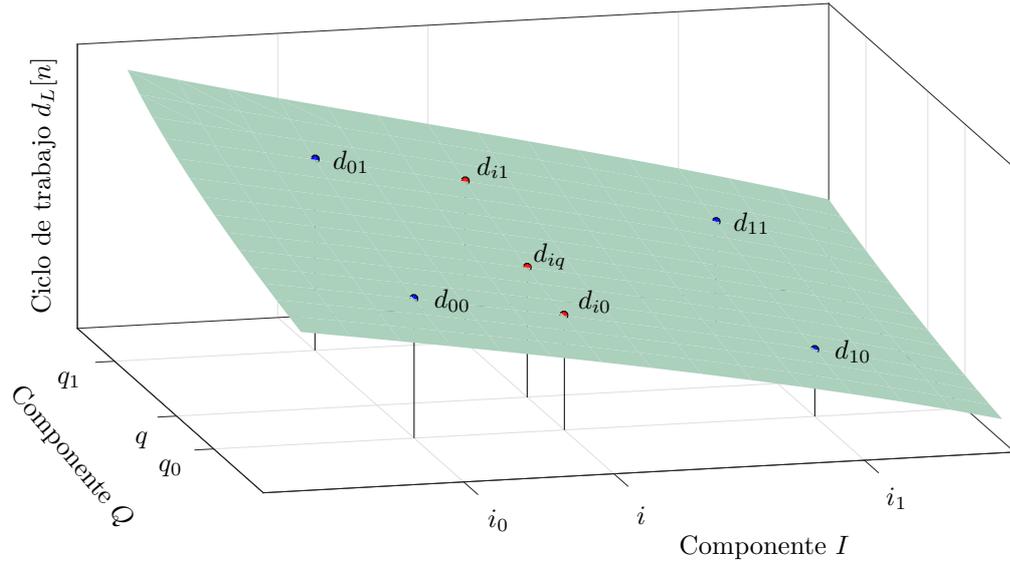


Figura 7.25: Interpolación lineal utilizada para obtener el valor del ciclo de trabajo  $d_L[n]$  para cada conjunto de valores I/Q.

lineal usando los puntos más cercanos. En la Figura 7.25 se muestra  $d_L[n]$  como función de las variables I y Q, así como también cuatro puntos de la grilla definidos en la tabla:  $d_{00}(i_0, q_0)$ ,  $d_{10}(i_1, q_0)$ ,  $d_{01}(i_0, q_1)$ ,  $d_{11}(i_1, q_1)$ , donde  $i_0$ ,  $q_0$ ,  $i_1$  y  $q_1$  son los índices de la tabla para la grilla establecida en el plano I/Q. Los valores interpolados  $d_{i0}$  y  $d_{i1}$  son linealmente proporcionales a la relación  $(i - i_0)/(i_1 - i_0)$  y son calculados manteniendo constante  $q_0$  y  $q_1$ , respectivamente. A continuación, puede obtenerse  $d_{iq}(i, q)$  dejando constante  $i$  y aplicando interpolación lineal entre los puntos  $d_{i0}$  y  $d_{i1}$ . Las expresiones para realizar la interpolación en dos dimensiones son

$$\begin{aligned}
 d_{i0} &= d_{00} + (d_{10} - d_{00}) \left[ \frac{i - i_0}{i_1 - i_0} \right] \\
 d_{i1} &= d_{01} + (d_{11} - d_{01}) \left[ \frac{i - i_0}{i_1 - i_0} \right] \\
 d_{iq} &= d_{i0} + (d_{i1} - d_{i0}) \left[ \frac{q - q_0}{q_1 - q_0} \right]
 \end{aligned} \tag{7.11}$$

donde  $d_{iq}$  es el valor del ciclo de trabajo. Se utiliza una tabla para  $d_L[1]$  y otra para  $d_L[2]$ , obteniendo por último  $d_L[0] = (3/2) - (d_L[1] + d_L[2])$ . Las operaciones que permiten obtener los tres ciclos de trabajo mediante el mapeo de los valores I/Q e interpolación están indicadas en el primer bloque del diagrama mostrado en la Figura 7.24, cuya frecuencia de operación es  $f_s$ .

Los tres valores de  $d_T[n]$  son muestreados a  $f_c = Qf_s$  usando un retenedor de orden cero para realizar la interpolación hasta la frecuencia de portadora, y luego serializados para obtener los ciclos de trabajo a  $f_{pwm} = 3f_c$  y poder generar la señal T-PWM con un modulador PWM uniforme estándar.

- **Noise-shaping:** La forma estándar de implementar *noise-shaping* (NS) para reducir el ruido de cuantización en los moduladores PWM es aplicarlo a los ciclos de trabajo antes de la generación de los pulsos [118, 119]. En esta aplicación es deseable reducir el ruido alrededor de  $f_c$ , una extensión directa del *noise-shaping* de primer orden para reducir la energía de ruido en esta banda se muestra en la Figura 7.24. Con el bloque de retardo  $z^{-3}$ , el ruido de cuantización tiene un cero en  $f_c$ , reduciendo el ruido en la banda de frecuencias de interés. La desventaja de esta implementación es que los ciclos de trabajo deben ser calculados a la frecuencia de PWM,  $f_{pwm}$ . El bloque de NS puede moverse hacia atrás como se muestra en el diagrama de bloques de la Figura 7.26. De esta forma, repitiendo la arquitectura de NS tres veces, una para cada ciclo de trabajo, se puede disminuir la frecuencia de operación del mismo de  $f_{pwm}$  a  $f_c$ . Para preservar el cero en la función de transferencia del ruido de cuantización a la frecuencia  $f_c$ , el retardo se cambió a  $z^{-1}$ . Ambas implementaciones brindan el mismo resultado.

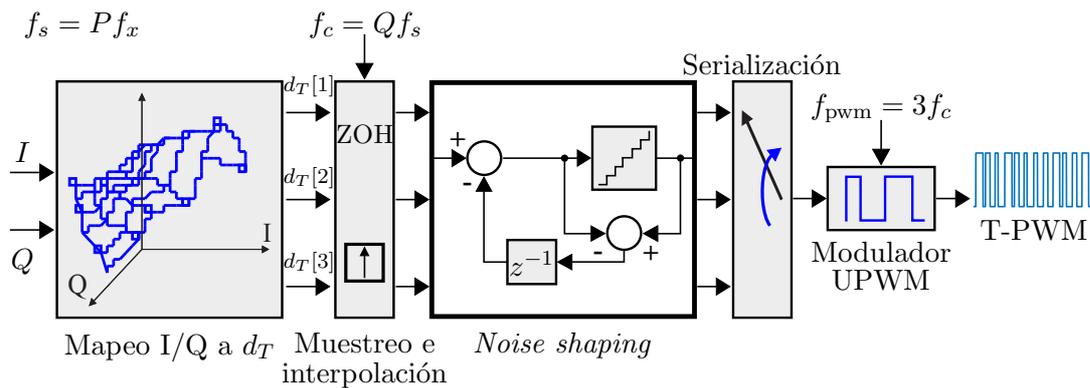


Figura 7.26: Generación de la señal T-PWM, con el bloque de *noise-shaping* operando a  $f_c$ .

Parámetro	Descripción	Valor
$P = f_s/f_x$	Factor de interpolación (filtros)	16
$Q = f_c/f_s$	Factor de interpolación (ZOH)	4
$N = f_{\text{pwm}}/f_c$	Pulsos por período de portadora	3
$G_1 \times G_2$	Tamaño de la grilla	$17 \times 17$
$q = f_{\text{res}}/f_{\text{pwm}}$	Niveles de cuantización	8 – 128

Tabla 7.3: Principales parámetros utilizados en la simulación.

### 7.7.3. Resultados de simulación

En la Tabla 7.3 se resumen los principales parámetros del modulador por tabla T-PWM, así como los valores utilizados en las simulaciones. El filtrado e interpolación desde la frecuencia de la señal de banda base  $f_x$  hasta  $f_s$  se implementó con cuatro filtros FIR de orden 44, 22, 12 y 12. El tamaño de la grilla con la cual se realizó el mapeo del plano I/Q fue de  $17 \times 17$ , que en conjunto con la interpolación lineal aplicada es suficiente para reducir la distorsión a niveles despreciables con respecto al ruido de cuantización, definido por los  $q$  pasos de cuantización del formador de pulsos. Este valor queda establecido por la resolución temporal del sistema, siendo uno de los parámetros más sensibles del transmisor de RF, por lo que será utilizado para evaluar su rendimiento. Para comparar el desempeño de la modulación T-PWM con esta arquitectura se simuló también la modulación UPWM utilizando los mismos bloques, pero en este caso las tablas utilizadas para el mapeo I/Q a ciclos de trabajo fueron obtenidas mediante el muestreo uniforme de  $v[n]$  en la expresión (7.6). De forma adicional, se analizaron las diferencias introducidas por la aplicación de *noise-shaping* en cada modulación.

Las métricas usadas para evaluar el desempeño del sistema bajo distintas condiciones de cuantización fueron dos: EVM y ACPR<sup>2</sup>. Mientras que la primera brinda información de la distorsión en amplitud y fase dentro de la banda de interés (alrededor de la frecuencia  $f_c$ ), la restante es una medida de la distorsión no lineal en el transmisor al relacionar la potencia en las bandas de frecuencia adyacentes con la potencia en la banda centrada en  $f_c$ .

<sup>2</sup>Adjacent Channel Power Ratio

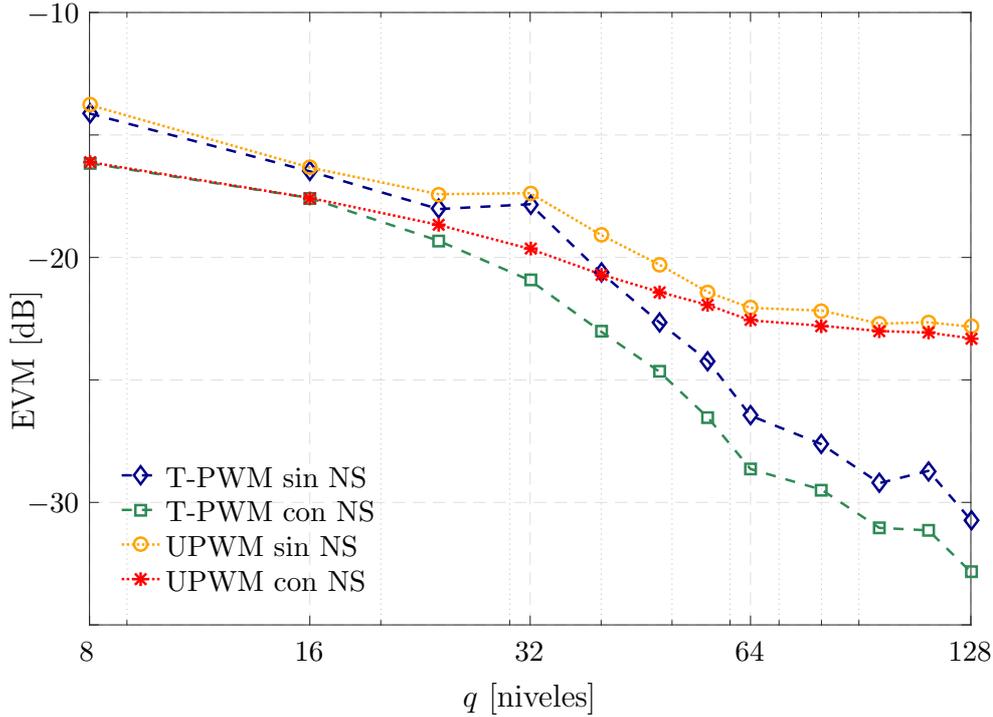


Figura 7.27: EVM en función de los niveles de cuantización  $q$ .

En la Figura 7.27 se presentan los valores de EVM obtenidos en el demodulador en función de los pasos de cuantización  $q$  aplicados a los ciclos de trabajo. Puede observarse que los valores de EVM mejoran con el incremento de los niveles de cuantización en todos los casos, en una situación análoga a la presentada en la Figura 7.11. Sin embargo, como se observó en anteriores oportunidades, los altos niveles de distorsión que introduce la modulación UPWM tiende a saturar el valor de EVM (aproximadamente en  $-23$  dB para ambos casos, con y sin *noise-shaping*). En el caso de la modulación T-PWM, la aplicación de NS disminuye el ruido de cuantización aportando una mejora de  $2 - 3$  dB para todos los valores de  $q$ .

La ACPR se define como la relación entre la potencia de los canales adyacentes  $P_{adj}$  con respecto a la potencia del canal central  $P_c$ , relativo a la portadora, es decir

$$\text{ACPR [dB]} = 10 \log \frac{P_{adj}}{P_c} \quad (7.12)$$

Esta métrica, importante para evaluar el crecimiento espectral (*spectral regrowth*) producido por las no linealidades del modulador, fue calculada para diferentes niveles de cuantización. El canal principal tiene una frecuencia central normalizada  $f_c = 1$  y ancho de banda  $f_x = f_c/(QP) = 0.0156f_c$ . Los dos canales

adyacentes a izquierda y derecha de la frecuencia central  $f_c$  se definieron con frecuencias centrales  $f_{adj\pm} = f_c \pm f_x \pm f_x/8$  donde  $f_x/8$  es el espaciado entre canales. Debido a la simetría del espectro, los canales izquierdo y derecho tienen prácticamente la misma energía. En la Tabla 7.4 se presenta el valor promedio de ambos canales laterales para distintos valores de  $q$ .

	$q = 8$	$q = 16$	$q = 32$	$q = 64$	$q = 80$
UPWM sin NS	-15.43	-22.42	-29.05	-33.11	-33.62
UPWM con NS	-35.34	-35.77	-35.87	-35.89	-35.90
T-PWM sin NS	-15.53	-22.57	-30.58	-37.56	-39.38
T-PWM con NS	-40.58	-47.98	-51.19	-52.22	-52.35

Tabla 7.4: ACPR simulado para varios niveles de cuantización  $q$ .

Los resultados de la Tabla 7.4 muestran las ventajas de utilizar la modulación propuesta en combinación con un *noise-shaping* de primer orden para todos los niveles de cuantización. Para el caso de la modulación UPWM con NS, el efecto que domina es la distorsión producida por el propio modulador, manteniéndose el valor de ACPR prácticamente constante e independiente de la cuantización. Cuando el modulador UPWM se implementa sin NS, el ruido de cuantización domina y el valor de ACPR empeora drásticamente: se necesitan mas de  $q > 80$  niveles de cuantización para alcanzar el mismo desempeño que cuando se utiliza NS.

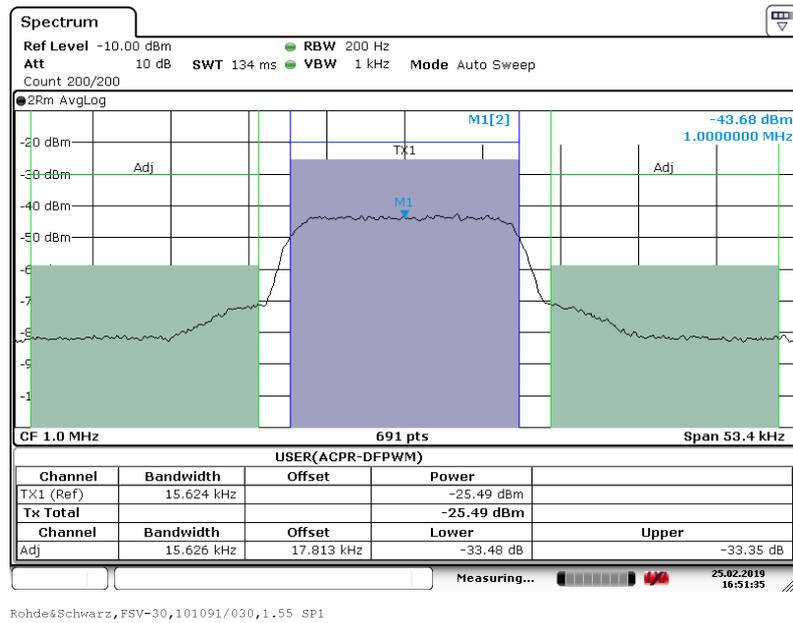
En el caso de la T-PWM, los valores de ACPR mejoran con el aumento de resolución temporal en ambos casos, con y sin aplicación de *noise-shaping*. Para  $q \geq 32$  la diferencia entre los moduladores UPWM y T-PWM es mayor a 15 dB, diferencia que disminuye para valores menores de  $q$  aunque sigue siendo apreciable. El ACPR de la modulación T-PWM con NS parece saturar para  $q = 64$  en alrededor de  $-52$  dB. En este punto, otros parámetros de los presentados en la Tabla 7.3 podrían ser modificados para mejorar el desempeño del modulador propuesto, como la relación entre la frecuencia de interpolación y la frecuencia de señal  $P$ , el factor de interpolación del retenedor de orden cero  $Q$ , o la resolución de la grilla  $G_1 \times G_2$  utilizada para mapear las componentes I/Q.

#### 7.7.4. Resultados experimentales

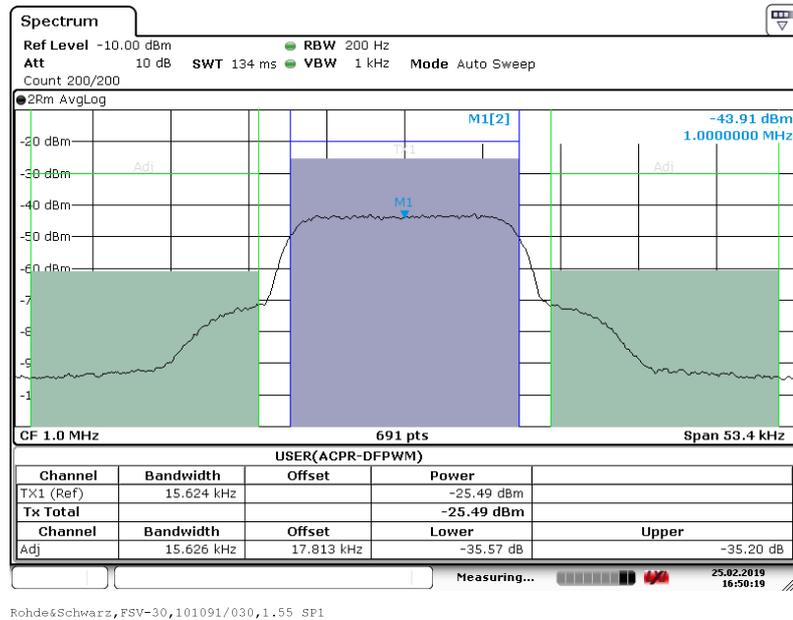
El sistema formado por los bloques de las Figuras 7.23 (procesamiento en banda base) y 7.26 (generación de la señal T-PWM con NS operando a  $f_c$ ) fue sintetizado en una placa de desarrollo FPGA Xilinx Artix-7, para las distintas variantes analizadas: modulación T-PWM y UPWM, con aplicación o no de *noise-shaping*, seleccionables mediante interruptores externos. La frecuencia de reloj utilizada fue  $f_{\text{clk}} = 240$  MHz, mientras que la cuantización aplicada a los ciclos de trabajo fue  $q = 80$  al igual que en la implementación previa. Los restantes parámetros fueron establecidos respetando los valores de la Tabla 7.3, así la frecuencia de PWM resultante fue  $f_{\text{pwm}} = 3$  MHz, con una frecuencia de portadora  $f_c = 1$  MHz, frecuencia de interpolación  $f_s = 250$  kHz y frecuencia de señal  $f_x = 15.625$  kHz. La salida de la placa de desarrollo AC-701 fue medida con un analizador de espectro FSV-30 de Rohde & Schwarz (ancho de banda 30 GHz), con el cual se realizaron las mediciones de potencia en los distintos canales para obtener los valores de ACPR.

La Figura 7.28 muestra la medición del espectro cercano, centrado en  $f_c$ , para el transmisor UPWM: (a) corresponde al modulador sin NS, mientras que en (b) se aplicó NS. En ambas figuras puede observarse crecimiento espectral fuera de la banda central, causado por la distorsión propia de la modulación PWM uniforme. La disminución del ruido de cuantización debido a la aplicación de *noise-shaping* permite apreciarlo con mayor claridad en (b). Los canales donde se realiza la medición de ACPR son indicados con barras de distintos colores: el canal central con color azul y los canales adyacentes con color verde. Los valores de ACPR obtenidos se muestran en cada captura, y son presentados en la Tabla 7.5 para mayor claridad. Para el modulador UPWM con  $q = 80$ , la distorsión fuera de banda producida predomina y las ACPR son muy similares en ambos casos, comprobándose la conclusión establecida a partir de las simulaciones en la sección anterior.

El espectro cercano para el transmisor T-PWM es mostrado en la Figura 7.29, donde (a) es la correspondiente a T-PWM sin NS y (b) con NS. En ambas puede notarse que la distorsión fuera de banda es mucho menor que para el caso UPWM, y que la aplicación de *noise-shaping* produce una disminución sustancial



(a)



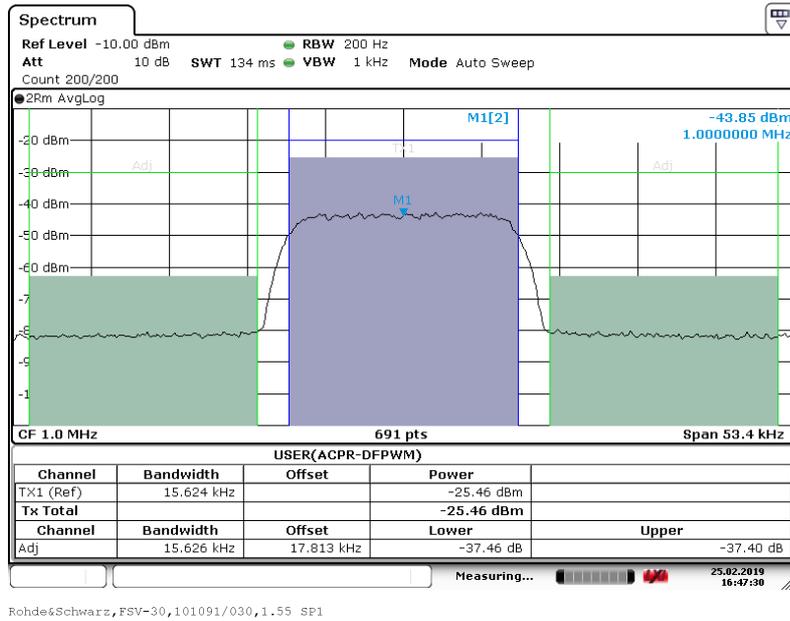
(b)

Figura 7.28: Espectro cercano medido para el transmisor UPWM: (a) Sin *noise-shaping*, (b) Con *noise-shaping*.

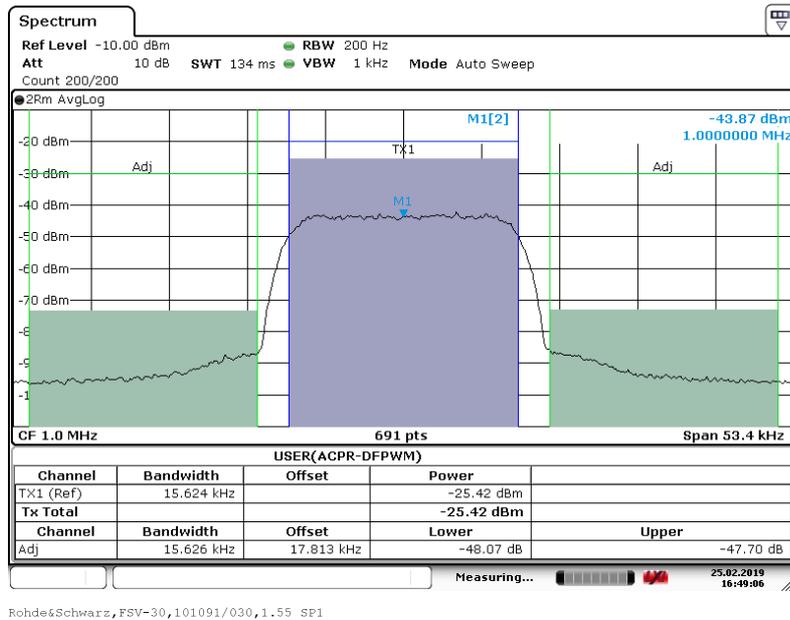
de potencia en los canales adyacentes, alcanzando una mejora en los valores de ACPR de 10 dB.

En la Tabla 7.5 se resumen los valores de ACPR obtenidos para cada variante de las modulaciones ensayadas. A fines comparativos, se agregaron los resultados de ACPR y EVM obtenidos de las simulaciones para las mismas condiciones. De la misma puede apreciarse las ventajas de la modulación propuesta, que posee

## 7.7. Transmisor de RF con modulación PWM basada en tabla



(a)



(b)

Figura 7.29: Espectro cercano medido para el transmisor T-PWM: (a) Sin *noise-shaping*, (b) Con *noise-shaping*.

una distorsión reducida dentro y fuera de la banda de frecuencias de interés.

Por último, en la Figura 7.30 se muestra el espectro lejano para la modulación T-PWM con *noise-shaping* medido en un rango de frecuencia  $0.5f_c - 1.5f_c$  centrado en  $f_c$ , donde puede apreciarse claramente la respuesta causada por el *noise-shaping*. Además pueden observarse las replicas espectrales introducidas por el interpolador ZOH ubicadas en  $f_c \pm kf_s$ , las cuales pueden ser eliminadas

Transmisor	ACPR [dB]		EVM [dB]
	Simulaciones	Mediciones	Simulaciones
UPWM sin NS	-33.62	-33.35	-22.17
UPWM con NS	-35.90	-35.20	-22.79
T-PWM sin NS	-39.38	-37.40	-27.62
T-PWM con NS	-52.22	-47.70	-29.48

Tabla 7.5: ACPR y EVM de los transmisores T-PWM y UPWM, para las simulaciones y mediciones experimentales con  $q = 80$ .

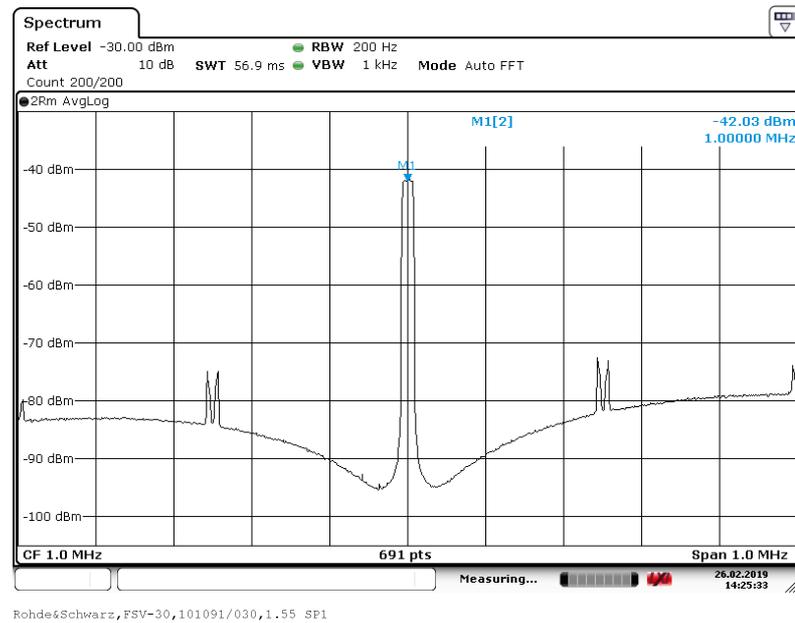


Figura 7.30: Espectro lejano medido para el transmisor T-PWM con NS.

fácilmente por el filtro pasabanda que suele utilizarse en los transmisores de RF a la salida del amplificador de potencia y previo a la antena, como se discutió en el Capítulo 2.

## 7.8. Conclusión

El modulador PWM por tabla presentado en esta tesis permite la implementación de un transmisor de RF totalmente digital, cumpliendo con la premisa de reducir al mínimo el dominio analógico en estos sistemas. Un esquema del transmisor que utiliza la modulación propuesta se muestra en la Figura 7.31, incluyendo la naturaleza de las señales involucradas entre cada bloque. Mediante

extensas simulaciones y mediciones experimentales realizadas en laboratorio se demostró que el desempeño del modulador T-PWM es comparable a otras técnicas empleadas en la actualidad. Una de las mayores ventajas de este enfoque es la posibilidad de calcular fuera de línea los ciclos de trabajo de la señal PWM. Esto permitiría evaluar el comportamiento del resto de los componentes del transmisor (principalmente el amplificador de potencia) ante los distintos anchos de los pulsos digitales, y si existiera alguna no linealidad se podría realizar la compensación directamente en el modulador. También se demostró que el modulador T-PWM es robusto ante variaciones temporales aleatorias y sistemáticas, pudiéndose implementar en sistemas de alta resolución temporal cuya cuantización es no uniforme sin una pérdida apreciable en su rendimiento.

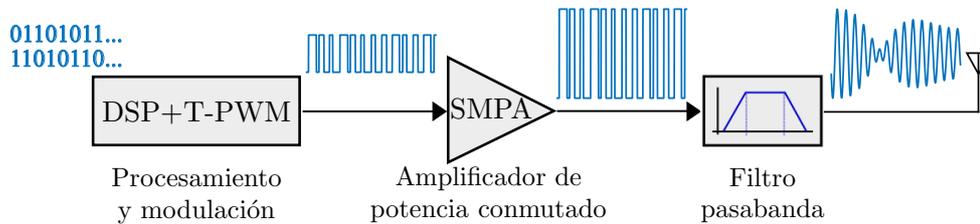


Figura 7.31: Diagrama en bloques del transmisor T-PWM propuesto.

# Capítulo 8

## Conclusiones

En esta tesis se abordó una de las problemáticas más frecuentes en los sistemas digitales actuales: la resolución temporal finita. Este hecho afecta el desempeño de los mismos en múltiples campos. La solución directa de aumentar la frecuencia de operación es la más costosa, ya que implica elevar el consumo de potencia, emplear restricciones temporales más exigentes en el diseño y utilizar procesos tecnológicos modernos.

Las soluciones propuestas en este trabajo presentan distintos enfoques. Una de ellas es el desarrollo de sistemas microelectrónicos con capacidad de generar intervalos de tiempo preciso y bajo consumo de potencia. En esa línea se fabricaron dos circuitos integrados en una tecnología de 130 nm, proceso que a pesar de tener varios años en el mercado de semiconductores es ampliamente utilizado en ámbitos industriales y académicos. Así, los módulos de alta resolución temporal desarrollados pueden ser utilizados como parte de sistemas más complejos sin cambios en el diseño.

El primer chip implementado fue utilizado para testear el correcto funcionamiento del esquema circuital propuesto. Además, implicó un aprendizaje en profundidad del flujo de diseño de circuitos integrados, con mayor énfasis en las herramientas de diseño analógico (la lógica digital incluida fue sencilla y sintetizada exclusivamente para su testeo). La topología circuital implementada permite retrasar la señal binaria a su entrada por un intervalo temporal dado, ajustable mediante registros accesibles por el usuario. La medición de intervalos temporales tan pequeños resultó un gran desafío, que pudo superarse utilizando instrumental

de alto rendimiento y extensos ensayos automatizados.

El diseño del segundo circuito integrado incorporó muchas características probadas con éxito en el primer chip, con modificaciones que permitieron obtener una linealidad mejorada con un paso de retardo mucho menor. En este caso, el sistema implementado se abordó como un circuito de señal mixta, integrando bloques analógicos y digitales de relativa complejidad. La arquitectura híbrida del modulador por ancho de pulsos integrada en el chip permite su ajuste ante cambios en las condiciones de operación, con una resolución temporal muy alta y bajo consumo de potencia. Es importante destacar que ambos chips fabricados fueron orientados a aplicaciones de audio, electrónica de potencia y similares, logrando su mejor desempeño con frecuencias de reloj en el orden de algunas decenas de MHz.

Distinto es el caso de la modulación por ancho de pulso basada en tabla, propuesta para ser implementada en transmisores de radiofrecuencias totalmente digitales. La fabricación de un circuito integrado que pueda ser utilizado en este rango de frecuencias debe realizarse sobre procesos tecnológicos más modernos, sin embargo pudieron llevarse a cabo distintas pruebas de concepto sobre plataformas reconfigurables a frecuencias menores, conservando la relación entre cada uno de los parámetros. En este enfoque, el trabajo estuvo orientado a desarrollar un modulador PWM con niveles mínimos de distorsión y rendimiento comparable a los sistemas de RF usados en la actualidad. Los indicadores utilizados para evaluar el desempeño demostraron un muy buen comportamiento bajo distintas condiciones, tanto en las simulaciones como en los ensayos experimentales.

## 8.1. Contribuciones originales de la tesis

Los aportes realizados por esta tesis al estado del arte en la temática se pueden resumir en los siguientes ítems:

- ✓ Diseño novedoso de un elemento de retardo programable, cuya topología circuital permite su control y calibración de manera digital.
- ✓ Introducción de una arquitectura híbrida para la generación de una señal PWM simétrica de alta resolución, la cual presenta niveles reducidos de

distorsión armónica.

- ✓ Diseño integrado de un modulador PWM de alta resolución, que incluye una novedosa estrategia para la generación del pulso digital. La elevada resolución alcanzada y su bajo consumo de potencia lo posiciona en una situación privilegiada respecto a otros moduladores presentados en la literatura.
- ✓ Desarrollo de una técnica de modulación PWM destinada a transmisores de radiofrecuencia totalmente digitales, cuya implementación se basa en tablas calculadas previamente. La misma presenta muy buen desempeño espectral y robustez ante variaciones temporales en la generación de la señal.

## 8.2. Proyección y trabajo futuro

Los desarrollos presentados en esta tesis permiten continuar con los objetivos de la línea de investigación, con el fin de extender los resultados obtenidos y avanzar en distintas aplicaciones de los mismos.

- La utilización del chip modulador PWM de alta resolución en la implementación de amplificadores de audio clase D es la aplicación más directa, correspondiéndose con el rango de frecuencias de operación para el cual fue diseñado, pudiéndose garantizar un elevado rango dinámico con niveles mínimos de distorsión armónica y consumo de potencia.
- Cambiando ligeramente las condiciones de operación se puede utilizar el mismo CI en convertidores conmutados, donde las características de alta resolución detalladas brindan importantes beneficios en la regulación de la tensión de salida.
- En ambos casos, el chip con las líneas de retardo programables puede incorporarse para generar los tiempos muertos necesarios para el control de las llaves de potencia. La posibilidad de realizar la configuración de ambos chips de forma totalmente digital permite incorporarlos como subsistemas de una arquitectura basada en un microcontrolador o una FPGA de propósitos generales.

- La combinación de ambos circuitos integrados también puede utilizarse para desarrollar nuevas topologías de moduladores por ancho de pulso, como la implementación del modulador PWM simétrico mostrada en el Capítulo 4. En ese sentido, parte de la bibliografía citada utiliza la combinación de líneas de retardo y formadores de pulso de alta resolución para la generación de señales binarias en radiofrecuencias, siendo una oportunidad de generar nuevas arquitecturas para ese campo de aplicaciones.
- Todas las aplicaciones mencionadas anteriormente son factibles de ser integradas a nivel sistema en el mismo circuito integrado, con las modificaciones necesarias. Para tal fin, se posee la experiencia de las integraciones previas así como los circuitos diseñados en ambos chips. Los mismos pueden ser modificados y reutilizados para otros bloques fundamentales. Como ejemplo, el elemento de retardo diseñado puede ser usado en un oscilador controlado por voltaje, circuito necesario para generar la portadora en los transmisores de RF.

# Apéndice A

## Análisis de retardos externos en la medición del CI-DL

La primera línea de retardo del CI-DL posee un buffer en su entrada que se conecta directamente a la salida  $out_{inT_1}$ , lo que permite descontar de las mediciones el retardo temporal causado por el circuito impreso, los pads y el empaquetado del chip. La señal cuadrada del generador aplicada en el conector de entrada  $in_{T_1}$  es medida en el conector de salida  $out_{inT_1}$  con un retardo  $t_A$ :

$$t_A = 2t_{SMA} + 2t_{PCB} + 2t_{DIP} + t_{PAD-I} + t_{PAD-O} + t_{BUFF}, \quad (A.1)$$

donde  $t_{SMA}$  es el retardo introducido por el conector SMA,  $t_{PCB}$  el retardo causado por la pista de circuito impreso (suponiendo que todas las pistas tienen retardos similares, como se expone en la siguiente sección [A.1](#)),  $t_{DIP}$  el retardo causado por el empaquetado del chip (con una suposición similar al caso anterior, ver sección [A.2](#)),  $t_{PAD-I}$  el retardo del pad de entrada y  $t_{PAD-O}$  el retardo del pad de salida. El retardo  $t_B$  medido en la salida  $out_{T_1}$  es:

$$t_B = 2t_{SMA} + 2t_{PCB} + 2t_{DIP} + t_{PAD-I} + t_{PAD-O} + T_1, \quad (A.2)$$

donde  $T_1$  es el retardo programable que se desea medir ([3.13](#)), el cual se puede obtener de la diferencia entre ambos retardos:

$$t_B - t_A = T_1 - t_{BUFF}, \quad (A.3)$$

despreciando el retardo  $t_{\text{BUFF}} = 40$  ps.

## A.1. Retardos asociados al circuito impreso

El circuito impreso usado para testear el CI-DL fue diseñado cuidadosamente, ecualizando los retardos  $t_{\text{PCB}}$  causados por las longitudes de las pistas (Figura A.1). La diferencia de longitud máxima entre pistas de señal fue ajustada en el software de diseño de circuitos en 40 milésimas de pulgada (1.016 mm). El retardo  $\Delta t_{\text{PCB}}$  producido por esta longitud de pista  $l_{\text{PCB}}$  es:

$$\Delta t_{\text{PCB}} = \frac{l_{\text{PCB}}}{v_p} \approx 61 \text{ ps} \quad (\text{A.4})$$

con

$$v_p = \frac{c}{\sqrt{\epsilon_{\text{eff}}}} \approx 1.66 \times 10^8 \text{ m/s} \quad (\text{A.5})$$

donde  $v_p$  es la velocidad de propagación de las señales en el material del circuito impreso, y  $\epsilon_{\text{eff}}$  es la constante dieléctrica efectiva para el material FR4. La diferencia de retardos  $\Delta t_{\text{PCB}}$  entre distintas salidas obtenida en A.4 es dos ordenes de magnitud menor que los retardos mínimos  $T_{\text{DL}}$  entre líneas.

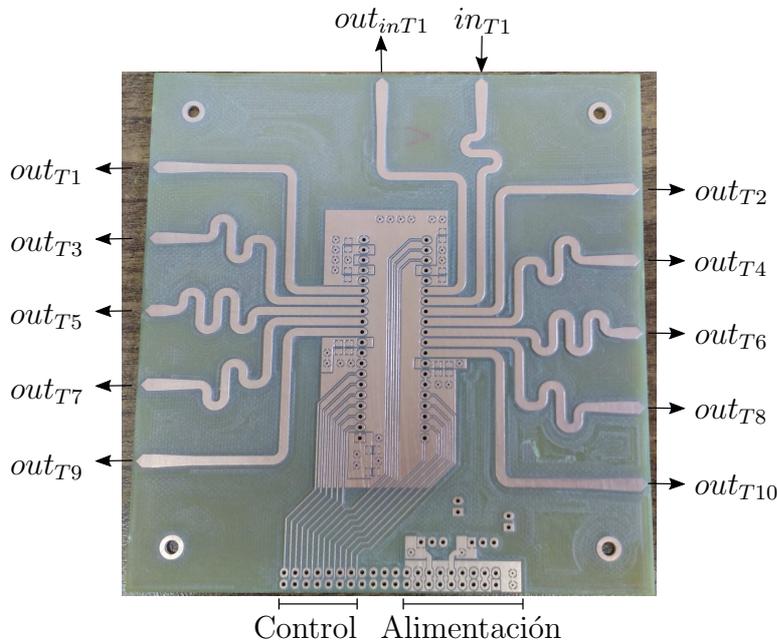


Figura A.1: Fotografía del circuito impreso para testear el CI-DL.

## A.2. Retardos asociados al empaquetado

La interconexión entre el circuito integrado (*bond pads*) y el encapsulado (*bond fingers*) se realizó mediante el método de *wire bonding*, con cables de similares dimensiones como puede observarse en la fotografía mostrada en la Figura 3.23. Sin embargo, dada la geometría del encapsulado DIP40, la longitud de las conexiones entre los *bond fingers* y los pines son muy distintas, provocando retardos diferentes en cada caso. Para minimizar estas diferencias, se rotó el chip de manera tal que las señales digitales de tiempo continuo utilicen los pines correspondientes a las conexiones de menor longitud: pines 11 – 15 para las señales  $out_{T[1,3,5,7,9]}$ , pines 26 – 32 para las señales  $in_{T1}$ ,  $out_{inT1}$  y  $out_{T[2,4,6,8,10]}$ , como puede observarse en el circuito impreso de la Figura A.1.

En la Figura A.2 se muestra el circuito equivalente de las conexiones dentro del empaquetado brindado por el fabricante, a partir del cuál pueden estimarse los retardos agregados a cada señal, considerando los parámetros  $R$ ,  $L$  y  $C$  de la Tabla A.1 para los pines nombrados.

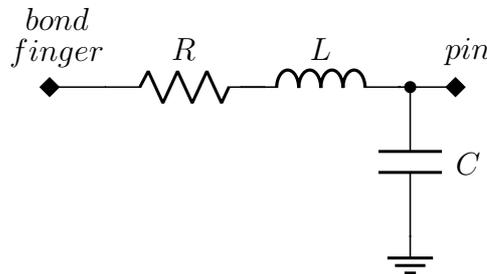


Figura A.2: Circuito equivalente de la conexión dentro del empaquetado.

Pin	$R$ [ $\Omega$ ]	$L$ [nH]	$C$ [pF]	$t_{PIN}$ [ps]
6, 15, 26, 35	0.0661	4.37	1.43	79.0
7, 14, 27, 34	0.0646	4.54	1.48	81.9
8, 13, 28, 33	0.0498	3.69	1.05	62.3
9, 12, 29, 32	0.0378	3.54	0.86	55.3
10, 11, 30, 31	0.0247	3.15	0.66	45.6

Tabla A.1: Parámetros eléctricos del encapsulado DIP40.

Resolviendo el circuito  $RLC$  de segundo orden y obteniendo la respuesta temporal se observa una respuesta subamortiguada en todos los casos, aún en

## A.2. Retardos asociados al empaquetado

---

los casos que se modele una resistencia baja asociada al conjunto *bonding wire + bond finger*. Para una señal con tiempos de subida/bajada de 100 ps, el retardo agregado por el encapsulado se presenta en la columna  $t_{\text{PIN}}$  de la Tabla A.1. La diferencia máxima de retardos entre distintos pines es  $\Delta t_{\text{PIN}} = 36$  ps, similar a  $\Delta t_{\text{PCB}}$ , por lo que utilizando el mismo razonamiento de la sección A.1 se puede despreciar.

Las mismas consideraciones expuestas en este apéndice fueron aplicadas en el diseño y medición del CI-PWM.

# Apéndice B

## Detalles técnicos del CI-PWM

### B.1. Registros de configuración

En la Tabla B.1 se especifican los registros del chip CI-PWM configurables por el usuario, detallando el tamaño, la dirección y la función de cada uno de ellos.

Registro		Tamaño	Dir.	Función
DBG=0	DBG=1			
$D_{2\_PWM}$	$D_{2\_DBG}$	[4:0]	00 <sub>h</sub>	Cuentas de DE <sub>2</sub>
$D_{3\_PWM}$	$D_{3\_DBG}$	[4:0]	01 <sub>h</sub>	Cuentas de DE <sub>3</sub>
...	...	...	...	...
$D_{12a\_PWM}$	$D_{12a\_DBG}$	[4:0]	11 <sub>h</sub>	Cuentas de DE <sub>12a</sub>
$D_{12b\_PWM}$	$D_{12b\_DBG}$	[4:0]	12 <sub>h</sub>	Cuentas de DE <sub>12b</sub>
$A_2$		[3:0]	20 <sub>h</sub>	Calibración de DE <sub>2</sub>
$A_3$		[3:0]	21 <sub>h</sub>	Calibración de DE <sub>3</sub>
...		...	...	...
$A_{12b}$		[3:0]	32 <sub>h</sub>	Calibración de DE <sub>12b</sub>
$A_1$		[3:0]	33 <sub>h</sub>	Calibración de DE <sub>1</sub>
$cnt_{PWM}$		[7:0]	40 <sub>h</sub>	Periodo del PWM
$ctrl_{PWM}$		[7:0]	41 <sub>h</sub>	Control del PWM
$size_{PWM}$		[8:0]	42 <sub>h</sub>	Tamaño de la RAM
$cnt_{PWMHR}$		[9:0]	44 <sub>h</sub>	Cuentas del HRPWM
$cfg_{PWMHR}$		[4:0]	46 <sub>h</sub>	Cuentas $k$ por celda de retardo
$sel_{PWM}$	$sel_{DBG}$	[3:0]	47 <sub>h</sub>	Selector del multiplexor

Tabla B.1: Registros de configuración del chip CI-PWM.

Los registros  $D_{i\_DBG}$  que configuran los retardos de los DE son utilizados en el modo *Debug*; en modo *Normal*, estos valores son obtenidos a partir de los ciclos de trabajo guardados en la memoria ( $D_{i\_PWM}$ ). La calibración de los elementos de retardo es ajustada mediante los registros  $A_i$ , usados en ambos modos de funcionamiento. Los registros que controlan el módulo DPWM ( $cnt_{PWM}$ ,  $ctrl_{PWM}$  y  $size_{PWM}$ ) son usados en el modo *Normal*, al igual que los referidos al HRPWM ( $cfg_{PWMHR}$  y  $cnt_{PWMHR}$ , este último empleado para establecer una salida válida en las señales **PWMHR\_P** y **PWMHR\_N** cuando se realiza una operación de escritura en la memoria), con la excepción de  $sel_{DBG}$  que es utilizado para seleccionar la salida del multiplexor en el modo *Debug* y se emplea en conjunto con los  $D_{i\_DBG}$ .

## B.2. Comunicación SPI

El módulo SPI incluido en el chip CI-PWM posee dos tipos de comunicación para las operaciones de lectura y escritura, resultando en cuatro tramas distintas que se muestran en las Figuras B.1, B.2, B.3 y B.4. En las dos primeras se detallan las señales  $\overline{ss}$  (*slave select*, que inicia y finaliza la comunicación) y *mosi* (*master out, slave in*), donde el dispositivo maestro es la FPGA utilizada en las experiencias de laboratorio y el dispositivo esclavo es el CI-PWM. En las operaciones de lectura, mostradas en las dos figuras restantes, interviene además la señal *miso* (*master in, slave out*). En todos los casos se omite la señal de reloj *sclk* (*serial clock*) generada por el dispositivo maestro y que sincroniza ambos módulos SPI.

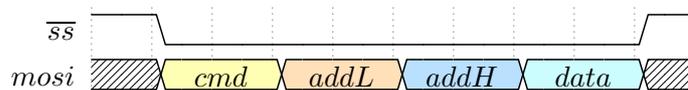


Figura B.1: Comunicación SPI: escritura en modo *único*.

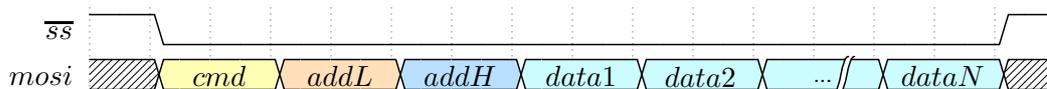
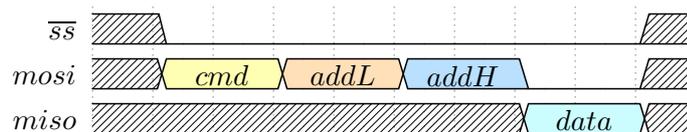
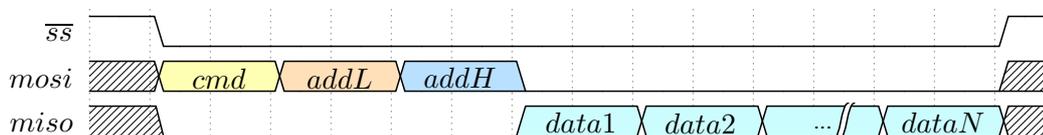


Figura B.2: Comunicación SPI: escritura en modo *ráfaga*.


 Figura B.3: Comunicación SPI: lectura en modo *único*.

 Figura B.4: Comunicación SPI: lectura en modo *ráfaga*.

El tipo de trama queda determinado por el valor del byte  $cmd$ . El byte  $addH$  indica si la operación se realizará sobre un registro o una posición de memoria, mientras que  $addL$  especifica su dirección. Para una operación en modo *ráfaga*, la dirección de lectura/escritura se incrementa automáticamente. Este modo resulta muy práctico para operar con muchas posiciones de memoria, siendo la única manera de acceder a direcciones mayores a  $255_d = FF_h$ .

### B.3. Error de programación

Diversas configuraciones experimentales fueron realizadas debido a inconsistencias entre los resultados de simulación y las mediciones (hasta 40 ns de diferencia entre los valores estimados y los medidos con el osciloscopio). Una posible fuente de error podría ocurrir debido a problemas en la comunicación, por lo que todo el proceso de escritura en la memoria fue verificado paso a paso. Otro posible error podría haber sido que existiera una dependencia entre el retardo agregado a la salida del formador de pulsos, en el orden de decenas de  $\tau$  (parte baja LSB), y el ancho de pulso de la señal de entrada, en ordenes de decenas de  $T_{clk}$  (parte alta MSB), efecto que se encontró durante la evaluación del chip CI-DL.

Esta posibilidad se evaluó mediante la siguiente experiencia:

- Se midió el ancho de pulso en la señal de salida para  $T_{clk} = 58.7$  ns,  $T_{pwm} = 9.97$   $\mu$ s y usando  $N = 10$  valores de memoria iguales.
- Los valores MSB utilizados fueron aquellos que resultan en ciclos de trabajo

$\{0.1 ; 0.5 ; 0.9\}$  del periodo de PWM.

- Los valores LSB programados se incrementaron en intervalos de 10 cuentas, realizando 100 mediciones en total, abarcando los valores  $\{0 : 990\}$ .

En la Tabla B.2 se presentan los valores utilizados en cada experiencia. Si al ancho de pulso  $d_{out}$  de la señal **PWMHR\_P** se le resta el ancho de pulso de la señal **PWM\_1** (que permanece constante durante todo el intervalo de medición), se puede independizar la variación del ancho de pulso causada por el sistema de alta resolución en cada caso, mostrada en la Figura B.5. En esta figura también se agrega la variación ideal del ancho de pulso, así como también la medición mostrada en la Sección 6.4.1.

$d[n]$	$pwm_Q$	MSB	LSB
0.1	17408 : 18398	17	0 : 990
0.5	87040 : 88030	85	0 : 990
0.9	156672 : 157662	153	0 : 990

Tabla B.2: Valores programados para esta experiencia.

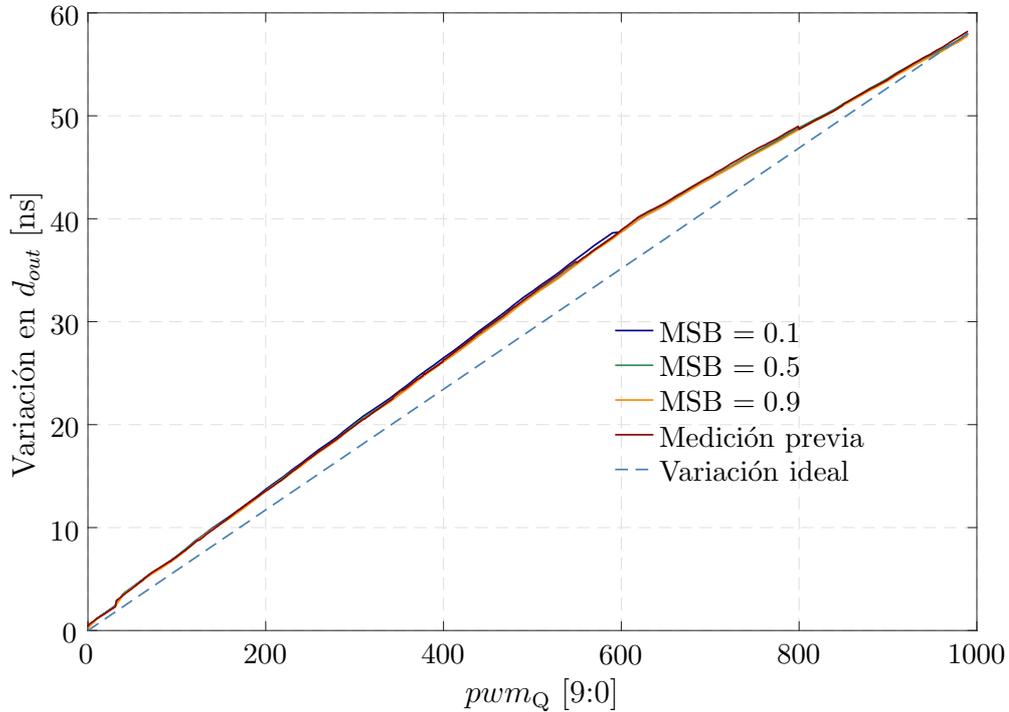


Figura B.5: Variación medida en el ancho de pulso  $d_{out}$ , utilizando distintos valores MSB.

Para obtener mayor detalle en la comparación se realizó la diferencia entre el valor ideal y las mediciones, obteniéndose las curvas de la Figura B.6. Se pueden

apreciar claramente las distintas pendientes debido al cambio de temperatura entre las mediciones, aunque la diferencia máxima entre ellas es de  $\approx 0.5$  ns y las curvas mantienen la misma forma, por lo que se puede descartar que el ancho de la señal de salida del formador de pulsos sea función del ancho de pulso de la señal de entrada.

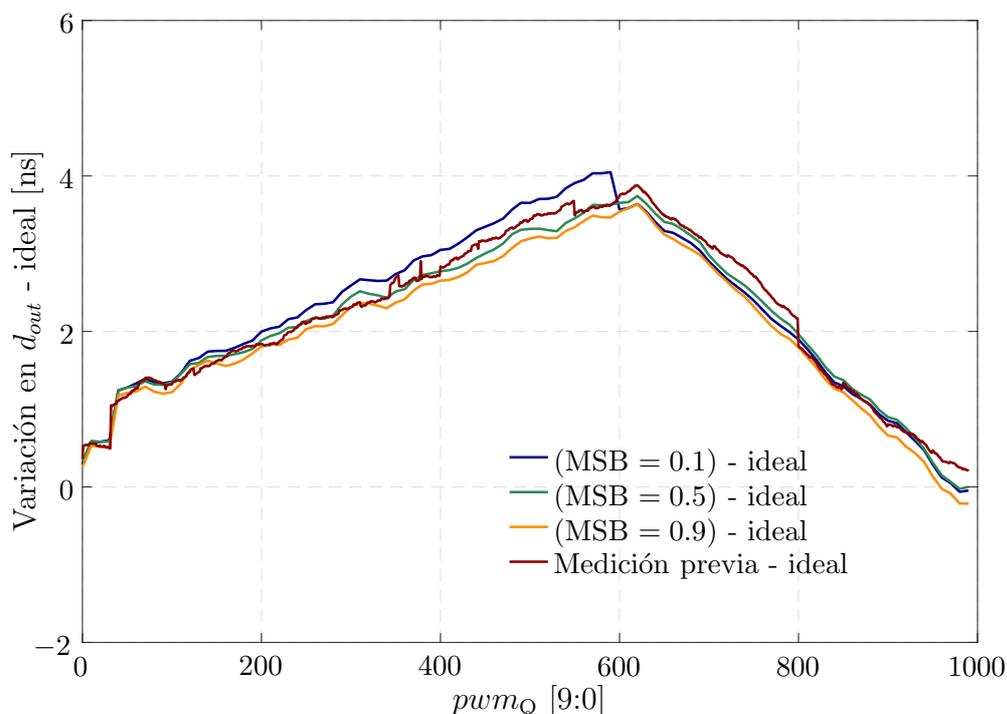


Figura B.6: Diferencia entre las mediciones realizadas y el valor ideal.

Por otro lado, se hicieron extensas simulaciones del código HDL donde se observó que la actualización en los valores correspondientes a las cantidades MSB y LSB se realiza en distintos instantes temporales: mientras que el valor LSB actúa configurando los elementos de retardo desde el momento en que se realiza la lectura de la memoria, el valor MSB es ingresado al bloque DPWM pero no es utilizado hasta que el contador reinicia su cuenta. Esta diferencia temporal podría causar que el valor LSB correspondiente al ciclo de trabajo  $d[n+1]$  actúe sobre el pulso actual de salida, correspondiente a  $d[n]$ .

- Dado que la actualización del valor de dirección de memoria se realiza cuando el valor de contador es igual a  $M/2$  (mitad del periodo PWM), aquellos ciclos de trabajo cuyo valor  $MSB > M/2$  se verán afectados por este error de sincronización (ver Figura B.7).

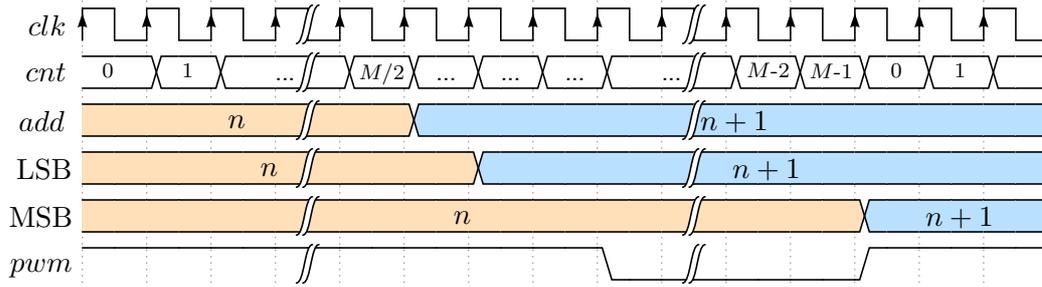


Figura B.7: Actualización de los valores LSB y MSB.

En la Tabla B.3 se presentan los valores programados para cada uno de los  $N = 10$  ciclos de trabajo. La columna  $\epsilon_{est}$  indica el error esperado debido a la desviación del ancho de pulso ideal, que se encuentra en un rango desde 0 a 4 ns como se observa en la Figura B.6, mientras que la columna  $\epsilon_{med}$  representa la diferencia del valor temporal medido con el valor esperado. En esta última se pueden apreciar cantidades mayores a 4 ns, e incluso algunos valores negativos que no tendrían explicación aparente si no se considera el error de sincronización nombrado previamente. Considerando esta diferencia en el temporizado, para los ciclos de trabajo donde su parte MSB  $> 85$ , el valor LSB indicado es el correspondiente al  $n$  siguiente. La columna  $\epsilon_{LSB}$  expresa el error en el posicionamiento del flanco debido a la programación incorrecta (se utilizó  $\tau' = 57.3$  ps para calcular el intervalo temporal en base a  $\Delta LSB$ ), en tanto  $\epsilon_T = \epsilon_{LSB} + \epsilon_{est}$  es el error total sumando ambos factores. **Para evitar este efecto se optó por utilizar ciclos de trabajo menores a 0.5, con el costo de perder 1 bit de resolución.**

$n$	$pwm_Q$	MSB	LSB	$\epsilon_{LSB}$ [ns]	$\epsilon_{est}$ [ns]	$\epsilon_T$ [ns]	$\epsilon_{med}$ [ns]
1	54915	53	643	0	3.56	3.56	4.46
2	119165	116	381 $\rightarrow$ 423	42 = 2.41	2.96	5.37	5.97
3	161191	157	423 $\rightarrow$ 300	-123 = -7.21	2.31	-4.9	-4.19
4	161068	157	300 $\rightarrow$ 136	-164 = -9.61	1.55	-8.06	-6.66
5	142472	139	136 $\rightarrow$ 173	37 = 2.17	1.75	3.92	4.31
6	103597	101	173 $\rightarrow$ 851	678 = 39.73	1.32	41.05	41.62
7	70483	68	851	0	1.37	1.37	2.9
8	31608	30	888	0	0.99	0.99	2.42
9	13012	12	724	0	2.75	2.75	3.98
10	12889	12	601	0	3.65	3.65	4.63

 Tabla B.3: Error total  $\epsilon_T$  considerando el error de programación y comparación con el error medido  $\epsilon_{med}$ .

# Bibliografía

- [1] R. J. Baker, *CMOS: Circuit Design, Layout, and Simulation*, 4<sup>a</sup> ed., ser. IEEE Press Series on Microelectronic Systems. Hoboken, USA: John Wiley & Sons, 2019.
- [2] B. Razavi, *Design of Analog CMOS Integrated Circuits*, 2<sup>a</sup> ed. New York, USA: McGraw-Hill Education, 2016.
- [3] G. E. Moore, “Progress in digital integrated electronics,” *Electron Devices Meeting*, vol. 21, pp. 11–13, 1975.
- [4] J. M. Rabaey, A. P. Chandrakasan, y B. Nikolić, *Digital Integrated Circuits: A Design Perspective*, 2<sup>a</sup> ed., ser. Prentice Hall electronics and VLSI series. Upper Saddle River, USA: Pearson Education, 2003, vol. 7.
- [5] IRDS, “More Moore,” *IEEE International Roadmap for Devices and Systems*, 2020.
- [6] R. Staszewski y P. Balsara, *All-Digital Frequency Synthesizer in Deep-Submicron CMOS*. Hoboken, USA: John Wiley & Sons, 2006.
- [7] P. A. Nuyts, P. Reynaert, y W. Dehaene, *Continuous-Time Digital Front-Ends for Multistandard Wireless Transmission*, ser. Analog Circuits and Signal Processing. Cham, Switzerland: Springer, 2014.
- [8] F. Xiong, *Digital Modulation Techniques*, 2<sup>a</sup> ed., ser. Artech House telecommunications library. Norwood, USA: Artech House, 2006.
- [9] D. Holmes y T. Lipo, *Pulse Width Modulation for Power Converters: Principles and Practice*, ser. IEEE Press Series on Power Engineering. Hoboken, USA: John Wiley & Sons, 2003.

- [10] Z. Song y D. Sarwate, “The frequency spectrum of pulse width modulated signals,” *Signal Processing*, vol. 83, no. 10, pp. 2227–2258, Oct. 2003.
- [11] J. I. Morales, F. Chierchie, P. S. Mandolesi, y E. E. Paolini, “Table-based PWM for all-digital RF transmitters,” *International Journal of Circuit Theory and Applications*, vol. 47, no. 2, pp. 320–332, Feb. 2019.
- [12] J. I. Morales, F. Chierchie, P. S. Mandolesi, y E. E. Paolini, “A high-resolution all-digital pulse-width modulator architecture with a tunable delay element in CMOS,” *International Journal of Circuit Theory and Applications*, vol. 48, no. 8, pp. 1329–1345, Ago. 2020.
- [13] J. I. Morales, F. Chierchie, P. S. Mandolesi, y E. E. Paolini, “FPGA implementation and evaluation of a PWM-based RF modulator,” en *2018 Argentine Conference on Automatic Control (AADECA)*, Nov. 2018, pp. 73–78.
- [14] J. I. Morales, F. Chierchie, P. S. Mandolesi, y E. E. Paolini, “All-digital high-resolution PWM with a wide duty-cycle range,” en *2019 Argentine Conference on Electronics (CAE)*, Mar. 2019, pp. 15–20.
- [15] J. I. Morales, F. Chierchie, P. S. Mandolesi, y E. E. Paolini, “Design and evaluation of an all-digital programmable delay line in 130-nm CMOS,” en *2019 XVIII Workshop on Information Processing and Control (RPIC)*, Sept. 2019, pp. 209–213.
- [16] J. I. Morales, F. Chierchie, P. S. Mandolesi, y E. E. Paolini, “Implementation of a high-resolution symmetric PWM based on custom CMOS delay lines,” en *2019 XVIII Workshop on Information Processing and Control (RPIC)*, Sept. 2019, pp. 218–222.
- [17] S. Henzler, *Time-to-Digital Converters*, ser. Springer Series in Advanced Microelectronics. Dordrecht, Netherlands: Springer, 2010.
- [18] B. I. Abdulrazzaq, I. A. Halin, S. Kawahito, R. M. Sidek, S. Shafie, y N. A. M. Yunus, “A review on high-resolution CMOS delay lines: towards

- sub-picosecond jitter performance,” *SpringerPlus*, vol. 5, no. 1, p. 434, Abr. 2016.
- [19] N. R. Mahapatra, S. V. Garimella, y A. Tareen, “An empirical and analytical comparison of delay elements and a new delay element design,” en *Proceedings IEEE Computer Society Workshop on VLSI 2000. System Design for a System-on-Chip Era*, Abr. 2000, pp. 81–86.
- [20] T. Matano *et al.*, “A 1-Gb/s/pin 512-Mb DDRII SDRAM using a digital DLL and a slew-rate-controlled output buffer,” *IEEE Journal of Solid-State Circuits*, vol. 38, no. 5, pp. 762–768, May. 2003.
- [21] A. Elshazly, A. Balankutty, Yan-Yu Huang, Kai Yu, y F. O’Mahony, “A 2GHz-to-7.5GHz quadrature clock-generator using digital delay locked loops for multi-standard I/Os in 14nm CMOS,” en *2014 Symposium on VLSI Circuits Digest of Technical Papers*, Jun. 2014, pp. 1–2.
- [22] T. E. Rahkonen y J. T. Kostamovaara, “The use of stabilized CMOS delay lines for the digitization of short time intervals,” *IEEE Journal of Solid-State Circuits*, vol. 28, no. 8, pp. 887–894, Ago. 1993.
- [23] R. B. Staszewski *et al.*, “All-digital TX frequency synthesizer and discrete-time receiver for Bluetooth radio in 130-nm CMOS,” *IEEE Journal of Solid-State Circuits*, vol. 39, no. 12, pp. 2278–2291, Nov. 2004.
- [24] R. B. Staszewski, S. Vemulapalli, P. Vallur, J. Wallberg, y P. T. Balsara, “1.3 V 20 ps time-to-digital converter for frequency synthesis in 90-nm CMOS,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 53, no. 3, pp. 220–224, Mar. 2006.
- [25] M. A. Abas, G. Russell, y D. J. Kinniment, “Built-in time measurement circuits – a comparative design study,” *IET Computers Digital Techniques*, vol. 1, no. 2, pp. 87–97, Mar. 2007.
- [26] P. Dudek, S. Szczepanski, y J. V. Hatfield, “A high-resolution CMOS time-to-digital converter utilizing a Vernier delay line,” *IEEE Journal of Solid-State Circuits*, vol. 35, no. 2, pp. 240–247, Feb. 2000.

- [27] V. Ramakrishnan y P. T. Balsara, “A wide-range, high-resolution, compact, CMOS time to digital converter,” en *19th International Conference on VLSI Design held jointly with 5th International Conference on Embedded Systems Design (VLSID'06)*, Ene. 2006, pp. 6 pp.—.
- [28] J. Yu, F. F. Dai, y R. C. Jaeger, “A 12-bit Vernier ring time-to-digital converter in 0.13  $\mu\text{m}$  CMOS technology,” *IEEE Journal of Solid-State Circuits*, vol. 45, no. 4, pp. 830–842, Abr. 2010.
- [29] S. Henzler, S. Koeppe, D. Lorenz, W. Kamp, R. Kuenemund, y D. Schmitt-Landsiedel, “A local passive time interpolation concept for variation-tolerant high-resolution time-to-digital conversion,” *IEEE Journal of Solid-State Circuits*, vol. 43, no. 7, pp. 1666–1676, Jun. 2008.
- [30] P. A. J. Nuyts, P. Singerl, F. Dielacher, P. Reynaert, y W. Dehaene, “A fully digital delay line based Ghz range multimode transmitter front-end in 65-nm CMOS,” *IEEE Journal of Solid-State Circuits*, vol. 47, no. 7, pp. 1681–1692, Jul. 2012.
- [31] S. Schidl, K. Schweiger, W. Gaberl, y H. Zimmermann, “Analogously tunable delay line for on-chip measurements with sub-picosecond resolution in 90 nm CMOS,” *Electronics Letters*, vol. 48, no. 15, pp. 910–911, Jul. 2012.
- [32] B. I. Abdulrazzaq *et al.*, “Design of a sub-picosecond jitter with adjustable-range CMOS delay-locked loop for high-speed and low-power applications,” *Sensors*, vol. 16, no. 10, p. 1593, Sep. 2016.
- [33] S. U. Rehman, M. M. Khafaji, A. Ferschischi, C. Carta, y F. Ellinger, “A 0.2-1.3 ns range delay-control scheme for a 25 Gb/s data-receiver using a replica delay-line-based delay-locked-loop in 45-nm CMOS,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 67, no. 5, pp. 806–810, Mar. 2020.
- [34] M. Maymandi-Nejad y M. Sachdev, “A digitally programmable delay element: design and analysis,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 11, no. 5, pp. 871–878, Oct. 2003.

- 
- [35] F. Baronti, D. Lunardini, R. Roncella, y R. Saletti, “A self-calibrating delay-locked delay line with shunt-capacitor circuit scheme,” *IEEE Journal of Solid-State Circuits*, vol. 39, no. 2, pp. 384–387, Feb. 2004.
- [36] N. R. Mahapatra, A. Tareen, y S. V. Garimella, “Comparison and analysis of delay elements,” en *The 2002 45th Midwest Symposium on Circuits and Systems, 2002. MWSCAS-2002*, vol. 2, Ago. 2002, pp. 473–476.
- [37] M. Maymandi-Nejad y M. Sachdev, “A monotonic digitally controlled delay element,” *IEEE Journal of Solid-State Circuits*, vol. 40, no. 11, pp. 2212–2219, Oct. 2005.
- [38] G. Heck, L. S. Heck, A. Singhvi, M. T. Moreira, P. A. Beerel, y N. L. V. Calazans, “Analysis and optimization of programmable delay elements for 2-phase bundled-data circuits,” en *2015 28th International Conference on VLSI Design*, Ene. 2015, pp. 321–326.
- [39] N. Angeli y K. Hofmann, “Low-power all-digital multiphase DLL design using a scalable phase-to-digital converter,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 67, no. 4, pp. 1158–1168, Abr. 2020.
- [40] A. Ravi *et al.*, “A 2.4-GHz 20-40-MHz channel WLAN digital outphasing transmitter utilizing a delay-based wideband phase modulator in 32-nm CMOS,” *IEEE Journal of Solid-State Circuits*, vol. 47, no. 12, pp. 3184–3196, Oct. 2012.
- [41] Y. Lee, T. Kang, y J. Kim, “A 9-11-bit phase-interpolating digital pulsewidth modulator with 1000x frequency range,” *IEEE Transactions on Industry Applications*, vol. 51, no. 4, pp. 3376–3384, Jul. 2015.
- [42] E. Abramov, T. Vekslender, O. Kirshenboim, y M. M. Peretz, “Fully integrated digital average current-mode control voltage regulator module IC,” *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 6, no. 2, pp. 485–499, Jun. 2018.
- [43] M. De Martino, D. De Caro, D. Esposito, E. Napoli, N. Petra, y A. Strollo, “A standard-cell-based all-digital PWM modulator with high resolution

- and spread- spectrum capability,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 65, no. 11, pp. 3885–3896, Nov. 2018.
- [44] P. Madoglio *et al.*, “A 20dBm 2.4Ghz digital outphasing transmitter for WLAN application in 32nm CMOS,” en *IEEE International Solid-State Circuits Conference*, Feb. 2012, pp. 168–170.
- [45] T. Nakatani, J. Rode, D. Kimball, L. Larson, y P. Asbeck, “Digitally-controlled polar transmitter using a watt-class current-mode class-D CMOS power amplifier and Guanella reverse balun for handset applications,” *IEEE Journal of Solid-State Circuits*, vol. 47, no. 5, pp. 1104–1112, May. 2012.
- [46] Bah-Hwee Gwee, J. S. Chang, y Huiyun Li, “A micropower low-distortion digital pulsewidth modulator for a digital class D amplifier,” *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 49, no. 4, pp. 245–256, Ago. 2002.
- [47] C. Pascual, Z. Song, P. Krein, D. Sarwate, P. Midya, y W. Roeckner, “High-fidelity PWM inverter for digital audio amplification: Spectral analysis, real-time DSP implementation, and results,” *IEEE Transactions on Power Electronics*, vol. 18, no. 1, pp. 473–485, Ene. 2003.
- [48] J. Jasielski, S. Kuta, W. Machowski, y W. Kołodziejcki, “Hybrid DPWM implementation using coarse and fine programmable ADLL,” *Microelectronics Journal*, vol. 45, no. 9, pp. 1202–1211, Sep. 2014.
- [49] C. Chang y J. Wu, “A 95-dBA DR digital audio class-D amplifier using a calibrated digital-to-pulse converter,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 64, no. 5, pp. 1106–1117, May. 2017.
- [50] A. P. Dancy y A. P. Chandrakasan, “Ultra low power control circuits for PWM converters,” en *PESC97. Record 28th Annual IEEE Power Electronics Specialists Conference*, vol. 1, Jun. 1997, pp. 21–27 vol.1.

- 
- [51] B. J. Patella, A. Prodic, A. Zirger, y D. Maksimovic, “High-frequency digital PWM controller IC for DC-DC converters,” *IEEE Transactions on Power Electronics*, vol. 18, no. 1, pp. 438–446, Ene. 2003.
- [52] A. Syed, E. Ahmed, D. Maksimovic, y E. Alarcon, “Digital pulse width modulator architectures,” en *2004 IEEE 35th Annual Power Electronics Specialists Conference (IEEE Cat. No.04CH37551)*, vol. 6, Jun. 2004, pp. 4689–4695 Vol.6.
- [53] O. Trescases, G. Wei, y W. Ng, “A segmented digital pulse width modulator with self-calibration for low-power SMPS,” en *2005 IEEE Conference on Electron Devices and Solid-State Circuits*, Dic. 2005, pp. 367–370.
- [54] H. H. Ahmad y B. Bakkaloglu, “A 300mA 14mV-ripple digitally controlled buck converter using frequency domain  $\Delta\Sigma$  ADC and hybrid PWM generator,” en *2010 IEEE International Solid-State Circuits Conference - (ISSCC)*, Feb. 2010, pp. 202–203.
- [55] E. O’Malley y K. Rinne, “A programmable digital pulse width modulator providing versatile pulse patterns and supporting switching frequencies beyond 15 MHz,” en *Nineteenth Annual IEEE Applied Power Electronics Conference and Exposition, 2004. APEC ’04.*, vol. 1, Feb. 2004, pp. 53–59 Vol.1.
- [56] T. Takayama y D. Maksimovic, “Digitally controlled 10 MHz monolithic buck converter,” en *2006 IEEE Workshops on Computers in Power Electronics*, Jul. 2006, pp. 154–158.
- [57] J. Zhang y S. R. Sanders, “A digital multi-mode multi-phase IC controller for voltage regulator application,” en *APEC 07 - Twenty-Second Annual IEEE Applied Power Electronics Conference and Exposition*, Feb. 2007, pp. 719–726.
- [58] Kun Wang, N. Rahman, Z. Lukic, y A. Prodic, “All-digital DPWM/DPFM controller for low-power DC-DC converters,” en *Twenty-First Annual IEEE Applied Power Electronics Conference and Exposition, 2006. APEC ’06.*, Mar. 2006, pp. 719–723.

- [59] W. W. Wang, Z. H. Shen, X. Tan, N. Yan, y H. Min, “Improved delay-line based digital PWM for DC-DC converters,” *Electronics Letters*, vol. 47, no. 9, pp. 562–564, Abr. 2011.
- [60] T. Vekslender, E. Abramov, Y. Lazarev, y M. M. Peretz, “Fully-integrated digital average current-mode control 12V-to-1.xV voltage regulator module IC,” en *2017 IEEE Applied Power Electronics Conference and Exposition (APEC)*, Mar. 2017, pp. 2043–2050.
- [61] S. C. Huerta, A. de Castro, O. Garcia, y J. A. Cobos, “FPGA-based digital pulsewidth modulator with time resolution under 2 ns,” *IEEE Transactions on Power Electronics*, vol. 23, no. 6, pp. 3135–3141, Oct. 2008.
- [62] M. G. Batarseh, W. Al-Hoor, L. Huang, C. Iannello, y I. Batarseh, “Window-masked segmented digital clock manager-FPGA-based digital pulsewidth modulator technique,” *IEEE Transactions on Power Electronics*, vol. 24, no. 11, pp. 2649–2660, Sep. 2009.
- [63] A. de Castro y E. Todorovich, “High resolution FPGA DPWM based on variable clock phase shifting,” *IEEE Transactions on Power Electronics*, vol. 25, no. 5, pp. 1115–1119, May. 2010.
- [64] V. Yousefzadeh, T. Takayama, y D. Maksimovi, “Hybrid DPWM with digital delay-locked loop,” en *2006 IEEE Workshops on Computers in Power Electronics*, Jul. 2006, pp. 142–148.
- [65] D. Navarro, Ó. Lucía, L. A. Barragán, J. I. Artigas, I. Urriza, y Ó. Jiménez, “Synchronous FPGA-based high-resolution implementations of digital pulse-width modulators,” *IEEE Transactions on Power Electronics*, vol. 27, no. 5, pp. 2515–2525, May. 2012.
- [66] X. Cheng, R. Song, G. Xie, Y. Zhang, y Z. Zhang, “A new FPGA-based segmented delay-line DPWM with compensation for critical path delays,” *IEEE Transactions on Power Electronics*, vol. 33, no. 12, pp. 10 794–10 802, Dec. 2018.

- 
- [67] X. Cheng, W. Shao, L. Xu, Y. Zhang, G. Xie, y Z. Zhang, “A high resolution DPWM based on synchronous phase-shifted circuit and delay line,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 67, no. 8, pp. 2685–2692, Ago. 2020.
- [68] Texas Instruments, “TMS320× 2833, 2823× high resolution pulse width modulator (HRPWM),” *Rep. no. SPRUG02*, 2009.
- [69] Infineon Technologies, “High resolution PWM,” *XMC microcontrollers*, 2016.
- [70] B. Razavi, *RF Microelectronics*, 2<sup>a</sup> ed. Upper Saddle River, USA: Prentice Hall, 2011.
- [71] M. Alavi, J. Mehta, y R. Staszewski, *Radio-Frequency Digital-to-Analog Converters: Implementation in Nanoscale CMOS*. London: Academic Press, 2016.
- [72] S. Zheng y H. C. Luong, “A CMOS WCDMA/WLAN digital polar transmitter with AM replica feedback linearization,” *IEEE Journal of Solid-State Circuits*, vol. 48, no. 7, pp. 1701–1709, Jul. 2013.
- [73] J. Xia, S. Garg, y S. Boumaiza, “A hybrid amplitude/time encoding scheme for enhancing coding efficiency and dynamic range in digitally modulated power amplifiers,” *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, vol. 3, no. 4, pp. 498–507, Dic. 2013.
- [74] D. Seebacher, P. Singerl, C. Schuberth, F. Dielacher, P. Reynaert, y W. Bosch, “Reduction of aliasing effects of RF PWM modulated signals by cross point estimation,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 61, no. 11, pp. 3184–3192, Nov. 2014.
- [75] L. W. Couch, *Digital and Analog Communication Systems*, 8<sup>a</sup> ed. Upper Saddle River, USA: Prentice Hall, 2013.
- [76] B. Lathi y Z. Ding, *Modern Digital and Analog Communication Systems*, 4<sup>a</sup> ed. New York, USA: Oxford University Press, 2010.

- [77] P. Reynaert y M. Steyaert, *RF Power Amplifiers for Mobile Communications*, ser. Analog Circuits and Signal Processing. Dordrecht, Netherlands: Springer, 2006.
- [78] S. C. Cripps, *RF Power Amplifiers for Wireless Communications*, 2<sup>a</sup> ed., ser. Artech House microwave library. Norwood, USA: Artech House, 2006.
- [79] F. H. Raab *et al.*, “Power amplifiers and transmitters for RF and microwave,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 50, no. 3, pp. 814–826, Mar. 2002.
- [80] B. Kim *et al.*, “Push the envelope: Design concepts for envelope-tracking power amplifiers,” *IEEE Microwave Magazine*, vol. 14, no. 3, pp. 68–81, May. 2013.
- [81] S. Modi, P. Balsara, y O. Eliezer, “Envelope tracking using transient waveform switching shaping supply modulation,” *International Journal of Circuit Theory and Applications*, vol. 43, no. 5, pp. 656–674, May. 2015.
- [82] T. Rautio, H. Harju, S. Hietakangas, y T. Rahkonen, “Envelope tracking power amplifier with static predistortion linearization,” *International Journal of Circuit Theory and Applications*, vol. 37, no. 2, pp. 365–375, Mar. 2009.
- [83] L. Kahn, “Single-sideband transmission by envelope elimination and restoration,” *Proceedings of the IRE*, vol. 40, no. 7, pp. 803–806, Jul. 1952.
- [84] F. H. Raab, “Intermodulation distortion in Kahn-technique transmitters,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 44, no. 12, pp. 2273–2278, Dic. 1996.
- [85] P. Reynaert y M. S. J. Steyaert, “A 1.75-GHz polar modulated CMOS RF power amplifier for GSM-EDGE,” *IEEE Journal of Solid-State Circuits*, vol. 40, no. 12, pp. 2598–2608, Dic. 2005.
- [86] B. François, P. Singerl, A. Wiesbauer, y P. Reynaert, “Efficiency and linearity analysis of a burst mode RF PA with direct filter connection,” *In-*

- 
- ternational Journal of Microwave and Wireless Technologies*, vol. 3, no. 3, pp. 329–338, Jun. 2011.
- [87] J. S. Walling y D. J. Allstot, “Pulse-width modulated CMOS power amplifiers,” *IEEE Microwave Magazine*, vol. 12, no. 1, pp. 52–60, Feb. 2011.
- [88] M. M. Ebrahimi, M. Helaoui, y F. M. Ghannouchi, “Delta-sigma-based transmitters: Advantages and disadvantages,” *IEEE Microwave Magazine*, vol. 14, no. 1, pp. 68–78, Feb. 2013.
- [89] J. Chen, H. Yang, y Y. E. Chen, “A multi-level pulse modulated polar transmitter using digital pulse-width modulation,” *IEEE Microwave and Wireless Components Letters*, vol. 20, no. 5, pp. 295–297, May. 2010.
- [90] P. A. J. Nuyts, B. Francois, W. Dehaene, y P. Reynaert, “A CMOS burst-mode transmitter with watt-level RF PA and flexible fully digital front-end,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 59, no. 10, pp. 613–617, Oct. 2012.
- [91] J. Walling *et al.*, “A class-E PA with pulse-width and pulse-position modulation in 65 nm CMOS,” *IEEE Journal of Solid-State Circuits*, vol. 44, no. 6, pp. 1668–1678, Jun. 2009.
- [92] B. François, E. Kaymaksüt, y P. Reynaert, “Burst mode operation as an efficiency enhancement technique for RF power amplifiers,” en *2011 XXXth URSI General Assembly and Scientific Symposium*, Ago. 2011, pp. 1–4.
- [93] A. Hastings, *The Art of Analog Layout*, 1<sup>a</sup> ed. Upper Saddle River, USA: Prentice Hall, 2001.
- [94] E. Sicard y S. Bendhia, *Advanced CMOS Cell Design*, 1<sup>a</sup> ed., ser. Professional Engineering. New York, USA: McGraw-Hill Education, 2007.
- [95] T. Carusone, D. Johns, y K. Martin, *Analog Integrated Circuit Design*, 2<sup>a</sup> ed. Hoboken, USA: John Wiley & Sons, 2012.
- [96] W. Kester, *Data Conversion Handbook*. Oxford, UK: Newnes, 2005.

- [97] A. Djemouai, M. Sawan, y M. Slamani, “New CMOS integrated pulse width modulator for voltage conversion applications,” en *ICECS 2000. 7th IEEE International Conference on Electronics, Circuits and Systems (Cat. No.00EX445)*, vol. 1, Dic. 2000, pp. 116–119 vol.1.
- [98] M. Pelgrom, A. Duinmaijer, y A. Welbers, “Matching properties of MOS transistors,” *IEEE Journal of Solid-State Circuits*, vol. 24, no. 5, pp. 1433–1439, Oct. 1989.
- [99] F. Chierchie y E. Paolini, “Digital distortion-free PWM and click modulation,” *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 65, no. 3, pp. 396–400, Mar. 2018.
- [100] K. Hausmair, S. Chi, P. Singerl, y C. Vogel, “Aliasing-free digital pulsewidth modulation for burst-mode RF transmitters,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 60, no. 2, pp. 415–427, Feb. 2013.
- [101] K. Hausmair, P. Singerl, y C. Vogel, “Multiplierless implementation of an aliasing-free digital pulsewidth modulator,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 60, no. 9, pp. 592–596, Sept. 2013.
- [102] A. Arian y A. Jannesari, “Power-efficient burst-mode RF transmitter based on reference-adaptive multilevel pulse-width modulation,” *International Journal of Circuit Theory and Applications*, vol. 46, no. 3, pp. 427–452, Mar. 2018.
- [103] J. Chen, H. Yang, H. Lin, y Y. Chen, “A polar-transmitter architecture using multiphase pulsewidth modulation,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 58, no. 2, pp. 244–252, Feb. 2011.
- [104] C. Chang, J. Chen, y J. Staudinger, “A multiphase digital pulsewidth modulated polar transmitter architecture with reactive combiner for improved efficiency,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 67, no. 3, pp. 1107–1114, Mar. 2019.

- 
- [105] M. Nielsen y T. Larsen, “An RF pulse width modulator for switch-mode power amplification of varying envelope signals,” en *2007 Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, Ene. 2007, pp. 277–280.
- [106] H. Chireix, “High power outphasing modulation,” *Proceedings of the Institute of Radio Engineers*, vol. 23, no. 11, pp. 1370–1392, Nov. 1935.
- [107] D. Cox, “Linear amplification with nonlinear components,” *IEEE Transactions on Communications*, vol. 22, no. 12, pp. 1942–1945, Dic. 1974.
- [108] K. Cho y R. Gharpurey, “A digitally intensive transmitter/PA using RF-PWM with carrier switching in 130 nm CMOS,” *IEEE Journal of Solid-State Circuits*, vol. 51, no. 5, pp. 1188–1199, May. 2016.
- [109] P. Nuyts, P. Reynaert, y W. Dehaene, “A fully digital PWM-based 1 to 3 Ghz multistandard transmitter in 40-nm CMOS,” in *IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, pp. 419–422, Jun. 2013.
- [110] P. Nuyts, P. Reynaert, y W. Dehaene, “Frequency-domain analysis of digital PWM-based RF modulators for flexible wireless transmitters,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 61, no. 1, pp. 238–246, Ene. 2014.
- [111] Shuli Chi, C. Vogel, y P. Singerl, “The frequency spectrum of polar modulated PWM signals and the image problem,” en *2010 17th IEEE International Conference on Electronics, Circuits and Systems*, Dec. 2010, pp. 679–682.
- [112] G. Smecher y B. Champagne, “Optimum crossing-point estimation of a sampled analog signal with a periodic carrier,” *Signal Processing*, vol. 91, no. 8, pp. 1951–1962, Ago. 2011.
- [113] F. Chierchie, G. J. González, J. I. Morales, E. E. Paolini, J. Cousseau, y P. S. Mandolesi, “Baseband model for uniformly sampled RF-PWM,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 67, no. 8, pp. 2816–2824, Mar. 2020.

- [114] S. Yang, J. Yin, P. Mak, y R. P. Martins, “A  $0.0056\text{mm}^2$  all-digital MDLL using edge re-extraction, dual-ring VCOs and a  $0.3\text{mW}$  block-sharing frequency tracking loop achieving  $292\text{fs}$  rmsJitter and  $-249\text{dB}$  FOM,” en *2018 IEEE International Solid - State Circuits Conference - (ISSCC)*, Feb. 2018, pp. 118–120.
- [115] S. Choi, S. Yoo, Y. Lim, y J. Choi, “A PVT-robust and low-jitter ring-VCO-based injection-locked clock multiplier with a continuous frequency-tracking loop using a replica-delay cell and a dual-edge phase detector,” *IEEE Journal of Solid-State Circuits*, vol. 51, no. 8, pp. 1878–1889, Ago. 2016.
- [116] F. Luo, *Digital Front-End in Wireless Communications and Broadcasting: Circuits and Signal Processing*. Cambridge, UK: Cambridge University Press, 2011.
- [117] H. Tarn, K. Neilson, R. Uribe, y D. Hawke, “Designing efficient wireless digital up and down converters leveraging core generator and system generator,” *Xilinx, XAPP1018 (v1. 0)*, 2007.
- [118] J. M. Goldberg y M. B. Sandler, “Noise shaping and pulse-width modulation for an all-digital audio power amplifier,” *Journal of the Audio Engineering Society*, vol. 39, no. 6, pp. 449–460, Jun. 1991.
- [119] J. Goldberg y M. Sandler, “New high accuracy pulse width modulation based digital-to-analogue convertor/power amplifier,” *IEE Proceedings-Circuits, Devices and Systems*, vol. 141, no. 4, pp. 315–324, Ago. 1994.