



UNIVERSIDAD NACIONAL DEL SUR

MAGISTER EN INGENIERÍA ELÉCTRICA

**Bloques de generación de reloj
y transmisión de datos de alta velocidad**

Ing. Alfredo Angel FALCÓN

BAHÍA BLANCA

ARGENTINA

2018

Copyright ©2019 Falcón Alfredo A.

Quedan reservados todos los derechos.

Ninguna parte de esta publicación puede ser reproducida, almacenada o transmitida de ninguna forma, ni por ningún medio, sea electrónico, mecánico, grabación, fotocopia o cualquier otro, sin la previa autorización escrita del autor.

Queda hecho el depósito que previene la ley 11.723.

Impreso en Argentina.

ISBN XXX-XXX-XXXX-XX-X

Abril de 2019.

Prefacio

Esta tesis se presenta como parte de los requisitos para optar al grado académico de Magister en Ingeniería Eléctrica de la Universidad Nacional del Sur, y no ha sido presentada previamente para la obtención de otro título en esta Universidad u otra. La misma contiene los resultados obtenidos en investigaciones llevadas a cabo en el ámbito del Departamento de Ingeniería Eléctrica y de Computadoras durante el período comprendido entre el 13 de Diciembre de 2013 y el 05 de Noviembre de 2018, bajo la dirección del Dr. Pablo S. Mandolesi.

Bahía Blanca, 05 de Noviembre de 2018

Alfredo A. FALCÓN
Departamento de Ingeniería Eléctrica y de Computadoras
UNIVERSIDAD NACIONAL DEL SUR



UNIVERSIDAD NACIONAL DEL SUR
Secretaría General de Posgrado y Educación Continua

La presente tesis ha sido aprobada el/..../....., mereciendo la calificación de(.....)

Resumen

Desde hace más de una década el Grupo de Investigación en Sistemas Electrónicos y Electromecánicos (GISEE) de la Universidad Nacional del Sur diseña y ensaya circuitos integrados en sus distintas líneas de investigación. La fabricación de éstos ha sido posible a través de convenios específicos entre la Universidad y compañías que proveen el acceso a los procesos a escala de prototipado con fines educativos, de investigación o comercialización a baja escala.

Durante el desarrollo de la investigación para acceder al título de doctorado se encontró que para realizar el prototipo de prueba de concepto era necesario realizar funciones digitales y transmitir datos a la máxima frecuencia permitida por la tecnología. Detectada esta necesidad se comenzó con el diseño de dos bloques, un transmisor de datos digitales y un generador de reloj. Entre las características técnicas más importantes del transmisor de datos se puede destacar la compatibilidad con los dispositivos FPGA disponibles en el laboratorio. Por el lado del generador de reloj, la característica más importante a destacar es la posibilidad de variar la frecuencia de salida mediante la configuración de una palabra digital.

A medida que se avanzaba en las tareas de diseño de ambos bloques se propuso la idea de documentar el trabajo con dos fines sumamente importantes. El primero es la disponibilidad de los resultados obtenidos como bloques de propiedad intelectual para cualquier otro miembro del grupo pudiera utilizarlos. El segundo, detallar y documenta el proceso de diseño facilita la migración del diseño a otro proceso de fabricación en caso de ser necesario.

El objetivo de este trabajo es diseñar y fabricar un sistema de transmisión de datos digitales y un bloque de generación de reloj reutilizables por otros miembros del grupo de investigación.

Abstract

Since more than ten years ago the Electronic and Electromechatronics Systems Research Group (GISEE) from Universidad Nacional del Sur design and measure integrated circuits IC in several different investigation topics. The fabrication have been possible through agreements between the university and different company, who provides access to several integration processes for low volume with educational and research purposes.

A proof of concept prototype, for doctoral thesis, requires a high speed digital data transmitter and a clock generator working at the speed limit the best available technology. The transmitter main characteristic is the compatibility with the FPGA available at the lab. The clock generator must be able to change the output frequency using a digital word.

This work has two main objectives. First, create common blocks for digital high speed systems and share it with other group members who needed it. Second, to build an appropriate documentation to migrate the design to other technology if it is needed.

Agradecimientos

No hay dudas que el camino recorrido durante el desarrollo de esta tesis no ha sido corto ni tampoco ha sido fácil. Pero tampoco hay dudas de que muchas personas hicieron que éste sea más placentero, entretenido y repleto de aprendizajes.

Quiero agradecer a mis padres, Susana y Horacio que son los que me pusieron en el camino, me educaron y me inculcaron la cultura del trabajo y el esfuerzo. Quiero agradecerle también a mi hermano Sebastian, por las charlas, por los mates, por mantener viva la llama del optimismo y no aflojar.

Agradezco también a mi director, el guía en este camino, el Dr. Pablo S. Mandolesi, con quien he cultivado una grata amistad más allá de lo profesional. Él ha sido un gran referente en lo profesional y también personal, reforzando los valores que mis padres me han transmitido a lo largo de mi vida. Quiero agradecer también mis amigos y compañeros de la Universidad con quienes compartimos mucho más que un lugar de trabajo. Quiero destacar en particular la ayuda de algunas personas, Ing. Esteban Lindstrom, Ing. Ariel Oroz, Ing. Paola Ceminari y Mg. Niria Osterman que dedicaron su tiempo para hacer que este trabajo se concretara al ayudarme con la realización del layout y la descripción de *hardware* de los bloques constitutivos de la tesis.

Le dedico este trabajo a mis hijos, Lautaro, Simón y Delfina quienes me motivan a seguir y son la luz de mi camino. Y muy especialmente a mi compañera de camino, a mi esposa Gimena, que lo hace hace más feliz.

Índice general

1. Introducción General	1
2. Interfaz LVDS	3
2.1. Introducción	3
2.2. Transmisor LVDS	6
2.2.1. Especificaciones y Restricciones de diseño	6
2.2.2. Selección de la arquitectura	10
2.2.3. Cálculos	21
2.3. Simulaciones	34
2.3.1. Introducción	34
2.4. Conclusiones	41
2.5. Trabajo futuro y aspectos a mejorar	42
3. Generador de reloj	45
3.1. Introducción	45
3.2. Sintetizador de frecuencia	47
3.2.1. Especificaciones	47
3.2.2. Selección de la arquitectura	47
3.2.3. Modelo de referencia	48
3.2.4. Cálculos	53
3.3. Simulaciones	67
3.3.1. Introducción	67

3.3.2. Caracterización del Oscilador Controlado por tensión, más conocido por su nombre en inglés <i>Voltage Controlled Oscillator</i> (VCO)	68
3.3.3. Respuesta temporal del <i>Phase Lock Loop</i> (PLL)	69
3.4. Conclusiones	74
3.5. Trabajo futuro	74
4. Conclusiones Generales	79
5. Trabajo Futuro	81
A. Apéndices	83
A.1. Caracterización	83
A.1.1. Modelo en inversión fuerte	83
A.1.2. Modelo en inversión débil	85
A.2. Cálculos	88
A.2.1. Cálculos <i>Driver</i>	88
A.2.2. Cálculos amplificador diferencial	91
A.2.3. Cálculos <i>Pre-Driver</i>	93
A.2.4. Cálculos Fuente de corriente <i>Charge Pump</i>	97
A.3. Fase-Frecuencia	98
A.4. Layout	99

Índice de figuras

2.1. Estructura básica de un sistema de transmisión y recepción LVDS.	4
2.2. Comparación entre señales diferenciales y simples.	5
2.3. Niveles de tensión y desbalance admisible en la salida del transmisor.	7
2.4. Cortocircuito de las salidas del trasmisor.	7
2.5. Diagrama en bloques de un transmisor LVDS.	10
2.6. Arquitectura para Drivers LVDS.	12
2.7. Estado de las llaves para transmitir un 1 o 0 lógico	13
2.8. Arquitecturas de <i>Drivers</i> LVDS.	14
2.9. Implementación convencional para el sistema de compensación de modo común. .	16
2.10. Esquema simplificado del sistema de control de modo común	17
2.11. Esquemático del sistema de sensado de modo común basado en transconductores.	18
2.12. Formas de onda de tensión y corriente de salida del Transmisor.	20
2.13. Esquema de los bloques del Transmisor LVDS.	21
2.14. Esquemático del <i>Driver</i> con los valores de tensiones máximas y mínimas en cada nodo.	23
2.15. Esquemático del circuito de compensación de modo común.	24
2.16. Modelo de pequeña señal para el cálculo de la ganancia de lazo abierto.	25
2.17. Esquemático de la compensación de modo común sin resistencias.	26
2.18. Modelo de pequeña señal para el circuito de compensación de modo común sin resistencias.	27
2.19. Esquemático del Pre- <i>Driver</i>	29

2.20. Modelos equivalentes del circuito para la carga y descarga de C_e 29

2.21. Esquemático del circuito para pasar de entrada simple a salida complementaria. . 31

2.22. Retraso de la cadena de inversores en función del número de etapas (-). Punto
seleccionado (o) 32

2.23. Esquemático de la etapa de sincronización. 33

2.24. Esquemático de la etapa ajuste de ancho de pulso. 33

2.25. Esquemático del Acelerador y formas de onda del temporizado de las señales de
comando de las llaves. 34

2.26. Diagrama de ojo de la salida del Transmisor sin Acelerador (o) y con acelerador (o). 36

2.27. Respuesta temporal del modo común en corners. o (FASTSLOW, 1.98 V, 125 °C).
◇ (NOM, 1.8 V, 27 °C). △ (SLOW, 1.62 V, -40 °C). 37

2.28. Tiempo de trepada para la condición nominal y los casos extremos. o (SLOW,
1.62 V, 125 °C), ◇ (NOM, 1.8 V, 27 °C), △ (FAST, 1.98 V, 125 °C) 38

2.29. Tiempo de caída para la condición nominal y los casos extremos. o (SLOW, 1.62 V,
125 °C), ◇ (NOM, 1.8 V, 27 °C), △ (FAST, 1.98 V, 125 °C) 38

2.30. Comparación entre el diagrama de ojos para el caso nominal (·) y el resto de las
combinaciones de corners (·). 39

2.31. Corriente de salida del transmisor ante un cortocircuito a tierra. 40

2.32. Tensión de modo común de salida (-), tensión de control de modo común (-) y
activación de la protección (-) ante un cortocircuito a tierra. 40

2.33. Layout del Transmisor LVDS. 43

3.1. Diagrama en bloques de un circuito digital simple. 46

3.2. Diagrama en bloques de un PLL. 47

3.3. Diagrama en bloques del PLL. 49

3.4. Esquemático del filtro pasa bajo. 53

3.5. Área del filtro en función de la corriente del *Charge Pump*. 55

3.6. Respuesta al escalón del sistema de segundo orden - y del sistema de segundo
orden más el cero -. 56

3.7. Esquema en bloques del VCO.	57
3.8. Descripción a nivel de transistor de los bloques que componen el VCO basado en un anillos oscilador diferencial.	58
3.9. Comparación entre las transferencias de un VCO linealizado \circ y otro sin linealizar \circ	59
3.10. Respuesta al escalón del sistema diseñado $-$ en comparación con los <i>corners</i> nominal \circ , slow \diamond y fast Δ	60
3.11. Esquema en bloques del comparador utilizado como etapa de salida del VCO.	61
3.12. Esquemático del preamplificador.	62
3.13. Esquemático del circuito de decisión.	62
3.14. Etapa de salida del comparador	63
3.15. Esquema en bloques del PLL detalles de la red de realimentación y entrada.	63
3.16. Temporizado de las señales para realizar la carga de los coeficientes de división y funcionamiento. Ejemplo para $b_n \dots b_1 = 5$ y $r_n \dots r_1 = 3$	65
3.17. Máquina de estados del Detector Fase Frecuencia.	66
3.18. Esquemático del Detector de Fase Frecuencia y el <i>Charge Pump</i>	68
3.19. Transferecia del VCO. \circ (SLOW, 1.62 V, 125 °C), \diamond (NOM, 1.8 V, 27 °C). Δ (FAST, 1.98 V, 125 °C)	69
3.20. Respuesta temporal del PLL ante entra tipo escalón. $-$ (SLOW, 1.62 V, -40 °C). $-$ (NOM, 1.8 V, 27 °C). $-$ (FAST, 1.98 V, -40 °C). $-$ (FAST, 1.98 V, 125 °C).	70
3.21. Histograma de la frecuencia de salida. \circ (SLOW, 1.62 V, 125 °). \diamond (NOM, 1.8 V, 27 °). Δ (FAST, 1.98 V, -40 °). \times (FAST, 1.98 V, 125 °).	71
3.22. Histograma del ciclo de trabajo de la señal de salida. \circ (SLOW, 1.62 V, -40 °). \diamond (NOM, 1.8 V, 27 °). Δ (SLOWFAST, 1.98 V, -40 °).	72
3.23. Respuesta temporal del PLL ante entra tipo escalón para salida de 512 MHz. $-$ (SLOW, 1.98 V, 125 °C). $-$ (NOM, 1.8 V, 27 °C). $-$ (FAST, 1.98 V, -40 °C).	73
3.24. Respuesta temporal del PLL para variaciones de ganancia de realización. $-$ (SLOW, 1.98 V, 125 °C). $-$ (NOM, 1.8 V, 27 °C). $-$ (FAST, 1.98 V, -40 °C).	73
3.25. Layout del generador de reloj.	75

3.26. Respuesta temporal del PLL ante entra tipo escalón. – Ciclo de trabajo de la señal u_p . – Ciclo de trabajo de la señal d_n . – Frecuencia de la señal de salida en GHz.	76
4.1. Fotografía del circuito integrado.	80
A.1. Raiz cuadrada de la corriente de <i>drain</i> en función de V_{GS} . – $\sqrt{I_D}$. – Extrapólación para encontrar V_{T0}	85
A.2. Comparación entre la relación V_{GS} e I_D para un nmos y un pmos.	86
A.3. Transferencia de un transistor NMOS en inversión débil. – simulación, – aproximación	87
A.4. Transferecia de un transistor PMOS en inversión débil. – simulación, – aproximación	88
A.5. Esquemático del <i>Driver</i>	89
A.6. Amplificador de realimentación para la compensación de modo común.	91
A.7. Módulo de la respuesta en frecuencia del amplificador en corners. – (FAST, 1.62 V, 125 °C). – (NOM, 1.8 V, 27 °C). – (FAST, 1.98 V, -40 °C).	93
A.8. Esquemático del <i>Pre-Driver</i>	94
A.9. Modelos equivalentes del circuito para los niveles de salida alto y bajo.	95
A.10. Esquemático de la fuente de corriente del <i>Charge Pump</i>	97
A.11. Diagrama en bloque del sistema de control.	99

Índice de cuadros

2.1. Link de propósito general, especificaciones de DC.	8
2.2. Link de propósito general, especificaciones de AC.	8
2.3. Combinaciones posibles siglas del inglés para <i>Proces, Voltage and Temperature</i> (PVT).	10
2.4. Características de los trabajos seleccionados.	15
2.5. Relación de aspecto de los transistores del <i>Driver</i>	23
2.6. Relación de aspecto de los transistores del <i>Pre-Driver</i>	30
2.7. Consumo de corriente por bloque.	41
3.1. Cálculos previos.	54
3.2. Parámetros para el cálculo del retardo de un etapa diferencial.	58
3.3. Variación de la ganancia del VCO en <i>corners</i>	59
3.4. Relación de aspecto de los dispositivos del VCO luego de la optimización en <i>corners</i>	60
3.5. Frecuencia de salida en función del valor del coeficiente.	65
3.6. Consumo del PLL por bloque.	71
A.1. Parámetros del transistor N y P MOS en inversión fuerte.	84
A.2. Parámetros de los transistor N y P MOS para el modelo en inversión débil.	88
A.3. Relación de aspecto de los transistores del amplificador.	93
A.4. Relación de aspecto de los transistores de la fuente de corriente del <i>Charge Pump</i>	98

Capítulo 1

Introducción General

El Grupo de Investigación en Sistemas Electrónicos y Electromecatrónicos (GISEE) de la Universidad Nacional del Sur (UNS) a través de convenios específicos con Mosis y Tower Jazz, ha logrado acceder a la fabricación de circuitos integrados para prototipado.

Muchos de estos circuitos son digitales o contienen algún bloque digital. Los circuitos digitales operan efectuando funciones matemáticas, operaciones lógicas o rutinas de control. Éstas operaciones requieren de una señal de reloj para ejecutar cada operación y de operandos o datos para tomar decisiones o realizar el cálculo.

La comprobación del funcionamiento de estos circuitos consiste en la comparación entre los resultados obtenidos con algún sistema de referencia y los arrojados por el chip ante la misma entrada o estimulación desde el exterior. En general tanto el sistema de referencia, la estimulación, la adquisición de los resultados y su evaluación se realizan con un arreglo de compuertas programables o FPGA debido a su flexibilidad y versatilidad.

Si bien la fabricación y la comprobación de funcionamiento de estos circuitos se han realizado con éxito, los sistemas no pudieron operar a la máxima frecuencia permitida por la tecnología. Ésto se debe a que en la actualidad no se dispone de dos bloques claves en la cadena de procesamiento, un generador de reloj y una interfaz de alta velocidad.

Hasta el momento estas carencias se suplían mediante la réplica de estructuras, incremento de memoria, mayor número de entradas y salidas, etc. Éstas estrategias generan una subutilización del área de fabricación disponible y pérdida de desempeño que puede ser significativa dependiendo

de la complejidad del diseño.

La disponibilidad de un sintetizador de frecuencia variable y una interfaz de salida de alta velocidad tipo bloque de propiedad intelectual (IP), potencia la utilización de cada corrida, ya que permite mejor la utilización del área, mejora el desempeño y rango de frecuencia de operación de los prototipos debido al mayor alcance la frecuencia de reloj, mejora la calidad de la publicaciones ya que sería posible hacer barridos frecuenciales y reportar con mayor precisión los resultados y límites de operación de los circuitos.

Debido a la naturaleza analógica de los bloques en cuestión, la selección de la tecnología es clave para la reutilización de los mismos. A la hora de seleccionar la tecnología se evaluaron diversos aspectos de la misma. El primordial es la velocidad, se debía escoger entre todos los procesos disponibles aquel que fuera capaz de operar a la mayor frecuencia. Otro aspecto importante es el alcance la tecnología. El proceso elegido debe ser capaz de albergar la mayor cantidad de proyectos posibles, desde circuitos de potencia hasta circuitos digitales de alta velocidad. Bajo estas premisas, el proceso elegido fue el Tower Jazz de 180 ηm .

La tesis tiene tres aspectos fundamentales. El primero es la documentación del diseño de un transmisor de datos digitales diferenciales compatible con los dispositivos de laboratorio disponibles y un sintetizador de frecuencia variable con frecuencia de salida 0.2 GHz a 1 GHz. El segundo es la reutilización de los bloques diseñados por parte de otros miembros del grupo de trabajo que lo requieran con fines educativos o de investigación. Por último, proveer una plataforma de conocimiento y diseño que se pueda mejorar con las sucesivas iteraciones de fabricación orientada a la realización de circuitos integrados digitales de alta velocidad.

Capítulo 2

Interfaz de transmisión diferencial de bajo voltage y alta velocidad

2.1. Introducción

Desde los inicios de las transmisiones digitales, la tasa de transferencia creció desde algunos kbps a decenas de Gbps. Este cambio ha sido impulsado en gran parte por los consumidores, quienes demandan dispositivos móviles más rápidos, placas de video con capacidad 3-D más realistas, etc. El movimiento de este volumen de datos requiere de sistemas de alto desempeño, que consuman la menor cantidad de energía posible con baja generación de ruido, altas tasas de rechazo al ruido y de bajo costo. Para atender a estas necesidades se han desarrollado interfaces conocidas como LVDS (siglas del inglés *Low Voltage Differential Signaling*).

Los dos estándares más difundidos para la interfaz LVDS son el ANIS/TIA/EIA-644 el cual se titula *Electrical Characteristics of Low Voltage Differential Signaling Interface Circuits* y el otro es el estándar del *Institute of Electrical and Electronics Engineers* (IEEE) 1596.3 [1] del titulado *Standard for Low-Voltage Differential Signals for Scalable Coherent Interface (SCI)*.

Si bien ambos estándares son muy similares, los dispositivos de laboratorio son compatibles con el estándar IEEE 1596.3. Por lo tanto éste es el estándar adoptado para el desarrollo del transmisor. En la Sección 2.2.2 se describe estándar en detalle.

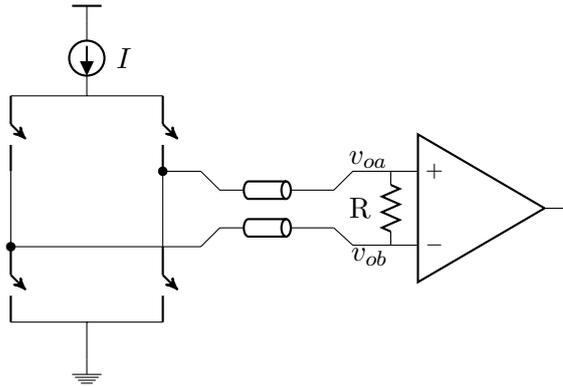


Figura 2.1: Estructura básica de un sistema de transmisión y recepción LVDS.

Para profundizar en el conocimiento de esta interfaz y comprender las razones de sus características particulares se presenta un sistema básico de transmisión y recepción LVDS en la Figura 2.1. Para comunicar un transmisor y un receptor LVDS se utilizan dos líneas separadas. En cada una de estas líneas existe una señal conformada por dos componentes, una componente diferencial y una componente de modo común. La componente diferencial, que se obtiene de la resta entre las señales, se utiliza para transmitir información. La componente de modo común, que se obtiene como la semisuma entre las señales, se utiliza como referencia de cada una de las señales a un nivel de tensión distinto de masa. Para recuperar la información, el receptor resta las señales de entrada. De esta forma, las componentes comunes en cada una no afectan a la información transmitida.

El método de transmisión diferencial es menos sensible al ruido de modo común que los esquemas de transmisión de salida simple. Si se mantiene la simetría y la proximidad entre las líneas de transmisión, el ruido inducido en cada una de ellas será el mismo, por lo que éste es rechazado por el receptor al evaluar la diferencia entre las señales.

El uso de señales diferenciales propicia la reducción de emisión de radiación electromagnética, ya que cada línea crea un campo electromagnético con igual amplitud pero sentido opuesto. Por lo que el efecto conjunto aplicado en un punto resulta en un campo de menor intensidad.

Las prestaciones de la interfaz LVDS respecto del ruido permiten la utilización de rangos de excursión menores que los esquemas de salida simple. En general los esquemas de salida simple excursionan entre fuente y masa mientras que las interfaces LDVS utilizan algunas centenas

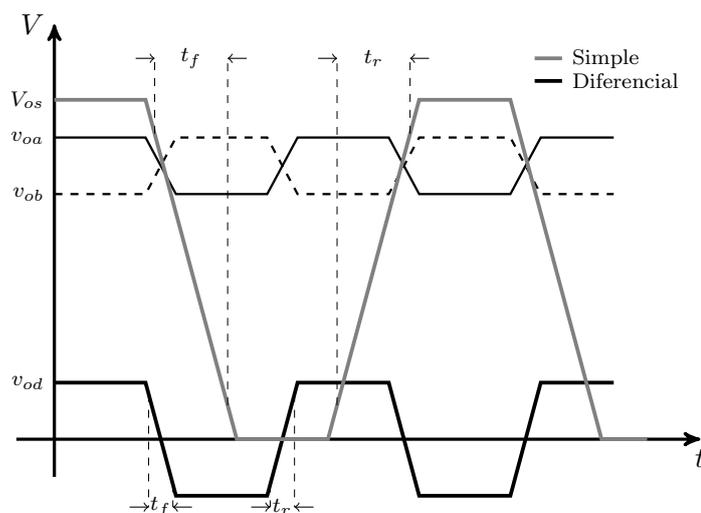


Figura 2.2: Comparación entre señales diferenciales y simples.

de milivolts. Esta diferencia propicia el aumento de velocidad en la transferencia de datos. Si se comparan ambos esquemas de transmisión para un mismo límite de velocidad de salida, los tiempos de trepada y caída del sistema LVDS son significativamente más pequeños, como se muestra en la Figura 2.2.

Debido al pequeño nivel de excursión, es posible reducir el valor de tensión de la fuente de alimentación. Ésto facilita la implementación de esta interfaz para un amplio abanico de procesos de integración. En particular, es posible implementar sistemas de transmisión LVDS en proceso CMOS digitales que emplean tensión de alimentaciones desde 2 V (o menos) hasta 5 V (o más).

Otra característica de la técnica de transmisión LVDS es que el consumo de corriente del transmisor es aproximadamente constante. Esta característica induce bajo ruido en la fuente de alimentación, creando mejores condiciones de operación para el resto de los sistemas conectados al mismo suministro de potencia.

En las próximas secciones se describe con mayor detalle las características del estándar y se detallan las condiciones de diseño. A continuación, se realiza un análisis sobre distintas topologías desarrolladas en trabajos de comunicación científica y se presenta la topología seleccionada para el transmisor y cada uno de los bloques que lo conforman. Luego se presentan los cálculos de cada bloque. Por último se muestran los resultados de las simulaciones.

2.2. Transmisor LVDS

En esta sección se describe el diseño objetivo, las características, especificaciones y restricciones de diseño que el Transmisor LVDS debe cumplir. Se presentan los criterios para la selección de la tecnología y se muestra como ésta condiciona la selección del *Driver* LVDS. Por último se presentan la arquitectura del Transmisor y los cálculos para diseñar cada uno de los bloques que lo componen.

2.2.1. Especificaciones y Restricciones de diseño

Las especificaciones del Transmisor LVDS son básicamente las detalladas en el estándar IEEE 1596.3; mientras que las restricciones son el conjunto de condiciones de diseño, establecidas principalmente por la tecnología. A continuación se detallan las características del estándar, el criterio para la selección del proceso de fabricación y las restricciones que éste impone sobre el diseño.

El estándar IEEE 1596.3 creado en el año 1996 establece las características eléctricas y físicas de operación del Transmisor y Receptor LVDS. Éste estándar está basado en el estándar IEEE 1596 del año 1992, el cual define las especificaciones para comunicaciones punto a punto basado en señales diferenciales tipo lógica acoplada por emisor (ECL).

Una de las diferencias fundamentales entre ambos estándares es que el estándar ECL condiciona a los diseñadores a utilizar procesos de integración capaces de fabricar transistores bipolares. El foco del estándar LVDS es la generación de especificaciones técnicas que le permitan a los diseñadores implementar los circuitos en cualquier proceso de fabricación.

El nuevo estándar LVDS define valores de tensión bajos para el nivel máximo y mínimo de tensión admisible en las salidas del transmisor, V_{oh} y V_{ol} respectivamente, y para la tensión de modo común V_{cm} , Figura 2.3a. También se definen las desviaciones máximas admisibles V_{cm} y la tensión diferencial v_{od} , Figura 2.3b.

El estándar establece el valor máximo de corriente de cortocircuito para cada salida según los casos ilustrados en la Figura 2.4. Las características eléctricas de un transmisor de propósito general en DC y AC se muestran en los Cuadros 2.1 y 2.2 respectivamente.

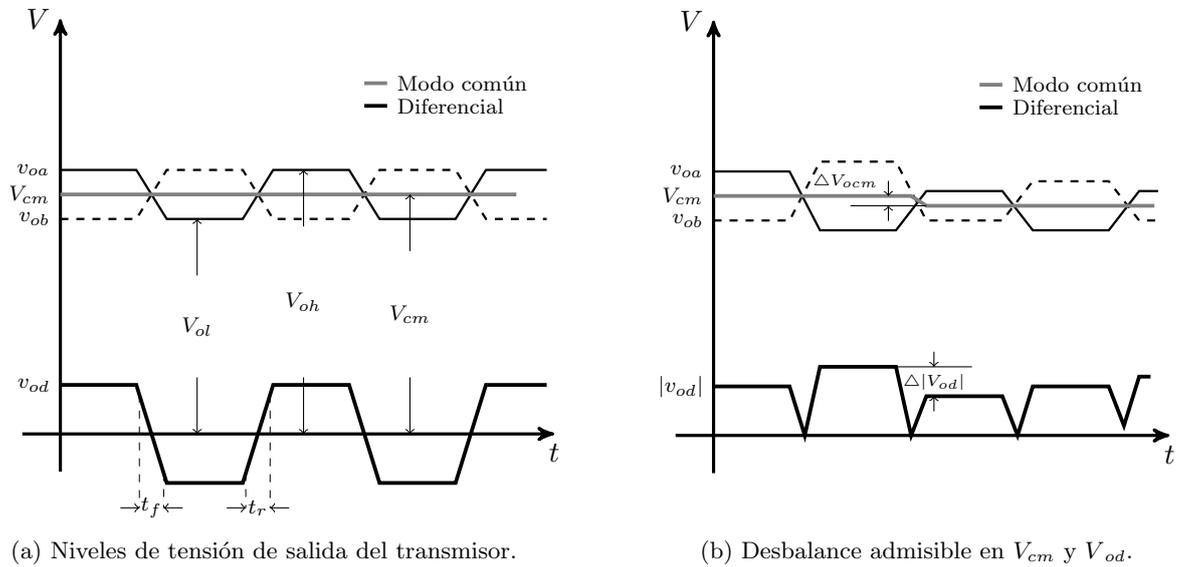


Figura 2.3: Niveles de tensión y desbalance admisible en la salida del transmisor.

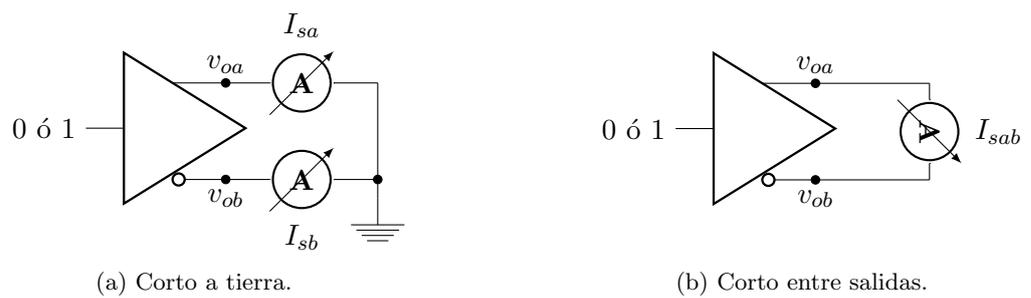


Figura 2.4: Cortocircuito de las salidas del transmisor.

Cuadro 2.1: Link de propósito general, especificaciones de DC.

Símbolo	Descripción	Condición	Min	Max	Uinidad
V_{oh}	Tensión de salida alto, V_{oa} o V_{ob}	$R_{load} = 100 \Omega \pm 1 \%$		1475	mV
V_{ol}	Tensión de salida bajo, V_{oa} o V_{ob}	$R_{load} = 100 \Omega \pm 1 \%$	925		mV
$ v_{od} $	Tensión de salida diferencial	$R_{load} = 100 \Omega \pm 1 \%$	250	400	mV
V_{cm}	Tensión de modo común	$R_{load} = 100 \Omega \pm 1 \%$	1125	1275	mV
R_o	Impedancia de salida, terminación simple	$V_{cm} = 1.0 \text{ V y } 1.4 \text{ V}$	40	140	Ω
ΔR_o	Desapareamiento en R_o entre A y B	$V_{cm} = 1.0 \text{ V y } 1.4 \text{ V}$		10	%
$ \Delta v_{od} $	Cambio en $ v_{od} $ entre "0" y "1"	$R_{load} = 100 \Omega \pm 1 \%$		25	mV
Δv_{os}	Cambio en V_{cm} entre "0" y "1"	$R_{load} = 100 \Omega \pm 1 \%$		25	mV
I_{sa}, I_{sb}	Corriente de salida	Driver cortocircuitado a tierra		40	mA
I_{sab}	Corriente de salida	Driver cortocircuitado entre si		12	mA
$ I_{sa} , I_{sb} $	Pérdidas en la salida durante el "Power off"	$V_{cc} = 0 \text{ V}$		10	mA

Cuadro 2.2: Link de propósito general, especificaciones de AC.

Símbolo	Descripción	Condición	Min	Max	Uinidad
$Clock$	Duty cycle señal de reloj	250 MHz	45	55	%
t_{fall}	Tiempo de caída V_{od} , 20 - 80 %	$Z_{load} = 100 \Omega \pm 1 \%$	300	500	ps
t_{rise}	Tiempo de trepada V_{od} , 20 - 80 %	$Z_{load} = 100 \Omega \pm 1 \%$	300	500	ps
t_{skew1}	$ t_{p_HLA} - t_{p_HLB} $ o $ t_{p_HLB} - t_{p_HLA} $, Skew diferencial	Cualquier par diferencial en el encapsulado		50	ps
t_{skew2}	$ t_{p_diff}(m) - t_{p_diff}(n) $, Skew diferencial	Dos señales cualquiera en el encapsulado		100	ps

El GISEE posee acceso a un gran número de procesos de fabricación. El proceso elegido es aquel proceso en el cual se pueda fabricar la mayor diversidad posible de sistemas, ya sean digitales, analógicos, de señal mixta, alta potencia o de radio frecuencia.

Es así que la tecnología seleccionada para fabricar el circuito fue el proceso de 180 nm. Éste posee diferentes opciones de integración, entre las que se destacan la posibilidad de fabricar circuitos digitales capaces de operar en frecuencias cercanas al GHz y circuitos de potencia mediante el uso de transistres que soportan hasta 700 V. También posee transistores con características especiales que los hacen ideales para implementaciones de radio frecuencia.

Durante el proceso de fabricación de circuitos integrados naturalmente ocurren variaciones, las cuales pueden deberse a gradientes térmicos en la oblea de silicio, distorsión de las ópticas, diferencias en el dopado, etc. Estas variaciones impactan sobre los parámetros constructivos de los dispositivos. Por ejemplo, para el caso de los transistores, estas variaciones puede traducirse en cambios de la longitud y el ancho del canal, ancho del óxido, etc. Estos cambios producen alteraciones en la característica de los dispositivos que son predecibles y se las denominan variaciones extremas de proceso o en inglés *corner process variations*.

Como el objetivo de este trabajo es crear una interfaces de transmisión de datos de alta velocidad disponible para un amplia gamas de proyectos. Es necesario que el Transmisor pueda operar bajo las peores condiciones de tensión de alimentación. Por esta razón es que el circuito deberá operar alimentado con una única fuente de tensión de 1.8 V y debe ser capaz de soportar una variación de $\pm 10\%$.

El rango de temperatura de operación es aquel para el cual fueron caracterizados los dispositivos de la tecnología seleccionada, -40 C° a 125 C° .

Las variaciones de proceso conjugada con las del nivel de tensión de alimentación y temperatura crean diversas condiciones de operación para los circuitos y se las conoce como variaciones PVT PVT.

Estos posibles escenarios de operación crean condiciones de funcionamiento que pueden resultar en un beneficio o perjuicio desde el punto de vista de desempeño del circuito. Por lo tanto es necesario verificar que el diseño opere correctamente en todas ellas. Todos los casos posibles de variaciones PVT se listan en el Cuadro 2.3.

Cuadro 2.3: Combinaciones posibles PVT.

Corner	Proceso	Voltage V	Temperatura °C
Nom	NOM	1.8	27
Slow	SLOW	1.62	125
Fast	FAST	1.98	-40
C4	SF	1.62	125
C5	SF	1.98	125
C6	SF	1.62	-40
C7	SF	1.98	-40
C8	FS	1.62	125
C9	FS	1.98	125
C10	FS	1.62	-40
C11	FS	1.98	-40

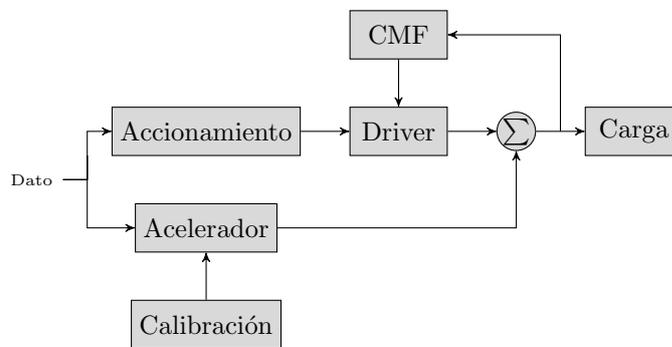


Figura 2.5: Diagrama en bloques de un transmisor LVDS.

El objetivo de diseño es desarrollar un transmisor LVDS que cumpla con la norma IEEE 1596.3 y que pueda funcionar con una única fuente de alimentación de 1.8 V. Además deberá poder transmitir datos a una tasa mayor o igual a 500 Mbps. Para validar el diseño será necesario probar su correcto funcionamiento en *corners* PVT listados en el Cuadro 2.3 realizando las simulaciones.

2.2.2. Selección de la arquitectura

En esta sección se presenta el diagrama en bloques de un transmisor LVDS. Se analizan diferentes topologías para los bloques claves en el desempeño del transmisor y se define la arquitectura del sistema.

El diagrama en bloques de un transmisor LVDS esta compuesto por un *Driver* principal, un circuito de Accionamiento, un sistema de compensación del modo común (CMFB) y un circuito de compensación de los tiempos de transición o Acelerador, como se muestra en la Figura 2.5.

El *Driver* es el elemento principal del transmisor y es quien proporciona la mayor cantidad de corriente sobre la carga. Debido a su entrada diferencial, el *Driver* requiere de un circuito de Accionamiento. Éste convierte el dato digital de entrada en una señal diferencial con las propiedades eléctricas necesarias para accionar correctamente al *Driver*.

Las variaciones en el proceso de fabricación, cambios en la temperatura y en la tensión de alimentación pueden afectar dos parámetros de desempeño tales como el modo común de la tensión de salida y los tiempos de trepada y caída de la señal diferencial.

Para mitigar el primero de los problema se incluye un sistema de compensación de modo común . Su función es ajustar el punto de operación del *Driver* para regular el modo común de la tensión de salida dentro del rango establecido por la norma.

Para reducir el impacto en la variación de los tiempos de trepada y caída, se incluye un bloque denominado Acelerador. La función de éste es aportar un pulso de corriente extra a la corriente de salida del *Driver* durante las transiciones de la salida. Éste bloque tiene dos ajustes independientes que permite realizar una calibración para regular los tiempos. Uno de los ajustes permite modificar el ancho de pulso de la corriente del Acelerador, el otro ajuste permite la sincronización de ésta corriente extra con la del *Driver*.

A continuación se presentan distintos circuitos para implementar el *Driver* y se evalúa su desempeño, a grandes rasgos, bajo las condiciones de operación. De todos los circuitos presentados se escoge el más apropiado y se proponen circuitos para implementar los bloques restantes.

Driver

La arquitectura más simple para implementar un *Driver* LVDS se muestra en la Figura 2.6. Aquí podemos ver además, el conexionado del *Driver* con la línea de transmisión y ésta con el receptor.¹

¹Para simplificar los gráficos que describen a cada una de las arquitecturas, de ahora en más, se omiten la línea de transmisión y el receptor.

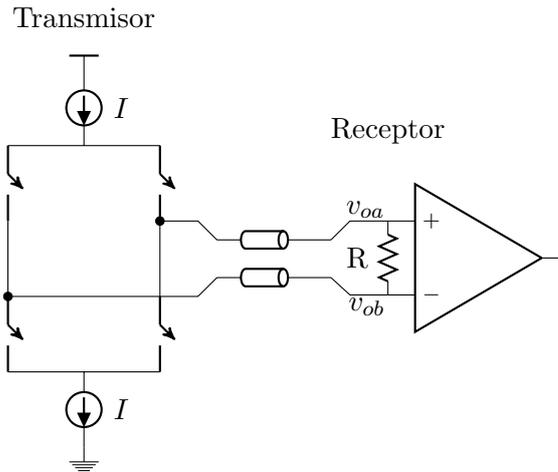


Figura 2.6: Arquitectura para Drivers LVDS.

El principio de operación del transmisor consiste en canalizar la corriente I en distintos sentidos mediante llaves comandadas por las señales D y \bar{D} . El estado de las llaves depende del valor lógico del dato que se desea transmitir. El cambio en el sentido de la corriente produce una variación en la polaridad de la tensión de entrada del receptor, el cual es interpretado por el receptor como un 0 o 1 lógico. El estado de las llaves para cada valor lógico de salida se puede ver en la Figura 2.7a y en la Figura 2.7b.

La arquitectura antes descrita es la utilizada en [13]. Allí se presenta un *Driver* LVDS implementado en un proceso CMOS de $.8 \mu\text{m}$, el cual emplea una fuente de tensión que puede ir desde 5 a 3.3 V para alimentar al circuito. Además, el circuito posee un lazo de realimentación negativa para compensar las variaciones del modo común. Un intercambiador de nivel, más conocido como *Level Shifter* (LS), adecua los niveles de tensión de las señales lógicas que operan en 2.4 V con los niveles de tensión de alimentación del *Driver*.

Este tipo de arquitectura, en la cual se colocan varios transistores en serie, es fácilmente realizable en procesos de fabricación capaces de soportar tensión de alimentación alta, por ejemplo, un proceso de $0.5 \mu\text{m}$ puede utilizar una tensión de 3.3 V a 5 V. La facilidad radica en que al contar con niveles de alimentación elevados, es más sencillo polarizar a los transistores MOS en la región de saturación ².

²Para que un transistor MOS esté en la región de saturación $|V_{DS}| \geq |V_{GS}| - |V_{TH}|$, donde V_{TH} es la

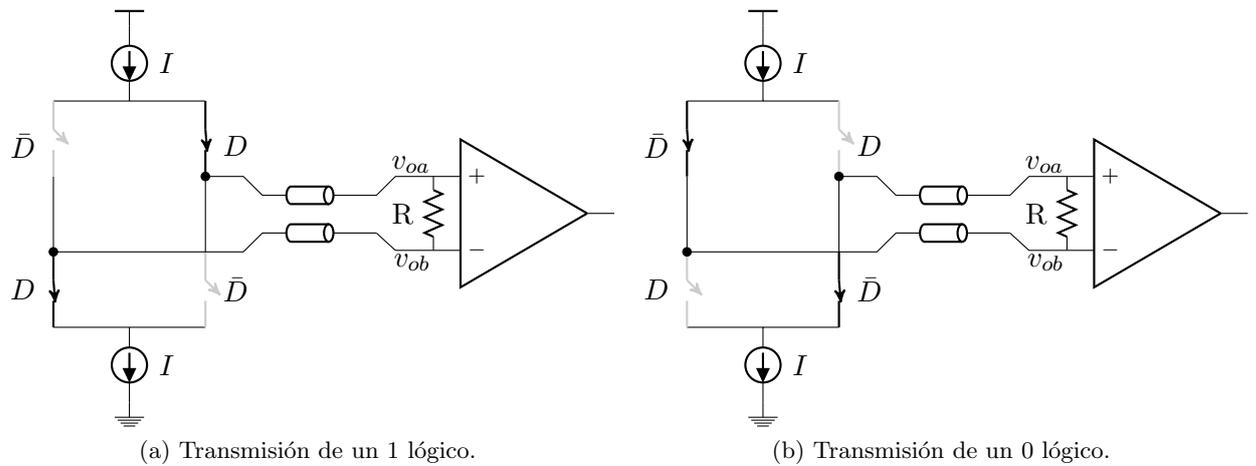


Figura 2.7: Estado de las llaves para transmitir un 1 o 0 lógico

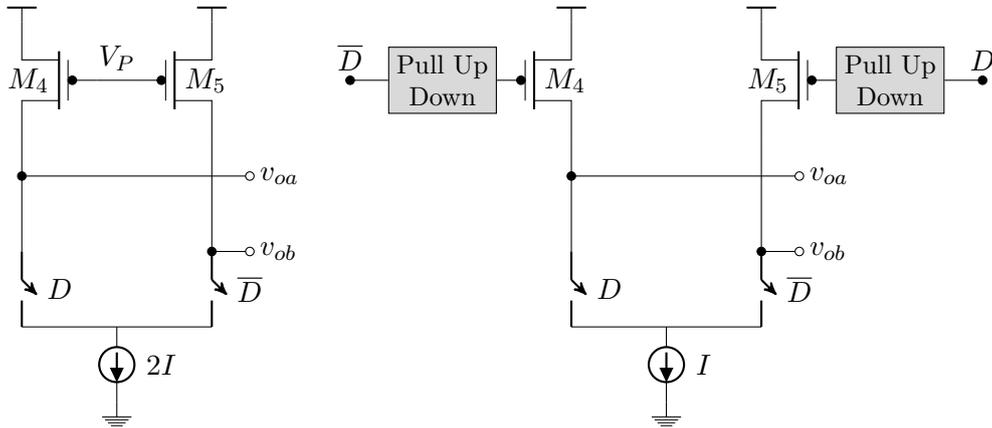
En la actualidad los procesos de fabricación tienden a reducir la escala y con esto la tensión de alimentación, por ejemplo, un proceso de fabricación de 90 nm opera con una tensión de alimentación de 1 V. Polarizar tres o más transistores en serie en la región de saturación en procesos con esta característica es poco práctico ó casi imposible.

Una solución para este problema es reducir la cantidad de dispositivos en serie a través de la utilización de una única llave por cada rama de salida como se muestra en la Figura 2.8a.

Una arquitectura que emplea una única llave y solo un nivel de tensión de alimentación se puede encontrar en [5], esta arquitectura se denomina *Double Current Source* (DCS), Figura 2.8a. La principal desventaja, en comparación con la topología más simple, es que esta topología requiere una corriente dos veces mayor.

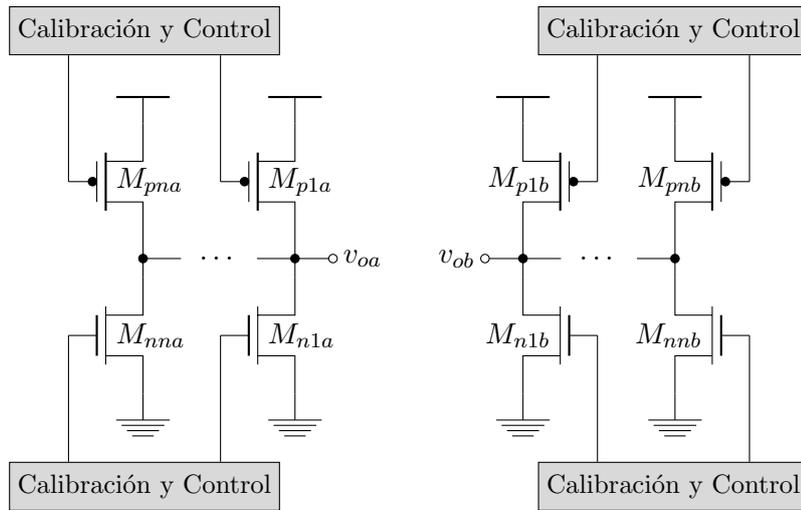
Para evitar el problema del aumento del consumo en [5] se propone la topología que se muestra en Figura 2.8b llamada *Switchable Current Source* (SCS). Aquí dos llaves extras S_{e1} y S_{e2} son incorporadas para conectar y desconectar la tensión de polarización de los transistores M_4 y M_5 . Si bien el consumo es menor, se requiere lógica de control extra para manejar las llaves S_1 y S_2 y circuitos de *Pull Up/Down* que acelere la carga y descarga de las capacidades de los transistores PMOS para proveer velocidad.

Si bien las arquitecturas DCS y SCS reducen significativamente el problema del escaso *over-tensión de umbral*.



(a) Arquitectura *Double current source*.

(b) Arquitectura *Switchable Current Source*.



(c) Arquitectura sin fuente de corriente.

Figura 2.8: Arquitecturas de *Drivers* LVDS.

drive para los transistores de la carga activa no lo eliminan completamente. Una arquitectura capaz de hacerlo se puede ver en la Figura 2.8c. Aquí las cuatro llaves son operadas entre corte y saturación, eliminando por completo la necesidad de utilizar fuentes de corriente. El valor de corriente que circula por la carga, esta limitado por el tamaño y el número de llaves y la tensión que las activa.

Una implementación de esta arquitectura se puede encontrar en [19]. Sin embargo ésta requiere implementar un circuito de calibración capaz de ecualizar la impedancia de salida y los niveles de corriente para una excursión de tensión apropiada en la entrada del receptor. Además, como los transistores del puente operan entre corte y saturación no es posible realizar una compensación del modo común de la tensión de salida para estabilizarlo ante variaciones proceso, tensión de alimentación y temperatura.

En la Tabla 2.4 se muestra comparativamente cada uno de los trabajos antes citados en los ítems de mayor interés como son tensión de alimentación, velocidad y consumo, entre otros.

Cuadro 2.4: Características de los trabajos seleccionados.

	[13]	[29]	[5]	[19]	
Consumo Estático	-	-	23 mW	12.8 mW	19 mW @ 2.5 Gbps
Área	-	-	.11mm ²	.14mm ²	.072mm ²
Complejidad	baja	media	baja	alta	alta
CMF	si	si	si	si	no
Velocidad	.4 Gbps	2 Gbps	1.4 Gbps	1.2 Gbps	2.5 - 4.5 Gbps
Vdd	5 y 3.3 V	3.3 y 1.2 V	1.8 V	1.8 V	1.8 V
Tecnología CMOS	.8μm	.13μm	.18μm	.18μm	.18μm
Excursión Diferencial	240 mV	350 mV	340 mV	340mV	450 - 203 mV

Compensación de Modo Común

Según la norma, cada una de las señales de salida del transmisor excursiona entorno a un nivel de tensión de DC. Como este valor es el mismo para ambas salidas se lo denomina tensión de modo común y su valor va desde 1.125 V a 1.275 V. Para cumplir con este requerimiento se utiliza un sistema de control de lazo cerrado que regula la tensión de modo común según un valor de tensión de referencia. El sistema se denomina CMFB, siglas que provienen del inglés *Common Mode Feedback*.

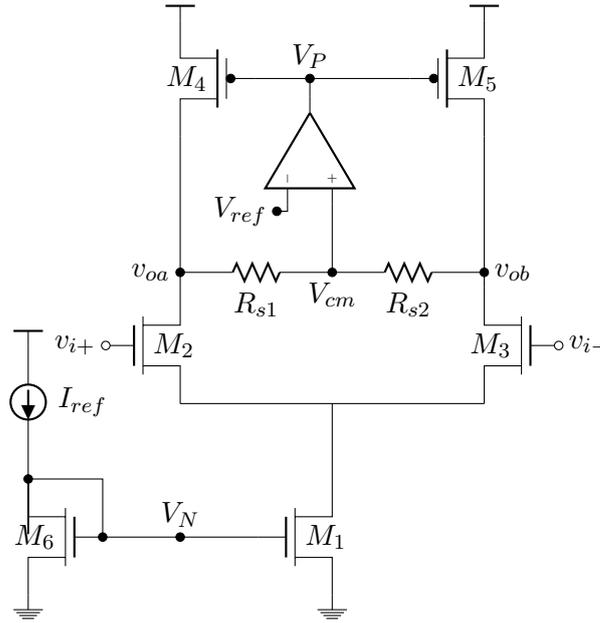


Figura 2.9: Implementación convencional para el sistema de compensación de modo común.

El lazo de control ajusta la polarización del *Driver* para lograr que la tensión de modo común de la salida esté próximo a un valor de referencia. Una implementación típica del lazo de compensación de modo común para un transmisor LVDS se muestra en la Figura 2.9. Éste consiste en un divisor resistivo, compuesto por las resistencias R_{s1} y R_{s2} , que se utiliza para medir el valor del modo común de salida. Un amplificador operacional regula la tensión de polarización de los transistores M_4 y M_5 del *Driver* (V_P) en función de la diferencia en entre la referencia (V_{ref}) y el valor medido (V_{cm}) [29]. La diferencia en estado estacionario entre V_{cm} y V_{ref} depende de la ganancia de lazo abierto del sistema de control, los detalles de los cálculos se presentan en la sección 2.2.3.

Como alternativa a la implementación tradicional, se propone un circuito para controlar el modo común utilizando transconductores para el sensado del modo común. Un esquema simplificado se muestra en la Figura 2.10. El funcionamiento consiste en generar una corriente I_e proporcional a la diferencia entre el valor de tensión de referencia V_{ref} y la tensión de modo común sensada V_{cm} por medio de los transconductores. La suma de I_e y una corriente de referencia I_{ref} se utiliza para crear una corriente de polarización I_{bias} que cambia el punto de

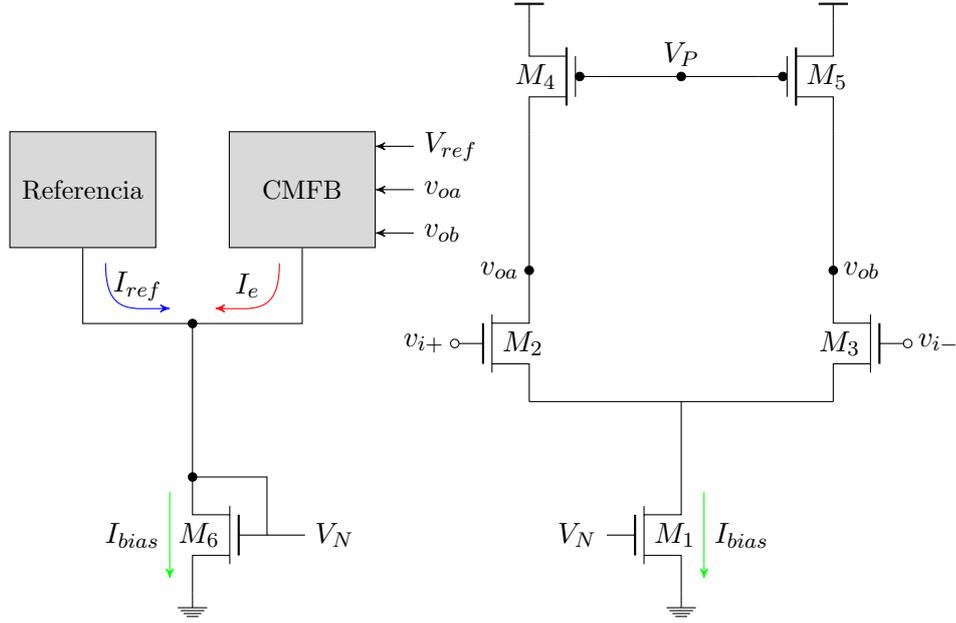


Figura 2.10: Esquema simplificado del sistema de control de modo común .

operación del *Driver* hasta alcanzar el valor deseado de tensión de modo común de salida.

El circuito de sensado de modo común esta compuesto por dos transconductores como muestra la Figura 2.11. La corriente I_e se puede escribir como

$$I_e = I_1 + I_2 \quad (2.1)$$

si se reemplaza I_1 e I_2 en función de los valores de tensión de entrada y el valor de transconductancia se obtiene

$$I_e = G_{m1} (v_{oa} - V_{ref}) + G_{m2} (v_{ob} - V_{ref}) \quad (2.2)$$

si se supone que $G_{m1} = G_{m2} = G_m$

$$I_e = G_m ((v_{oa} + v_{ob}) - 2V_{ref}). \quad (2.3)$$

La tensión en los nodos de salida se pueden escribir como $v_{oa} = V_{cm} + \Delta V$ y $v_{ob} = V_{cm} - \Delta V$, donde V_{cm} es el modo común de salida y ΔV es la mitad de la tensión diferencial. Reemplazando

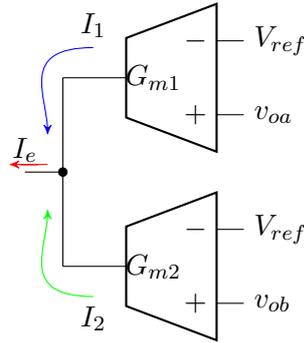


Figura 2.11: Esquemático del sistema de sensado de modo común basado en transconductores.

v_{oa} y v_{ob} en (2.3)

$$I_e = 2G_m (V_{cm} - V_{ref}) \quad (2.4)$$

encontramos que la corriente I_e es directamente proporcional a la diferencia entre el modo común de salida y la tensión de referencia.

Si el modo común de la salida se encontrase por sobre el valor de referencia, la corriente de error tendría signo positivo, por lo que la corriente total sobre el diodo M_6 sería mayor que I_{ref} . De esta manera, al circular más corriente por los transistores del par diferencial y como los de la carga activa están con una polarización fija la tensión media de la salida se reduce.

Accionamiento

Este bloque tiene dos funciones, la primera es convertir el dato digital de lógica CMOS standar a una señal diferencial. La segunda es adaptar los niveles de salida a valores apropiados para manejar el *Driver*.

El bloque de Accionamiento esta compuesto por dos etapas. La primer etapa consiste en dos cadenas de inversores, los cuales generan dos señales complementarias. La segunda etapa es un par diferencial con carga resistiva. En la Sección 2.2.3 se detalla la topología de cada etapa y los cálculos requeridos para el diseño de cada uno de ellos.

Carga

Según la norma la carga del Transmisor LVDS es una resistencia de 100Ω que se conecta entre las salidas v_{oa} y v_{ob} . Dada la frecuencia de operación del sistema de transmisión es necesario analizar el impacto de otros elementos conectados entre la salida del transmisor y la resistencia de carga. Estos elementos extras deterioran la calidad de la señal de transmisión hasta niveles en los cuales el receptor no es capaz de discernir el nivel lógico de transmisión.

La salida del transmisor en su camino hasta la resistencia de carga ataca inicialmente a los pads de salida del circuito integrado. Estos pads son pads analógicos provistos por la tecnología, y están modelados mediante capacitores conectados entre los rieles de alimentación VDD y GND y cada una de las salidas del transmisor.

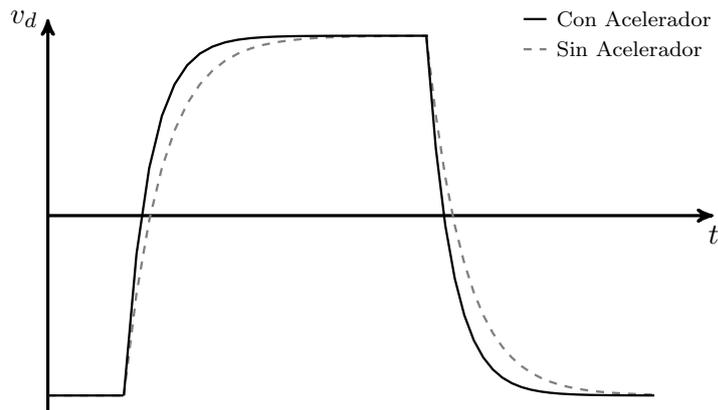
La siguiente etapa en la cadena de salida es el encapsulado. Se dispone del modelo circuital de un encapsulado *Quad Flat No-lead (QFN)*. Este modelo representa circuitalmente el camino que debe seguir una señal para ir desde el pad hasta el pin externo.

Para comunicar el pin externo con la carga de salida hay que utilizar una línea de transmisión adaptada en 50Ω a la frecuencia de operación de 500 MHz y un largo máximo de 15 ". Esta fue modelada para una placa FR4 mediante los parámetros S.

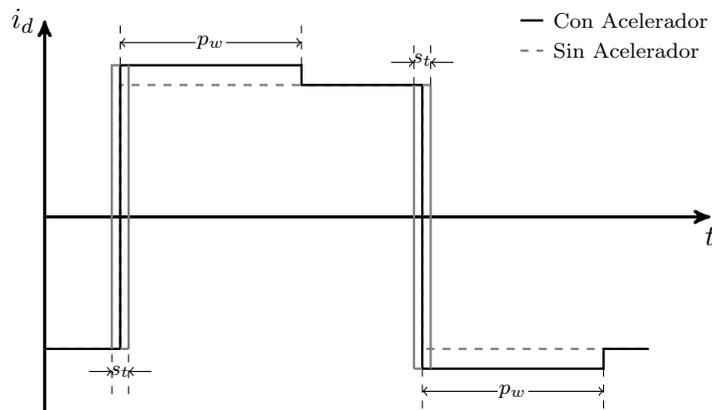
La línea de transmisión se conecta a la carga de 100Ω que esta a la entrada del receptor LVDS de la FPGA. Los pines de entrada de la FPGA tiene una capacidad equivalente a masa de 5 pF.

Acelerador

La capacidad de corriente de salida del *Driver* puede ser insuficiente para cumplir con las especificaciones de tiempo de trepada (t_r) y de caída (t_f) de la señal de salida del Transmisor debido al largo de las líneas, impedancia del *bond wire*, capacidad de carga, etc. Para mitigar este problema se incluye un bloque Acelerador (o Preenfasis). La función de este circuito es aportar un pulso de corriente en cada transición de la salida del Transmisor. Este efecto se puede apreciar gráficamente al comparar las formas de onda de la tensión de salida para un transmisor simple y uno que tiene el bloque acelerador, como muestra la Figura 2.12a. La utilización de este bloque ha sido reportada previamente en [21, 24].



(a) Comparación entre la tensión de salida del Transmisor con y sin Acelerador.



(b) Comparación entre la corriente de salida del Transmisor con y sin Acelerador.

Figura 2.12: Formas de onda de tensión y corriente de salida del Transmisor.

Para obtener el mayor efecto de reducción de los tiempos t_r y t_f , es necesario que la corriente de salida del *Driver* y del preénfasis actúen simultaneamente. La pérdida de sincronismo puede ocasionar sobrepicos en la tensión v_d o deterioro del t_r y t_f . Por esta razón el circuito tiene un bloque adicional que permite la sincronización de las corrientes. Es posible adicionar un grado más de ajuste al graduar el ancho del pulso de corriente extra aplicada a la salida (p_w). El impacto del ajuste de las variables s_t y p_w puede verse en al Figura 2.12b

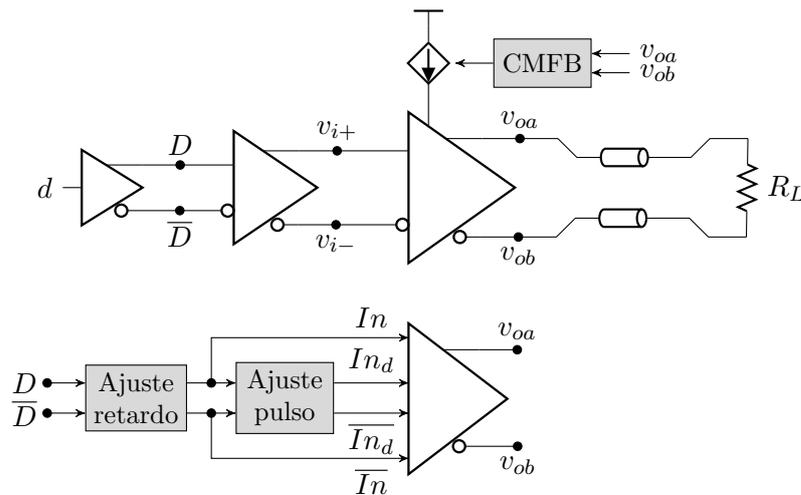


Figura 2.13: Esquema de los bloques del Transmisor LVDS.

Definición de la arquitectura

La arquitectura seleccionada para el Transmisor LVDS utiliza un *Driver* tipo *Double Current Source* ya que es la más simple y capaz de cumplir con los requerimientos de diseño. El diagrama en bloque se muestra en la Figura 2.13. El modo de operación es muy simple, los bits que se desean transmitir entran a un bloque que se encarga de generar dos señales digitales complementarias. Éstas manejan un *pre-driver* con capacidad de corriente suficiente para manejar los transistores de entrada del *Driver* principal. Las salidas de este último ingresan a un CMFB que regula la corriente de polarización de *Driver* principal para ajustar el modo común de la salida.

Además, un circuito Acelerador es agregado para mejorar los tiempos de respuesta de la salida sobre la carga. Se adicionan un circuito de ajuste de sincronismo y un circuito para selección de ancho de pulso de la corriente extra inyectada en las transiciones.

La arquitectura completa del transmisor se muestra en la Figura 2.13 incluyendo la carga.

2.2.3. Cálculos

Durante el desarrollo de esta sección se presentan los cálculos para el diseño de los bloques que conforman el Transmisor LVDS. Previo al diseño es necesario contar con un modelo para los transistores que permita la realización de los cálculos de forma manual. Los detalles del

modelado se encuentran en Apéndice A.1.

El Transmisor debe cumplir las especificaciones de la norma, las cuales condicionan el diseño de los bloques que lo componen. Por esta razón, al iniciar los cálculos de cada uno se describen las restricciones y condiciones de operación que debe cumplir para que el sistema de transmisión opere según lo establecido.

El diseño comienza desde la carga hacia la entrada, en primera instancia se presentan los cálculos para el *Driver* y su circuito de Accionamiento. En segunda instancia, el circuito Acelerador y los sistemas de calibración.

Los cálculos para determinar la relación de aspecto de los transistores se realizan con el modelo de los transistores ajustado en el *corner* nominal. Para selección de largo del canal se buscó el mínimo valor tal que se reducen los efectos de canal corto sin sacrificar velocidad. El valor final del dispositivo se ajusta mediante la realización de simulaciones en *corners*.

Driver

La arquitectura seleccionada para el *Driver* se denomina *Double Current Source (DCS)*. El esquemático de la arquitectura con un modelo de carga simplificado se muestra en la Figura 2.14. En la misma se indica el valor máximo de tensión *drain-source* para cada transistor. Estos valores se ajustaron para mantener a los transistores M_1 - M_5 en la región de operación deseada para todas las condiciones de operación.

La restricción de la norma que condiciona el diseño de este bloque es la excursión sobre la resistencia de carga R_L . Como el valor nominal de excursión es 325 mV, el valor nominal de corriente I debe ser 3.25 mA, ya que R_L vale 100 Ω .

Ante la entrada de un valor lógico alto o bajo uno de los dos transistores del par diferencial canaliza el total de la corriente. Por lo tanto cada uno de los transistores M_2 y M_3 deben ser dimensionados teniendo en cuenta una $I_{ds} = 2I$.

El diseño de la relación de aspecto de cada transistor se realizó considerando el modelo de los transistores ajustado en el *corner* nominal. El detalle de los cálculos se muestra en el Apéndice A.2.1.

Luego de la simulación de *corners*, se ajustaron los valores para cumplir con las especificacio-

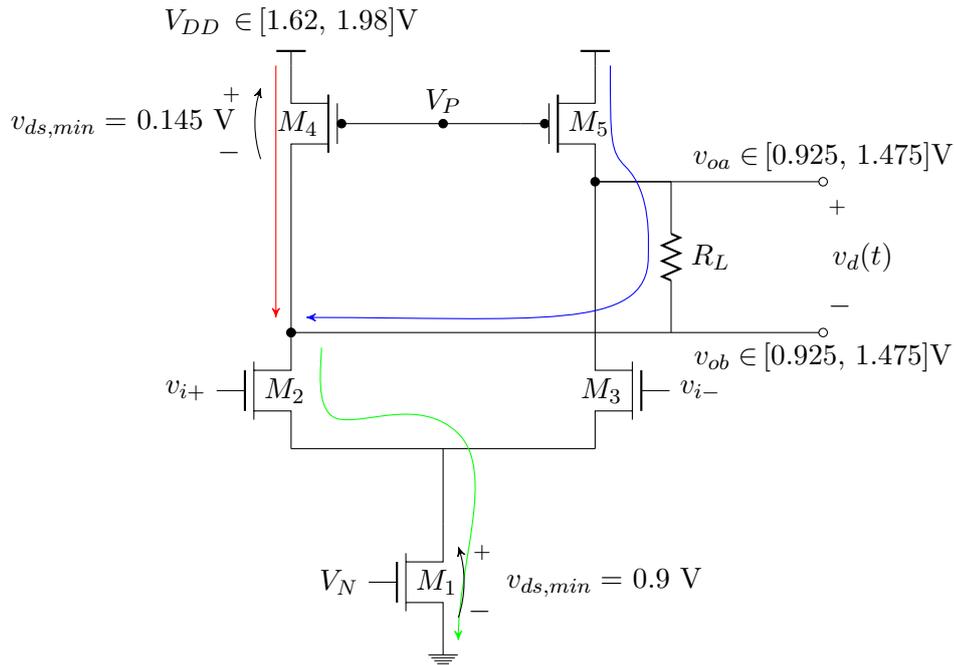


Figura 2.14: Esquemático del *Driver* con los valores de tensiones máximas y mínimas en cada nodo.

Cuadro 2.5: Relación de aspecto de los transistores del *Driver*.

Transistor	I_d [mA]	Reg. Op	W/L Cálculos	W/L Corners
M_1	6.5	Sat.	105/0.56	200/0.56
$M_{2,3}$	6.5	Sat.	102/0.56	160/0.56
$M_{4,5}$	3.25	Sat.	1200/0.36	2000/0.36

nes en todas las condiciones de operación. El valor de la relación de aspecto de los dispositivos obtenido con el modelo nominal para cálculos a mano y el valor final luego del ajuste en *corners* del proceso se puede ver en el Cuadro 2.5.

Compensación de Modo Común

Para la compensación de modo común se analizó el desempeño de dos circuitos. La implementación convencional, que utiliza un amplificador operacional para corregir la polarización conectado a un divisor resistivo para sensar el modo común. El circuito alternativo utiliza dos transconductores para el sensado y corrección de la polarización. A continuación se presentan

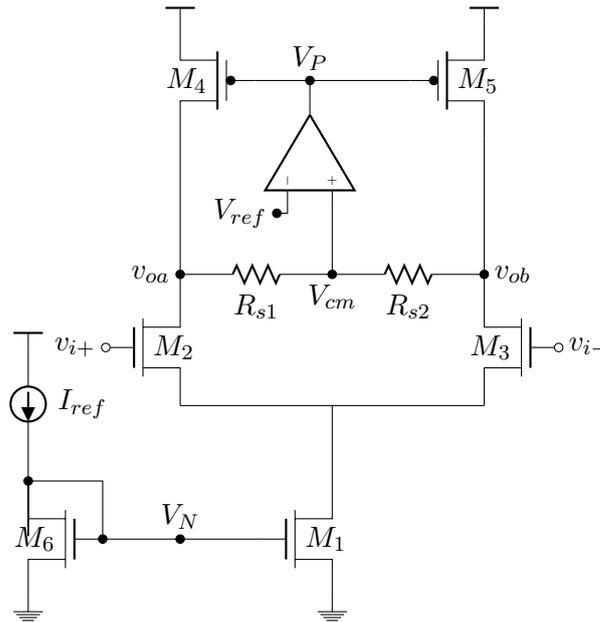


Figura 2.15: Esquemático del circuito de compensación de modo común.

los cálculos para los dos circuitos, se comparan los resultados y se selecciona la mejor realización desde el punto de vista de consumo de potencia, área y complejidad.

Cálculo de compensación de modo común convencional

El circuito de compensación de modo común convencional está compuesto por dos resistencias en serie, de igual valor, conectadas entre las salidas v_{oa} y v_{ob} y un amplificador como muestra el circuito de la Figura 2.15. El objetivo de este circuito es que la tensión del nodo V_{cm} sea aproximadamente igual al valor de la tensión del nodo V_{ref} .

Como se demuestra en [12], el error de estado estacionario (e_{sst}) entre las tensiones V_{cm} y V_{ref} depende de la ganancia de lazo abierto del sistema de control. Ésta se calcula a partir del modelo de pequeña señal del circuito de la Figura 2.16.

Para obtener el modelo de pequeña señal se abre el lazo de control y las entradas se conectan a un nivel de DC tal que la tensión del nodo V_{cm} está en un valor cercano a la tensión de referencia. Como ambas salidas (v_{oa} y v_{ob}) responden de la misma forma al modo común se pueden realizar algunas simplificaciones sobre el circuito equivalente. La primera es que desde el punto de vista de señal, es equivalente analizar cualquier nodo de salida. La segunda, es que

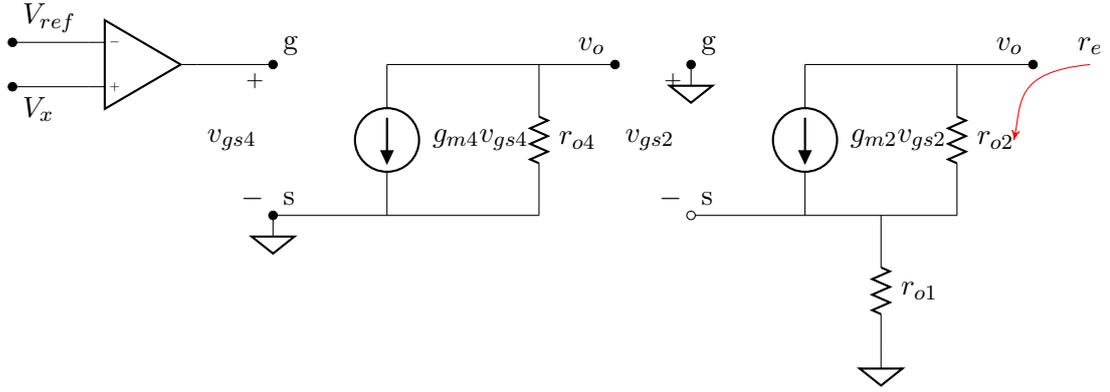


Figura 2.16: Modelo de pequeña señal para el cálculo de la ganancia de lazo abierto.

como no hay corriente de pequeña señal por las resistencias, la tensión del nodo V_{cm} es igual a cualquiera de las salidas.

Estas simplificaciones permiten hallar el valor de ganancia de lazo abierto, como la ganancia desde V_{ref} hasta cualquiera de las dos salidas utilizando el modelo equivalente que se muestra en la figura 2.16.

$$G(s) = -A_v(s)g_{m4}(r_{o4}/r_e) \quad (2.5)$$

donde $A_v(s)$ es la ganancia del amplificador, g_{m4} y r_{do4} son la transconductancia y la resistencia de *drain-source* de M_4 y r_e es la resistencia equivalente vista desde cada salida y vale

$$r_e = r_{o2} \left(1 + 2r_{o1}g_{m2} + \frac{2r_{o1}}{r_{o2}} \right) \quad (2.6)$$

Para mantener el error de estado estacionario ante una entrada tipo escalón de 1.2 V por debajo de 10 mV la ganancia de lazo abierto en DC ($G(0)$) tiene que ser mayor que 99 V/V. A partir de datos de simulación se calcula que la ganancia $g_{m4}(r_{o4}/r_e)$ es de aproximadamente 107 V/V, por lo que $A_v(0)=.9$ V/V es suficiente para cumplir las especificaciones.

Para el diseño del amplificador se toma un margen de seguridad y se especifica la ganancia de DC igual a 5 V/V.

Cálculo de compensación del modo común basado en transconductores

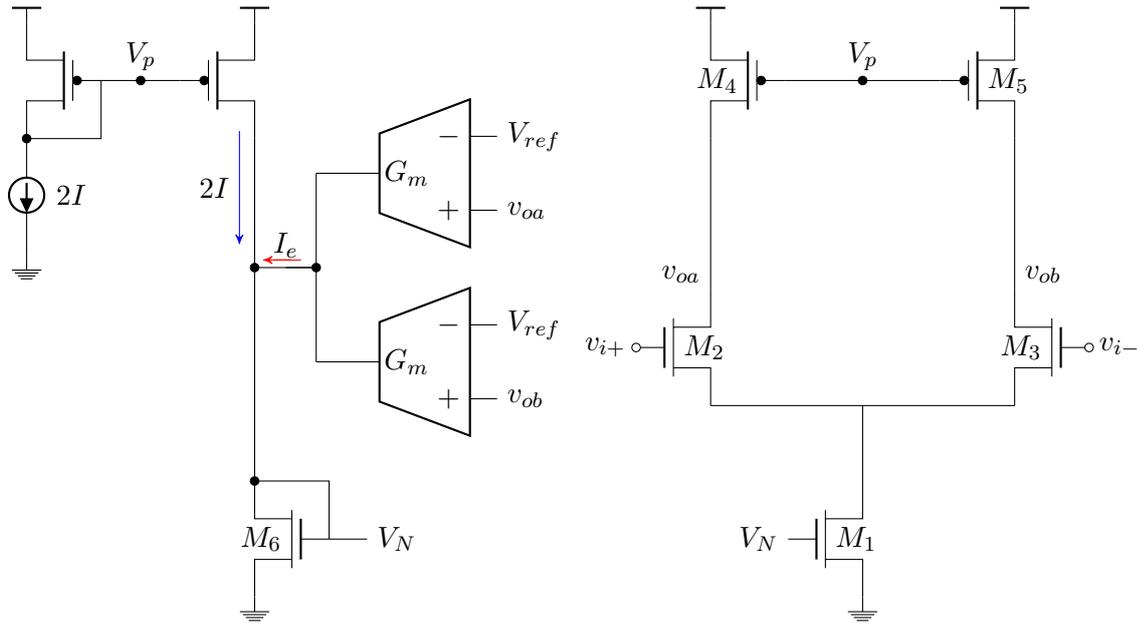


Figura 2.17: Esquemático de la compensación de modo común sin resistencias.

A diferencia de la implementación convencional, desarrollada anteriormente, la propuesta basada en transconductores no utiliza un divisor resistivo para medir el valor medio de la salida. Un análisis rápido indica que el sistema alternativo requiere menos área, por no utilizar resistencias de sensado y mejora el rendimiento del sistema, ya que no hay corriente de señal circulando a través de las resistencias de sensado. El circuito propuesto se puede ver en la Figura 2.17.

Al igual que como se hizo para la implementación anterior, es necesario calcular la función transferencia de lazo del sistema para poder determinar el valor de ganancia que reduzca el error de estado estacionario a los límites establecidos en la norma. Para ello se representa el modelo equivalente de pequeña señal como se muestra en la Figura 2.18.

Aplicando el método de los nodos sobre el circuito de la Figura 2.18 se puede encontrar la función transferencia

$$G(s) = \frac{\frac{2G_m}{(g_{m6} + g_{ds2})}}{\left(\frac{g_{ds4} + g_{ds2}}{g_{m2} + g_{ds2}}\right) (g_{ds1} + 2(g_{m2} + g_{ds2})) - 2g_{ds2}} \quad (2.7)$$

Para obtener el mismo error de estado estacionario y considerando una relación de multiplicación de corriente $N = 2$, el valor de G_m necesario es de $0.4 \mu\text{S}$.

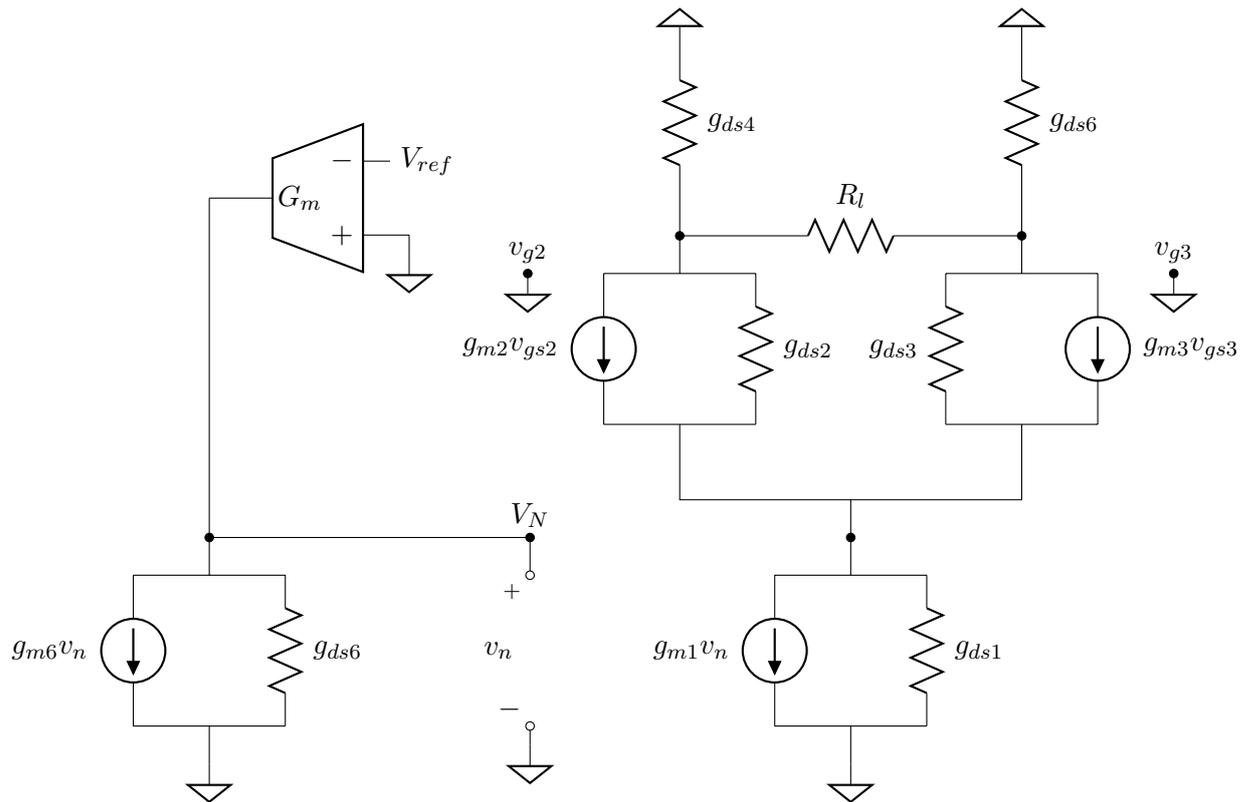


Figura 2.18: Modelo de pequeña señal para el circuito de compensación de modo común sin resistencias.

En primer aspecto de comparación entre las dos propuestas es el área necesaria. Si bien la propuesta convencional requiere resistencias de sensado, ésta requiere menos área que la propuesta basada en transconductores. Una de las razones es que el proceso cuenta con capas especiales de alto valor ohmico para la realización de resistencias. Debido al bajo valor de transconductancia, es conveniente que los transistores operen en inversión débil, lo que consecuentemente lleva a un aumento de la relación de aspecto y en consecuencia una aumento de area. Sumado al hecho de que hay que generar una fuente de corriente extra para polarizar los transconductores.

El segundo aspecto a considerara es la complejidad a la hora de realizar el layout. La implementación basada en transconductores requiere el *matching* de dos transconductancias lo cual es semsiblemente más complejo que el *matching* de dos resistencias tal como lo requiere la implementación convencional.

El tercer aspecto a considerar es el consumo de corriente. Es posible polarizar los transconductores con valores de corriente en el orden 1 o 2 μA , mientras que la implementación tradicional implementada con la fuente de corriente disponible consume 30 μA . Si bien el consumo de potencia es 30 veces mayor, éste representa menos del 0,5% del total de consumo.

Basado en lo expuesto anteriormente se optó por la implementación convencional para la implementación de la comparación del modo común.

Pre-Driver

El *Pre-Driver* es un acondicionador de señales con entrada y salida diferencial. Éste se encarga de ajustar el nivel de tensión de salida entre 1.6 V a 1.0 V para niveles de entrada digitales. El esquemático de esta etapa se muestra en la Figura 2.19. Los capacitores C_e en cada una de las salidas representan la capacidad de entrada de la etapa siguiente, en este caso la capacidad de entrada del *Driver*. Mediante la utilización de herramientas de diseño asistido por computadora se determino el valor de C_e igual a 300 fF.

Para cumplir con el tiempo de trepada y caída especificado en la norma el *Pre-Driver* debe poder cargar y descargar la capacidad C_e en 200 ps.

Para dimensionar apropiadamente los componentes del circuito y elegir la corriente de polarización hay que analizar el circuito equivalente en la carga y descarga del capacitor C_e que

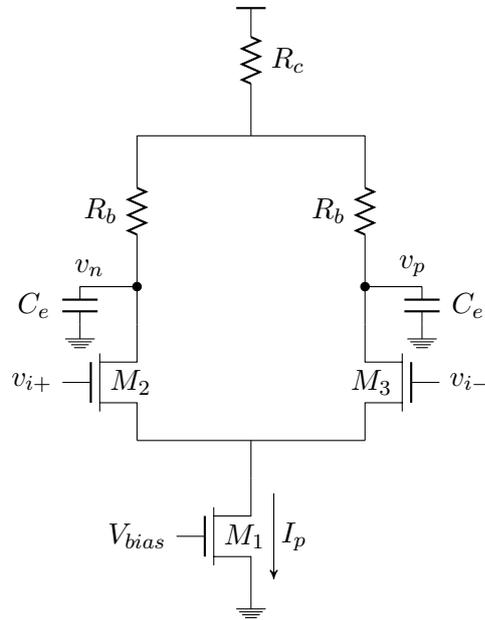
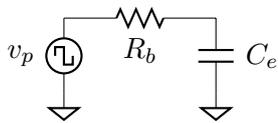
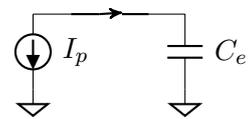


Figura 2.19: Esquemático del Pre-Driver.



(a) Modelo equivalente para la carga de C_e .



(b) Modelo equivalente para la descarga de C_e .

Figura 2.20: Modelos equivalentes del circuito para la carga y descarga de C_e .

Cuadro 2.6: Relación de aspecto de los transistores del Pre-*Driver*.

Componente	I_d [mA]	Reg. Op	Cálculos	Corners
R_b	-	-	289 Ω	60
R_c	-	-	222 Ω	200
$M_{2,3}$	2.07	Sat.	11/0.25	24/0.25
M_1	2.07	Sat.	45/0.56	200/0.25

se muestran en la Fig. 2.20a y 2.20b respectivamente. El detalle del procedimiento de cálculo se puede encontrar en A.2.3. La comparación de la relación de aspecto estimada utilizando el modelo ajustado en el *corner* nominal y la relación de aspecto final de los dispositivos luego del ajuste en *corners* se puede ver en el Cuadro 2.6.

Etapa Entrada simple - Salida complementaria

La función de este bloque es generar una señal complementaria con niveles de tensión de salida digital a partir de una señal digital de entrada simple.

Para llevar a cabo esta operación se utiliza el circuito de la Figura 2.21. Allí dos cadenas de inversores optimizadas para minimizar el retardo [16] manejan cada una de ellas una capacidad de carga equivalente de 85 fF. Debido a que una de las señales de salida está en fase con la entrada y la otra en contra fase se introduce una compuerta de transmisión para ajustar el retraso entre ambas salidas.

Primero se diseña un inversor CMOS con tiempo de trepada y caída semejantes. La primera aproximación de diseño sugiere que el transistor PMOS sea tres veces más grande que el NMOS. Para lograr precisión en el diseño el ajuste del tamaño de los transistores se realizó utilizando el simulador, ya que efectos como saturación por velocidad o canal corto no fueron tenidos en cuenta para la confección del modelo para cálculos a mano. Finalmente se obtiene un inversor CMOS cuyos transistores tienen un ancho de 1.68 μm y 0.42 μm , para el PMOS y NMOS respectivamente y longitud mínima 0.18 μm . La capacidad de entrada C_i de 0.76 fF.

El retardo para una cadena de inversores se puede escribir como

$$t_p = N t_{p0} \left(1 + \sqrt[N]{F/\gamma} \right) \quad (2.8)$$

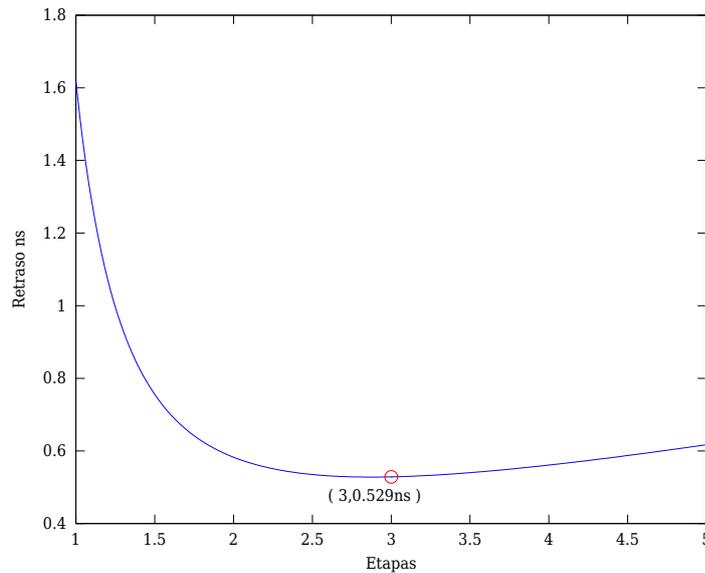


Figura 2.22: Retraso de la cadena de inversores en función del número de etapas (—). Punto seleccionado (○) .

el *fanout* f es 3.4 y se toma 3 para el diseño.

Acelerador

A partir del análisis realizado en la sección 2.2.2 se propone un circuito de Acelerador compuesto por tres etapas. La primer etapa se encarga de la sincronización entre la corriente del *Driver* y al corriente del Acelerador. La segunda etapa ajusta del ancho del pulso de la corriente inyectada, mientras que la tercera y última etapa entrega la corriente extra en la carga. Tanto la sincronización como el ajuste del ancho de pulso se realizan por medio de una palabra digital de 8 bits, b_0-b_7 y a_0-a_7 respectivamente. La configuración del valor de cada bit se realiza de forma serie.

En la primer etapa se generan dos señales complementarias desplazadas temporalmente (In e \overline{In}) respecto de otro par de entradas complementarias que provienen del bloque que convierte el dato simple a complementario. La implementación de esta etapa consiste en una serie de inversores en cadena, la palabra digital b_0-b_7 selecciona una salida, cuya retardo esta relacionado con la cantidad de inversores entre la entrada y la salida. El circuito propuesto se puede ver en

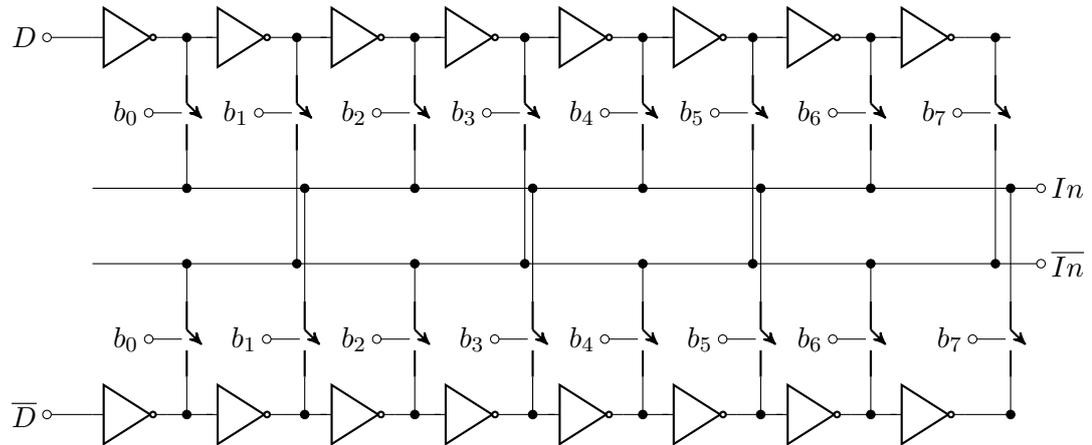


Figura 2.23: Esquemático de la etapa de sincronización.

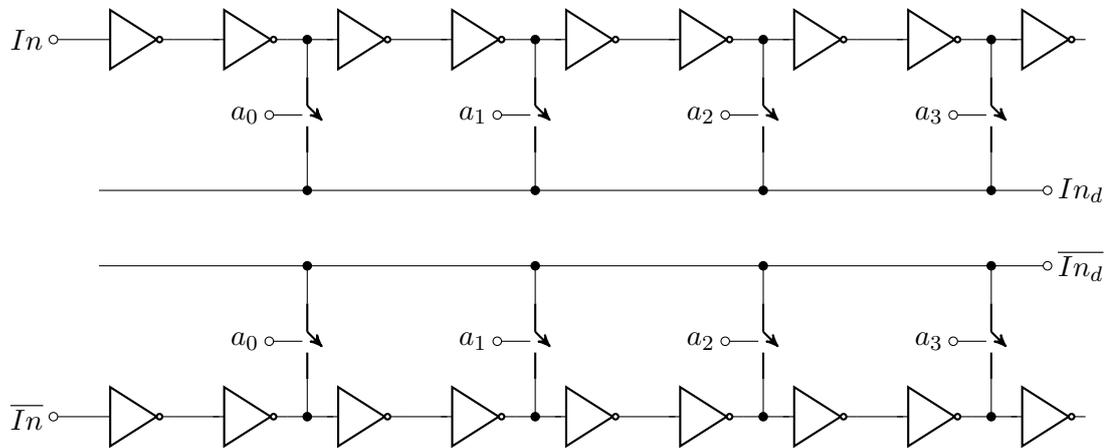


Figura 2.24: Esquemático de la etapa ajuste de ancho de pulso.

la Figura 2.23.

En la segunda etapa se generan las versiones retrasadas de las señales In e \overline{In} , llamadas In_d y $\overline{In_d}$, mediante el uso de la palabra digital a_0 - a_7 . El circuito utilizado se muestra en la Figura 2.24.

En la tercer etapa, las señales In e \overline{In} y sus versiones retrasadas accionan los transistores de paso para dirigir la corriente en un sentido u otro. Cuando se produce un cambio en los niveles lógicos de salida, las señales originales y sus versiones retrasadas tiene el mismo valor lógico durante una pequeña fracción de tiempo. Durante ese momento el circuito Acelerador añadirá un pulso de corriente a la salida de intensidad I_p y duración variable según la selección a_0 - a_7 .

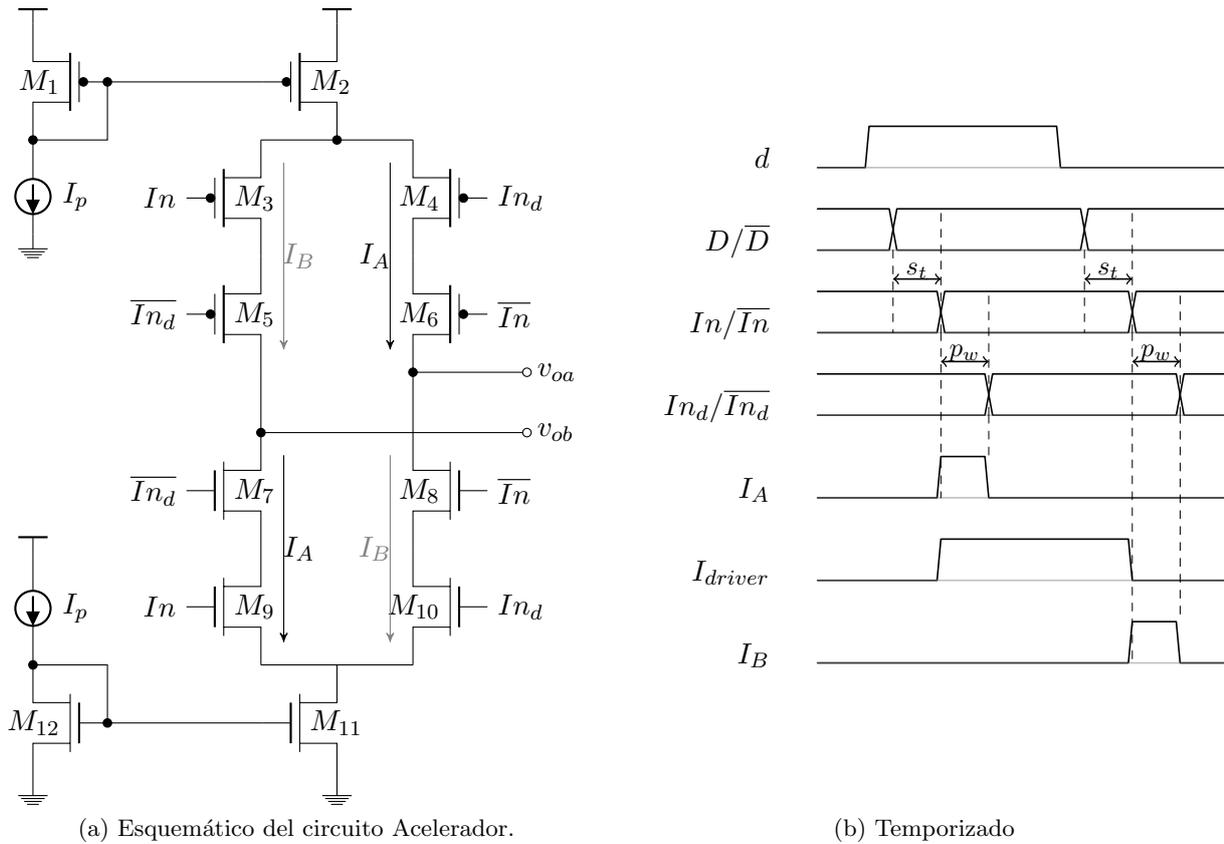


Figura 2.25: Esquemático del Acelerador y formas de onda del temporizado de las señales de comando de las llaves.

La implementación se muestra en la Figura 2.25.

2.3. Simulaciones

2.3.1. Introducción

En esta sección se muestran los resultados obtenidos en las simulaciones del Transmisor operando en distintas condiciones de proceso, tensión de alimentación y temperatura. Aunque se hicieron más pruebas, solo se reportan la comparación entre las respuestas del sistema con y sin Acelerador, la transmisión de datos y cortocircuito en condiciones de variación PVT.

El patrón digital para la transmisión se genera de forma aleatoria en Matlab y se inserta en

el simulador por medio de una fuente de tensión ideal. Para generar la entrada al Transmisor, la señal que proviene de la fuente ideal pasa a través de un *buffer* el cual emula las características (tiempo de trepada y caída, tensión máxima y mínima, etc.) de una señal que proviene de un circuito dentro del mismo *die*.

Cada una de las entradas y salidas del circuito se conecta al exterior por medio de un circuito simplificado que modela las características del *Wire bonding*, la capacidad del encapsulado y la capacidad del *Bond pad*. Entre las salidas del Transmisor y la carga se incluyó el modelo de la pista para un circuito impreso (PCB) FR4 de 14 pulgadas. La carga del Transmisor es modelada mediante una resistencia de $100\ \Omega$ conectada entre los pines de salida y una capacidad de 5 pF conectada en cada uno de estos nodos y tierra.

Desempeño del transmisor con y sin Acelerador

En la primera prueba se evalúa el desempeño del transistor con y sin Acelerador. Para ello se simulan ambas versiones del Transmisor en la condición nominal de operación (Nom, 1.8 V, 27 °C) y se mide el tiempo de trepada y caída de la señal diferencial de salida.

Los tiempos de trepada y caída de la salida para el transmisor sin el bloque Acelerador son de aproximadamente 600 ps, lo que evidencia la necesidad de la utilización de este bloque dentro del sistema. La comparación entre los diagramas de ojo de ambas versiones del Transmisor se puede ver en la Figura 2.26.

La diferencia significativa radica en la apertura del diagrama de ojo, lo que evidencia una mejora sustancial en el desempeño del sistema con Acelerador.

Transmisión de datos en *corners*

La segunda prueba consiste en la evaluación del desempeño del Transmisor en distintas condiciones de operación de proceso, tensión de alimentación y temperatura. Se realizan mediciones de tensión de modo común, tiempos de trepada y caída y diagrama de ojo de la tensión diferencial de salida.

El primer parámetro de desempeño que se evalúa es la tensión de modo común de salida. Según la norma el valor nominal de ésta es 1.2 V y se admite una variación de ± 0.075 V. El valor

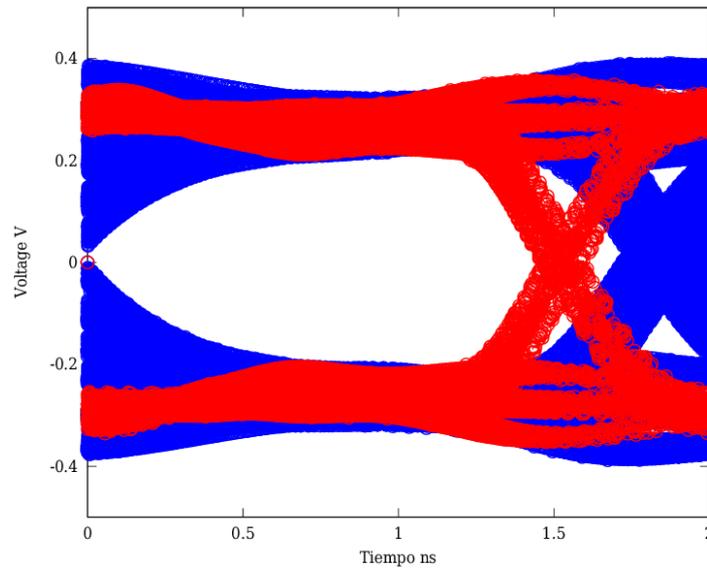


Figura 2.26: Diagrama de ojo de la salida del Transmisor sin Acelerador (○) y con acelerador (○).

medio de la tensión de salida en *corners* está entre 1.201 V y 1.203 V cuando no se transmiten datos. Si bien no existe diferencia entre la tensión media de modo común de salida entre los distintos *corners*, hay una diferencia significativa en los tiempos de establecimiento. Para la condición de simulación nominal el tiempo de establecimiento es de $2.6 \mu\text{s}$ con un sobrepico de 0.089 V. Las condiciones extremas de tiempo de establecimiento máximo y mínimo corresponden a los *corners* (SLOW, 1.62 V, $-40 \text{ }^\circ\text{C}$) y (FASTSLOW, 1.98 V, $125 \text{ }^\circ\text{C}$), siendo éstos $5.64 \mu\text{s}$ y $1.84 \mu\text{s}$ respectivamente. El mayor sobrepico ocurre para la condición de operación (FASTSLOW, 1.98 V, $125 \text{ }^\circ\text{C}$) con un valor de 0.1 V. La gráfica comparativa de las tres respuestas se puede apreciar en la Figura 2.27.

Durante la transmisión, la tensión de modo común eficaz es de 1.165 V para el *corner* nominal. La desviación máxima del valor medio cuadrático es para el *corner* (SLOW, 1.62 V, $-40 \text{ }^\circ\text{C}$) y vale 1.171 V.

Uno de los parámetros más importantes son el tiempo de trepada y caída de la salida. Éstos pueden verse en la Figura 2.28 y 2.29 respectivamente. En estas se puede apreciar el comportamiento en *corners* para condición nominal y las variaciones extremas máximas y mínimas. El valor medio máximo del tiempo de trepada corresponde al *corner* (SLOW, 1.62 V, $125 \text{ }^\circ\text{C}$)

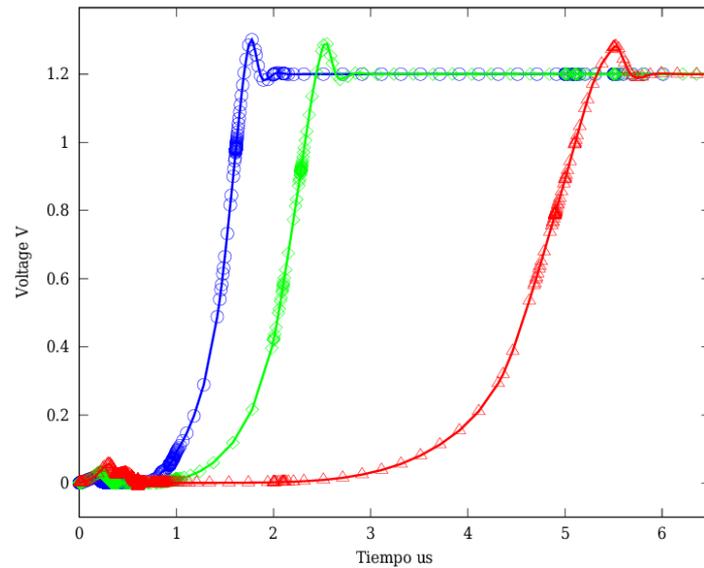


Figura 2.27: Respuesta temporal del modo común en corners. \circ (FASTSLOW, 1.98 V, 125 °C). \diamond (NOM, 1.8 V, 27 °C). \triangle (SLOW, 1.62 V, -40 °C).

y vale 446.20 ps. El valor medio mínimo corresponde al *corner* (FAST, 1.98 V, 125 °C) y vale 312.98 ps. El valor medio para el *corner* nominal es de 364.70 ps. El valor máximo y mínimo del tiempo de caída, están asociados a los mismos *corner* y sus valores son 453.84 ps y 307.20 ps. Para el *corner* nominal, el valor medio del tiempo de caída, es de 343 ps.

Del análisis del diagrama de ojo de la simulación en *corners* se desprenden algunas mediciones importantes. El promedio entre los valores lógicos altos está entre 310 mV y 341 mV, el *jitter* esta entre 138 ps y 149 ps, mientras que la tensión de cruce mínima es de -31 mV y la máxima es de 26 mV. La comparación entre el diagrama de ojo para la simulación en el *corner* nominal y las diferentes configuraciones de *corners* se puede ver en la Figura 2.30

Simulación de corto circuito

Existen dos casos de cortocircuito contemplados en la norma, el cortocircuito de las salidas a tierra y el cortocircuito entre las salidas.

Para la simulación del primer caso, las salidas del Transistor se conectan a tierra por medio de una llave con resistencia de 1 Ω . La activación de la misma se realiza durante la transmisión

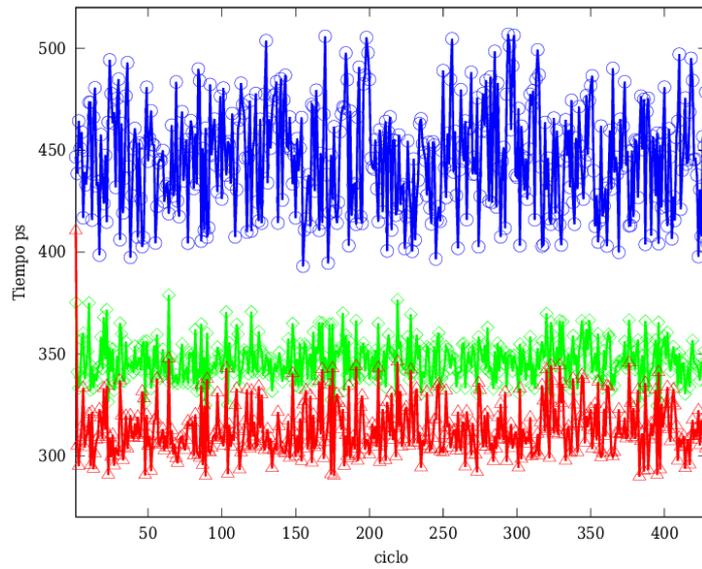


Figura 2.28: Tiempo de trepada para la condición nominal y los casos extremos. \circ (SLOW, 1.62 V, 125 °C), \diamond (NOM, 1.8 V, 27 °C), \triangle (FAST, 1.98 V, 125 °C)

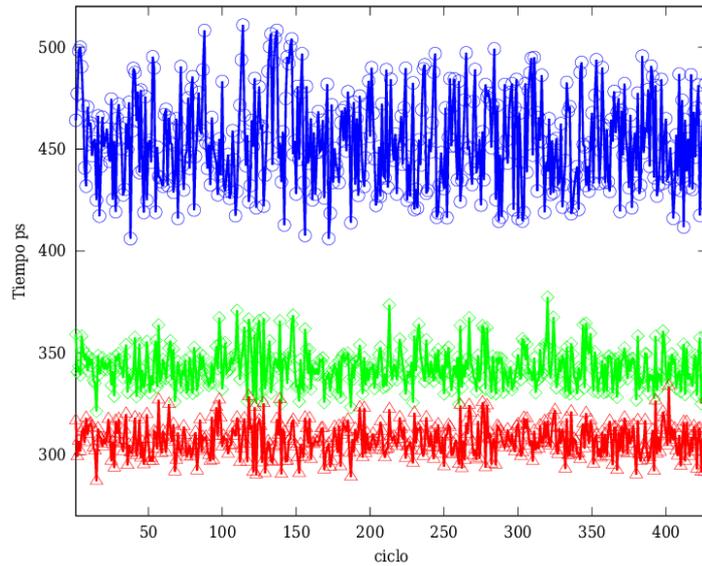


Figura 2.29: Tiempo de caída para la condición nominal y los casos extremos. \circ (SLOW, 1.62 V, 125 °C), \diamond (NOM, 1.8 V, 27 °C), \triangle (FAST, 1.98 V, 125 °C)

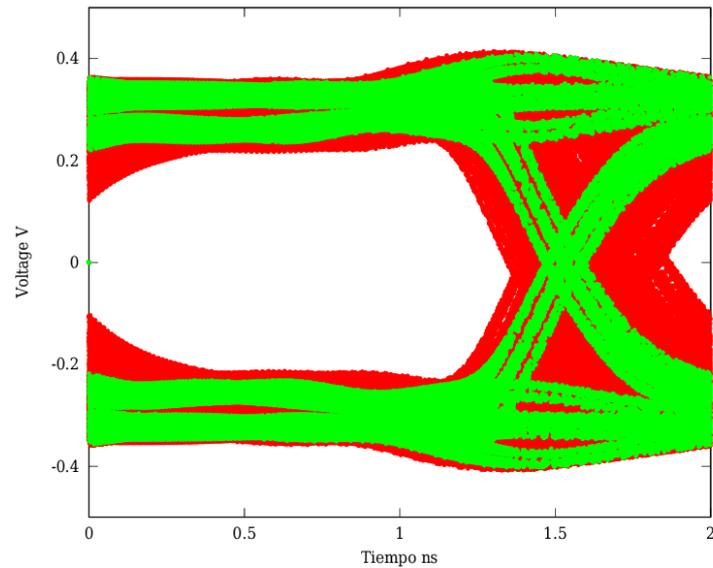


Figura 2.30: Comparación entre el diagrama de ojos para el caso nominal (\cdot) y el resto de las combinaciones de corners (\cdot).

a los $7 \mu\text{s}$. Este ensayo solo se realizó para la condición de operación en la que los dispositivos drenan más corriente (FAST, 1.98 V, 125°C).

La protección actúa apagando los transistores del *Driver*, es decir llevando el nodo V_p (Figura 2.14) a Vdd cuando la tensión de modo común tiende a cero, como se puede ver en la Figura 2.32. De esta forma la corriente de salida del *driver* tiende a 0, como se muestra en la Figura 2.31. Allí también se aprecia un pequeño transitorio de corriente que supera la especificación de la norma, pero como su duración es reducida, este puede ser desestimado. El valor de corriente de cortocircuito en estado estacionario es de $25 \mu\text{A}$ para el *corner* como mayor capacidad de corriente.

Para la simulación del segundo caso, una llave con resistencia de 1Ω une las dos salidas. Al igual que en el caso anterior, la simulación se realizó para el *corner* con mayor capacidad de corriente. La corriente máxima en cada salida es de 3.47 mA.

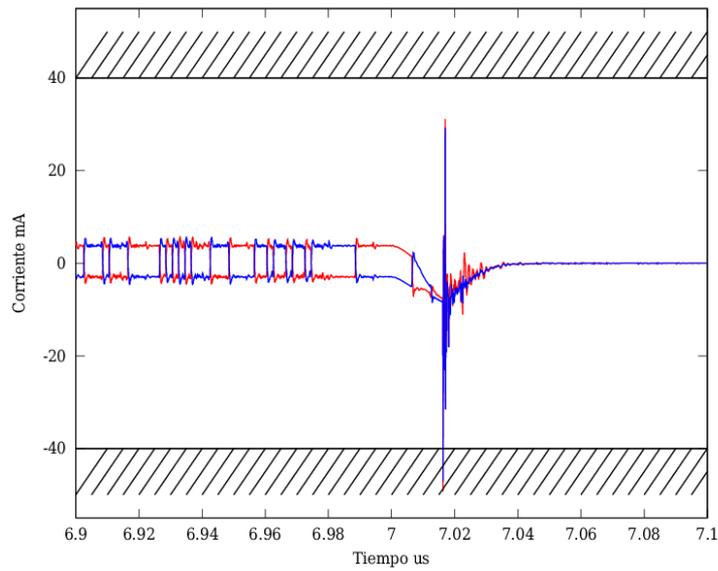


Figura 2.31: Corriente de salida del transmisor ante un cortocircuito a tierra.

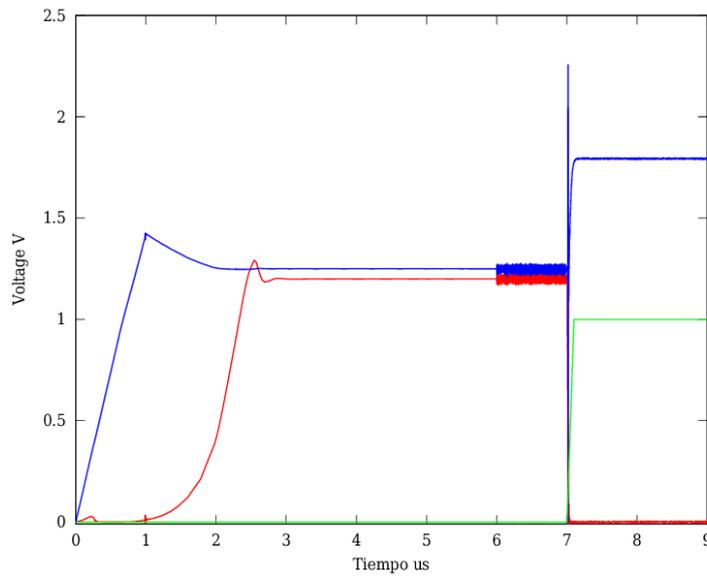


Figura 2.32: Tensión de modo común de salida (-), tensión de control de modo común (-) y activación de la protección (-) ante un cortocircuito a tierra.

Cuadro 2.7: Consumo de corriente por bloque.

Bloque	min.	nom.	max.
Driver	5.718 mA	6.080 mA	6.157 mA
CMFB	0.027 mA	0.036 mA	0.057 mA
Pre-Driver	1.902 mA	2.967 mA	4.706 mA
Entrada Simple - Salida Complementaria	0.176 mA	0.269 mA	0.381 mA
Sincronización	0.199 mA	0.351 mA	0.464 mA
Ajuste ancho de pulso	0.266 mA	0.419 mA	0.601 mA
Consumo total	9.130 mA	10.78 mA	13.48 mA

Consumo de corriente

Para finalizar esta sección se lista el valor eficaz de corriente de cada bloque para el caso nominal y las variaciones extremas en la Cuadro 2.7. El consumo total de corriente eficaz máximo es de 13.48 mA y el mínimo es de 9.13 mA.

2.4. Conclusiones

En este capítulo se presentó el diseño de un Transmisor LVDS operando bajo la norma IEEE 1596.3. Inicialmente se hace un estudio de las características de la norma. A continuación se analizan algunas arquitecturas, propuestas en distintos trabajos científicos, y luego se diseña el Transmisor.

El sistema completo esta compuesto por un *Drive* principal, el cual entrega la mayor cantidad de corriente de salida, un Acelerador que proporciona un pulso de corriente adicional durante las transiciones para mejorar los tiempos de respuesta y otros bloques de accionamiento y calibración. El Transmisor cuenta con un sistema de compensación de modo común, el cual regula la tensión de salida entorno a 1.2 V.

Por último se presentaron los resultados más importantes de las simulaciones. Estos resultados muestran que el diseño cumple con las especificaciones establecidas en la norma ante variaciones extremas de las condiciones de operación, conocidas como *corners*. Los cornes son las distintas combinaciones de proceso, tensión de alimentación y temperatura.

El Transmisor se implementó en un proceso de integración de 180 nm, una captura del *layout*

se puede ver en la Figura 2.33. El circuito integrado se fabricó y en breve será testeado para verificar su funcionamiento.

2.5. Trabajo futuro y aspectos a mejorar

Uno de los aspectos a mejorar en las próximas versiones del Transmisor LVDS es el sistema de protección contra cortocircuito. La protección actual no cuenta con un *resete*, es decir, una vez que se produce un incidente el sistema de protección queda en un estado del cual no puede regresar, aunque ya no exista el cortocircuito. Una alternativa posible es implementar una máquina de estados más compleja con un *watchdog* para monitorear la existencia del cortocircuito luego de producido el incidente.

Otro aspecto a mejorar es la variación de tensión de modo común durante las transiciones 0 a 1 - 1 a 0. En algunos corners y en algunas transiciones específicas, la tensión de modo común, supera la variación máxima establecida por la norma de 25 mV. Para mejorar este aspecto hay que analizar la relación entre esta variación y el ancho de banda del sistema de compensación de modo común.

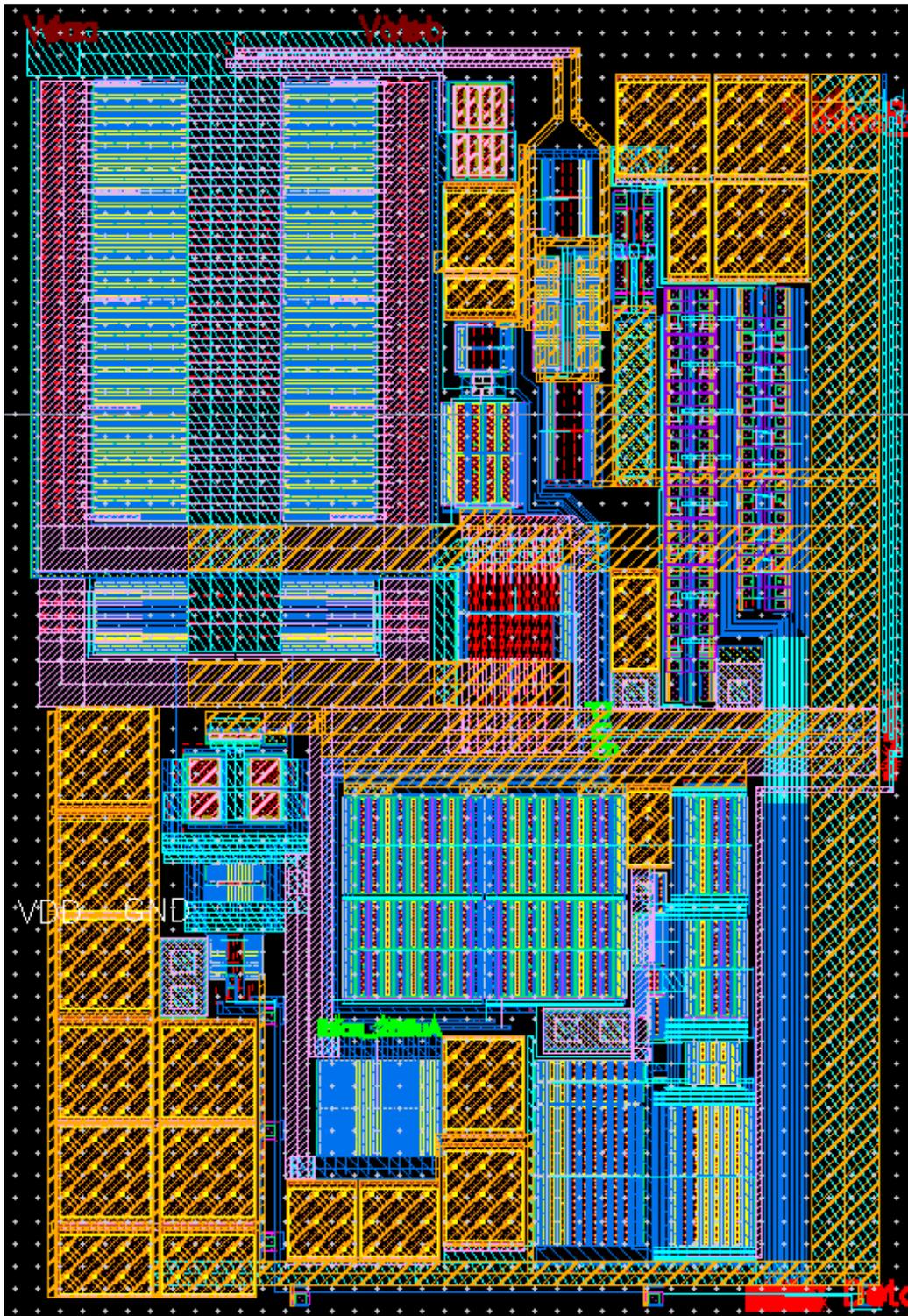


Figura 2.33: Layout del Transmisor LVDS.

Capítulo 3

Sintetizador de frecuencia variable

3.1. Introducción

En las últimas décadas hubo un crecimiento significativo del consumo de equipos electrónicos, celulares, *smart TV*, computadoras personales, etc. impulsado principalmente por el desarrollo de circuitos digitales.

Un circuito digital sincrónico trabaja realizando operaciones matemáticas, lógicas o de control. Todas estas operaciones tienen un punto en común, necesitan de una señal de reloj para su ejecución.

Un esquema simplificado de un circuito digital se puede ver en la Figura 3.1. El estado del sistema es almacenado en un *flip-flop* (FF). La salida de todos los FF determina el estado del sistema. Tras la llegada de un flanco positivo¹ los FF pasan la señal presente en cada entrada (D) a la salida (Q).

Este cambio no es instantáneo, sino que toma una cantidad determinada de tiempo el cual se denomina $T_{clk-to-Q}$. Luego de un cambio en la salida, ésta activa una función lógica para generar la nueva entrada al próximo FF. El tiempo que demora la lógica en producir el nuevo valor se lo denomina tiempo de propagación T_p .

El dato de entrada D del FF debe permanecer estable un cierto tiempo antes y después del arribo de un flanco positivo. Estos tiempos se los denomina tiempo de establecimiento T_{setup} y

¹Suponiendo que los FF son activados por flanco positivo. También existen FF activados por flanco negativo.

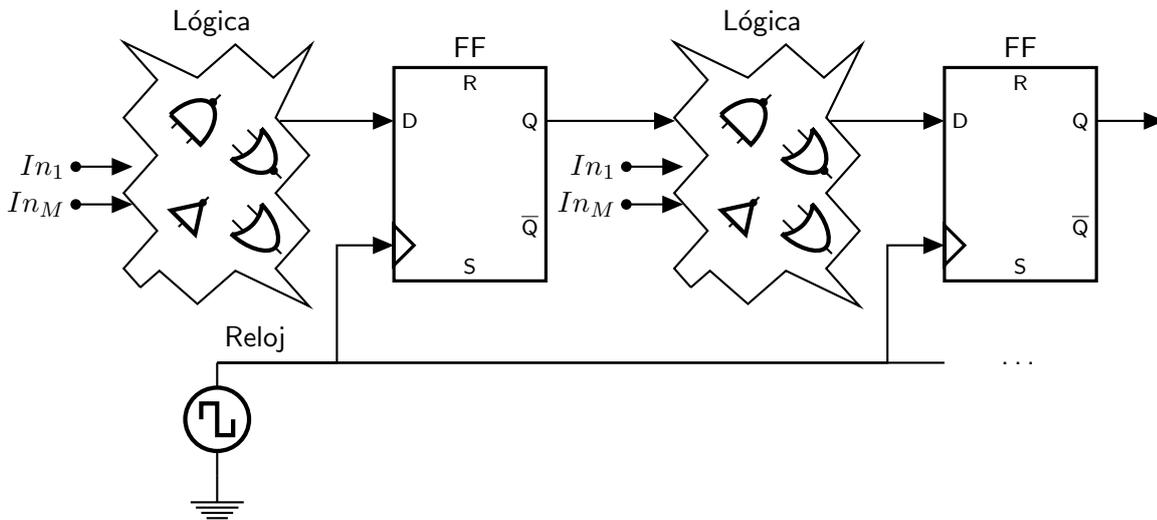


Figura 3.1: Diagrama en bloques de un circuito digital simple.

tiempo de mantenimiento T_{hold} respectivamente ²

De esta manera, un circuito digital accionado mediante un reloj ideal tiene una velocidad de funcionamiento máxima limitada por la ecuación (3.1).

$$T \geq T_{clk-to-Q} + T_p + T_{setup}. \quad (3.1)$$

La forma directa de obtener la señal de reloj para un circuito digital es mediante la utilización de un oscilador de cristal de cuarzo. Éstos poseen características tales como de bajo costo y gran precisión en la frecuencia de oscilación, lo que los hace sumamente atractivos para algunas aplicaciones. Por otra parte, la principal desventaja de los circuitos con cristales es que la frecuencia máxima de operación es de algunas decenas de MHz, lo cual deriva en una subutilización de la tecnología.

Para utilizar al máximo las capacidades de los procesos de integración disponibles, la señal de reloj se genera mediante un sintetizador de frecuencia. Un sintetizador de frecuencia es un sistema realimentado, el cual utiliza como entrada la señal generada por un cristal de cuarzo como referencia.

²Las violaciones de T_{setup} y T_{hold} son chequeadas por las herramientas de síntesis lógica bajo condiciones de T_p máximo y mínimo respectivamente.

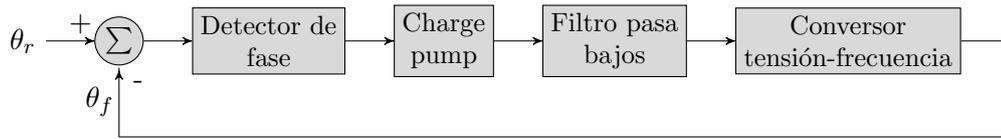


Figura 3.2: Diagrama en bloques de un PLL.

Hay distintas maneras de implementar un sintetizador de frecuencia variable, la más común emplea en un lazo de enganche de fase, más conocido como PLL. El uso de un divisor de frecuencia en la rama de realimentación permite obtener frecuencias de salida mayor que la frecuencia de entrada. Más aun, si este factor de división se puede modificar, es posible obtener distintas frecuencias de salida.

3.2. Sintetizador de frecuencia

3.2.1. Especificaciones

El objetivo de diseño de un sintetizador de frecuencia variable entre 0.2 GHz a 1.0 GHz a partir de una señal de referencia de 16 MHz. El tiempo de establecimiento de la frecuencia de salida y el sobrepico deber ser menor que 100 μ s y 20% a la máxima frecuencia de salida.

Como se explicó en la sección 2.2.1, el diseño deberá ser capaz de cumplir las especificaciones ante las variaciones de proceso, tensión y temperatura ya descritas.

3.2.2. Selección de la arquitectura

Un lazo de enganche de fase, o más conocido por su nombre en inglés *Phase Lock Loop* (PLL) es un sistema de control de lazo cerrado que regula la fase de una señal de salida (θ_f) según la fase de una señal de referencia (θ_r). En su implementación convencional el sistema esta compuesto por un Detector de Fase (DF), un Filtro Pasa Bajo (FPB) y un VCO, como se muestra en la Figura 3.2.

Algunas de las características más importantes de un sistema de control realimentado son su respuesta dinámica y estática. En la respuesta dinámica se analizan parámetros del sistema tales como el tiempo de establecimiento, sobrepico, entre otros. Éstos están relacionados con

la característica del FPB. Seleccionando el tipo de filtro adecuado y el valor apropiado de los coeficientes, es posible ubicar los polos del sistema de forma tal que la respuesta dinámica cumpla con las especificaciones³. En la respuesta estática se estudia al error en el seguimiento de entradas tipo escalón, rampa, etc. Para una entrada tipo escalón, un sistema de control realimentado con ganancia de DC finita tiene error de estado estacionario distinto de cero. Si se introduce una integración pura en la rama directa, como resultado la ganancia de DC de este sistema tiende a infinito, lo que produce un error de estado estacionario cero. Un PLL posee esta característica, lo que permite un seguimiento con error nulo para una entrada tipo escalón de frecuencia.

En el sistema propuesto en la Figura 3.2 la relación entre la frecuencia de entrada y de salida es uno. Si se coloca en la rama de realimentación un divisor de frecuencia, la frecuencia de la señal de salida del VCO deberá ser más alta que la frecuencia de la señal de realimentación ya que esta debe ser igual a la frecuencia de la señal de referencia. De esta forma se modifica la ganancia del lazo de control para lograr el efecto de escalado de frecuencia a la salida.

Como la relación entre la frecuencia de entrada y salida queda determinada por el factor de división, si el divisor puede ser configurado externamente, es posible sintetizar cualquier valor de frecuencia, o al menos los que el divisor permita.

3.2.3. Modelo de referencia

El flujo de diseño del PLL es de arriba hacia abajo (*Top Down*, en inglés). El primer paso consiste en crear un modelo de referencia, el cual permite definir y refinar las especificaciones de cada bloque sin conocer en detalle la implementación del mismo. La ventaja de un modelo de referencia radica en la reducción de los tiempos de simulación, lo que permite tomar decisiones de forma más rápida, optimizar las características de cada bloque y realizar simulación exhaustivas hasta cumplir las especificaciones del sistema completo. El modelado de referencia se desarrolla en entornos de simulación de alto nivel, por ejemplo, Matlab o Simulink. El segundo paso es la selección la arquitectura de cada bloque. Según las especificaciones definidas anteriormente, se puede hacer una ponderación de las arquitecturas disponibles para cada bloque y seleccionar la

³Las consideraciones anteriores son válidas bajo la suposición que la dinámica del oscilador controlado por tensión es ideal o, al menos, más rápida que la establecida en las especificaciones.

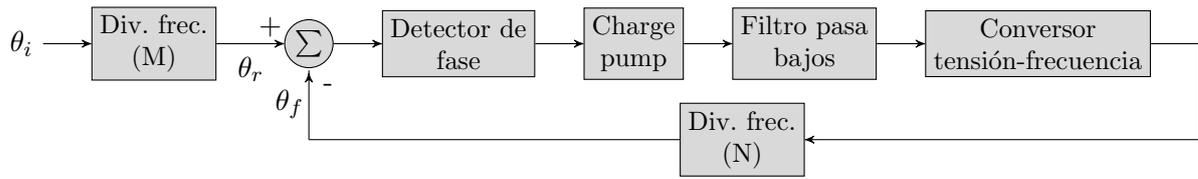


Figura 3.3: Diagrama en bloques del PLL.

más apropiada. El último paso es el diseño detallado del bloque a nivel de dispositivos, transistor, capacitor, resistencia, etc.

Una ventaja adicional de esta metodología de diseño es que es posible generar pasos intermedios en el diseño que permiten la evaluación del diseño en distintas etapas. Por ejemplo, con el modelo de referencia se puede obtener el valor nominal de un parámetro determinado. Luego del diseño, se caracteriza el bloque y se miden las variaciones de dicho parámetro para las diferentes combinaciones de PVT. Estas variaciones se introducen en el modelo de referencia y se evalúan las especificaciones del sistema.

La construcción del modelo de referencia del PLL se basa en el modelado del sistema dinámico a partir de la respuesta de pequeña señal de cada bloque.

A continuación se describen los bloques que conforman al PLL de la Figura 3.3, se presenta su modelo dinámico, con el objetivo de modelar el comportamiento del sistema. Luego se diseña el lazo de control y se generan las especificaciones para cada uno de ellos.

Oscilador controlado por tensión

Un oscilador controlado por tensión (ó VCO, sigla que proviene del inglés *Voltage Controlled Oscillator*) genera una señal de salida cuya frecuencia depende de la tensión de entrada.

Cuando se analiza la dinámica del lazo de control, se considera que el sistema se encuentra en un pequeño entorno de la frecuencia nominal de operación. De esta forma la frecuencia de salida del VCO se puede escribir como

$$\omega_o(t) = \omega_{nom} + \omega_{vco} = \omega_{nom} + k_{vco} v_c(t). \quad (3.2)$$

Si se remueve el término constante, es decir que no cambia con el tiempo, de la ecuación (3.2)

y se considera solo la parte que sí lo hace

$$\omega_{vco}(t) = k_{vco} v_c(t). \quad (3.3)$$

Como el sistema de control opera sobre la fase de la señal, es necesario encontrar una relación entre la fase de salida del VCO y la tensión de entrada. Por definición, la relación entre fase y frecuencia es

$$\omega(t) = \frac{\partial \theta}{\partial t}. \quad (3.4)$$

entonces, la fase de salida del VCO se puede escribir como

$$\theta_{vco}(t) = \int \omega(t) \partial t = k_{vco} \int_0^t v_c(\tau) \partial \tau. \quad (3.5)$$

Si se representa la ecuación (3.5) en el campo transformado de Laplace, se puede obtener la función transferencia del VCO como

$$\frac{\theta_{vco}(S)}{v_c(S)} = \frac{k_{vco}}{S}. \quad (3.6)$$

Divisor de frecuencia

El divisor de frecuencia de la Figura 3.3 produce una frecuencia de salida N veces menor que la frecuencia de entrada, pero como lazo de control actúa sobre la fase, es necesario modelar la función transferencia del bloque en función de la fase.

La función transferencia de un divisor de frecuencia con salida f_o y entrada f_i es

$$f_o = \frac{f_i}{N}. \quad (3.7)$$

Por definición, la relación entre fase y frecuencia de una señal es

$$\theta_o(t) = \int_0^t 2\pi f_o(\tau) \partial \tau. \quad (3.8)$$

Si se reemplaza (3.7) en (3.8) y N es constante durante el tiempo de integración

$$\theta_o(t) = \frac{1}{N} \int_0^t 2\pi f_i \partial\tau. \quad (3.9)$$

El término integral de la ecuación (3.9) es la fase de la señal de entrada, por lo tanto la fase de salida se puede escribir como

$$\theta_o(t) = \frac{1}{N} \theta_i(t). \quad (3.10)$$

Si se aplica la transformada de Laplace en la ecuación (3.10)

$$\theta_o(S) = \frac{1}{N} \theta_i(S). \quad (3.11)$$

Entonces se puede decir que el divisor de frecuencia tiene la misma función transferencia para la fase que para la frecuencia.

Detector de Fase y Charge Pump

Un detector de fase (DF) es un bloque digital que produce salidas digitales en función de la diferencia temporal entre las señales de entrada. Éstas pueden ser señales senoidales, cuadradas o cualquier otro tipo de entrada periódica y no necesariamente deben tener un ciclo de trabajo del 50%. Las salidas digitales se utilizan para manejar un bloque que se encarga de convertirlas a una magnitud analógica y se lo denomina, *Charge Pump*. La operación conjunta del detector de fase y el *Charge Pump* produce una señal de salida proporcional a la diferencia de fase entre las señales de entrada.

La señal de salida puede ser en modo corriente o tensión y puede tener múltiples componentes frecuenciales, pero como solo la componente de DC es importante, en general la salida es filtrada por un filtro pasa bajo (FPB).

La ecuación que describe la función transferencia del conjunto Detector de Fase - *Charge Pump* en el campo transformado de Laplace es

$$E(S) = k_{fase} [\theta_r(S) - \theta_f(S)]. \quad (3.12)$$

La ecuación (3.12) es una aproximación, ya que según ésta el detector de fase es un circuito de tiempo continuo, pero en la práctica no es así como se verá en 3.2.4. Sin embargo esta aproximación es suficiente para los fines de modelado del sistema.

Filtro pasa bajo

En general los osciladores son controlados por tensión y no por corriente, entonces es necesario encontrar una forma de convertir la corriente generada por el *Charge Pump* en tensión. Como se explicó anteriormente, solo importa la corriente media del *Charge Pump*, por lo que sera necesario incluir una etapa de filtrado.

Existen varias alternativas para la implementación de este filtro. Una de ellas consiste solo en un capacitor. Otra consta de un capacitor en serie con una resistencia. Cualquiera de las anteriores puede funcionar como filtro para los pulsos de corriente del *Charge Pump* y como conversor corriente a tensión.

Si bien ambos circuitos cumplen con la función establecida para el FPB, se puede demostrar que el filtro compuesto por el capacitor solamente no es suficiente para garantizar un margen de estabilidad aceptable [22]. Por lo que en general se utiliza una combinación de ambos circuitos como se muestra en la Figura 3.4. Los elementos R y C_1 aseguran estabilidad para el lazo, mientras que C_2 provee atenuación para las componentes de alta frecuencia de la tensión de control, mejorando el *jitter*.

La función transferencia para el FPB en el campo transformado de Laplace es

$$F(S) = \frac{V_c(S)}{I_d(S)} = \frac{SC_1R + 1}{SC_2(SC_1R + 1) + SC_1}. \quad (3.13)$$

Utilizando el modelo dinámico de cada bloque se puede encontrar la función transferencia de lazo cerrado del sistema para crear el modelo de referencia.

$$\frac{f_o(S)}{f_i(S)} = \frac{1}{M} \frac{N k_{fase} F(S) k_{vco}}{NS + k_{fase} F(S) k_{vco}}. \quad (3.14)$$

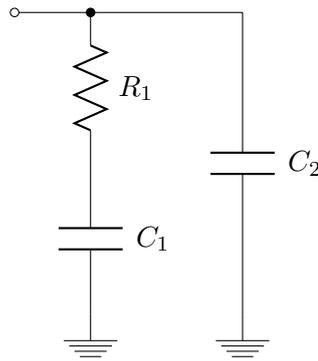


Figura 3.4: Esquemático del filtro pasa bajo.

3.2.4. Cálculos

Durante el desarrollo de esta sección se presentan los cálculos para el diseño de los bloques que conforman el sintetizador de frecuencia variable.

El procedimiento de diseño es idéntico al desarrollado para el Transmisor. Inicialmente se realiza una primer aproximación de diseño mediante el uso del modelo para cálculos a mano desarrollado en el Apéndice A.1. Luego se hacen simulaciones en las condiciones de variaciones extrema de proceso, tensión de alimentación y temperatura y se ajustan las relaciones de aspecto de los dispositivos hasta cumplir con las especificaciones establecidas.

Debido a la metodología empleada para el diseño del sintetizador, primero es necesario diseñar los elementos del modelo de referencia. Los resultados obtenidos crean especificaciones para el resto de los bloques los cuales requieren un cálculo a nivel de transistor.

Cálculo del modelo de referencia

El diseño del modelo de referencia comienza con el ajuste de la ganancia del VCO. Para fijar el rango de tensión de control V_{cnt} en estado estacionario hay que tener en cuenta los límites de funcionamiento del *Charge-Pump* y niveles de ruido. Si los límites del rango de tensión están próximos a los niveles de alimentación máximos y mínimos, es posible que la corriente de salida del *Charge-Pump* no alcance los valores establecidos. Por el contrario, si el rango de tensión de control es muy pequeño, cualquier inducción de ruido en el nodo V_{cnt} se traducirá en una gran variación de frecuencia en la salida. Un buen compromiso entre las dos condiciones antes

Cuadro 3.1: Cálculos previos.

Prámetro	Valor	Unidad
M	2	-
N	128	-
k_{vco}	7.062e9	rad/seg

mencionadas es elegir la tensión de control en el rango de 0.3 V y 1.3 V, esto teniendo en cuenta que la tensión de alimentación mínima es de 1.62 V para el peor caso. Para seleccionar el rango de frecuencia de salida hay que tener en cuenta que el sistema puede tener un sobrepico, por lo que la frecuencia máxima del VCO no debe ser la frecuencia de operación nominal máxima, sino que hay que tomar un margen de seguridad. Basado en esta condición se eligió el rango de salida del VCO entre 0.126 GHz a 1.25 GHz. Con estos valores se calculó el valor del ganancia del VCO 7.06 Grad/seg.

Con el valor de frecuencia de entrada proveniente de un cristal de 16 MHz y el valor de frecuencia máxima nominal de 1.024 GHz se puede calcular los factores de realimentación N y M. Los valores obtenidos se muestran la Tabla 3.1.

Si se utiliza un filtro de primer orden, compuesto por una resistencia y un capacitor en serie, el denominador de la función transferencia de lazo cerrado

$$den = S^2 + \frac{R k_{fase} k_{vco}}{N} S + \frac{k_{fase} k_{vco}}{N C_1}. \quad (3.15)$$

A partir de los coeficientes del denominador y analizando la respuesta al escalón de un sistema de segundo orden, se pueden hallar las siguientes relaciones

$$W_n^2 = \frac{k_{fase} k_{vco}}{N C_1}. \quad (3.16)$$

$$2\zeta W_n = \frac{R k_{fase} k_{vco}}{N}. \quad (3.17)$$

Considerado que el sistema llega al tiempo de establecimiento cuando el error es del 1%, se puede escribir la siguiente relación

$$\zeta W_n t_s = 4,6. \quad (3.18)$$

El sistema de ecuaciones (3.16) (3.17) y (3.18) es un sistema indeterminado ya que posee 3 ecuaciones y 4 incógnitas. Analizando el funcionamiento del sistema se puede determinar que para un valor dado de corriente *Charge Pump*, es posible calcular los valores de R y C1 para que el sistema cumpla con las especificaciones. Ésto permite crear un criterio de optimización basado en el área del filtro, es decir, se puede elegir un valor de corriente arbitrario de forma tal que el área que ocupa el filtro sea la mínima posible.

En base a los parámetros de la tecnología se calculó el área del filtro para distintos valores de corriente y se determinó que el valor de corriente que minimiza el área del filtro se encuentra entre 10 nA y 14 nA, como se puede ver en la Figura 3.5.

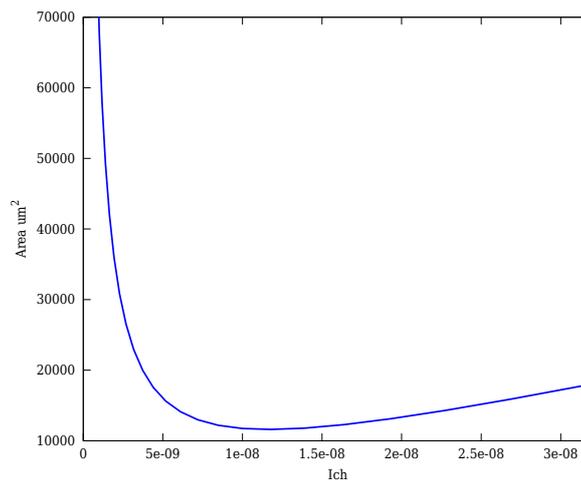


Figura 3.5: Área del filtro en función de la corriente del *Charge Pump*.

Resolviendo el sistema de ecuaciones para el punto de corriente óptima es posible hallar el valor de $R = 1.74 \text{ M}\Omega$ y $C_1 = 6.1 \text{ pF}$.

La función transferencia del sistema real posee de un cero, el cual produce un aumento en el sobrepico de la respuesta al escalón. Para comprobar el efecto se calcularon ambas respuestas, las cuales se muestran Figura 3.6. Se puede ver que la respuesta del sistema de segundo orden coincide con los cálculos realizados y que la del sistema real posee un sobrepico más grande pero

que aún se mantiene dentro de las especificaciones.

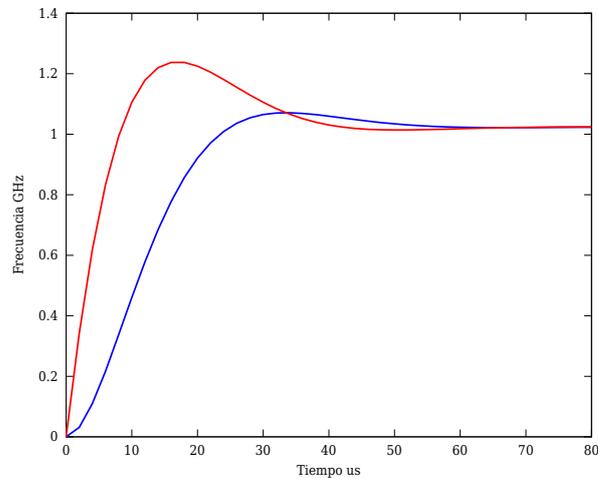


Figura 3.6: Respuesta al escalón del sistema de segundo orden — y del sistema de segundo orden más el cero —.

Cálculos a nivel de transistor

A continuación se presenta el cálculo a nivel de transistor de cada bloque, en el que se detalla el esquemático, las ecuaciones de diseño y el resultado obtenido a partir del modelo aproximado y su valor final luego del ajuste en *corners*.

Oscilador controlado por tensión

Una de las implementaciones más utilizadas en procesos CMOS digitales de señal mixta de un Oscilador controlado por tensión (VCO) es la del oscilador en anillo (*ring oscillator*, en inglés) y consiste en el conexionado en serie de un número impar de inversores CMOS, donde la salida del último inversor se conecta en la entrada del primero. Ésta es una forma muy simple de implementar un VCO. Pero las variaciones en el consumo de corriente durante las transiciones de los inversores induce ruido en la tensión de alimentación, lo que constituye una fuente potencial de *jitter* en la salida [17].

Para mitigar este problema, se reemplaza el inversor CMOS por un amplificador diferencial, quien al consumir una corriente constante induce menos ruido sobre la alimentación. La

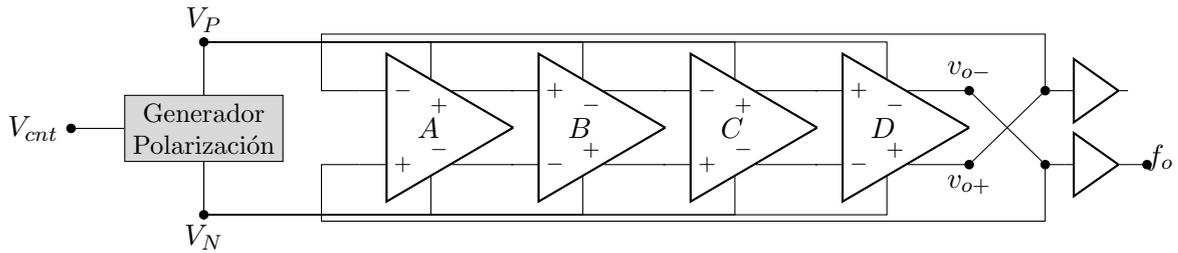


Figura 3.7: Esquema en bloques del VCO.

arquitectura del VCO esta compuesta por un oscilador en anillo conformado por cuatro etapas diferenciales, conectadas de forma tal que solo una produce una inversión de fase, un generador de polarización y dos *buffers*, como se muestra en la Figura. 3.7.

Una forma de encontrar la frecuencia de oscilación es considerar que cada etapa provee un retardo temporal constante (t_d). Si la señal pasa a través de n etapas con un cambio de fase de π , el tiempo que demora en producir el cambio de fase es $t_d n$. En consecuencia, la frecuencia de oscilación se puede hallar como

$$f = \frac{1}{2t_d n}. \quad (3.19)$$

La mayor dificultad para encontrar f radica en el cálculo para determinar t_d , debido a no linealidades, a los elementos parásitos y la topología de cada etapa.

Existen varias ecuaciones para determinar la frecuencia de oscilación de un VCO como el que se muestra en la Figura 3.8 las cuales se basan en suposiciones y simplificaciones específicas para cada una en particular [27, 2, 14]. Todas éstas utilizan un mismo conjunto de parámetros, los cuales se listan en la Cuadro 3.2 y llegan a una expresión para la frecuencia

$$f \propto \frac{I}{2n C_L V_{pp}}. \quad (3.20)$$

Para lograr el efecto de variación de frecuencia con la tensión es necesario modificar la corriente de polarización de la etapa diferencial (I). A tal efecto se incluye el bloque generador de polarización, el cual transforma la tensión de control en corriente. Para que los cálculos del modelo de referencia sean consistentes con los del circuito real es necesario mantener la

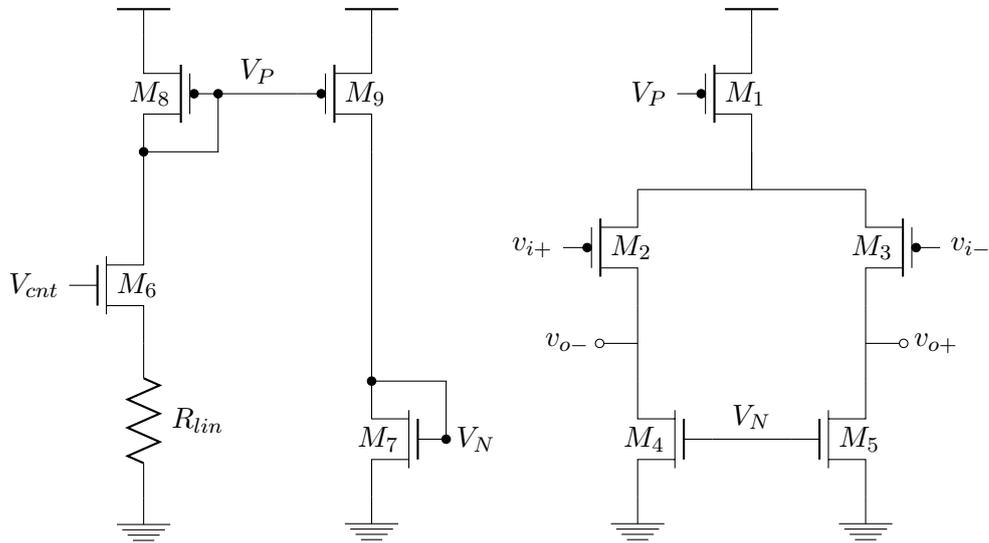


Figura 3.8: Descripción a nivel de transistor de los bloques que componen el VCO basado en un anillo oscilador diferencial.

Cuadro 3.2: Parámetros para el cálculo del retardo de un etapa diferencial.

Parámetro	Definición
I	Corriente de polarización.
V_{pp}	Amplitud pico a pico de la señal de salida.
n	Numero de etapas.
t_d	Retardo de cada etapa del VCO.
R_L	Resistencia de carga de la etapa.
C_L	Capacidad de carga de la etapa.

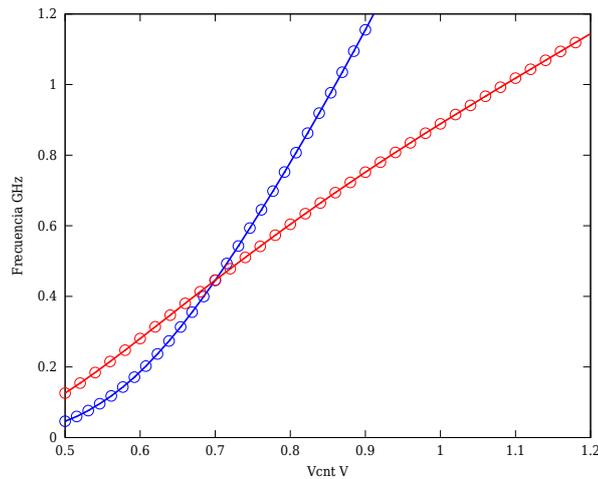


Figura 3.9: Comparación entre las transferencias de un VCO linealizado \circ y otro sin linealizar \circ .

Cuadro 3.3: Variación de la ganancia del VCO en *corners*

Corner	k_{vco}	Unidad
Diseño	7.06	Grad/seg
NOM, 1.80 V, 27 °C	7.85	Grad/seg
SLOW, 1.62 V, -40 °C	6.28	Grad/seg
FAST, 1.98 V, 125 °C	10.78	Grad/seg

linealidad de la transferencia del VCO. Incluyendo una pequeña modificación en el circuito de polarización, comúnmente utilizada en amplificadores diferenciales, es posible linealizar la transferencia del VCO. Dos curvas transferencia para un VCOs con y sin linealización en el bloque de polarización se puede ver en la Figura 3.9. Si bien ambos VCOs operan dentro del rango de tensión-frecuencia de interés, la función transferencia es muy distinta.

El esquemático del par diferencial y del generador de polarización se puede ver en la Figura. 3.8. El cálculo inicial de la relación de aspecto de los transistores comienza con la ecuación (3.20), suponiendo que se cuenta con 1 mA de corriente total para el VCO operando a la frecuencia máxima. Luego de diseñar el VCO a nivel de transistor, éste se simula en *corners* y se mide la ganancia entorno a la máxima frecuencia de salida, los valores de ganancia se detallan en la Cuadro 3.3. Con estos valores y utilizando el modelo de referencia se evalúa el desempeño del sistema ante una entrada tipo escalón. La diferencia fundamental entre las respuesta radica en la amplitud del sobrepico tal como se muestra en la Figura. 3.10.

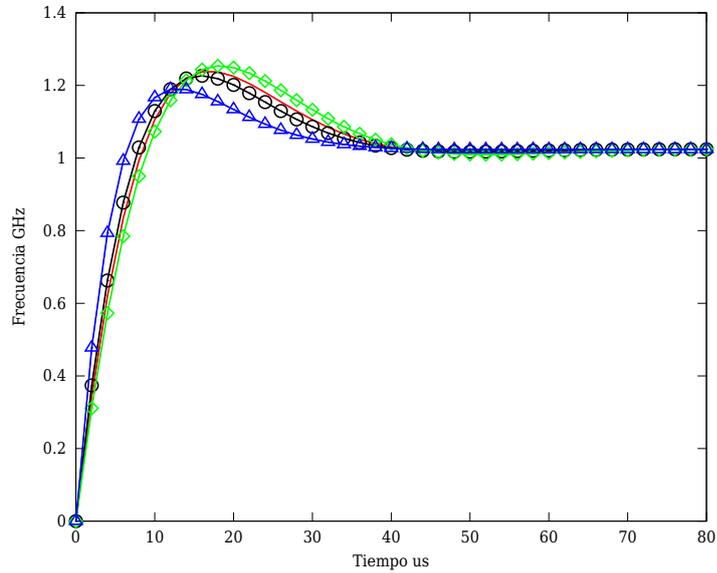


Figura 3.10: Respuesta al escalón del sistema diseñado — en comparación con los *corners* nominal \circ , slow \blacktriangledown y fast \triangle .

Cuadro 3.4: Relación de aspecto de los dispositivos del VCO luego de la optimización en *corners*.

Dispositivo	Corner
M_1	32/0.18
$M_{2,3}$	8/0.18
$M_{4,5}$	3.36/0.36
M_6	3.36/0.36
$M_{8,9}$	16/0.18
M_7	3.36/0.36
R_{lin}	2.2K

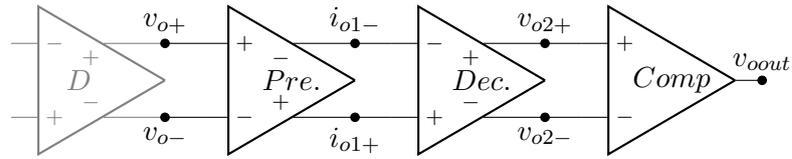


Figura 3.11: Esquema en bloques del comparador utilizado como etapa de salida del VCO.

El valor final de la relación de aspecto de los transistores y la resistencia de linealización del generador de polarización se muestran en el Cuadro 3.4.

La capacidad de corriente de salida del oscilador es limitada, por esta razón es necesario agregar un *buffer* a la salida del oscilador. Si bien la realimentación se realiza a través de una de las salidas del VCO, es fundamental mantener el balance de cada rama del oscilador, por esta razón el *buffer* es agregado en cada una de las salidas.

Etapa de salida del VCO

En primer instancia la etapa de salida del VCO estaba compuesta simplemente por un inversor CMOS. Éste fue diseñado para tener una transferencia simétrica entorno al punto medio de salida de la etapa de *delay* que conforman el VCO.

Si bien este buffer funcionaba de manera correcta en el *corner* nominal, la variación de la transferencia en *corner* degradaba de manera significativa el ciclo de trabajo de la señal de salida del VCO.

Es así que se decidió utilizar un comparador como etapa de salida del VCO. El diseño del comparador esta basado en el comparador de alta velocidad presentado en [23]. Éste consiste de tres etapas, una etapa de preamplificación (Pre.) seguida por una etapa de decisión (Dec.) y por último una etapa de salida (Comp.) como se puede ver en la Figura 3.11, el amplificador diferencial D en la figura representa la ultima etapa de *delay*.

La etapa de preamplificación consiste de un amplificador diferencial con carga activa como el que se muestra en la Figura 3.12. Las características más importantes de esta etapa son la ganancia y la velocidad. La primera se ajusta mediante el diseño de las transconductancias de los transistores M_3 y M_5 , y su valor es de 4 para esta implementación. El segundo aspecto se mejora reduciendo el largo del canal, lo que reduce las capacidades parásitas. Hay que notar que

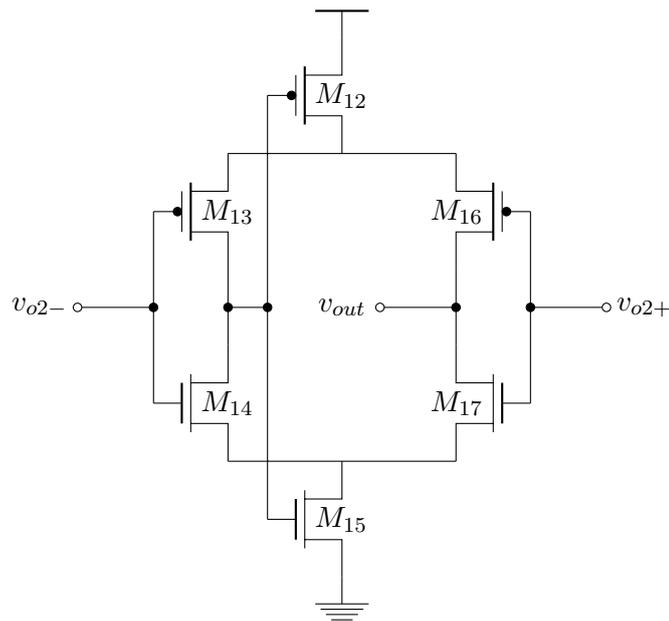


Figura 3.14: Etapa de salida del comparador

Ajuste de ganancia

La red de realimentación esta compuesta por un divisor de frecuencia el cual puede tener ganancia fija o variable. La selección entre las ganancias se hace mediante un multiplexor. Para tener mayor grado de control sobre la frecuencia de salida también se colocó un bloque de ganancia con la misma estructura en al entrada. La estructura final de la red de realimentación y de la red de entrada se puede ver en la Figura. 3.15.

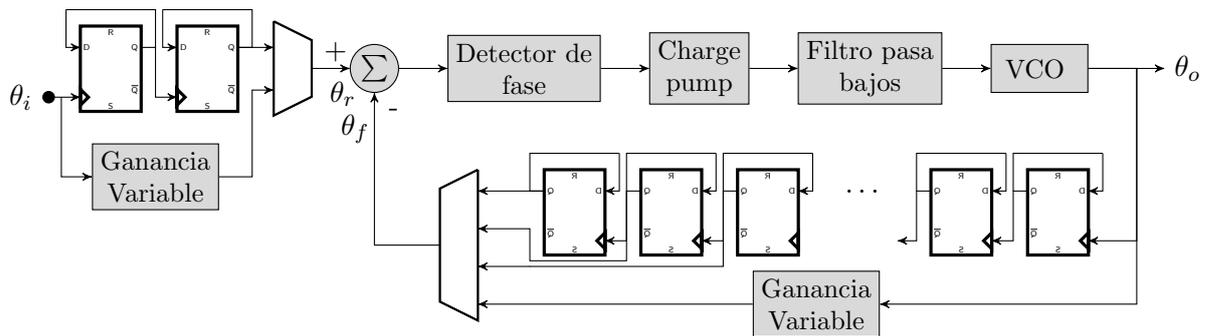


Figura 3.15: Esquema en bloques del PLL detalles de la red de realimentación y entrada.

Ganancia fija

El bloque de ganancia fija esta implementado mediante un *ripple counter*, el cual produce una salida con frecuencia 2^k veces menor que la frecuencia de entrada, donde k es el número de etapas del contador. Como el sistema cuenta con un bloque de ganancia en la entrada y otro en la realimentación, la función transferencia del sistema en estado estacionario

$$\frac{f_o}{f_i} = \frac{2^n}{2^m}. \quad (3.21)$$

Para $f_i = 16$ MHz y $f_o = 1024$ MHz, el cociente es igual 64, de donde podemos encontrar que es necesario 7 etapas para la red de realimentación (N) y 1 para la red de entrada (M). El bloque de realimentación cuenta con la posibilidad de seleccionar entre otras dos realimentaciones fijas. Con la selección de alguna de éstas se puede generar frecuencia de salida de 512 MHz o 256 MHz.

Ganancia variable

La ganancia de este bloque se diferencia del anterior en dos aspectos. El primero es que la ganancia se puede configurar externamente mediante una palabra digital. El otro, es que la ganancia no es una potencia de 2, por lo tanto se pueden lograr ganancias fraccionarias, por ejemplo 5/3.

Éste bloque se implementó utilizando el flujo de diseño digital. Inicialmente se realizó la descripción funcional del mismo utilizando lenguaje de descripción de *hardware* (Verilog), luego mediante la utilización de herramientas especializadas se realizó la síntesis digital y por último la síntesis física.

La descripción funcional del bloque se desarrolló de forma paramétrica. Ésto permitió que con un simple cambio en algunas variables se pudiera configurar el tamaño de los registros para implementar los bloques.

El bloque tiene tres estados denominados Carga, *Reset* y Cuenta. Durante el estado Carga, es posible guardar en un registro una palabra digital de n bits⁴ mediante una transmisión serie de baja velocidad. En el estado Cuenta, se cuentan flancos ascendentes de la entrada hasta llegar al

⁴Para la ganancia de la realimentación $n = 8$, mientras que para el divisor de entrada $n = 3$.

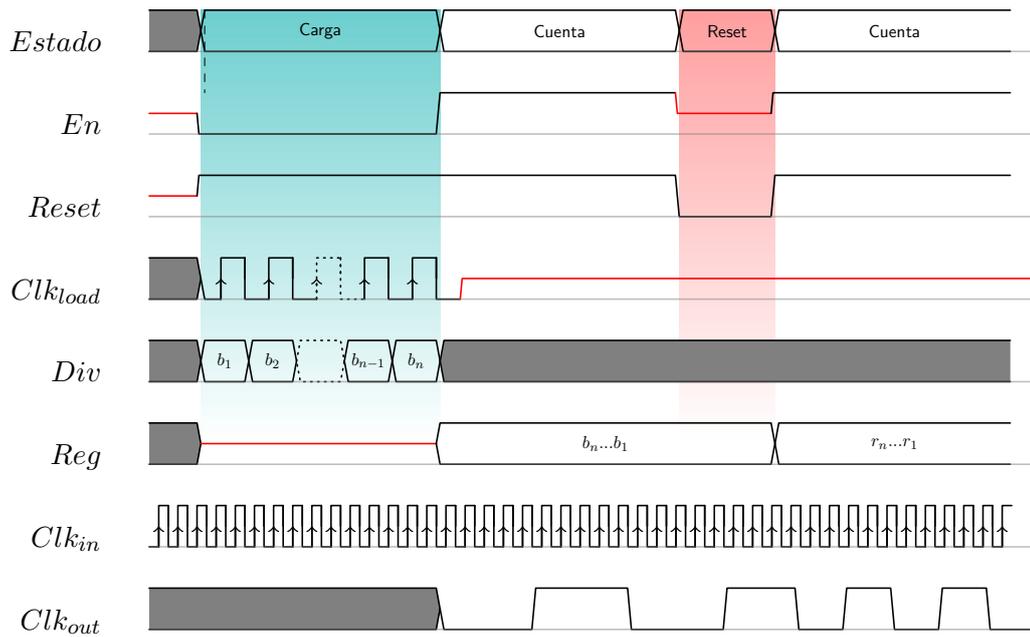


Figura 3.16: Temporizado de las señales para realizar la carga de los coeficientes de división y funcionamiento. Ejemplo para $b_n \dots b_1 = 5$ y $r_n \dots r_1 = 3$.

un número precargado en el registro y se invierte la salida. El valor de la frecuencia de salida en función del valor almacenado en el registro se puede ver en el Cuadro 3.5. Cambiando el número almacenado en el registro es posible modificar el factor de división. En el estado de *Reset*, se carga el registro con un valor preestablecido. Para diferenciar los estados y realizar la carga del registro se adicionaron señales específicas, las cuales se detallan en el diagrama de tiempos de la Figura 3.16.

Mediante simulación de postsíntesis se pudo alcanzar una frecuencia máxima de operación

Coefficiente	Frecuencia de salida
0	$f_i/2$
1	$f_i/2$
2	$f_i/4$
3	$f_i/6$
\vdots	\vdots
255	$f_i/510$

Cuadro 3.5: Frecuencia de salida en función del valor del coeficiente.

para la división de 650 MHz aproximadamente.

Detector de Fase y Charge Pump

Características del sintetizador de frecuencia tales como rango de seguimiento y adquisición, ganancia de lazo, entre otros, dependen de propiedades del detector de fase. Algunas de estas propiedades son rango de entrada para el cual la salida es monótona, sensibilidad a la frecuencia y ciclo de trabajo.

Un análisis pormenorizado de estas propiedades y su impacto en las características del sintetizador se presenta en [22]. A partir de este análisis se decidió implementar el detector de fase sensible a frecuencia (PFD, siglas en inglés de *Phase-Frequency Detector*) cuyo diagrama de estados se muestra en la Figura 3.17.

Este detector posee dos salidas, llamadas *up* y *dn*, que se utilizan para comandar las llaves que manejan la corriente del *Charge Pump* y funciona de la siguiente manera. Si la fase de la referencia (θ_r) adelanta a la fase de la señal de realimentación (θ_f) el PFD produce una salida [*up*, *dn* = 0,0]. Ésta indica al VCO que debe aumentar la velocidad para que la señal de realimentación “alcance” a la señal de referencia. Por el contrario, si la fase de θ_r esta retrasada respecto de θ_f , el PFD produce una salida [*up*, *dn* = 1,1] que le indica al VCO que debe bajar la velocidad. Si ambas señales están en fase, el PDF produce una salida [*up*, *dn* = 1,0] que no genera ninguna acción de control sobre el VCO por lo que éste mantiene la velocidad de la salida sin cambios.

La máquina de estados se implementó con los circuitos digitales de librería disponible por el fabricante. En este caso el *flip-flop* utilizado es tipo D activado por flanco positivo, con *set* y *reset* activo por nivel lógico bajo.

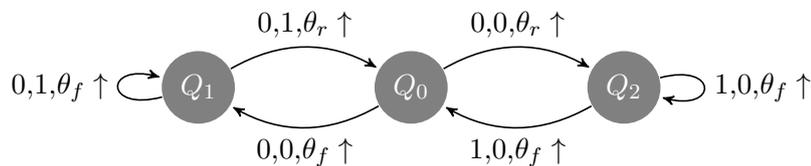


Figura 3.17: Máquina de estados del Detector Fase Frecuencia.

Como bien se detalla en [11], el *Charge Pump* es un circuito utilizado para convertir el temporizado de dos señales digitales en una cantidad analógica. Esta constituido por dos fuentes de corriente conectadas a un nodo común mediante llaves como muestra la Figura 3.18. Las salidas del PDF cierran o abren las llaves creando una corriente i_d cuyo valor medio es proporcional a la diferencia de fase. Operando matemáticamente podemos representar al conjunto PFD y *Charge Pump* como

$$\bar{i}_d = \frac{I}{2\pi} [\theta_r - \theta_f] \quad (3.22)$$

por lo que $k_{fase} = \frac{I}{2\pi}$, donde I se obtuvo mediante el cálculo del modelo de referencia, siendo esta igual a 12 nA. Debido a la intensidad de la corriente fue necesario el modelar los dispositivos en la región de operación de inversión débil. Los detalles del modelo se presentan en el Apéndice A.1.2.

Para elegir el tipo de fuente de corriente se evaluaron diferentes alternativas, por ejemplo, circuitos con compensación ante variaciones de proceso, tensión de alimentación y temperatura [18], incluso topologías sin resistencia [6, 4, 30] pero los mejores resultados desde el punto de vista de sistema se obtuvieron con la fuente de multiplicación de beta que se muestra en la Figura 3.18. El diseño de la fuente de corriente se realizó según [26], el procedimiento completo se detalla en el Apéndice A.2.4.

La evaluación del generador de reloj operando en distintas condiciones de proceso, tensión de alimentación y temperatura llevó a un aumento de la corriente del *Charge Pump* de 12 nA a 100 nA para cumplir fundamental con el tiempo de establecimiento.

3.3. Simulaciones

3.3.1. Introducción

En esta sección se muestran los resultados obtenidos en las simulaciones del sintetizador de frecuencia operando en distintas condiciones de proceso, tensión de alimentación y temperatura.

Aunque se realizaron muchas simulaciones, en esta sección se muestra la caracterización del VCO y la respuesta temporal del PLL para frecuencia de salida máxima e intermedia para los casos de desempeño extremo. Se presentan también algunos resultados de tipo estadístico sobre

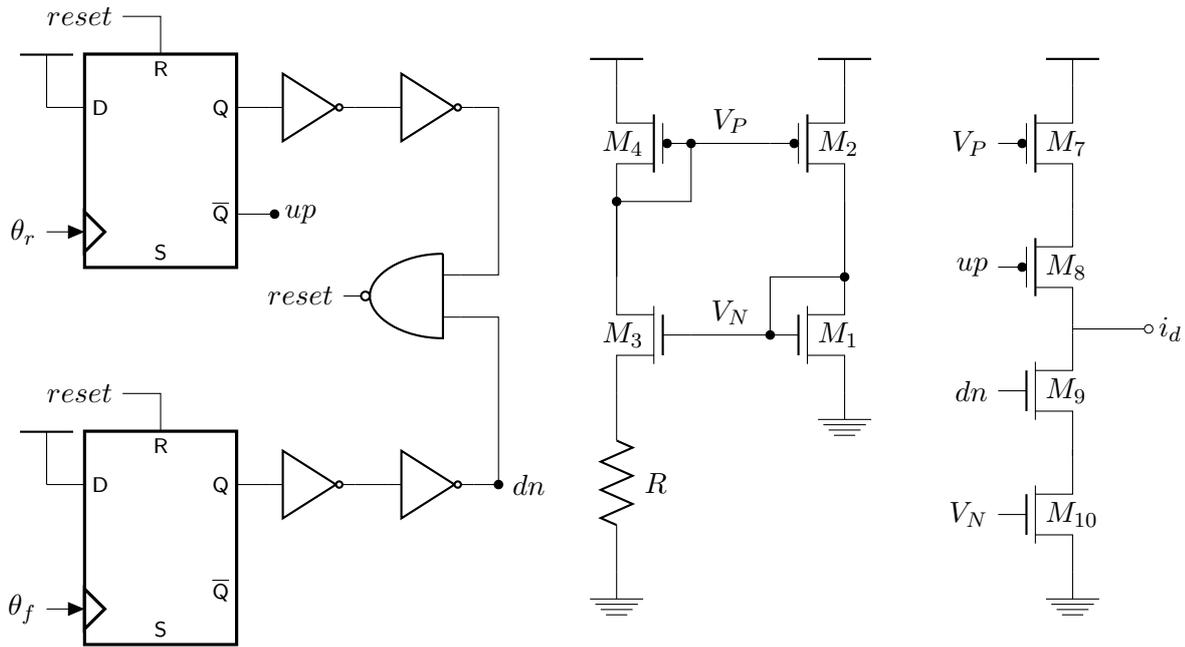


Figura 3.18: Esquemático del Detector de Fase Frecuencia y el *Charge Pump*.

la señal de salida como son el ciclo de trabajo y el *jitter*. Por último se muestra el consumo de cada bloque.

Al igual que como se hizo con el LVDS, en los pines de conexión al exterior se incluyó un modelo simplificado del *bond wire*, la capacidad del encapsulado y la capacidad del *pad*.

3.3.2. Caracterización del VCO

La primer prueba consiste en la evaluación de la transferencia del VCO ante variaciones de proceso, tensión de alimentación y temperatura. Es necesario comprobar que en todas las condiciones el VCO opere dentro del rango establecido para la frecuencia de oscilación y la tensión de entrada. Para la realización de esta simulación se hizo un barrido de tensión de control del VCO (V_{cnt}). La carga del VCO esta compuesta por dos comparadores [28], uno en conexión directa y otro inversa para mantener la simetría de la carga. La salida del comparador maneja la entrada del divisor de frecuencia de ganancia fija y variable.

El valor de frecuencia de oscilación para cada punto de V_{cnt} se obtuvo como un promedio sobre 100 ciclos de la señal de salida. Para optimizar el tiempo de simulación, éste se ajusta

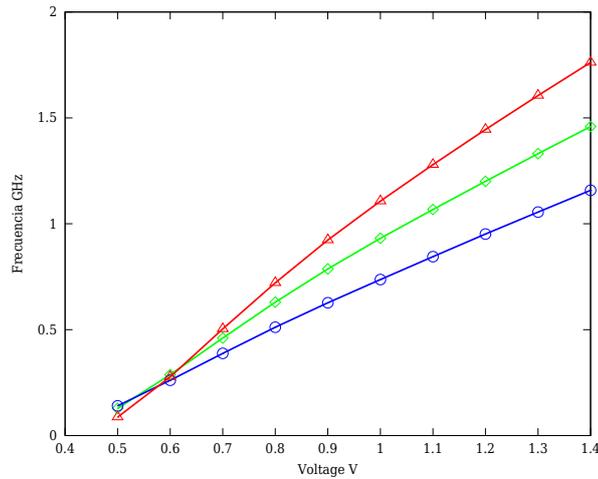


Figura 3.19: Transferecia del VCO. \circ (SLOW, 1.62 V, 125 °C), \diamond (NOM, 1.8 V, 27 °C). \triangle (FAST, 1.98 V, 125 °C)

dinámicamente y de forma automática en cada paso de simulación. Los casos extremos de variación en la transferencia del VCO se muestran en la Figura 3.19. Se puede apreciar que para el rango de tensión de funcionamiento la frecuencia de salida varía entre los valores preestablecidos.

3.3.3. Respuesta temporal del PLL

En esta prueba analiza el desempeño del PLL ante una entrada tipo escalón de 16 MHz, para la frecuencia de salida máxima de 1024 MHz. Se desea evaluar estabilidad del sistema de control, sobrepico, tiempo de establecimiento y error de estado estacionario sobre la frecuencia de salida y otros parámetros que hacen a la calidad de la señal de salida como son el *jitter* y el ciclo de trabajo.

Cada una de las entradas y salidas del circuito se conecta al exterior por medio de un circuito simplificado que modela las característica del *Wire bonding*, la capacidad del encapsulado y la capacidad del *Bond pad*.

La respuesta temporal de la frecuencia de salida para el caso nominal y los distintos *corners* se puede ver en la Figura 3.20. La respuesta nominal tiene un tiempo de establecimiento de 55 μ s aproximadamente y un sobrepico de 0.051 GHz. La respuesta más rápida corresponde al *corner* FAST, 1.98 V, 125 °C con un tiempo de establecimiento aproximado 30 μ s. La respuesta más

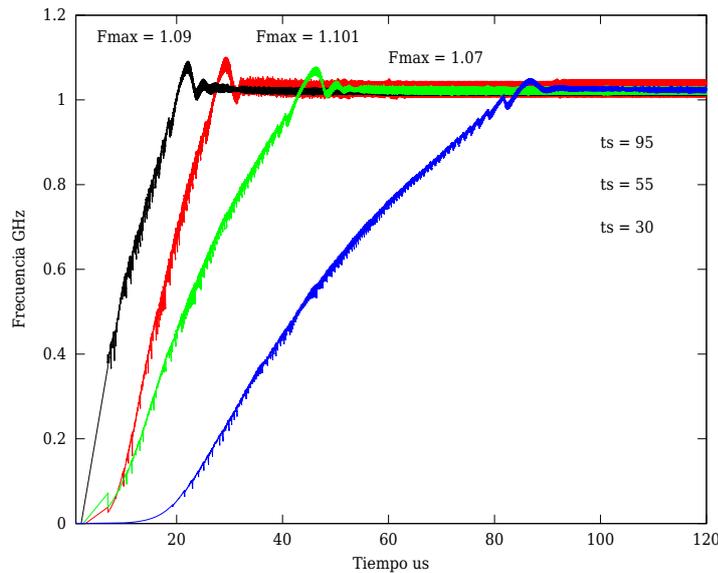


Figura 3.20: Respuesta temporal del PLL ante un escalón de frecuencia. — (SLOW, 1.62 V, $-40\text{ }^{\circ}\text{C}$). — (NOM, 1.8 V, $27\text{ }^{\circ}\text{C}$). — (FAST, 1.98 V, $-40\text{ }^{\circ}\text{C}$). — (FAST, 1.98 V, $125\text{ }^{\circ}\text{C}$).

lenta corresponde al *corner* SLOW, 1.62 V, $-40\text{ }^{\circ}\text{C}$ con un tiempo de establecimiento aproximado de $95\text{ }\mu\text{s}$. La respuesta con mayor sobrepico corresponde al *corner* FAST, 1.98 V, $-40\text{ }^{\circ}\text{C}$ con un valor de 0.079 GHz y un tiempo de establecimiento aproximado de $35\text{ }\mu\text{s}$.

De la comparación entre las Figuras 3.20 y 3.10 podemos encontrar varias diferencias. La más significativa es el tiempo de establecimiento que para el peor caso es casi dos veces mayor. El efecto se adjudica a las variaciones en la corriente del *Charge Pump* y a las variaciones de los componentes del filtro que en *corners* alcanzan valores significativos. Es notoria la aparición de un tiempo muerto el cual se debe a que el *Charge Pump* cuenta con un circuito *starter*, el cual introduce un retardo en el encendido de la fuente de corriente distinto para cada *corner*.

Otro de los parámetros importantes que representan el comportamiento de un PLL es el *jitter*. Éste representa la variación de frecuencia de cada ciclo de la señal de salida. Para representarlo se midieron 20400 ciclos de la señal de salida y se hizo un histograma, el cual se muestra en la Figura 3.21. El valor medio de la frecuencia de salida es 1.024 GHz para todos los *corners*, el desvío estándar para el mejor caso es 0.772 MHz para el *corner* SLOW, 1.62 V, $125\text{ }^{\circ}\text{C}$ y 9.608 MHz para el peor caso y corresponde al *corner* FAST, 1.98 V, $-40\text{ }^{\circ}\text{C}$, el valor para el *corner* nominal

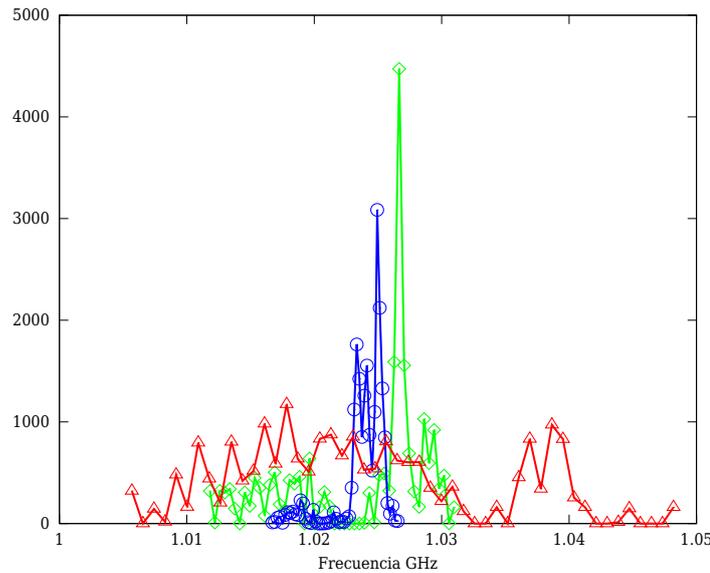


Figura 3.21: Histograma de la frecuencia de salida. \circ (SLOW, 1.62 V, 125 °). \diamond (NOM, 1.8 V, 27 °). \triangle (FAST, 1.98 V, -40 °). \times (FAST, 1.98 V, 125 °).

Cuadro 3.6: Consumo del PLL por bloque.

Bloque	min.	nom.	max
VCO	0.858 mA	1.096 mA	1.266 mA
Comparador	0.597 mA	0.955 mA	1.357 mA
Div. Freq	0.179 mA	0.271 mA	0.351mA
Charge Pump	0.085 mA	0.137 mA	0.179 mA
Vdd	1.582 mA	2.227 mA	2.796 mA

es de 5.329 MHz.

Las variaciones del ciclo de trabajo para los casos extremos se muestran en la Figura 3.22. Al igual que para el *jitter* se evaluaron 20400 ciclos de la señal de salida para realizar el histograma del valor del ciclo de trabajo. El valor medio del ciclo de trabajo para el caso nominal de operación es de 48.95%, mientras que el mínimo es de 42.53% y el máximo es de 55.48% para los casos (SLOWFAST, 1.98 V, -40 °) y (SLOW, 1.62 V, -40 °) respectivamente.

El consumo total y de cada bloque se puede ver en el Cuadro 3.6.

Para hacer una evaluación más completa se realimentó el circuito con otra ganancia para obtener otro valor de frecuencia de salida. En este caso el factor de realimentación produce una

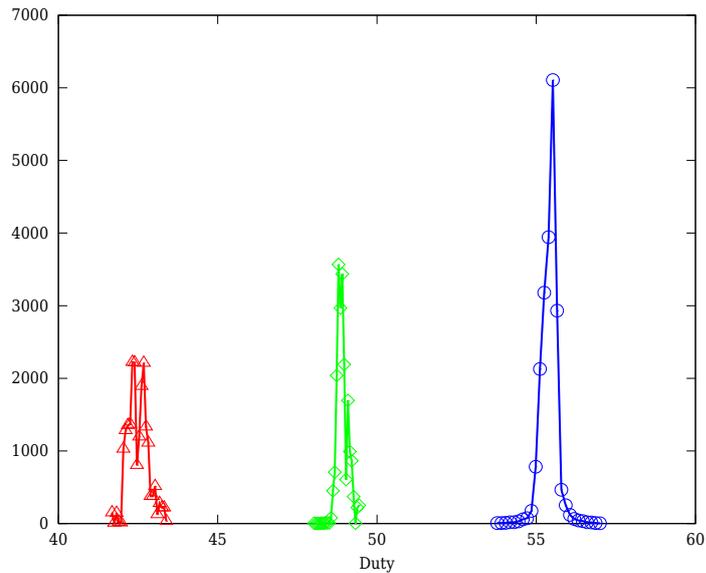


Figura 3.22: Histograma del ciclo de trabajo de la señal de salida. ○ (SLOW, 1.62 V, -40 °). ◇ (NOM, 1.8 V, 27 °). △ (SLOWFAST, 1.98 V, -40 °).

salida de 512 MHz, como se muestra en la Figura 3.23. El sobrepico máximo es de 72 MHz para la combinación FAST, 1.98 V, -40 °C, mientras que para el caso nominal es de 42 MHz. El tiempo de establecimiento máximo aproximado es de 65 μ s para el corner SLOW, 1.98 V, 125 °C, mientras que para el *corner* el nominal es de 25 μ s y el mínimo es de 18 μ s para el corner FAST, 1.98 V, -40 °C.

Por último se probó el desempeño del PLL ante variaciones de la ganancia durante la respuesta transitoria. Inicialmente se configuró la ganancia del lazo para obtener una frecuencia de salida de 512 MHz. La variación de ganancia se produce a los 80 μ s, para generar una frecuencia de salida de 1,024 GHz. La variaciones se realizaron modificando los bits de selección del multiplexor de realimentación *S0*, *S1*. Se comprobó que el sistema realimentado responde de forma estable ante estos cambios para todas las condición de funcionamiento. Las condiciones extremas de operación y la nominal se muestran en la Figura 3.24.

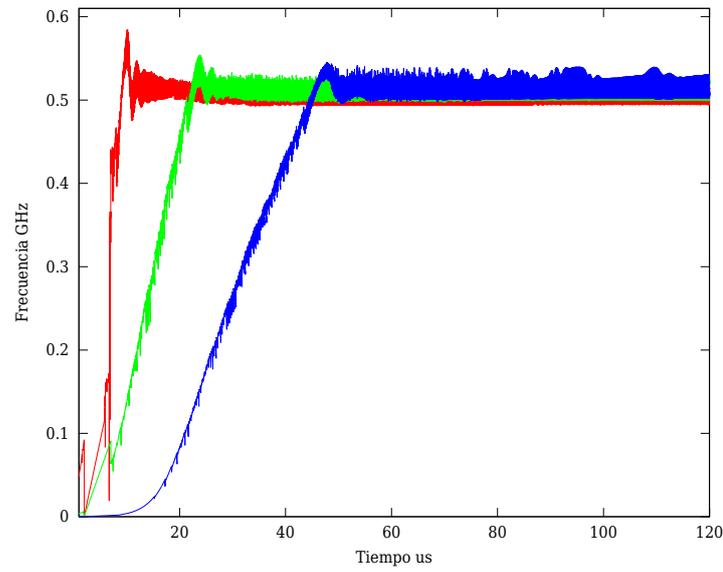


Figura 3.23: Respuesta temporal del PLL ante entrada tipo escalón para salida de 512 MHz. — (SLOW, 1.98 V, 125 °C). — (NOM, 1.8 V, 27 °C). — (FAST, 1.98 V, -40 °C).

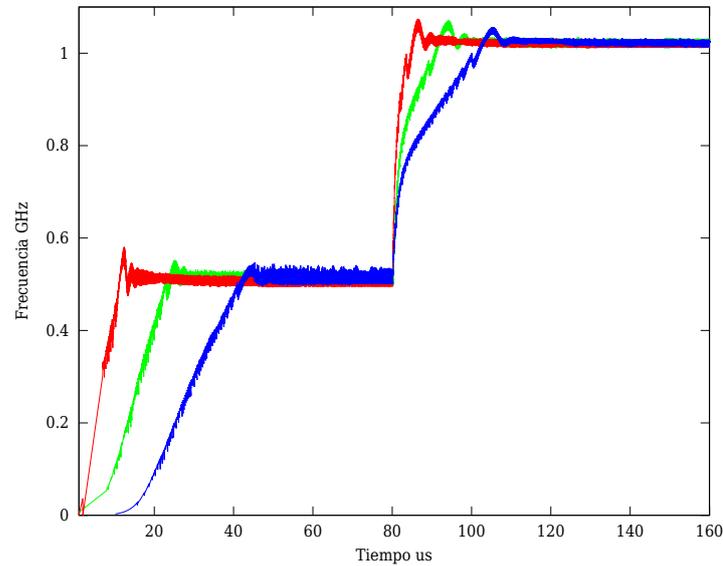


Figura 3.24: Respuesta temporal del PLL para variaciones de ganancia de realización. — (SLOW, 1.98 V, 125 °C). — (NOM, 1.8 V, 27 °C). — (FAST, 1.98 V, -40 °C).

3.4. Conclusiones

En este capítulo se presentó el diseño de un generador de reloj de frecuencia variable entre 256 MHz a 1024 GHz. El generador de reloj es un sistema realimentado basado en el control de fase. Éste posee dos características fundamentales, por un lado, como el sistema presenta una integración pura en la rama directa, el error de estado estacionario ante una entrada tipo escalón es cero. La segunda, como la ganancia del sistema depende del factor de realimentación es posible variar la frecuencia de salida mediante un cambio del factor de realimentación. El cambio se realiza de forma digital mediante la selección entre dos ganancias, una fija y otra variable. Ésta última se puede configurar externamente.

El desarrollo del trabajo comienza con la construcción del modelo de referencia del generador, basado en el modelo de pequeña señal de cada bloque. Este modelo permite establecer las especificaciones de cada bloque del sistema sin conocer la implementación del mismo. En segunda instancia se presenta la arquitectura y los cálculos de los distintos componentes del sistema. Por último se muestran los principales resultados de las simulaciones en *corners* del sistema en las cuales se evalúa la respuesta del sistema realimentado. El *layout* del generador de reloj se puede ver en la Figura 3.25. Las consideraciones generales para la confección del layout se resumen en Apendice A.4

3.5. Trabajo futuro y aspectos a mejorar

Uno de los aspectos a mejorar con vista a la próxima versión es el ciclo de trabajo. La dispersión de este parámetro de desempeño es muy grande cuando se analizan las variaciones de proceso, tensión y temperatura. La posible fuente de esta variación es el corrimiento de la curva transferencia de los dispositivos CMOS ante las variaciones. Para regular el ciclo de trabajo se podría analizar el valor medio de la señal de salida y compensar los corrimientos agregando transistores tipo N o P dependiendo si la variación es por exceso o defecto.

Analizando la respuesta dinámica del sistema en distintas condición de proceso, tensión y temperatura, Figura 3.20, es posible advertir una gran disparidad en el tiempo de establecimiento. Como se explicó anteriormente, esto se puede deber a variaciones en el valor de corriente

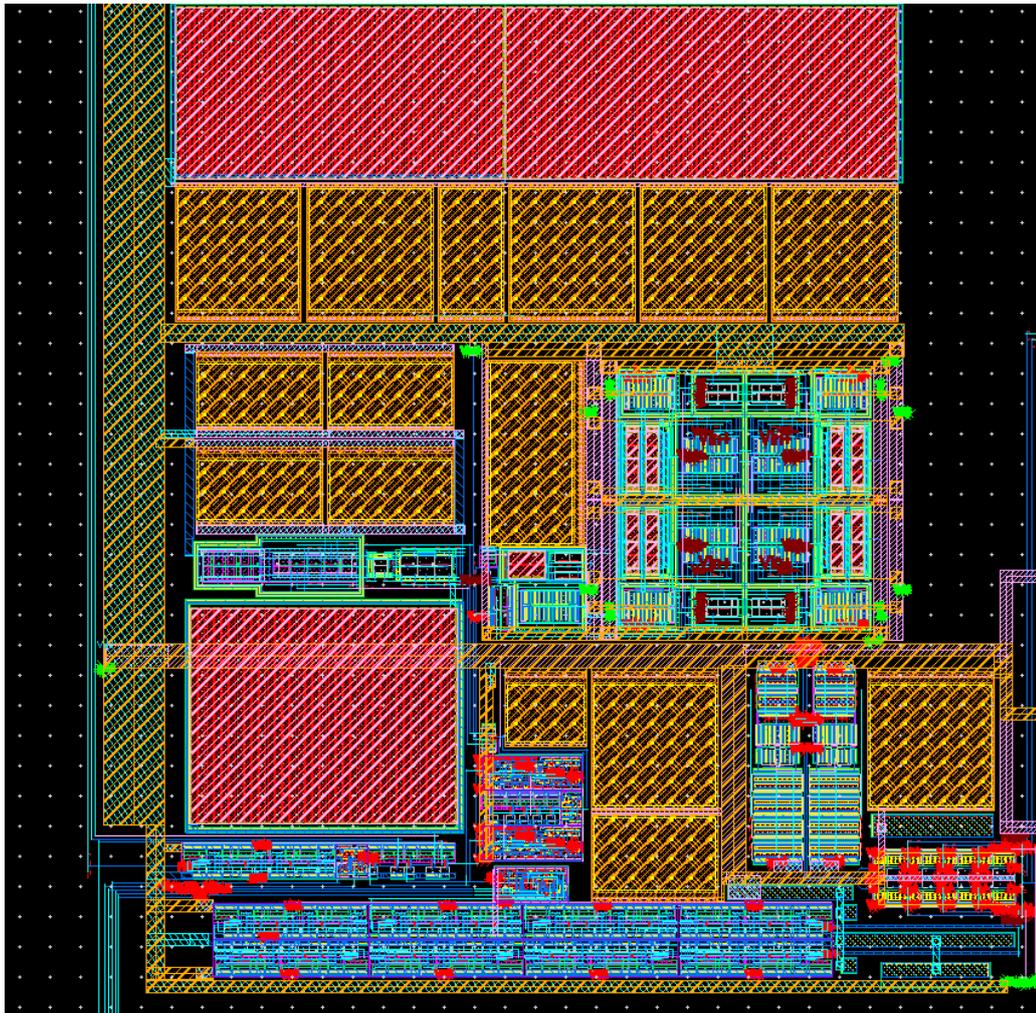


Figura 3.25: Layout del generador de reloj.

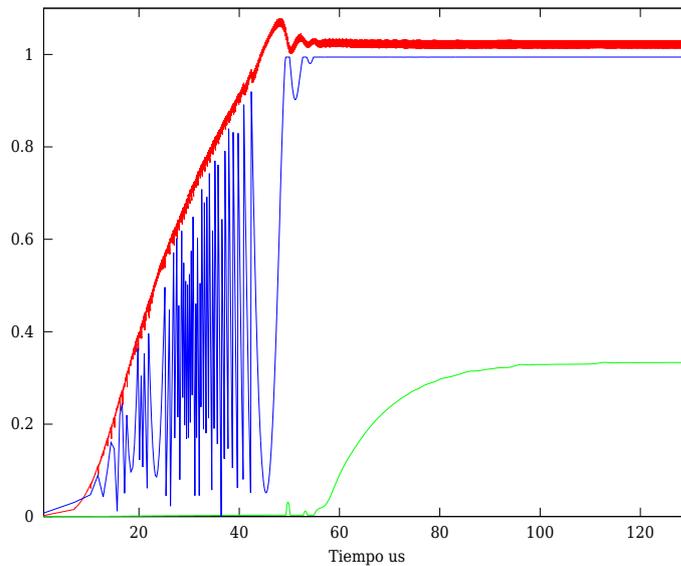


Figura 3.26: Respuesta temporal del PLL ante un tipo escalón. — Ciclo de trabajo de la señal u_p . — Ciclo de trabajo de la señal d_n . — Frecuencia de la señal de salida en GHz.

del *Charge pump*, variaciones en los elementos del filtro, etc. Para detectar esta condición independientemente de las variaciones de parámetros, es posible hacer un análisis de las señales u_p y d_n y realizar una acción de control para regular el tiempo de establecimiento. La detección se puede realizar mediante un análisis del ancho de pulso de las señales u_p y d_n . La acción de control puede consistir en accionar una fuente de corriente extra que opere durante la detección de esta condición. En la Figura 3.26 se puede ver que el ciclo de trabajo de las señales es muy diferente en el transitorio y en estado estacionario.

Muchos sistemas digitales, principalmente dispositivos portátiles, tienen estados de bajo consumo de potencia en los que muchas de las funcionalidades son apagadas, entre ellas el generador de reloj. Luego de la salida de este estado es necesario esperar a que transcurra el tiempo de establecimiento del generador hasta tener una señal de reloj estable. Para reducir el tiempo de espera es posible implementar una máquina de estados que almacene la tensión V_{cnt} en un capacitor antes de entrar en un estado de bajo consumo. Al salir de ese estado se carga el valor de tensión almacenado nuevamente en el filtro con el lazo de control abierto y se lo cierra al detectar una condición de error de fase mínimo.

Otro aspecto a mejorar, pensado en la utilización de este bloque como celda de propiedad intelectual, es la portabilidad y disponibilidad para tercero. Hay que documentar mejor el GDS para que pueda ser utilizado por otra persona.

Pensando en un posible traspaso del diseño a otra tecnología, es importante documentar las medidas realizadas sobre la herramienta y automatizar el proceso de cálculo de los bloques más importantes.

Capítulo 4

Conclusiones Generales

En este trabajo se presentó el diseño de dos bloques esenciales para un sistema digital, un transmisor de datos digitales de alta velocidad y un generador de reloj con frecuencia de salida programable. Estos bloques constituyen una parte fundamental del prototipo de prueba de concepto para el desarrollo de mi tesis doctoral.

El Transmisor digital de alta velocidad cumple con la norma IEEE 1596.3 [1] del *Institute of Electrical and Electronics Engineers* titulado *Standard for Low-Voltage Differential Signals (LVDS) for Scalable Coherent Interface(SCI)*. El Transmisor cuenta con un bloque Acelerador, con el cual es posible mejorar el tiempo de trepada y caída de la señal diferencial de salida. Un sistema de compensación de modo común, regula el valor medio de la tensión de salida entorno a un valor de referencia establecido por la norma.

El generador de reloj crea una señal cuadrada de frecuencia programable en base a una señal de frecuencia fija que ingresa desde el exterior. El rango de frecuencia de salida es discreto y esta entre 0.2 GHz y 1.024 GHz. La selección de la frecuencia se realiza mediante el ajuste de la ganancia de un sistema de control de lazo cerrado. Es posible elegir entre dos ganancias una fija y otra configurable. A su vez, dentro de la ganancia fija, se puede optar por dos valores distintos, los que producen una frecuencia de salida de 0.512 GHz o 1.024 GHz. La ganancia configurable se puede programar para generar los valores de frecuencia de salida listados en el Cuadro 3.5.

Ambos bloques fueron diseñados en un proceso de integración de 180 nm. Las simulaciones correspondientes se realizaron para comprobar su funcionamiento en los casos extremos de

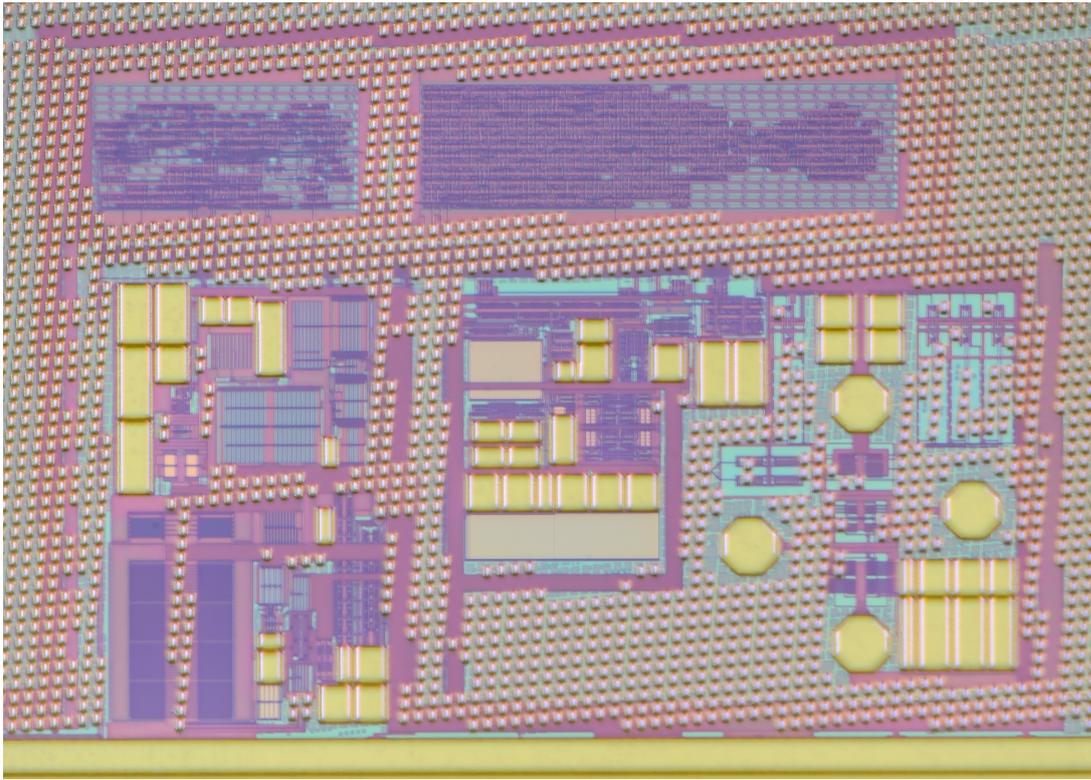


Figura 4.1: Fotografía del circuito integrado.

variación de proceso, tensión de alimentación y temperatura, como se listan en el Cuadro 2.3.

El *layout* del Transmisor y del generador se realizó utilizando herramientas especializadas, una fotografía del circuito integrado fabricado se puede ver en la Figura 4.1.

Capítulo 5

Trabajo Futuro

Más allá de las mejoras y trabajo futuro detallados en cada capítulo, la primer tarea a desarrollar es la de validación de los dos sistemas.

La validación del transmisor consiste en evaluar los parámetros detallados en la norma, tiempo de trepada y caída, tensión de modo común, etc. Como es posible realizar una compensación de los tiempos, es posible realizar una evaluación del sistema operando con la compensación y sin ésta para comprobar su necesidad.

La validación del generador de reloj consiste en la realización de distintos test a través de los cuales se van incorporando funcionalidades hasta evaluar por completo las características del diseño. La prueba inicial consiste en la evaluación del sistema operando con la ganancia de realimentación fijas. A continuación se prueba el sistema con las ganancias variables y por último se propone la realización de transiciones del valor de ganancia para generar escalones de frecuencia en la salida.

El trabajo posterior a la validación consiste en la generación de los archivos necesarios para la incorporación de ambos bloques en un flujo digital.

Apéndice A

Apéndices

A.1. Caracterización de transistores

Existen en la actualidad varios modelos matemáticos para aproximar la corriente de *drain* de los transistores MOS [7]-[10]. La elección entre los distintos modelos depende de la región de operación, del nivel de inversión, entre otros factores. Pero al ahora de elegir un modelo para hacer cálculos a mano el factor preponderante es la complejidad.

En este Apéndice se detalla el modelado utilizado para aproximar la corriente de *drain* de los transistores N y P MOS operando en inversión fuerte y débil, así como también el resultado de las aproximaciones.

A.1.1. Modelo en inversión fuerte

La mayoría de los bloques de este trabajo están diseñados con transistores operando en la región de inversión fuerte. Por esta razón, es necesario contar con un modelo que aproxime con precisión suficiente a los dispositivos MOS operando en esta región. El modelo debe ser simple, ya que éste se utilizará para realizar cálculos a mano con el objetivo de estimar la relación de aspecto de los transistores.

El modelo más conveniente, según con las características antes descritas, es el modelo cuadrático. Como su nombre lo indica, en esta aproximación la corriente de *drain* depende del

Cuadro A.1: Parámetros del transistor N y P MOS en inversión fuerte.

Parámetro	NMOS	PMOS
V_{T0}	0.39 V	-0.4 V
k	191.75 $\mu\text{A}/\text{V}^2$	40.18 $\mu\text{A}/\text{V}^2$

cuadrado de la tensión aplicada entre *gate* y *source* ¹, es decir

$$I_D = k \frac{W}{L} (V_{GS} - V_{T0})^2 \quad (\text{A.1})$$

El procedimiento de modelado del dispositivo consiste en encontrar los valores de k y V_{T0} que mejor aproximen la corriente I_D . El primer paso es hacer una simulación para relevar el valor de corriente para cada valor de tensión V_{GS} . Para seleccionar el tamaño de transistor, se realizó una variación de la longitud del canal (L) para determinar el valor mínimo a partir del cual los efectos de canal corto eran insignificantes. Se pudo determinar que para L mayor a $0.56 \mu\text{m}$ los efectos eran imperceptibles. Para realizar la simulación, también es necesario fijar las condiciones de operación de proceso, tensión y temperatura. La configuración de estos parámetro corresponde al *corner* nominal.

El segundo paso se graficar la relación entre la raíz cuadrada de la corriente ($\sqrt{I_D}$) y la tensión V_{GS} . Sobre este gráfico se proyecta la intersección de la curva con el eje de tensión y se obtiene el valor de V_{T0} como se muestra en la Figura A.1.

Luego mediante la utilización del algoritmo de minimización del error medio cuadrático se puede obtener el valor de k .

El procedimiento antes descrito se realizó para obtener los parámetros que modelan la característica del transistor N y P MOS de ancho y largo idéntico. El valor de los parámetro V_{T0} y k son de 0.39 V y $191.871 \mu\text{A}/\text{V}^2$, y -0.4 V y $40.188 \mu\text{A}/\text{V}^2$ para el transistor N y P. respectivamente. La comparación entre la curva transferencia obtenida de las simulaciones y el modelo para los dos tipos de transistores se puede ver en la Figura A.2.

Si bien este modelo aproxima la relación tensión vs. corriente de los dispositivos con precisión razonable, hay que recordar que el ajuste del mismo se realizó en el *corner* nominal y que el

¹Sin considerar los efectos de la impedancia de salida.

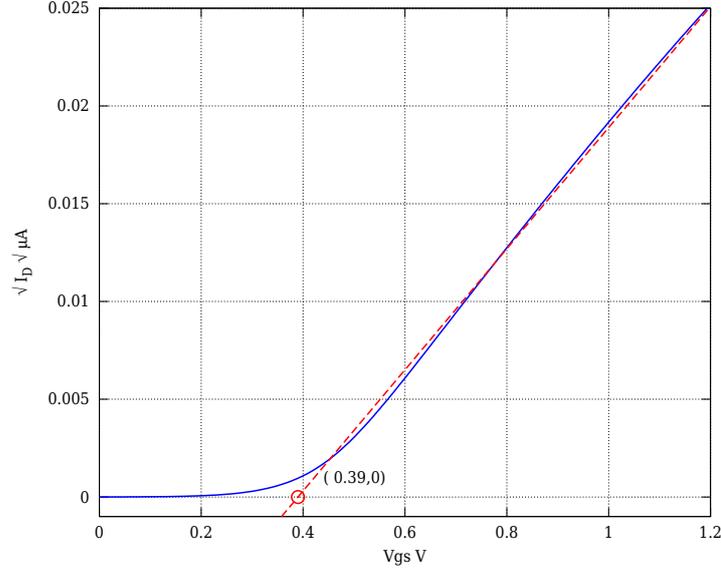


Figura A.1: Raíz cuadrada de la corriente de *drain* en función de V_{GS} . — $\sqrt{I_D}$. — Extrapolación para encontrar V_{T0} .

objetivo de esta aproximación es tener un modelo simple para hacer los cálculos a mano. El valor final del dispositivo se determina mediante el uso del simulador y bajo la variación de las condiciones de operación.

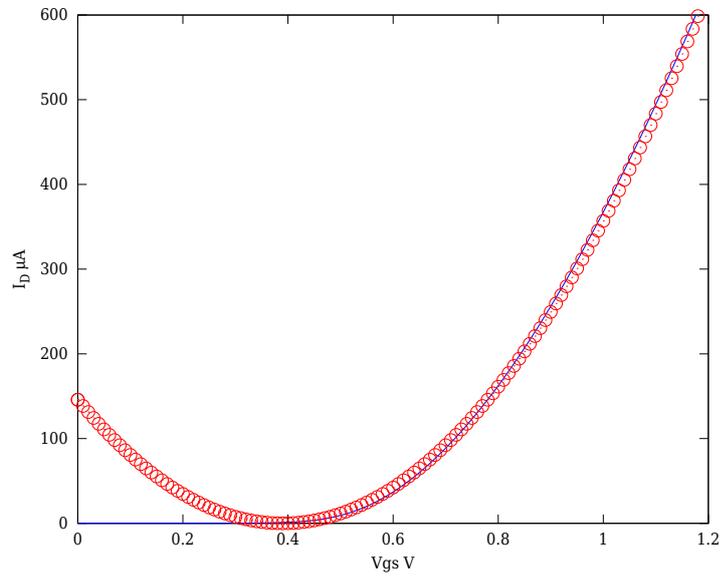
A.1.2. Modelo en inversión débil

Si bien la mayoría de los transistores de este trabajo operan en la región de inversión fuerte, existe una pequeña cantidad de éstos que operan en la región de inversión débil. Por esta razón, es necesario contar con un modelado matemático que permita calcular la relación de aspecto de estos dispositivos en la región antes mencionada.

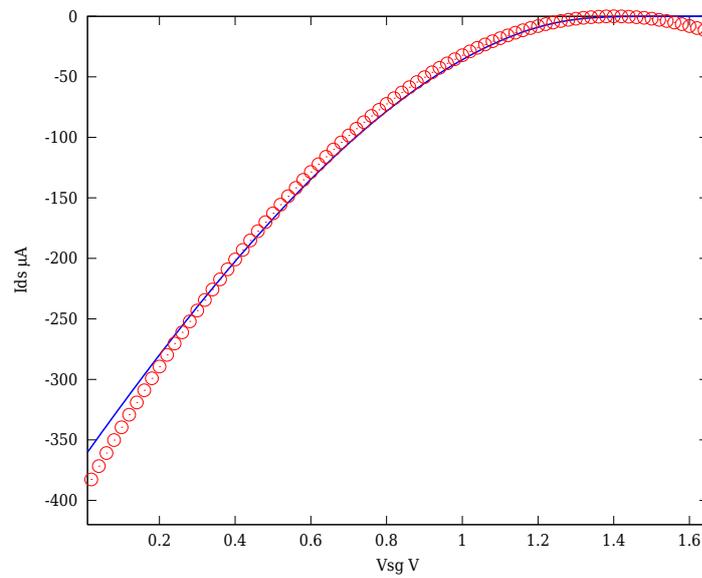
La aproximación matemática para la corriente de *drain* de un transistor en inversión débil esta representada en la ecuación (A.2)². En ésta los parámetros I_M , V_M y n son ajustados para reducir el error entre la aproximación matemática y el resultado de las mediciones.

$$I_D = I_M \frac{W}{L} \exp\left(\frac{V_{GS} - V_M}{n\phi_t}\right). \quad (\text{A.2})$$

²Sin considerar el efecto de la impedancia de salida.



(a) Curva tranferencia NMOS. Resultado de la simulación — y del modelado ○.



(b) Curva tranferencia PMOS. Resultado de la simulación — y del modelado ○.

Figura A.2: Comparación entre la relación V_{GS} e I_D para un nmos y un pmos.

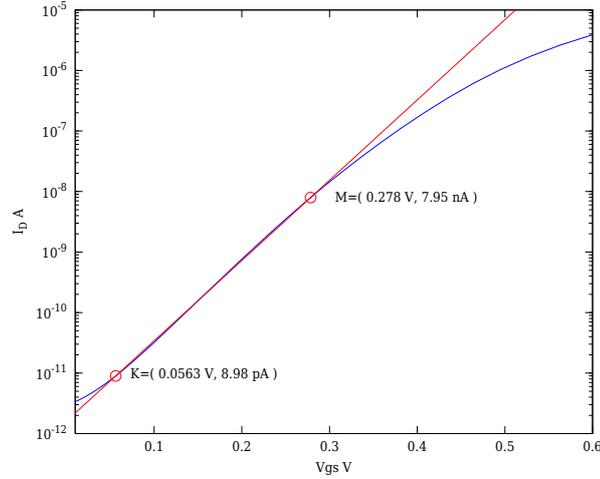


Figura A.3: Transferencia de un transistor NMOS en inversión débil. — simulación, — aproximación

A continuación se detalla el procedimiento de ajuste de los parámetros, antes mencionados, para el modelado de un transistor NMOS con de ancho W y largo L iguales y de valor $0.5 \mu\text{m}$.

El primer paso consiste en hacer una simulación para obtener la curva transferencia entre la corriente de *drain* y la tensión aplicada entre *gate* y *source*. La curva obtenida se muestra en la Figura A.3. Allí se indica el límite máximo (M) y mínimo (K) en donde la aproximación es válida.

En el punto M, la corriente de I_D es igual a I_M , ya que la tensión V_{GS} es igual a V_M . El parámetro que resta calcular es n , el cual se obtiene al despejarlo de la ecuación (A.2) y reemplazar los valores de corriente y tensión en el punto K.

$$n = \frac{V_{GS}(K) - V_M}{\phi_t \ln \left(\frac{I_D(K)}{I_M} \right)} \quad (\text{A.3})$$

Un procedimiento equivalente se realizó para obtener los valores de la aproximación para la corriente de *drain* de un transistor PMOS. La curva transferencia y la aproximación se muestran en la Figura A.4.

Los parámetros para modelar los transistores N y P MOS se muestran en el Cuadro A.2.

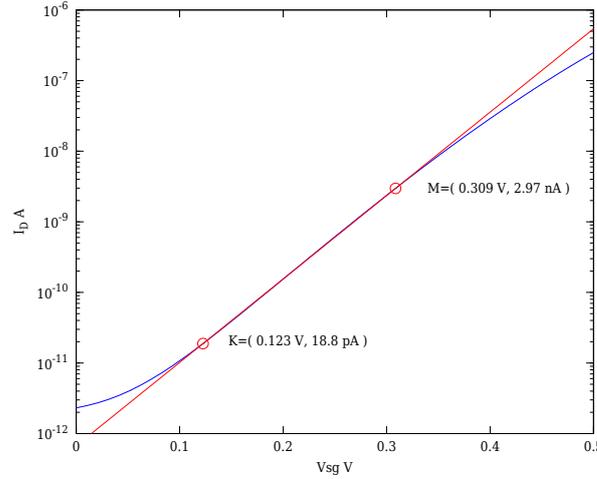


Figura A.4: Transferecia de un transistor PMOS en inversión débil. — simulación, — aproximación

Cuadro A.2: Parámetros de los transistor N y P MOS para el modelo en inversión débil.

Parámetros	NMOS	PMOS
I_M	7.954 nA	2.973 nA
V_M	0.278 V	0.308 V
n	1.2641	1.4193

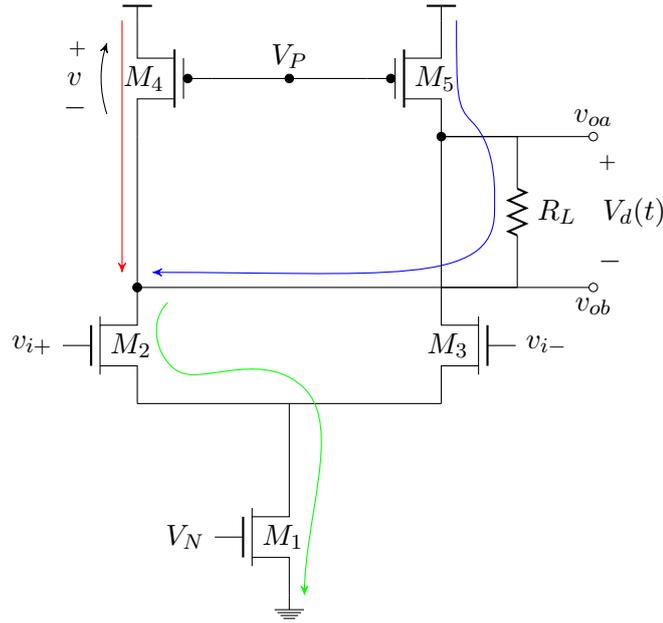
A.2. Cálculos LVDS

A.2.1. Cálculos *Driver*

En este apéndice se presenta el cálculo del *Driver* LVDS, cuya arquitectura se seleccionó en la sección 2.2.2. El esquemático de éste con un modelo de carga simplificado se repite en la Figura A.5. Para calcular la relación de aspecto de los transistores se utiliza el modelo desarrollado Apéndice A.1.

La restricción de la norma que condiciona el diseño de este bloque es la excursión sobre la resistencia de carga R_L . Como el valor nominal de excursión es 325 mV, el valor nominal de corriente I debe ser 3.25 mA, ya que R_L vale 100 Ω .

Por otra parte, como los transistores M_1 , M_4 y M_5 deben operar en la región de saturación, para todas las condiciones de variación de proceso, tensión de alimentación y temperatura, se establecen las tensiones $|V_{ds}|$ mínimas en 600 mV para M_1 y 250 mV para M_4 y M_5 .

Figura A.5: Esquemático del *Driver*.

Como los tiempos de respuesta del *Driver* deben ser pequeños, se reduce el *swing* de entrada. Para determinar el valor mínimo de excursión, se calcula el valor máximo de tensión de entrada que produce una circulación de corriente próxima a cero

$$v_{i,min} = V_{ds1} + V_{T0,N}. \quad (\text{A.4})$$

Para determinar el valor máximo de excursión, se fija este valor como un valor próximo al límite de tensión de alimentación mínimo, $v_{i,max} = 1,6 \text{ V}$.

La trasmisión de un valor lógico alto o bajo hace que uno de los transistores del par diferencial, M_2 y M_3 , canalice el total de la corriente. Por lo tanto cada uno de los transistores, M_2 y M_3 , deben ser dimensionados teniendo en cuenta una $I_{ds} = 2I$. Para los transistores del par diferencial, la corriente de *drain* para cada uno de ellos se puede escribir como

$$2I = \frac{k_n}{2} \left(\frac{W}{L} \right)_{2,3} (v_{i,max} - V_{ds,M2} - V_{T0,N})^2 \quad (\text{A.5})$$

de (A.5) se despeja la relación de aspecto como

$$\left(\frac{W}{L}\right)_{2,3} = \frac{4I}{k_n (v_{i,max} - V_{ds,M2} - V_{THn})^2} \quad (\text{A.6})$$

Para L igual $0.56 \mu\text{m}$ el W de los transistores es de $102 \mu\text{m}$. Luego del análisis en *corners*, el valor final de W es de $160 \mu\text{m}$.

Para calcular la relación de aspecto del transistor $M1$, como éste está en la región de saturación, y $V_{ds,M1}$ es 600 mV se puede escribir

$$2I = \frac{k_n}{2} \left(\frac{W}{L}\right)_1 (V_{ds,M1})^2 \quad (\text{A.7})$$

de (A.7) se despeja la relación de aspecto

$$\left(\frac{W}{L}\right)_1 = \frac{4I}{k_n (V_{ds,M1})^2} \quad (\text{A.8})$$

Para L igual $0.56 \mu\text{m}$ el W de los transistores es de $105 \mu\text{m}$. Luego del análisis en *corners*, el valor final de W es de $200 \mu\text{m}$.

Para calcular la relación de aspecto de los transistores M_4 y M_5 es necesario evaluar el valor máximo de la tensión en los nodos de salida v_{oa} y v_{ob} . Éstos pueden alcanzar un valor de 1.4 V , considerando que la mínima tensión de alimentación es 1.62 V , la tensión de *overdrive* (V_{ov}) máxima para mantener a los transistores en saturación es de 220 mV . Para calcular el tamaño de los dispositivos se plantea la corriente de *drain* como

$$I = \frac{k_p}{2} \left(\frac{W}{L}\right)_{4,5} (V_{ov})^2 \quad (\text{A.9})$$

de la ecuación (A.9) se obtiene la relación de aspecto para M_4 y M_5 como

$$\left(\frac{W}{L}\right)_{4,5} = \frac{2I}{k_p (V_{ov})^2} \quad (\text{A.10})$$

para L igual $0.36 \mu\text{m}$ el W de los transistores es de $1200 \mu\text{m}$. Luego del análisis en *corners*, el valor final de W es de $2000 \mu\text{m}$.

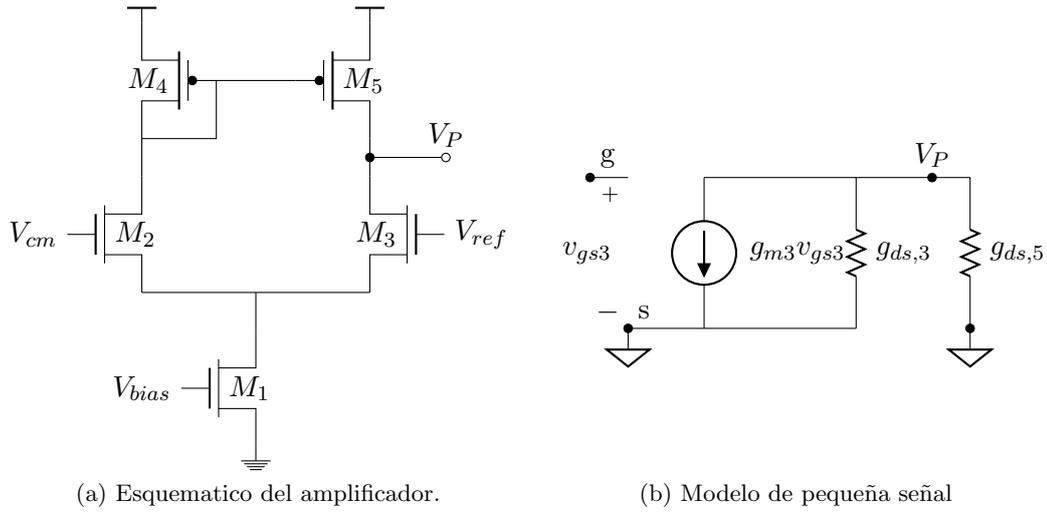


Figura A.6: Amplificador de realimentación para la compensación de modo común.

A.2.2. Diseño del amplificador de realimentación de modo común

El lazo de control de modo común de la tensión de salida del Transmisor requiere de un amplificador con entrada diferencial y salida simple. Según el modelo de pequeña señal del sistema de control, una ganancia de 1 para el amplificador es suficiente para cumplir con la especificación de error de modo común establecida en la norma.

Tan importante como el requisito de ganancia es el de excursión de salida del amplificador. Para especificarla se realizó una simulación en corners del *Driver* en la que el amplificador del sistema de control de modo común se reemplazó por un amplificador ideal. Se determinó que la tensión mínima del nodo V_P es de 0.98 V para el corner SLOW, 1.62 V, 125 °C y la tensión máxima es de 1.53 V para el corner FAST, 1.98 V, 125 °C. Mientras que el valor nominal es de 1.24 V. para lograr una compensación apropiada.

Como la tensión de modo común de entrada es 1.2 V, es natural elegir que el par diferencial de entrada sea tipo N. Para reducir el tiempo de diseño se utilizará una fuente de corriente ya diseñada de 30 uA para la polarización, la cual opera adecuadamente para tensión de salida mayor e igual a 0.4 V. El esquemático del circuito se puede ver en la Figura A.6a.

El diseño de amplificador se centra en la excursión, ya que éste requisito es más restrictivo. Luego se verifica el cumplimiento de la ganancia. Para comenzar el análisis, se evalúa el límite

inferior de excursión del nodo de salida V_P . Según las simulaciones de la fuente de corriente, una tensión $V_{ds,1}=0.4$ V es suficiente para que el transistor M_1 opere dentro de la región de saturación. Por otra parte, como la tensión de entrada, V_g de $M_{2,3}$, es de 1.2 V, se puede calcular la tensión de *overdrive* de $M_{2,3}$ como

$$V_{ov} = V_g - V_{ds,1} - V_{T0,N} = 0,41V. \quad (\text{A.11})$$

El valor de tensión de *overdrive*, sumado a la tensión mínima de operación de la fuente de corriente da como resultados la tensión mínima del nodo $V_P = 0.81$ V. Éste valor, es menor que el valor mínimo establecido por simulación para controlar el modo común del Transmisor.

La relación de aspecto del transistor $M_{2,3}$ se obtiene a partir de la expresión de la corriente de *drain*, para una corriente de $15 \mu\text{A}$, tensión de *overdrive* igual a 0.41 V y longitud de canal L de $1 \mu\text{m}$. El valor de W obtenido del cálculo anterior es de $0.97 \mu\text{m}$.

Para calcular la relación de aspecto de $M_{4,5}$ es necesario saber con anterioridad cual es el tensión mínima entre *drain* y *source*. Del análisis de las condiciones de operación en corner se desprende que la condición más restrictiva es la del corner FAST, 1.98 V, 125°C , que deja una tensión $V_{sd,4,5}=0.45$ V. A partir de la expresión de corriente de *drain* de M_5 es posible obtener el ancho del transistor para una corriente de $15 \mu\text{A}$, tensión de *overdrive* igual a 0.45 V y longitud de canal L de $2 \mu\text{m}$. El ancho de $M_{4,5}$ es de $7 \mu\text{m}$.

Con el cálculo inicial de la relación de aspecto de los transistores se simuló la respuesta del punto de operación y se calcularon los parámetros de pequeña señal para encontrar la ganancia como

$$A_v = -\frac{g_{m3}}{g_{ds,3} + g_{ds,5}} = -89,9 \quad (\text{A.12})$$

Luego del cálculo inicial a mano se realizaron las comprobaciones de excursión y ganancia para las variaciones en corners ya concidas. La relación de aspecto de los transistores en μm se puede ver en el Cuadro A.3. Se puede apreciar un aumento significativo del tamaño de los transistores $M_{4,5}$, esto se debe a que no era posible cumplir la restricción de excursión en corners para el diseño inicial.

Cuadro A.3: Relación de aspecto de los transistores del amplificador.

	Cálculo	Corner
$M_{4,5}$	7/2	42/2
$M_{2,3}$	0.97/1	1/1
M_1	-/-	15/1

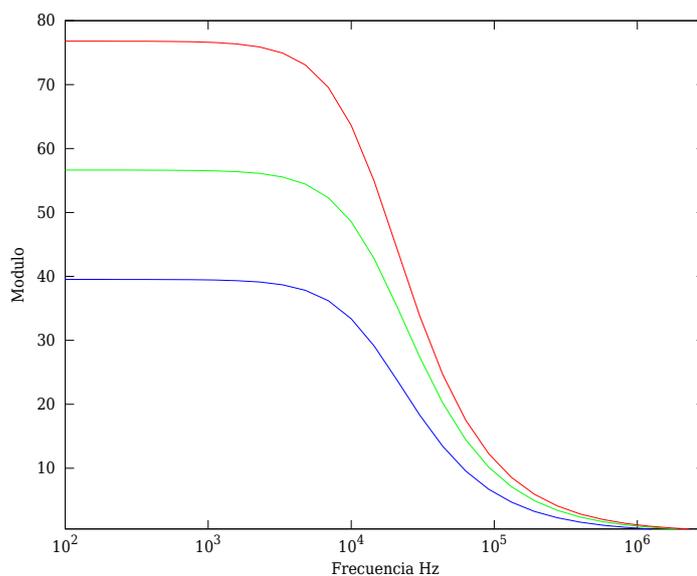


Figura A.7: Módulo de la respuesta en frecuencia del amplificador en corners. — (FAST, 1.62 V, 125 °C). — (NOM, 1.8 V, 27 °C). — (FAST, 1.98 V, -40 °C).

Una vez finalizado el ajuste de la relación de aspecto de los transistores en corners y la correspondiente comprobación de la excursión, se simuló la respuesta en frecuencia del amplificador a lazo abierto y con la carga del *Driver*. La ganancia para el caso nominal y las variaciones máximas y mínimas se puede ver en la Figura A.7. El valor de ganancia para el caso nominal es de 56.6, mientras que la ganancia máxima es de 76.8 y la mínima es de 39.5.

A.2.3. Cálculos Pre-*Driver*

El Pre-*Driver* es un acondicionador de señales con entrada y salida diferencial, que se encarga de ajustar el nivel de entrada digital a los límites de excursión necesaria en la entrada del *Driver*. El esquemático de esta etapa se muestra en la Figura A.8. Los capacitores C_e en cada una de las salidas representan la capacidad de entrada de la etapa siguiente, en este caso la capacidad

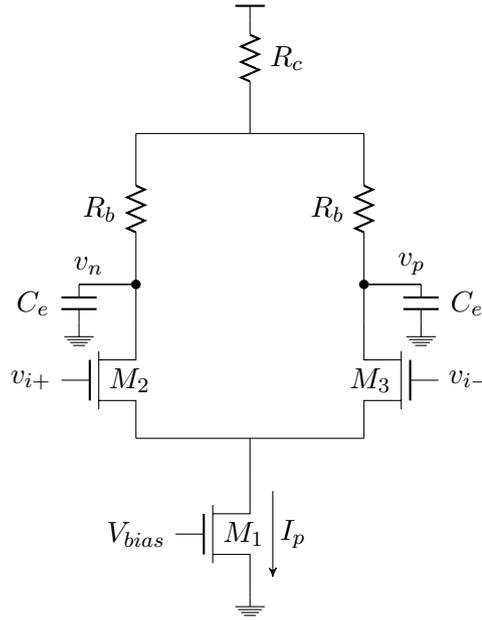


Figura A.8: Esquemático del Pre-*Driver*.

de entrada del *Driver*. Mediante simulación se determino el valor de C_e igual a 300 fF.

Para cumplir con el tiempo de trepada y caída especificado en la norma, el Pre-*Driver* debe poder cargar y descargar la capacidad C_e en 200 ps.

Inicialmente se dimensiona la resistencia R_b . Para ello se analiza el circuito equivalente durante la carga del capacitor C_e desde 1.0 V a 1.6 V, cuyo esquema se muestra en la Figura A.9a. Aplicando el método de las mallas

$$1,6 u(t) = i_c(t) R_b + v_c(t). \quad (\text{A.13})$$

Utilizando las propiedades de la transformada de Laplace es posible reescribir (A.13) como

$$\frac{1,6}{S} = (C_e R_b S + 1) V_c(S) + C_e R_b v_c(0) \quad (\text{A.14})$$

donde S es el operador de Laplace. De la ecuación (A.14) se despeja $V_c(S)$. Luego se descompone en fracciones parciales y antitransforma para encontrar la expresión temporal de la tensión en el capacitor como

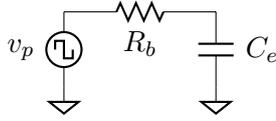
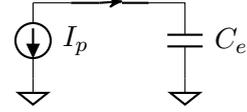
(a) Modelo equivalente para la carga de C_e .(b) Modelo equivalente para la descarga de C_e .

Figura A.9: Modelos equivalentes del circuito para los niveles de salida alto y bajo.

$$v_c(t) = 1,6 - 1,6e\left(-\frac{t}{C_e R_b}\right) + 1,0e\left(-\frac{t}{C_e R_b}\right). \quad (\text{A.15})$$

A partir de la ecuación (A.15) se despeja el valor de R_b para cumplir con un tiempo de trepada (t_r) de 200 ps cuando la tensión en el capacitor $v_c(t_r)$ alcanza el 90% de la excursión de la salida

$$R_b = \frac{-t_r}{C_e \ln\left(\frac{v_c(t_r) - 1,6}{0,6}\right)} = 289,53\Omega \quad (\text{A.16})$$

Para obtener el valor de la corriente I_p se realiza un análisis del circuito equivalente durante la descarga, como se muestra en la Figura A.9b. El capacitor se encuentra cargado con una tensión de 1.6 V y se descarga hasta 1.0 V.

Se utiliza el método de los nodos para encontrar la tensión en el capacitor, entonces

$$\frac{1,6 u(t) - v_c(t)}{R_b} - i_c(t) = I_p u(t) \quad (\text{A.17})$$

Aplicando la transformada de Laplace y sus propiedades

$$\frac{1,6}{R_b S} - \frac{V_c(s)}{R_b} - (C_e S V_c(s) - C_e v_c(0)) = \frac{I_p}{S} \quad (\text{A.18})$$

Se despeja de la ecuación (A.18) la tensión en el capacitor $V_c(S)$. Luego se descompone en fracciones parciales y se antitransforma el resultado para obtener la expresión de la tensión del capacitor en el dominio temporal como

$$v_c(t) = (1,6 - I_p R_b) u(t) + (I_p R_b - 1,6 + v_c(0)) e\left(-\frac{t}{C_e R_b}\right) \quad (\text{A.19})$$

De (A.19) podemos despejar la corriente I_p necesaria para cumplir con un tiempo de caída

(t_f) de 200 ps y una tensión en el capacitor $v_c(t_f)$ igual al 10% de la excursión,

$$I_p = \frac{v_c(t_f) - 1,6 \left(1 - e^{-\frac{t_f}{C_e R_b}}\right) - v_c(0) e^{-\frac{t_f}{C_e R_b}}}{R_b \left(e^{-\frac{t_f}{C_e R_b}} - 1\right)} = 2,07 mA \quad (\text{A.20})$$

El valor de R_c se puede encontrar como

$$R_c = \frac{V_{dd} - 1,6}{I_p} = 222 \Omega \quad (\text{A.21})$$

para el valor nominal de tensión de alimentación.

Por último se calcula la relación de aspecto para los transistores del par diferencial. Se plantea la corriente de *drain* como

$$I_p = \frac{k_n}{2} \left(\frac{W}{L}\right)_{1,2} (V_{gs} - V_{T0,N})^2 \quad (\text{A.22})$$

Cuando el transistor está drenando la corriente I_p la tensión en el *gate* es igual a V_{dd} , mientras que la tensión en el *source* es 1.0 V. Entonces, la relación de aspecto para M_1 y M_2 es

$$\left(\frac{W}{L}\right)_{1,2} = \frac{2I_p}{k_n (V_{gs} - V_{T0,N})^2} \quad (\text{A.23})$$

Se resuelve la ecuación (A.23) para L igual $0,25 \mu\text{m}$ el W de los transistores es de $11,12 \mu\text{m}$.

Para completar el diseño del *Pre-Driver* resta calcular el tamaño del transistor M_3 . Éste está polarizado en saturación con una tensión de *overdrive* de 600 mV. La corriente de *drain* por el dispositivo es

$$I_p = \frac{k_n}{2} \left(\frac{W}{L}\right)_3 (V_{ov})^2 \quad (\text{A.24})$$

de donde se despeja la relación de aspecto como

$$\left(\frac{W}{L}\right)_3 = \frac{2I_p}{k_n (V_{ov})^2} \quad (\text{A.25})$$

Luego se resuelve la ecuación (A.25) para L igual $0,56 \mu\text{m}$ el W de los transistores es de

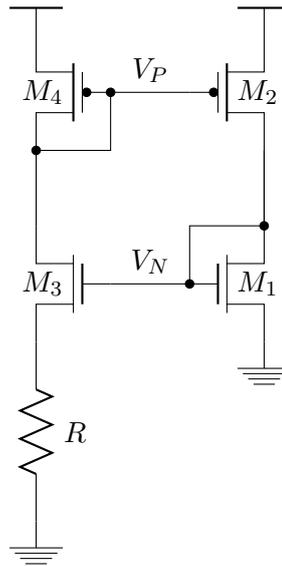


Figura A.10: Esquemático de la fuente de corriente del *Charge Pump*.

45 μm .

A.2.4. Cálculos Fuente de corriente *Charge Pump*

En esta subsección se detalla el proceso de diseño de la fuente de corriente que conforma el *Charge Pump*, cuyo se esquemático se repite en la Figura A.10. Debido a los niveles de corriente de la fuente, los transistores que la componen operan en inversión débil, por lo que el modelo utilizado es que se presentó en el Apéndice A.1.2.

Según la optimización realizada para minimizar el área del filtro del PLL, la corriente del *Charge Pump* debe ser de 12 nA.

El diseño comienza con el cálculo de la relación de aspecto del transistor M_1 . Analizando la transferencia de un transistor NMOS con W y L iguales operando en inversión débil, Figura A.3, se pudo ver que para una corriente de 3 nA la tensión entre *gate* y *source*, $V_{GS,1}$, es igual a 0.247 V aproximadamente. Entonces para obtener 12 nA es necesario un transistor que tenga una relación de aspecto de 4, es decir, $S_1 = W/L = 4$. Para L igual a 0.5 μm , el W es de 2 μm .

Luego para un escalado en la relación de aspecto de $S_3 = 4S_1$ se puede obtener la tensión

Cuadro A.4: Relación de aspecto de los transistores de la fuente de corriente del *Charge Pump*.

	Diseño		Corner
Id	12 nA	100 nA	108 nA
M_1	2/0.5	8/0.5	8/0.5
M_3	8/0.5	32/0.5	32/0.5
$M_{2,4}$	2/0.5	8/0.5	8/0.5
R	3.78 M Ω	450 K Ω	410 K Ω

entre *gate* y *source* del transistor M_3 como

$$V_{GS,3} = V_M + n\phi_t \ln \left(\frac{I_D}{I_M S_3} \right) = 0,20161 \quad (\text{A.26})$$

La tensión sobre la resistencia R , se puede escribir como

$$V_R = V_{GS,1} - V_{GS,3} = 45 \text{ mV} \quad (\text{A.27})$$

dividiendo V_R por la corriente de diseño puede encontrar el valor de resistencia R igual a 3.78 M Ω .

La relación de aspecto de los transistores PMOS, M_2 y M_4 se obtuvo a partir del análisis de la Figura A.4. De donde se determinó que para una relación de aspecto $S_{2,4}$ igual a 4 es suficiente para que el transistor opere en inversión débil para una corriente de 12 nA.

Luego de las simulaciones el *corners* del sistema completo se decidió aumentar la corriente de 12 nA a 100 nA, debido a que el tiempo de establecimiento superaba los 200 μs en algunas combinaciones de proceso, tensión y temperatura. El valor final de los dispositivos se muestra en el Cuadro A.4, éstos operan en la región de inversión moderada.

A.3. Relación fase frecuencia en el sistema de control

Las publicaciones referentes al modelado de PLL analizan la función transferencia entre la fase de salida (θ_f) y la fase de entrada (θ_r). En este trabajo se pretende utilizar el PLL como un generador de frecuencia, por lo tanto es necesario encontrar la relación entre la función transferencia del sistema de control de fase y la función transferencia del sistema de control de frecuencia.

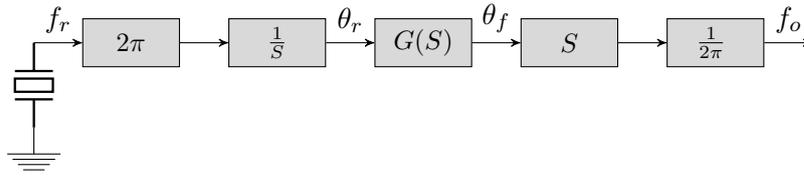


Figura A.11: Diagrama en bloque del sistema de control.

Si se define a $G(S)$ como la función transferencia entre θ_f y θ_r podemos representar al sistema de control de fase como muestra la Figura A.11. Allí la frecuencia de referencia f_r proviene de un cristal, el bloque de integración y escalado permite obtener θ_r . Si se toma la salida de $G(S)$, se la divide por el mismo factor de escala y se deriva podemos encontrar la frecuencia de salida f_o .

Utilizando álgebra de bloques, es posible agrupar los términos integral y derivativo, y los de escalado para obtener

$$\frac{\theta_f}{\theta_r} = G(S) = \frac{f_o}{f_r}. \quad (\text{A.28})$$

De la ecuación (A.28) es fácil de deducir que analizar la respuesta dinámica del sistema de fase es equivalente a analizar la respuesta del sistema en frecuencia.

A.4. Layout

Antes de fabricar un circuito integrado, es necesario especificar los patrones geométricos de cada dispositivo. Esta tarea de distribución (*laid out* en inglés) es conocida como *layout*.

El layout se realiza mediante la asistencia de software especializado y el resultado final es una superposición de varias capas o máscaras, las cuales son posprocesadas por la empresa encargada de la fabricación para construir el circuito integrado.

Existe un número de reglas a respetar durante la confección del layout. Éstas dependen del proceso de fabricación y se las llama reglas de diseño. Estas reglas son creadas para aumentar la confiabilidad del circuito integrado y se basan en aspectos constructivos del proceso. Se contemplan, por ejemplo, distancias mínimas entre dos tipos de dopados a fin de evitar corrientes que

puedan destruir el circuito. La comprobación de estas reglas se realiza mediante la ejecución de una verificación específica denominada *Design Rule Check*.

Otro chequeo que se realiza es el la equivalencia entre el layout y el esquemático correspondiente. En esta comprobación se verifica que los patrones geométricos dispuesto en el layout coincidan con los estipulados en el diseño y que respeten la conectividad entre los dispositivos.

La elaboración del layout de un circuito integrado comienza con un *floorplan*. En esta etapa se hace una evaluación de la conectividad de los bloques en la que se analiza la interconexión de los bloques y las señales involucradas (alimentación, digitales, analógicas, referencias). En base a esta evaluación se posicionan los bloques con mayor interacción o con señales de alta velocidad de manera próxima entre ellos.

La distribución de potencia es otro aspecto a evaluar y planificar durante el *floorplan*. El objetivo es una obtener una distribución homogénea de las líneas de alimentación sobre todo el área de chip. El ancho de los metales comienza con un tamaño mayor desde los nodos de VDD y GND y se afinan a lo largo y ancho del chip.

La interacción entre señales sensibles al ruido y las señales que lo generan, por ejemplo las señales de referencia de tensión, también es evaluada en esta etapa de planificación. En general la inducción de ruido se produce a través del acople capacitivo entre las líneas. Las técnicas utilizadas comunmente son la separación de las líneas sensibles y el blindaje mediante líneas intermedias con conexión a masa de las líneas de alta velocidad. Evitar el cruce de señales de alta velocidad sobre las líneas de polarización y/o alimentación es otra manera de reducir el acople de ruido. Así como también la reducción del solapamiento de líneas que conectan *drains* con *gates* y la utilización del menor tamaño de posible de metal para el conexionado de líneas de alta velocidad, teniendo en cuentas los aspectos de electromigración.

Se analiza también los bloques con mayor generación de ruido y se los dispone de manera alejada, dentro de lo posible, de los bloques más sensibles. Por ejemplo un bloque digital y un generador de referencia construido a partir de un *band gap*. Es común agregar capacitores entre los nodos de alimentación en las inmediaciones de los bloques digitales para reducir la inducción de ruido.

La generación de calor también es analizada en esta etapa. Los bloques con mayor consumo

de potencia generan más calor. Por esta razón, se los aleja de los bloques sensibles a variaciones térmicas.

El desarrollo del *floorplan* también contempla el estudio de la simetría necesaria en algunas señales específicas (por ejemplo, las salidas del Transmisor) las cuales condicionan la disposición de los transistores y del conexionado con el exterior. Éste último, en conjunto con el análisis de distribución de potencia, crea un ordenamiento particular para el posicionamiento de los pads de conexionado con el exterior.

La realización del layout implica directamente el conexionado entre dispositivos. Este ruteo, como se lo denomina comúnmente, impacta en el desempeño final del circuito integrado ya que es inevitable la aparición de elementos (resistencias, capacitores e inductores) que no fueron tenidos en cuenta en el diseño inicial. La magnitud del impacto está asociada a la frecuencia de operación y a la calidad del layout. Para minimizar el impacto se utilizan líneas de metal con el tamaño necesario para cumplir con las restricciones de electromigración y se colocan la mayor cantidad de vías posible.

La realización del layout de algunos bloques específicos del Transmisor y del generador de reloj necesitan técnicas y cuidados especiales. El desempeño de muchos bloques analógicos depende de la semejanza entre dispositivos o *matching, en inglés*. Algunas de las técnicas o prácticas de layout comúnmente utilizadas se pueden encontrar en [15, 8].

A continuación se detallan los bloques de mayor importancia y el cuidado correspondiente que necesita:

Driver: el desarrollo del sistema de compensación de modo común asume que los transistores que conforman la carga activa, el par diferencial y las resistencias de sensado son idénticos, es decir, que tiene buen *matching*. Para que esta hipótesis sea cierta es necesario utilizar técnicas que reduzcan la pérdida de *matching* ya que es imposible hacer dos dispositivos idénticos. Las técnicas empleadas son *Cross couple*, *Common Centroid* junto con el agregado de transistores *Dummys*.

Otro aspecto que impacta en el desempeño del *Driver* es la simetría en las trayectorias entre de las señales de salida. Si bien este aspecto fue contemplado en el *floorplan* para el posicionamiento de los pads de salida, a la hora del conexionado final hay que prestar especial

atención en la utilización de los mismos niveles de metal y el número de vías para éstos nodos.

El *Driver* transporta una cantidad significativa de corriente, por esta razón, es necesario realizar un análisis cuidados del tamaño de las líneas de metales para cumplir electromigración, especialmente en la fuente de corriente ya que se suman las corrientes de las dos ramas.

La generación de ruido de sustrato y el ruido inducido a través del mismo también es un aspecto a tener en cuenta, principalmente en los transistores del par diferencial. Para mitigar el efecto se agregaron anillos de guarda.

Los cuidados antes mencionados también se aplicaron a los bloques *Pre-Driver*, *Acelerador* y *Oscilador controlado por tensión*.

Bloques digitales: se atendió principalmente a la minimización del área y a la reducción del cruce de señales de alta velocidad con rieles de potencia y/o referencia.

Filtro: el valor de las constantes de tiempo del filtro dependen del valor absoluto de los componentes. Por esta razón se utilizó el ancho de las resistencias fue de varias veces el ancho mínimo estimado para los dispositivos.

Siguiendo las recomendaciones para reducción de ruido de sustrato detalladas en [8], se optó por resistencias de polisilicio en lugar de las resistencias de difusión.

Generador de frecuencia: el cuidado a tener en cuenta para el layout de este bloque es la simetría, tanto en las líneas de alta velocidad como en la carga del oscilador controlado por tensión. La pérdida de simetría impacta en el ciclo de trabajo y el aumento en la carga impacta en la frecuencia de oscilación.

Bibliografía

- [1] *IEEE Standard for Low-Voltage Differential Signals (LVDS) for Scalable Coherent Interface (SCI)*, March 1996.
- [2] Alioto, M. y G. Palumbo: *Oscillation frequency in CML and ESCL ring oscillators*. IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, 48(2):210–214, Feb 2001, ISSN 1057-7122.
- [3] Bazes, M.: *Two novel fully complementary self-biased CMOS differential amplifiers*. IEEE Journal of Solid-State Circuits, 26(2):165–168, Feb 1991, ISSN 0018-9200.
- [4] Camacho-Galeano, E. M., C. Galup-Montoro y M. C. Schneider: *A $2\text{-}nW$ 1.1-V self-biased current reference in CMOS technology*. IEEE Transactions on Circuits and Systems II: Express Briefs, 52(2):61–65, Feb 2005, ISSN 1549-7747.
- [5] Chen, M., J. Silva-Martinez, M. Nix y M. Robinson: *Low-voltage low-power LVDS drivers*. IEEE Journal of Solid-State Circuits, 40(2):472–479, 2005, ISSN 0018-9200.
- [6] Chouhan, S.S. y K. Halonen: *A modified CMOS nano-power resistorless current reference circuit*. En *Ph.D. Research in Microelectronics and Electronics (PRIME), 2014 10th Conference on*, págs. 1–4, June 2014.
- [7] Christian C. Enz, François Krummenacher, E. A. V.: *An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications*. Analog Integrated Circuits and Signal Processing, (8):83–114, 1995.

- [8] Christopher Saint, J. S.: *IC Mask Design: Essential Layout Techniques*. McGraw-Hill Professional, 1st ed., May 2002.
- [9] Falcon, A., E. O. Lindstrom y M. B. D'Amico: *Modeling and control of a flyback converter to drive a dimmable LED array*. En *2016 IEEE Biennial Congress of Argentina (ARGENCON)*, págs. 1–6, June 2016.
- [10] Galup-Montoro, C., M. C. Schneider, A. I. A. Cunha, F. R. de Sousa, H. Klimach y O. F. Siebel: *The Advanced Compact MOSFET (ACM) Model for Circuit Analysis and Design*. En *2007 IEEE Custom Integrated Circuits Conference*, págs. 519–526, Sept 2007.
- [11] Gardner, F.: *Charge-Pump Phase-Lock Loops*. IEEE Transactions on Communications, 28(11):1849–1858, Nov 1980, ISSN 0090-6778.
- [12] Gene F. Franklin, J. D. P.: *Feedback control of dynamic systems*. Addison-Wesley, 1994.
- [13] Gupta, H., R. M. Parmar y R. Dave: *High speed LVDS driver for SERDES*. En *International Conference on Emerging Trends in Electronic and Photonic Devices Systems, 2009. ELECTRO '09*, págs. 92–95, 2009.
- [14] Hajimiri, A., S. Limotyrakis y T. H. Lee: *Jitter and phase noise in ring oscillators*. IEEE Journal of Solid-State Circuits, 34(6):790–804, Jun 1999, ISSN 0018-9200.
- [15] Hastings, A.: *The Art of Analog Layout*. Pearson, July 2005.
- [16] Hedenstierna, N. y K. Jeppson: *CMOS Circuit Speed and Buffer Optimization*. Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on, 6(2):270–281, March 1987, ISSN 0278-0070.
- [17] Larsson, P.: *Measurements and analysis of PLL jitter caused by digital switching noise*. IEEE Journal of Solid-State Circuits, 36(7):1113–1119, Jul 2001, ISSN 0018-9200.
- [18] Liu, W., W. Khalil, M. Ismail y E. Kussener: *A resistor-free temperature-compensated CMOS current reference*. En *Proceedings of 2010 IEEE International Symposium on Circuits and Systems*, págs. 845–848, May 2010.

- [19] Lu, H., H. W. Wang, C. Su y C. N. Liu: *Design of an All-Digital LVDS Driver*. Circuits and Systems I: Regular Papers, IEEE Transactions on, 56(8):1635–1644, 2009, ISSN 1549-8328.
- [20] Obregon, P. D. P., A. Falcon, M. D. Federico, P. S. Mandolesi y P. M. Julian: *Sensor Network for Endotracheal Pressure Measurements in Hospital Environments*. IEEE Latin America Transactions, 9(4):498–502, July 2011, ISSN 1548-0992.
- [21] Park, W. y S. C. Lee: *Design of LVDS driver based CMOS transmitter for a high speed serial link*. En *Electronics and Information Engineering (ICEIE), 2010 International Conference On*, vol. 1, págs. V1–300–V1–302, Aug 2010.
- [22] Razavi, B.: *Design of Monolithic Phase Locked Loops and Clock Recovery Circuits - A Tutorial*, págs. 1–39. Wiley-IEEE Press, 1996, ISBN 9780470545331. <http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=5263316>.
- [23] Razavi, B.: *Design of Analog CMOS Integrated Circuits*. McGraw Hill Higher Education, first edition ed., Oct. 2003, ISBN 0071188398.
- [24] Reyes, B. T., G. Paulina, L. Tealdi, E. Labat, R. Sanchez, P. S. Mandolesi y M. R. Hueda: *A 1.6Gb/s CMOS LVDS transmitter with a programmable pre-emphasis system*. En *Circuits and Systems (LASCAS), 2014 IEEE 5th Latin American Symposium on*, págs. 1–4, Feb 2014.
- [25] Sondon, S., A. Falcon, P. Mandolesi, P. Julián, N. Vega, F. Nesprías, J. Davidson, F. Palumbo y M. Debray: *Diagnose of radiation induced single event effects in a PLL using a heavy ion microbeam*. En *2013 14th Latin American Test Workshop - LATW*, págs. 1–5, April 2013.
- [26] Vittoz, E. y J. Fellrath: *CMOS analog integrated circuits based on weak inversion operations*. IEEE Journal of Solid-State Circuits, 12(3):224–231, Jun 1977, ISSN 0018-9200.
- [27] Weigandt, T. C.: *Low-Phase-Noise, Low-Timing-Jitter Design Techniques for Delay Cell Based VCOs and Frequency Synthesizers*. Tesis de Doctorado, Massachusetts Institute of Technology, 1991.

- [28] Zhu, Z., L. Liu y Y. Yang: *A high speed self-biased CMOS amplifier IP core*. En *Proceedings of 2005 IEEE International Workshop on VLSI Design and Video Technology, 2005.*, págs. 6–9, May 2005.
- [29] Zongxiong, Y., L. Xiaohua, L. Huihua, L. Lei y Z. Wanting: *LVDS driver design for high speed serial link in 0.13um CMOS technology*. En *International Conference on Computational Problem-Solving (ICCP) 2011*, págs. 145–148, 2011.
- [30] Łukaszewicz, M., T. Borejko y W.A. Pleskacz: *A resistorless current reference source for 65 nm CMOS technology with low sensitivity to process, supply voltage and temperature variations*. En *Design and Diagnostics of Electronic Circuits Systems (DDECS), 2011 IEEE 14th International Symposium on*, págs. 75–79, April 2011.

Glosario

Top Down En la práctica, ésta puede verse como una estrategia para enseñar, un estilo de elaborar ideas o resolver problemas. Escencialmente consiste en comenzar desde aspectos más generales y comenzar a dividirlos y profundizar en cada una de estas divisiones hasta llegar a una definición completa de cada uno de los elementos. 48

AC siglas del inglés *Alternating current*, utilizado para hacer referencia a señales de alterna. 6

Bond pad es el nombre de la estructura que se prevee en los circuitos integrados para realizar el Wire bonding. 35

CMFB siglas del inglés *Common Mode Feedback*. 11, 15

CMOS Es una de las familias lógicas empleadas en la fabricación de circuitos integrados (del inglés *Complementary Metal Oxide Semiconductor*). Su principal característica consiste en la utilización conjunta de transistores complementarios, nMOS y pMOS, logrando un consumo considerablemente bajo en estado de reposo. En la actualidad, la mayoría de los circuitos integrados que se fabrican utilizan la tecnología CMOS, incluyendo microprocesadores, memorias y procesadores digitales de señales entre otros. 5, 12, 15, 18, 30

DC siglas del inglés *Direct current*, utilizado para hacer referencia a señales de continua. 6, 15, 25, 48

DCS *Double Current Source*. 13

DF Detector de Fase. 47, 51

die Un die es un pequeño bloque de silicio, sobre el que se fabrica un circuito integrado. Por lo general, los circuitos integrados se fabrican en grandes cantidades en una única oblea de silicio a través de procesos comerciales. La oblea es cortada en muchos pedazos, cada uno conteniendo un circuito independiente. A cada uno de estas pedazos se les llama die. 35

ECL siglas del inglés *Emmitter Coupled Logic*. 6

FPB Filtro Pasa Bajo. 47, 48

FPGA Siglas en inglés *Field Programmable Gate Array*, s un dispositivo electrónico que contiene bloques de lógica cuya interconexión puede ser configurada mediante un lenguaje de descripción de hardware. La lógica utilizada puede incluir desde funciones sencillas hasta complejos sistemas en chip. Las FPGAs se utilizan en aplicaciones similares a los ASICs sin embargo son más lentas, tienen un mayor consumo de potencia y no pueden abarcar sistemas tan complejos. A pesar de esto, tienen las ventajas de ser reprogramables y sus costos de desarrollo son mucho menores. 1, 19

GISEE Grupo de Investigación en Sistemas Electrónicos y Electromecatrónicos. 1, 9

IEEE *Institute of Electrical and Electronics Engineers*. 3, 10

IP siglas del inglés *Intellectual Property*. 2

LS un *Level Shifter* es un circuito digital utilizado para traducir señales de un nivel lógico o voltage a otro, permitiendo la compatibilidad entre circuitos integrados por ejemplo, TTL y CMOS. 12

LVDS siglas del inglés *Low Voltage Differential Signaling*. 3, 6, 10–12, 14, 16, 19, 21

Matlab Suite de herramientas de software matemático comúnmente utilizadas en ingeniería. Cuenta con una arquitectura de plugins o *toolboxes*, que le permiten agregar funcionalidades extra como manejo de equipos de medición por GPIB, funciones de análisis de señales y algoritmos de control, entre otras. 34, 48

PCB circuito impreso. 35, 109

PLL *Phase Lock Loop*. 47–49

PVT siglas del inglés para *Proces, Voltage and Temperature*. 9, 10, 34, 49

SCS *Switchabel Current Source*. 13

UNS Universidad Nacional del Sur. 1

VCO Oscilador Controlado por tensión, más conocido por su nombre en inglés *Voltage Controlled Oscillator* . 47–50

Wire bonding es el nombre del método utilizado para hacer interconexiones entre circuitos integrados, otros dispositivos semiconductores y el encapsulado. Aunque no es muy frecuente, se suele utilizar para conectar los circuitos integrados a las placas PCB. 35, 107

