



UNIVERSIDAD NACIONAL DEL SUR

TESIS DE DOCTOR EN INGENIERÍA

---

**Diseño y Metodologías de Validación en  
Sistemas Microelectrónicos Tolerantes a Fallas  
Inducidas por Radiación**

---

Ing. Santiago M. SONDON

BAHÍA BLANCA

ARGENTINA

2014

Copyright ©2014 Santiago M. Sondon

Quedan reservados todos los derechos.

Ninguna parte de esta publicación puede ser reproducida, almacenada o transmitida de ninguna forma, ni por ningún medio, sea electrónico, mecánico, grabación, fotocopia o cualquier otro, sin la previa autorización escrita del autor.

Queda hecho el depósito que previene la ley 11.723.

Impreso en Argentina.

ISBN XXX-XXX-XXXX-XX-X

Mayo de 2014





# Prefacio

Esta tesis se presenta como parte de los requisitos para optar al grado académico de Doctor en Ingeniería, de la la Universidad Nacional del Sur y no ha sido presentada previamente para la obtención de otro título en esta Universidad u otra. La misma contiene los resultados obtenidos en investigaciones realizadas en el ámbito del Departamento de Ingeniería Eléctrica y Computadoras en el período comprendido entre Octubre del 2007 y Abril del 2014, bajo la dirección del Dr. Pablo Mandolesi y del Dr. Félix Palumbo.

Bahía Blanca, 7 de mayo de 2014.

Santiago M. SONDON

Departamento de Ingeniería Eléctrica y de Computadoras  
UNIVERSIDAD NACIONAL DEL SUR



UNIVERSIDAD NACIONAL DEL SUR  
Secretaría General de Posgrado y Educación Continua

La presente tesis ha sido aprobada el 18/06/2014, mereciendo la calificación de 10 (Diez)



# Resumen

El presente trabajo de investigación aborda la problemática del daño por radiación en dispositivos, circuitos y sistemas microelectrónicos, situación que se presenta habitualmente cuando los mismos son utilizados en aplicaciones espaciales o nucleares. Durante el desarrollo de la tesis se propone una metodología integrada por diferentes técnicas de diseño que permiten incrementar la tolerancia a este tipo de fallas en los sistemas. Asimismo, se detallan los ensayos de radiación realizados para validar la metodología y las contribuciones aportadas en dichos procedimientos. El material presentado se articula en dos partes, dividiéndose el mismo en función del tipo de fenómeno con el que se pueden asociar los distintos tipos de fallas inducidas por radiación. En la primera parte se presenta el problema de daño acumulativo, mientras que en la segunda se trata el problema de errores producidos por fallas transitorias. En ambas partes se introduce primero la problemática, para luego pasar a detallar lo realizado para combatir sus efectos y finalmente describir los procedimientos de validación experimental. Temas como tecnología CMOS, entorno de radiación espacial y metodología de selección de partes para misiones espaciales han sido incorporados en apéndices, a modo de referencia. La validez de la metodología propuesta se encuentra respaldada con la fabricación de más de seis circuitos integrados, donde las implementaciones físicas de los diseños fueron realizadas en diversas tecnologías modernas utilizando las técnicas propuestas. Los resultados experimentales fueron obtenidos durante la realización de diversos ensayos de irradiación en aceleradores de partículas con iones pesados y protones de alta energía.





# Abstract

This research deals with the issues that arise due to radiation damage in microelectronic devices, circuits and systems, a situation that occurs often in nuclear and space applications. Throughout this thesis, a method will be presented that is composed of different design techniques that aim to increase the system's tolerance to this type of damage. Furthermore, radiation experiments are presented which serve both to validate this methodology and also provide valuable contributions on the subject. The text is presented in two parts, each studying one phenomena that can be associated with a certain type of system failure induced by radiation. The first part introduces the effects of cumulative damage while the second part deals with errors that occur due to sudden failures or conditions. Each part is structured as follows: the main problem is introduced, the possible solutions are presented and finally the experiments that validate the methods are explained. Complementary data which includes CMOS technology, space radiation environment and part selection methodology for space missions is included in the form of appendixes, to provide background information. The main body of work is validated by the design and fabrication of over six different integrated circuits in several modern technologies using the proposed techniques. The results of several radiation tests were obtained in particle accelerators through the use of heavy ions and high-energy protons.



# Agradecimientos

Agradezco a mis directores por brindarme su confianza y la asistencia para que este trabajo de investigación pudiera ser realizado. A CONICET y ANPCyT por las becas otorgadas. Al Departamento de Ingeniería Eléctrica y Computadoras de la Universidad Nacional del Sur y a todos los miembros del Grupo de Investigación en Sistemas Electrónicos y Electromecatrónicos (GISEE) por brindarme el espacio y los medios para el desarrollo de esta tesis. A los compañeros de laboratorio por su ayuda, por las valiosas discusiones y el ejemplo a través de su espíritu de superación. A los investigadores de CNEA e INTI por su cooperación desinteresada. A la profesora María Cristina Sansó por la revisión ortográfica y gramatical del manuscrito. A mi familia y a los amigos por estar siempre. A Guadalupe por su cuidado, su amor y su paciencia.



# Índice general

Introducción	1
<b>I Daño acumulativo por radiación</b>	<b>11</b>
<b>1. Problemática de daño acumulativo por radiación</b>	<b>13</b>
1.1. Introducción . . . . .	13
1.2. Dispositivos Semiconductores Expuestos a Radiación . . . . .	14
1.2.1. Exposición a dosis prolongadas . . . . .	14
1.2.2. Degradación de la movilidad . . . . .	17
1.3. Técnicas actuales de endurecimiento contra radiación . . . . .	18
1.3.1. Escalado . . . . .	18
1.3.2. Técnicas de aumento de tolerancia a radiación . . . . .	20
1.3.3. Evidencia experimental reportada en la bibliografía . . . . .	23
1.3.4. Librerías de circuitos endurecidos contra radiación . . . . .	24
1.4. Conclusiones . . . . .	26
<b>2. Biblioteca de circuitos basales endurecidos</b>	<b>27</b>
2.1. Introducción . . . . .	27
2.2. Diseño de circuitos basales endurecidos . . . . .	29
2.2.1. Metodología de diseño . . . . .	29
2.2.2. Tecnologías utilizadas . . . . .	30
2.2.3. Proceso de diseño . . . . .	30
2.2.4. Caracterización de la biblioteca . . . . .	32
2.3. Diseño de bibliotecas en otros procesos . . . . .	38
2.3.1. Transistores de alto voltaje . . . . .	39
2.3.2. Amplificador operacional de transconductancia (OTA) . . . . .	41
2.4. Conclusiones . . . . .	45

<b>3. Ensayos de daño acumulativo por radiación</b>	<b>47</b>
3.1. Introducción . . . . .	47
3.2. Ensayos de irradiación realizados . . . . .	48
3.2.1. Irradiación de las muestras . . . . .	51
3.3. Caracterización de las muestras . . . . .	53
3.3.1. Caracterización de transistores estándar de alto voltaje . . . . .	54
3.3.2. Caracterización de transistores endurecidos por diseño . . . . .	54
3.3.3. Mediciones en un inversor lógico . . . . .	56
3.4. Conclusiones . . . . .	59
<b>II Efectos transitorios</b>	<b>61</b>
<b>4. Problemática de fallas transitorias</b>	<b>63</b>
4.1. Introducción . . . . .	63
4.2. Efectos transitorios . . . . .	64
4.2.1. Fallas en circuitos por efectos transitorios . . . . .	64
4.3. Técnicas para mitigar efectos transitorios . . . . .	67
4.3.1. Circuitos Basales Endurecidos . . . . .	67
4.3.2. Redundancia espacial . . . . .	68
4.3.3. Redundancia temporal . . . . .	69
4.3.4. Redundancia temporal y espacial simultánea . . . . .	69
4.3.5. Redundancia lógica . . . . .	70
4.3.6. Detección de fallas . . . . .	71
4.4. Conclusiones . . . . .	71
<b>5. Diseños para mitigar efectos transitorios</b>	<b>73</b>
5.1. Introducción . . . . .	73
5.2. Elementos basales tolerantes a fallas transitorias . . . . .	74
5.3. Redundancia lógica y sensores embebidos . . . . .	75
5.3.1. Redundancia lógica . . . . .	75
5.3.2. Sensores embebidos . . . . .	76
5.3.3. Caso de aplicación en endurecimiento de memoria . . . . .	79
5.4. Uso de redundancia espacial y temporal . . . . .	83
5.4.1. Microcontrolador de alta fiabilidad . . . . .	84
5.4.2. Sistema propuesto . . . . .	85
5.4.3. Arquitectura openMSP430 . . . . .	86

<i>ÍNDICE GENERAL</i>	XV
5.4.4. Ciclos y longitud de instrucción . . . . .	87
5.4.5. Consideraciones de diseño . . . . .	87
5.4.6. Flujo de diseño implementado . . . . .	88
5.4.7. Implementación Física . . . . .	89
5.4.8. Mediciones . . . . .	89
5.5. Conclusiones . . . . .	90
<b>6. Ensayos de fallas transitorias</b>	<b>91</b>
6.1. Introducción . . . . .	91
6.2. Ensayos de robustez frente a partículas de alta energía . . . . .	92
6.2.1. Metodología propuesta . . . . .	92
6.2.2. Caso de estudio . . . . .	93
6.2.3. Línea del micro-haz de iones pesados . . . . .	94
6.2.4. Experimento de irradiación . . . . .	97
6.3. Conclusiones . . . . .	99
<b>Conclusiones</b>	<b>103</b>
<b>Apéndices</b>	<b>105</b>
<b>A. Tecnología CMOS</b>	<b>107</b>
<b>B. Radiación en ambiente espacial</b>	<b>115</b>
<b>C. Metodología de selección de partes</b>	<b>123</b>
<b>Bibliografía</b>	<b>135</b>





*...a mi viejo (Jacques) por su sacrificio para poder sustentar mi educación universitaria y a quienes supieron ver el diamante donde los demás veían la roca...*



# Introducción

Los sistemas electrónicos representan uno de los principales pilares del desarrollo tecnológico contemporáneo. Su presencia es transversal en un sinnúmero de actividades realizadas por el hombre, entre las que destacan las comunicaciones, el procesamiento de la información, el control de los procesos productivos, el transporte y la generación y distribución de energía, entre otras. La adopción y el éxito de esta tecnología se debe principalmente a la enorme utilidad que brindan los sistemas que pueden ser implementados con ella. Utilidad que está basada principalmente en la cantidad y diversidad de funciones que se pueden llevar a cabo, la velocidad con que es posible realizarlas y el bajo consumo energético requerido. Recientemente, grandes avances en la tecnología microelectrónica han sido posibles gracias a la reducción en el tamaño de los dispositivos, lo que permite lograr un mayor nivel de integración con cada paso en su evolución. Esto es posible gracias a la realización de grandes esfuerzos en disciplinas como la Ciencia de Materiales y la Óptica, entre otras. Asimismo, como contrapartida asociada a este avance se ha observado que los sistemas se han vuelto mucho más propensos a fallar, debiéndose esto principalmente a la reducción de los tamaños característicos, los niveles de alimentación utilizados y el aumento de la frecuencia de operación de los sistemas. El desarrollo tecnológico en áreas como la aeroespacial o la generación de energía nuclear es de suma importancia para cualquier sociedad por su naturaleza estratégica y de alto valor económico. La Medicina Nuclear es de gran ayuda para mejorar la salud de las personas mientras que la Física de Partículas es relevante para la ciencia al permitir expandir la frontera del conocimiento. El uso de circuitos microelectrónicos en estas áreas presenta en común una problemática adicional, ya que los mismos pueden ser afectados por el severo ambiente de radiación donde deben operar. Simultáneamente, estos sistemas deben brindar un alto nivel de fiabilidad al ejecutar tareas de naturaleza crítica, donde se pueden comprometer vidas humanas, el medio ambiente e importantes inversiones económicas.

## Metodología y objetivos

Esta investigación propone una metodología integral para abordar la problemática del daño por radiación en sistemas microelectrónicos. El objetivo es poder dar tratamiento a los principales temas que se presentan en esta disciplina y aportar soluciones para los problemas involucrados como así también desarrollar técnicas para poder realizar su diagnóstico. En adelante, se denominará *robustecer* o *endurecer* un dispositivo, circuito o sistema, al hecho de aplicar técnicas para que el mismo sea tolerante al daño que produciría la radiación bajo reglas de diseño convencionales. En ocasiones no es posible reducir completamente la degradación que se produce, pero sí *mitigar* su efecto. Cualquier técnica que sea propuesta para evitar fallas producidas por radiación debe ser validada a través de experimentos, mostrando los beneficios que la misma aporta. Los próximos capítulos presentan distintas técnicas de endurecimiento propuestas y las respectivas metodologías de irradiación para su validación. Si bien existen varias tecnologías de dispositivos semiconductores, el trabajo realizado en esta investigación ha sido orientado a proveer soluciones en los procesos CMOS estándar por las excelentes prestaciones que los mismos poseen, su accesibilidad y bajo costo, además de ser los de mayor uso en la industria. En el apéndice A se brinda información sobre esta tecnología como referencia.

## Estructura

Durante el desarrollo de esta tesis, la problemática es abordada desde dos enfoques distintos, que quedan definidos a partir de los efectos que la radiación produce en la electrónica.

El primer grupo de efectos que han sido observados y descriptos en la literatura se encuadran en una degradación a la que se denomina *por daño acumulativo* y está asociada a cambios en las características de los dispositivos electrónicos, afectando de manera transitiva el desempeño de los circuitos que ellos componen. En este caso se trata de un fenómeno progresivo, donde los lapsos de tiempo en que un circuito se degrada a un nivel prohibitivo pueden ir desde segundos hasta años, dependiendo del nivel de tolerancia y la cantidad de radiación que el circuito reciba, a la que llamaremos *dosis* o *fluencia* en función del contexto. Los detalles de esta problemática son presentados en el capítulo 1, mientras que las contribuciones realizadas para lidiar con ella se exponen en el capítulo 2. En el caso de aplicaciones espaciales es prácticamente imposible reemplazar partes, por lo que las mismas deben resistir una dosis equivalente a la que recibirían durante el tiempo útil de una misión con un margen de seguridad satisfactorio. Debido a que es importante disponer de un contexto real donde se aplican los temas abordados, en el apéndice C se brindan detalles sobre el proceso de selección de partes para misiones espaciales. Desde

el punto de vista del diseño y su validación por medio de ensayos, el principal desafío está en lograr en tiempos acotados una degradación realista equivalente a la que se produciría a lo largo de varios años de operación. La metodología utilizada para ensayos de radiación acumulativa y su implementación es descrita en el capítulo 3. Los resultados descritos en esta parte han sido publicados en [1], [2] y [3]. Detallándose las contribuciones en la realización de circuitos digitales tolerantes a radiación, transistores de alto voltaje y la implementación de amplificadores operacionales de transconductancia.

En el segundo grupo de efectos se encuentran los que son denominados *transitorios*, y están asociados a fenómenos de deposición instantánea de energía en regiones acotadas del espacio. Esta situación se presenta cuando una partícula impacta en una región del circuito físico. Dependiendo de las condiciones en que el fenómeno suceda estos efectos en su mayoría afectan el comportamiento del sistema ya que pueden alterar valores almacenados en elementos de memoria, generar señales falsas en circuitos lógicos, degradar los materiales de forma localizada o activar estructuras parásitas cortocircuitando la alimentación del circuito. Estos problemas son descritos en el capítulo 4, mientras que las soluciones propuestas para atacarlos son dadas en el capítulo 5. Respecto del diseño realizado para incrementar la tolerancia a fallas transitorias se destacan las contribuciones realizadas contra fallos transitorios, en memorias y a nivel de sistemas que fueron publicados en [4],[5] y [6] respectivamente. Al igual que en el caso de la problemática de daño acumulativo es menester realizar ensayos equivalentes a los que suceden en los ambientes reales de operación, por lo que en el capítulo 6 se propone una metodología para ensayos de efectos transitorios, se detalla su implementación y se muestran los resultados obtenidos. Los resultados obtenidos fueron publicados en [7].

Finalmente, se dan las conclusiones referentes a los resultados obtenidos a través de esta investigación.

## Conceptos preliminares y definiciones

Para poder explicar la problemática asociada a la radiación en semiconductores es necesario presentar algunos conceptos preliminares. En primer lugar es necesario identificar los ambientes y momentos en los que pueden suceder estas interacciones. Así también, se debe realizar la descripción de lo que se entiende por *radiación* en el sentido deseado, individualizando las fuentes de radiación (*especies*) y detallando las posibles energías que se encuentran en ambientes típicos. Por último, las técnicas utilizadas para endurecer los circuitos contra radiación atacan los distintos tipos de problemas que se pueden presentar, pudiéndose realizar una clasificación en base a la estrategia a utilizar. A continuación se brindan los conceptos preliminares y definiciones para cada uno de estos temas.

## Ambientes de radiación

Son los lugares donde se utilizarán los sistemas objeto de diseño y que por sus características o su dedicación reciben irradiación de partículas. En los diseños electrónicos habituales estos elementos no son considerados porque la radiación existente es despreciable a niveles prácticos. A modo de ejemplo se clasifican los ambientes tipos y orígenes donde la radiación esta presente.

- A nivel terrestre se puede recibir radiación que proviene del decaimiento natural de elementos radiactivos.
- A nivel atmosférico, los principales agentes que pueden estar presentes son neutrones que no pueden ser frenados por los campos magnéticos de la tierra.
- Las órbitas terrestres poseen altas concentraciones de protones y electrones retenidos por los cinturones magnéticos de Van Allen.
- En las órbitas solares e interestelares se encuentran iones pesados altamente energéticos provenientes del sol y de la radiación cósmica.
- En cualquiera de los ambientes anteriores es posible encontrar rayos X, fotones gamma y radiación electromagnética.

Para mayor información en cuanto a los ambientes de radiación espacial, es posible consultar el apéndice B, en el que se describen con mayor nivel de detalle la naturaleza y características de cada uno de ellos.

## Radiactividad y tipos de radiación

Se denomina radiactividad a procesos de la materia en los cuales se emiten partículas y/o radiación electromagnética. El fenómeno puede ser espontáneo o puede ser forzado por el hombre. Se dice entonces que cualquier sustancia que esté expuesta a tales agentes, está recibiendo una *irradiación*. Este fenómeno es bastante corriente en la atmósfera terrestre, debido a la acción del sol y de los rayos cósmicos provenientes de la galaxia. Además, por emisión espontánea sucede comúnmente en nuestro entorno y en el universo en general, debido a que solo el doce por ciento de los núcleos conocidos que conforman la materia son estables, por lo que la mayoría de éstos se desintegra para formar otros núcleos emitiendo algún tipo de radiación. El nivel de radiactividad en un material está asociado al tiempo que demoran estos procesos, que pueden ir desde fracciones de micro-segundos hasta miles de millones de años. A continuación se detalla los orígenes y nombres asignados a los distintos tipos de radiación existente:

- *Desintegración alfa:* Esta radiación tiene su origen cuando los núcleos inestables se desintegran formando nuevos núcleos y emiten partículas denominadas alfa o beta. Una partícula alfa es el núcleo de un isótopo de Helio  ${}^4\text{He}$ , es decir dos protones unidos con dos neutrones con espín igual a cero. Un ejemplo familiar de radiación alfa se presenta en el Radio (Ra), que emite estas partículas a una velocidad de  $1,52 \times 10^7$  m/s, lo que representa una gran energía cinética de 4,8 MeV. La desintegración alfa es posible únicamente cuando la masa del átomo neutro original sea mayor que la suma de las masas del átomo neutro final y del átomo neutro  ${}^4\text{He}$ .
- *Desintegración beta:* Hay tres tipos diferentes de desintegración beta: beta menos, beta más, y captura electrónica. Una partícula beta menos ( $\beta^-$ ) es un electrón. La emisión de una partícula  $\beta^-$  implica la transformación de un neutrón en un protón, un electrón, y un antineutrino. Cuando un neutrón se libera de un núcleo inestable, se desintegra de esta manera manteniendo el balance de carga y masa, los tiempos medios de estos procesos llegan a unos 15 minutos. La desintegración  $\beta^-$  suele ocurrir con núcleos en los que la razón neutrón a protón  $N/Z$  es demasiado grande como para tener estabilidad. La misma puede ocurrir siempre que la masa atómica neutra del átomo sea mayor que la del átomo final. El isótopo radiactivo de Cobalto ( ${}^{60}\text{Co}$ ) es un ejemplo de emisor  $\beta^-$ , siendo este utilizado con frecuencia para aplicaciones en medicina. En contraposición al caso anterior, en los materiales cuyos núcleos en los que  $N/Z$  es demasiado pequeña para tener estabilidad, pueden emitir un positrón, la antipartícula del electrón. El proceso básico llamado desintegración beta más ( $\beta^+$ ) consiste en que un protón que se desintegra en un neutrón, un positrón y un neutrino. Esta puede ocurrir si la masa atómica neutra del átomo es al menos dos masas de electrón mayor que la del átomo final. El tercer tipo de desintegración beta es la captura electrónica. Hay unos pocos núcleos para los cuales la emisión  $\beta^+$  no es energéticamente posible, pero en los cuales un electrón orbital puede combinarse con un protón del núcleo para formar un neutrón y un neutrino. La captura electrónica puede ocurrir siempre que la masa atómica neutra del átomo original sea mayor que la del átomo final.
- *Desintegración Gamma:* La energía del movimiento interno de un núcleo está cuantizada. Un núcleo típico tiene un conjunto de niveles de energía permitidos, incluido el estado fundamental (el de más baja energía) y varios estados excitados. En las transformaciones físicas y químicas ordinarias, el núcleo permanece en su estado fundamental. Cuando un núcleo alcanza un estado excitado, ya sea por bombardeo con partículas de alta energía o por transformación radioactiva, puede desintegrarse al estado fundamental emitiendo uno o más fotones, con enormes cantidades de energía, entre 10 keV y hasta 5 MeV comparadas con los simples niveles de energías atómicas de 1 eV. A este proceso y sus emisiones se los

llama desintegración y rayos gamma ( $\gamma$ ), respectivamente. Por ejemplo, cuando el Radio (Ra) sufre una desintegración alfa en el estado menor de energía, el núcleo queda en un estado excitado y luego se desintegra a su estado fundamental emitiendo un fotón gamma de 186 keV de energía.

- *Rayos X*: Los rayos X se producen cuando electrones en movimiento, cargados con alta energía, inciden sobre un blanco metálico. Los potenciales eléctricos necesarios para acelerar estos electrones y cargarlos de energía suficiente para la emisión de rayos X se encuentran entre el kV y el MV. Los fotones de estos rayos son similares a los de la luz ordinaria, por lo que su energía se relaciona directamente con su frecuencia y longitud de onda, siendo ésta última variable entre 0,001 nm y 1 nm. En la emisión de rayos X intervienen dos procesos diferentes. En el primero, algunos electrones son retardados por el blanco y parte o toda su energía se convierte en un espectro de fotones, incluyendo rayos X. Este proceso se llama *bremssstrahlung*, o radiación de frenado. El segundo proceso produce picos en el espectro de rayos X a frecuencias y longitudes de onda características que no dependen del material del blanco. Otros electrones, si tienen suficiente energía cinética, pueden transferir parcial o completamente esta energía a átomos individuales dentro del blanco. Estos átomos se quedan en estados excitados, y cuando vuelven a su estado fundamental, pueden emitir fotones de rayos X. Se debe notar que en la producción de estos rayos se producen transiciones en las capas internas del átomo, lo que justifica los niveles de energía implicados en el proceso.
- *Rayos Cósmicos*: Gran cantidad de partículas alcanzan continuamente la tierra desde fuentes que están mas allá de nuestra galaxia. Estas partículas consisten principalmente en neutrinos, protones y núcleos pesados, con energías que varían desde menos de 1 MeV a mas de  $10^{14}$  MeV. La atmósfera y los campos magnéticos protegen a la tierra de esta radiación, pero la misma está presente en órbitas solares y en el espacio interestelar.

## Endurecimiento contra radiación

El endurecimiento de sistemas contra radiación depende de múltiples factores, que se encuentran asociados a las especificaciones requeridas, como así también a las tecnologías disponibles. Para ello, se debe definir una estrategia que utilice técnicas aisladas o combinaciones de las mismas. En general se trata de una solución de compromiso, en la que se deben evaluar las soluciones posibles. El objetivo es encontrar la mejor combinación de desempeño, consumo, costo y tolerancia a radiación del sistema que cumpla con los requerimientos del proyecto. Como es común en la mayoría de los problemas la ingeniería, no hay soluciones universales, por lo que se



debe confrontar el compromiso de resignar prestaciones en una de las características para poder mejorar otra.

Una forma posible para endurecer un sistema es utilizar un proceso específico construido con materiales inherentemente resistentes a la radiación por sus características físicas. Si bien estos procesos pueden tener mejoras para evitar fallos transitorios, en general sus ventajas se presentan en el campo del daño acumulativo. Esto se debe a que sus mejoras se logran a través la tecnología, los materiales y los métodos utilizados para su construcción, mientras que los fallos transitorios están asociados a perturbaciones del funcionamiento que dependen más de los usos y tamaños característicos de los dispositivos. Como se explicará más adelante, si un proceso es inherentemente tolerante a fallos transitorios en general este será lento. Esto se debe a que estas fallas se asocian al tamaño de los dispositivos, característica que es inversamente proporcional a la máxima frecuencia con que pueden operar. Este enfoque puede ser utilizado cuando el diseño se realiza en conjunto con el fabricante del proceso.

Cuando no es posible acceder a un proceso como el mencionado anteriormente que cumpla con las especificaciones requeridas, la segunda forma de endurecer un sistema contra radiación es a través del uso de una metodología que combine técnicas de diseño sobre un proceso comercial estándar. Las técnicas a utilizar en este caso pueden servir tanto para el endurecimiento contra daño acumulativo como así también para mitigar fallas por efectos transitorios. A continuación se definen las alternativas posibles:

- **Circuitos Basales Endurecidos:** Los sistemas electrónicos son implementados a partir de dispositivos y circuitos que integran su esquema o arquitectura. De esta forma si se dispone de dispositivos que son tolerantes a la radiación (por medio de diseño o uso de tecnologías especiales) se pueden realizar los diseños por medio de las técnicas habituales. Los elementos basales son generalmente circuitos estándar como compuertas lógicas, operadores aritméticos, amplificadores y otros generalmente agrupados en bibliotecas.
- **Redundancia Espacial:** Una manera de evitar los fallos de funcionamiento producidos por la radiación que afecta en forma local, es dotar al sistema de redundancia por medio de la repetición física o espacial de sus funciones; distribuidas en el área ocupada por el diseño de forma de que la probabilidad de fallos simultáneos sea muy baja. Esta técnica conlleva la toma de decisión o arbitraje cuando todas las instancias no concluyen el mismo resultado.
- **Redundancia Temporal:** Otra manera de evitar los fallos de funcionamiento producidos por la radiación que afecta en forma temporal, es dotar al sistema de redundancia por medio de la repetición sucesiva de la evaluación. Esto es realizar la lógica del diseño de forma que el circuito compute el mismo resultado varias veces a lo largo del correr del tiempo

aislando el evento que provoca el fallo a una de ellas y luego decidir por arbitraje el valor final correcto.

- Redundancia Lógica: Para el caso de fallas que afectan a nivel local, es posible contemplar en el diseño de los sistemas su radio de acción e inmunizar los circuitos ante eventos. Para ellos se debe incrementar la complejidad de las representaciones de los datos de forma que haciendo uso de operaciones lógicas se pueda corregir los elementos alterados por la radiación.
- Detección de Fallas: Este método es similar al de redundancia temporal, con la salvedad que no hay repeticiones ni arbitrajes. Al sistema se le incorporan elementos de detección capaces de dar a conocer la ocurrencia de un evento de radiación. Con esta certeza, se procede con acciones que mitiguen su efecto según se proponga en la lógica del diseño.

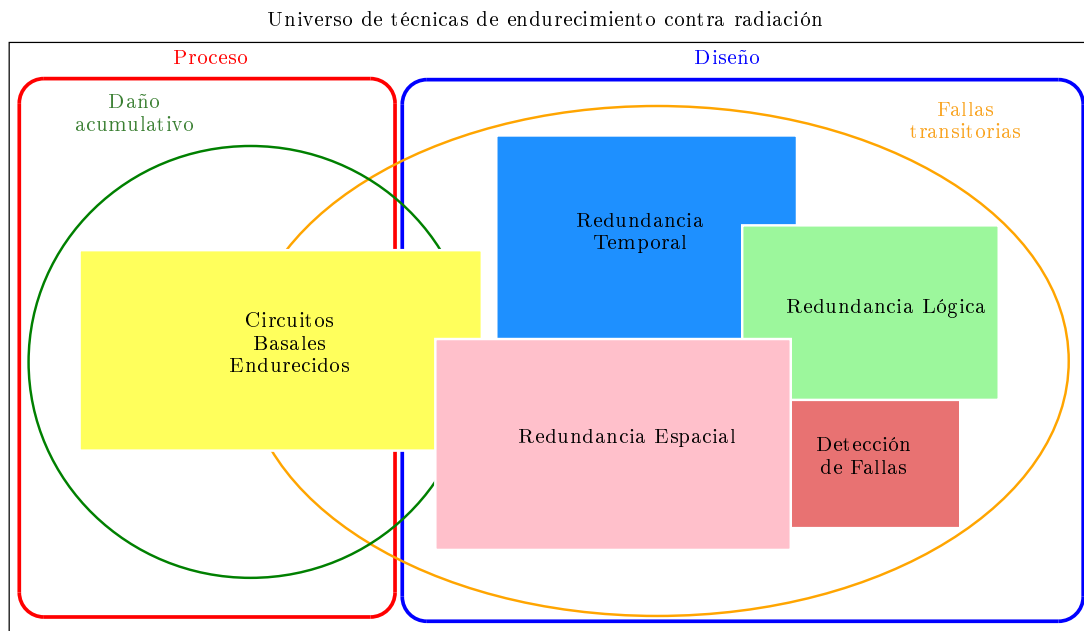


Figura 1: Diagrama con las distintas formas de abordar el endurecimiento contra fallos inducidos por radiación.

Estas técnicas son por sus características diferentes y todo diseño puede utilizar una, varias o todas ellas. Varias de las técnicas imponen restricciones al diseño o limitan el desempeño penalizando la velocidad o el espacio ocupado. La utilización de cada una puede ser independiente de la otra o cooperar para lograr el diseño que satisfaga con los requerimientos de robustez y funcionamiento requeridos por la aplicación. Un ejemplo de endurecimiento de sistema consistiría

en aplicar redundancia espacial a una función con elementos estándar de menor tamaño pero utilizando un circuito de árbitro que haya sido endurecido por diseño. Si las restricciones de tiempo no son exigentes, se puede utilizar redundancia temporal para disminuir el área ocupada. El uso de redundancia lógica es una solución alternativa a la redundancia espacial ya que no penaliza con un gran incremento de área, pero puede ser utilizada únicamente sobre estructuras regulares como es el caso de las memorias. El uso de sensores para realizar la detección de fallas es una técnica loable pero exige una correcta calibración de los sensores que permita detectar cualquier fallo que ocurra sin tener falsos resultados positivos. En la Fig. 1 se ilustra la interacción de las técnicas que constituyen el universo de las metodologías de endurecimiento contra radiación.



## Parte I

# Daño acumulativo por radiación



# Capítulo 1

## Problemática de daño acumulativo por radiación

### 1.1. Introducción

Las fuentes de radiación, dependiendo del tipo que se traten, emiten partículas que pueden ser fotones, protones, iones y electrones entre otras. Un material o tejido que se encuentre en el rango de alcance de la fuente, recibirá las partículas emitidas por la misma siendo irradiado. La dosis absorbida de radiación se define como la energía suministrada a la sustancia por unidad de masa, y en general se especifica para cada material. La unidad para la dosis es el Gray (Gy) que equivale a un Joule de energía absorbida por kilogramo de masa. Otra unidad, de mayor uso actualmente es el Rad definido como la centésima parte de un Gray. La parte más sensible en los dispositivos transistores de efecto de campo de juntura aislada (MOS) es la región del óxido (para más detalles sobre la tecnología consultar el apéndice A). El efecto primario producido por la radiación ionizante es la creación de pares hueco-electrón. En particular dentro del óxido, los electrones poseen en el óxido una movilidad que es doce órdenes de magnitud mayor que la de los huecos. El campo eléctrico arrastra los electrones que se recombinan en tiempos que pueden ser tan cortos como de algunos pico-segundos. Por otro lado, los huecos tienden a permanecer cerca de su punto de origen, aunque a medida que pasa el tiempo los mismos se dirigen a la interfaz con el sustrato semiconductor. Algunos de estos huecos contribuyen a generar carga fija bajo la compuerta del transistor MOS, mientras otros forman parte de trampas interfaciales, donde estas últimas se forman por imperfecciones inevitables en el proceso de fabricación por el cambio de material. Los fenómenos eléctricos asociados a este problema son el corrimiento de la tensión umbral de los transistores y el aumento de la pendiente de corriente en régimen sub-umbral [8] lo que conlleva a un aumento en las corrientes de pérdida en circuitos digitales y

corrimiento en los puntos de operación de los circuitos analógicos. Un excelente estudio sobre estos fenómenos se puede encontrar en [9] donde se menciona además las ventajas de usar tecnologías con óxido de hafnio y silicio sobre aislante (SOI). Otro fenómeno asociado a los iones pesados tienen que ver con la ruptura de óxido tal como se reporta en [10]. En [11] se muestra que el daño producido por radiación depende de la tasa con la que se aplica una dosis, lo que se conoce como *Enhanced Low Dose Radiation Sensitivity* (ELDRS). Esto último es un punto importante a considerar cuando se desea realizar ensayos de degradación acelerada ya que un ensayo de alta dosis en tiempo corto podría no ser equivalente a una exposición larga con baja dosis. Este capítulo introduce la problemática de daño acumulativo en semiconductores y está dividido en dos secciones principales. La primera de ellas presenta los efectos que produce la radiación en los dispositivos microelectrónicos mientras que la segunda expone las técnicas conocidas en la actualidad para el endurecimiento de dispositivos. Además, se retoman algunas de las definiciones generales que son utilizadas habitualmente en la literatura para poder identificar cada uno de los problemas existentes. El objetivo del capítulo es brindar los elementos fundamentales requeridos para desarrollar el material de los capítulos siguientes.

## 1.2. Dispositivos Semiconductores Expuestos a Radiación

Cualquier dispositivo microelectrónico que sea expuesto a una fuente de radiación se ve afectado en sus características, funcionalidad o desempeño por la interacción de sus materiales con la energía contenida en la misma. Esta sección describe los principales fenómenos que se producen, destacándose el corrimiento del voltaje de umbral y el incremento de corriente de fuga inter e intra-dispositivo.

### 1.2.1. Exposición a dosis prolongadas

Los efectos de exposición a dosis prolongadas se caracterizan por la dosis total ionizante (TID) recibida. Las irradiaciones generalmente producen degradación acumulativa en el funcionamiento de los dispositivos como también ruptura si la exposición es muy prolongada o con dosis muy elevadas. Los fenómenos producidos por TID están relacionados con la creación de pares hueco-electrón, los que terminan produciendo carga atrapada, o trampas interfaciales. También produce la ruptura de enlaces químicos produciendo defectos en la estructura de los materiales. En esta sección, mostraremos las alteraciones que produce la radiación sobre el transistor MOS, elemento basal de los sistemas VLSI, las cuales tienen que ver con un corrimiento en la tensión de umbral  $V_T$  del transistor, variaciones en la corriente de subumbral y por ende de la corriente de fuga, además de una variación en la movilidad de portadores como también degradación de la



transconductancia; parámetros todos fundamentales para el diseño de sistemas microelectrónicos.

### Desplazamiento del voltaje de umbral

El voltaje de umbral de un transistor MOS varía luego de ser irradiado. El cambio en  $V_T$  es debido a dos contribuciones principales, que se denominan  $\Delta V_{OX}$  y  $\Delta V_{IT}$ , y están relacionadas con los huecos atrapados en el óxido, y con los estados de carga producidos en la interfaz óxido-semiconductor, respectivamente. A continuación se describe la contribución de cada una de ellas.

- Desplazamiento debido a las cargas del óxido: Las cargas atrapadas en el óxido del dispositivo originan un corrimiento de el voltaje de banda plana (*flat-band*), voltaje que anula las tensiones de contacto entre el óxido, el *gate* y el sustrato, lo que produce un desplazamiento en la tensión de umbral que puede ser expresado como,

$$\Delta V_T = -\frac{1}{C_{ox}} \cdot \int_0^{t_{ox}} \frac{x}{t_{ox}} \cdot \rho(x) dx . \quad (1.1)$$

Aquí,  $t_{ox}$  es el espesor del óxido,  $C_{ox}$  es la capacitancia por unidad de área y  $\rho(x)$  es la densidad de carga en función de la distancia  $x$ , la que es medida desde la interfaz metal-óxido. Se puede ver en esta ecuación que si las cargas atrapadas son positivas, el desplazamiento será negativo, dando un aumento efectivo de corriente en el dispositivo. La contribución al corrimiento de  $V_T$  es mayor si la carga está más cerca de la interfaz óxido-semiconductor, ya que el resultado de la integral depende del producto de la carga y la posición.

- Desplazamiento debido a las trampas interfaciales: El desplazamiento en el voltaje producido por los estados de interfaz inducidos por radiación puede ser tratado como el caso anterior. Dado que la distribución de carga debe ser considerada bidimensional, este corrimiento se expresa como:

$$\Delta V_{IT} = -\Delta Q_{IT}/C_{OX} . \quad (1.2)$$

donde  $\Delta Q_{IT}$  es la diferencia de carga que ocupa estados interfaciales antes y después de la irradiación, que se explican con la ayuda de la Fig. 1.1. Por lo que  $\Delta V_{IT}$  puede tener tanto valores positivos, como negativos, dependiendo del signo de la carga atrapada.

### Incremento de la corriente de sub-umbral

El incremento en esta corriente está producido por dos factores independientes. El primer factor es el corrimiento del voltaje de umbral que pasa de ser  $V_{T1}$  a  $V_{T2}$ , por lo que luego

de la irradiación se produce un cambio en la curva característica. En la Fig. 1.1 se muestra el corrimiento de la curva de corriente-tensión hacia valores negativos con respecto al eje de tensión, la curva original en línea llena se corre hacia la izquierda, y resulta en la curva en línea punteada. El segundo factor es la disminución de la pendiente de la corriente en régimen sub-umbral. Esta se manifiesta por el crecimiento en la corriente, la característica en línea de tramos de la Fig. 1.1 muestra este desplazamiento. Estos sucesivos cambios hacen que una corriente inicial  $I_1$  de pérdida pase luego de la irradiación a valores mayores como  $I_2$  e  $I_3$ .

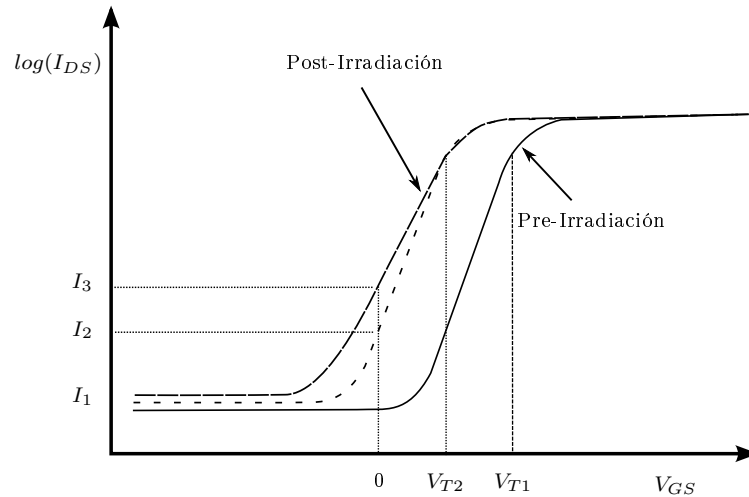


Figura 1.1: Alteración de tensión umbral producidas por TID.

En alguna de las tecnologías actuales, los óxidos son extremadamente delgados, por lo que es posible que la carga interfacial sea mayor que la atrapada en el óxido, lo que puede producir un corrimiento positivo del umbral. Esto contrarresta la variación de pendiente luego de irradiar, por lo que no se puede concluir que siempre se producirá incremento en la corriente de subumbral, sino que se debe evaluar la tecnología en particular.

### Incremento de las corrientes parásitas

Existe otra contribución a la corriente de pérdida que se produce en los transistores de canal estándar luego de ser irradiados. Esta corriente se conduce a través de los caminos parásitos producidos debajo de la región por debajo del *gate* donde se unen el óxido fino con el óxido grueso de campo. Esta región, que forma transistores MOS parásitos en paralelos al dispositivo en inglés se denomina *bird's beak* y se muestra en la Fig. 1.2. La corriente parásita se genera debido a que el óxido de campo es muy grueso, dando lugar a carga atrapada en el mismo, ya que la mayoría de los huecos generados por la radiación no se pueden recombinar. Por lo tanto,

esta región es un sitio propenso a alojar suficiente carga en las regiones laterales del transistor, de manera tal que se active la conducción de los transistores parásitos. El cambio que se produce en la característica del dispositivo se puede ver en la Fig. 1.2. Esto genera un incremento de corriente cuando el transistor está apagado, que en muchos casos domina el comportamiento del dispositivo.

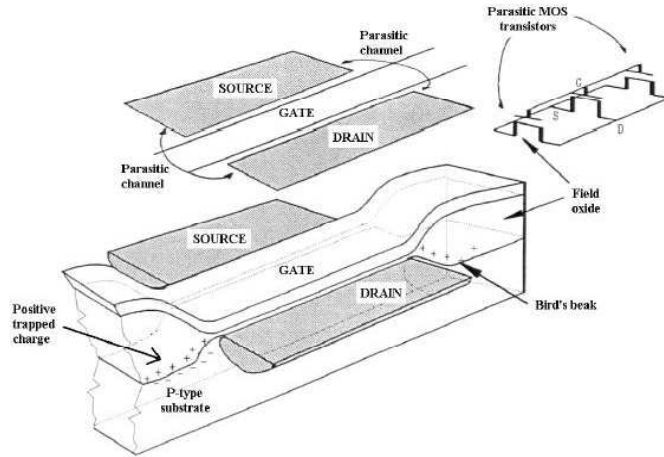


Figura 1.2: Cargas atrapadas en los laterales del transistor donde el óxido es de mayor espesor.

### 1.2.2. Degradación de la movilidad

La degradación de la movilidad está relacionada principalmente con la generación de trampas interfaciales (contacto óxido-semiconductor). Debido a que la conducción en el transistor MOS se produce en la región cercana a la interfaz, las cargas allí alojadas obstruyen su paso al generar dominios de atracción o repulsión de los portadores. La desviación de la movilidad producida por las trampas interfaciales puede ser expresada según la siguiente ecuación semi-empírica:

$$\Delta\mu = \frac{\mu_0}{1 + \alpha \cdot (\Delta N_{it})} \quad (1.3)$$

donde  $\mu_0$  es la movilidad previa a la irradiación,  $\Delta N_{it}$  la variación en las trampas interfaciales, y  $\alpha$  es un parámetro dependiente de la tecnología. La degradación de la movilidad, da lugar a la disminución de transconductancia, la cual es proporcional a  $\mu$  en la región lineal y proporcional a  $\mu/2$  en saturación.

### 1.3. Técnicas actuales de endurecimiento contra radiación

Tal como se mencionara en la introducción, se denomina *endurecer* un dispositivo, circuito o sistema, al hecho de aplicar técnicas para que el mismo sea tolerante al daño que produciría la radiación bajo reglas de diseño convencionales. Debido a que las tecnologías comerciales adelantan una o dos generaciones a las creadas con mayor resistencia a la radiación y a que las mismas son mucho más económicas, se comenzó a investigar cómo las variaciones de las geometrías de diseño y cómo la reducción creciente de los tamaños afectaban el desempeño bajo radiación. El resultado de las experiencias mostró, que para ciertas circunstancias la reducción en los tamaños característicos en las tecnologías era beneficioso mientras que para otras no. A partir de esto se vislumbró que la reducción de tamaño debería ser acompañada por técnicas que aseguren el efecto esperado de endurecer los dispositivos, y que permitieran utilizar una tecnología comercial para desarrollar circuitos tolerantes a la radiación. Las nuevas técnicas resultaron exitosas y estuvieron orientadas principalmente a variar la geometría de los dispositivos, como así también las topologías circuitales utilizadas. Por otro lado también se ha recurrido a técnicas de realimentación, como así también a modificaciones en la arquitectura y a la implementación de redundancia. A pesar de que estas técnicas han sido desarrolladas hace ya varios años, en [12] se reconoce que las mismas deberán seguir siendo usadas cuando se requiera soportar altos niveles de radiación acumulativa. En esta sección se abordan estos temas y se discuten los resultados experimentales obtenidos que muestran la validez de este enfoque. A continuación se menciona la incidencia que tiene el escalado en los efectos de la radiación, para luego presentar los distintos enfoques que existen para disponer y diseñar dispositivos endurecidos para radiación. Se muestra luego algunos de experimentos realizados donde se corrobora el incremento de tolerancia de los dispositivos. Finalmente se realiza una comparación entre elementos de una librería endurecida para radiación implementadas con técnicas de diseño en un proceso comercial, contra una endurecida por proceso; siendo ambas contemporáneas.

#### 1.3.1. Escalado

Se denomina escalado a la constante reducción en las dimensiones de los dispositivos en la evolución de las tecnologías de integración durante los últimos cincuenta años. Asociado a la disminución de la dimensión del canal se ha producido una disminución de la tensión de alimentación, para mantener el valor del campo eléctrico en valores que no dañen el dispositivo. Este progreso tiene notables influencias en el desempeño de los dispositivos. Las ventajas son notorias con respecto a velocidad y consumo, y también se ha incrementado notoriamente la tolerancia a la radiación acumulativa por la disminución del volumen del óxido bajo el *gate*. Los efectos de la radiación deben caracterizarse según el tipo de tecnología a utilizar para la

implementación de los dispositivos. En líneas generales el planteo es muy distinto si se desea optimizar la velocidad o si se desea reducir el consumo. Johnston [13, 14] expone que el escalado de dispositivos es altamente complejo, y requiere una relación de compromiso entre muchos parámetros, entre ellos:

- Efectos de portadores calientes
- Conducción de sub-umbral
- Resistencia de *Drain*
- Interconexión
- Tecnología de los contactos
- Disipación de potencia

Se debe notar también que las mejoras que se logran reduciendo el voltaje de alimentación, tienen como contrapartida un aumento en el retraso inter-etapa siempre que se trate del mismo proceso. El escalado puede realizarse a potencial constante o a campo eléctrico constante. Cuando se produce escalado a potencial constante, al reducirse la longitud del canal se incrementa el campo eléctrico, lo que hace que los electrones ganen mucha energía cinética, produciendo dislocaciones en la estructura del óxido. A estos electrones se los denomina *hot electrons*. Para evitarlos, se debe recurrir a lo que se llama *Lightly Doped Drain* (LDD) que son estructuras que extienden el *drain* por debajo del canal. A medida que el escalado aumenta, se vuelve más difícil generar estas estructuras. La calidad del óxido influye en el voltaje de ruptura, mientras que su espesor, al ser disminuido genera algunos efectos beneficiosos debido a las corrientes de efecto túnel que permiten la recombinación de las cargas atrapadas. Otro de los efectos relacionados con el escalado tiene que ver con las fluctuaciones en el dopaje, las que debido a su dispersión, pueden llegar a producir hasta un 25 % de desviación en el  $V_T$ . Por otro lado, el escalado mejora notablemente la tolerancia a la radiación desde el punto de vista del corrimiento de la tensión de umbral, dado que a medida que los óxidos son reducidos, se disminuye la carga atrapada. Si bien la mayoría de los dispositivos se benefician con la reducción de la tensión de alimentación, en el caso de las memorias no volátiles aún se requieren altos voltajes para programarlas. En [15] se muestran incrementos de corriente de niveles iniciales de algunos miliamperios hasta valores de algunos amperios, luego de una dosis de 12 Krad a 18 Krad. Se ha encontrado también que la transición entre el óxido del *gate* y del óxido de campo influye en la cantidad de carga atrapada en los laterales del transistor, afectando las corrientes de pérdida.

### 1.3.2. Técnicas de aumento de tolerancia a radiación

Tal como se mencionara en la introducción, existen diferentes alternativas para producir endurecimiento en un circuito integrado CMOS. Una de ellas consiste en actuar en el proceso de fabricación, modificando algunos parámetros tecnológicos de los materiales o pasos del mismo, de manera de reducir la sensibilidad a la radiación. Otra alternativa consiste en emplear estrategias específicas de implementación física (diseño de *layout*), las que resuelven problemas de corrientes de pérdida, como también algunos problemas de fallas transitorias. Una última posibilidad consiste en implementar determinadas arquitecturas o circuitos con un nivel mayor de abstracción que por su topología o funcionamiento incrementen la resistencia ante las variaciones de parámetros.

#### Endurecimiento por proceso

La dosis total genera defectos principalmente en el óxido del gate, como también en el óxido de campo utilizado para aislar dispositivos. La calidad del óxido de gate es fundamental para reducir estos problemas. Habitualmente se logra buen resultado recurriendo al uso de óxidos nitrosos. Para el aislamiento de dispositivos se ha recurrido al proceso llamado *oxidación local de Silicio* (LOCOS) hasta  $0,35\mu m$ , que ha sido sustituido en tecnologías más modernas por el proceso de *shallow-trench isolation* (STI) que consiste en canales producidos en el semiconductor que luego son rellenados con óxido. Para producir tolerancia a fallos transitorios se ha reducido el grosor de la capa epitaxial, solución que es efectiva ya que disminuye el volumen sensible desde donde la carga pueda ser generada y colectada. También es posible obtener mejoras en cuanto a sensibilidad a transitorios al incrementar el dopaje del sustrato, como así también actuando sobre el perfil y la densidad de dopaje en el *well* y la distancia entre difusiones p+ y n+. El uso de tecnologías como *silicio sobre aislante* (SOI) o *silicio sobre zafiro* (SOS) permite eliminar las estructuras parásitas que generan fallos transitorios destructivos o corrientes entre dispositivos, logrando mejoras notables en el rendimiento. Como contraparte, estas técnicas son de difícil acceso y muy costosas.

#### Endurecimiento por diseño

Uno de los problemas principales a resolver es el de las corrientes de pérdida en los transistores de canal-n luego de la irradiación. En la Fig. 1.3 se muestran diferentes alternativas para implementar un transistor MOS, entre las que se encuentran algunas con diseño para endurecerlo. En la Fig. 1.3 A se muestra el transistor estándar y se resaltan los caminos parásitos de conducción que se producen luego de una irradiación. En la Fig. 1.3 B se tiene ahora una mejora

disminuyendo la corriente por aumento del canal del transistor parásito aumentando el largo del canal y disminuyendo su ganancia por ende su corriente.

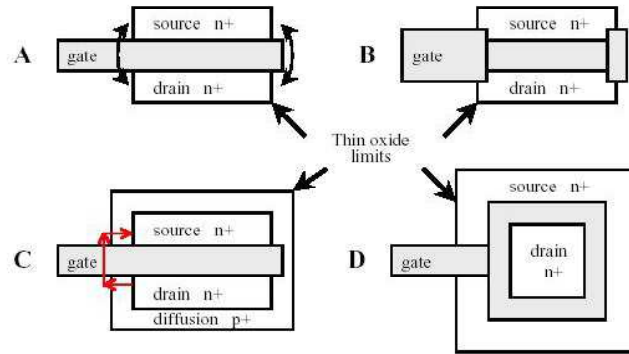


Figura 1.3: Distintas geometrías de *gate* para reducir las corrientes de pérdida.

Para el caso de la Fig. 1.3 C el límite del óxido más fino es definido con una máscara de difusión p+ y dentro de esa área se construye el transistor. Con ésta aproximación se logra mantener las dimensiones cercanas a las estándar, aunque no siempre es posible implementarla sin infringir las reglas de diseño que impone el fabricante. Existe un camino posible para estas corrientes si la dosis ionizante es lo suficientemente alta (Se muestra en rojo). Por último se tiene la geometría anular, Fig. 1.3 D, que es también utilizada, y es la más segura desde el punto de vista de tolerancia a la radiación. En éste caso el camino parásito que une el *source* con el *drain* es directamente eliminado. Las desventajas que tiene el uso de este formato de transistor es el forzoso incremento de área, un aumento en la capacidad del nodo exterior y la falta de simetría. Más allá de estas limitaciones, el uso de transistores anulares ELT (*Enclosed Layout Transistor*) o también llamados *edgeless transistors* es obligatorio si se debe lograr un alto nivel de endurecimiento. El segundo problema que se puede resolver con técnicas de *layout* es el de corrientes parásitas entre dispositivos. Este fenómeno se manifiesta por la conducción de corrientes de fuga entre un transistor P y otro N cercanos, tal como se muestra en la Fig. 1.4. En [16] se reporta el diseño de transistores denominados FOXFET (*Field Oxide Field Effect Transistor*), que se muestran en la Fig. 1.5 y que se implementan sobre el óxido aislante y permiten caracterizar las corrientes de pérdida en LOCOS o STI en función de la radiación y el material del *gate*. La solución a este problema es interrumpir estos efectos con la incorporación de anillos de guarda (*guard rings*) alrededor de los dispositivos con una implantación de tipo p+, lo que aumenta considerablemente la impedancia interrumpiendo cualquier camino inducido por radiación. Una vez más, la penalización está dada por el aumento en el área requerida.

Como ejemplo se puede citar la construcción básica de un inversor CMOS, mostrado en la

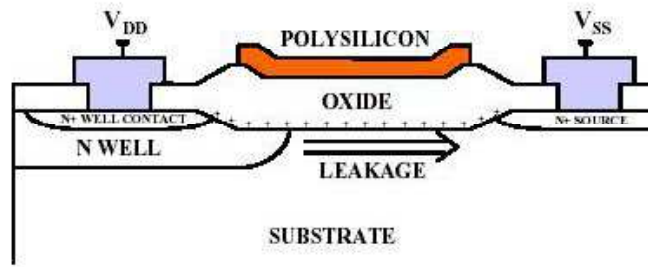


Figura 1.4: Corrientes parásitas entre dispositivos.

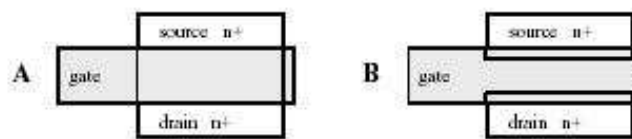


Figura 1.5: Estructuras utilizadas para ensayar las corrientes de pérdida en el óxido de campo.

Fig. 1.6 donde se resalta el uso de estas técnicas. Se debe notar aquí que los *gate*, los *drain* y los *source* de los transistores están conectados con metal. Esto se debe hacer así, porque las máscaras de los anillos son realizadas con las mismas difusiones que las de los transistores, y si se utilizara polisilicio para las uniones el anillo se cortaría en la región del *gate*.

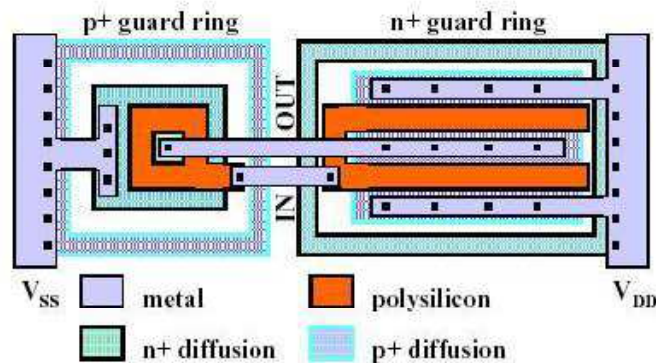


Figura 1.6: Diseño de inversor CMOS con tolerancia a radiación por técnicas de layout.



### 1.3.3. Evidencia experimental reportada en la bibliografía

A continuación se resumen los resultados experimentales obtenidos en [16] que confirman el aumento de tolerancia a radiación en circuitos que han utilizado técnicas de *layout* para este fin.

En la Fig. 1.7 se muestran los resultados obtenidos luego de la irradiación para dos transistores que fueron implementados en una tecnología de  $0,7\mu m$ , uno con un diseño estándar, y otro con una estructura ELT. Las características previas a la irradiación fueron idénticas. Luego de la exposición la figura muestra sus diferencias, evidenciando la superioridad del transistor anular. Por otro lado, también se puede ver que en este dispositivo se lograron eliminar las corrientes de pérdida, pero existe un aumento de la corriente de sub-umbral cuando  $V_{GS} = 0$  debido al corrimiento del voltaje de umbral  $V_T$  por cargas atrapadas bajo el *gate*.

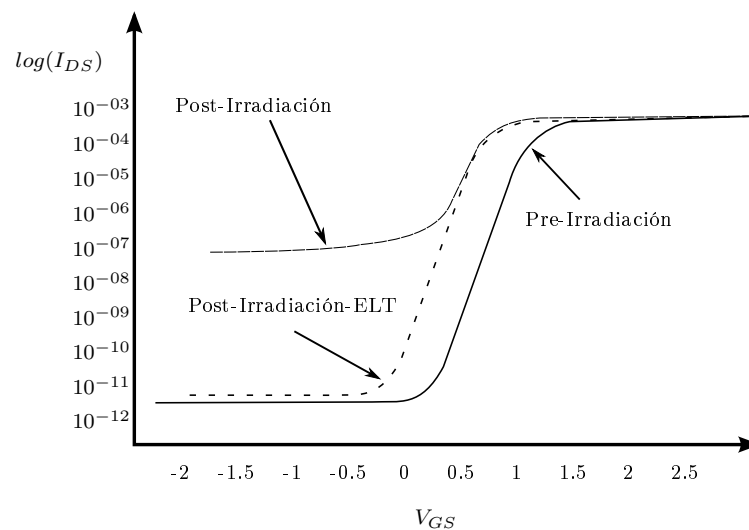


Figura 1.7: Incremento de la corriente en transistores convencionales y endurecidos.

La Fig. 1.8 muestra resultados obtenidos en una tecnología de  $0.25\mu m$  donde se puede ver que el dispositivo estándar (A) muestra un gran incremento en la corriente de pérdida con una dosis baja de 1 Mrad. El transistor ELT no muestra variaciones aún después de ser expuesto a una dosis mucho mayor de 30 Mrad. La figura muestra otras propiedades interesantes que se encuentran en las tecnologías de menos de un cuarto de micrón. Primero, puede observarse que tanto el corrimiento del voltaje de umbral como la degradación de transconductancia son muy pequeños. Otra propiedad interesante, es que el corrimiento del voltaje de umbral es positivo. Esta característica se ha verificado siempre en tecnologías de estas dimensiones, mostrando que las cargas interfaciales superan a las atrapadas en el óxido.

La Fig. 1.9 muestra la efectividad en cortar los caminos de pérdida que tiene colocar anillos de guarda p+ en transistores de canal-n. Esto evidencia la razón por la cual siempre que se

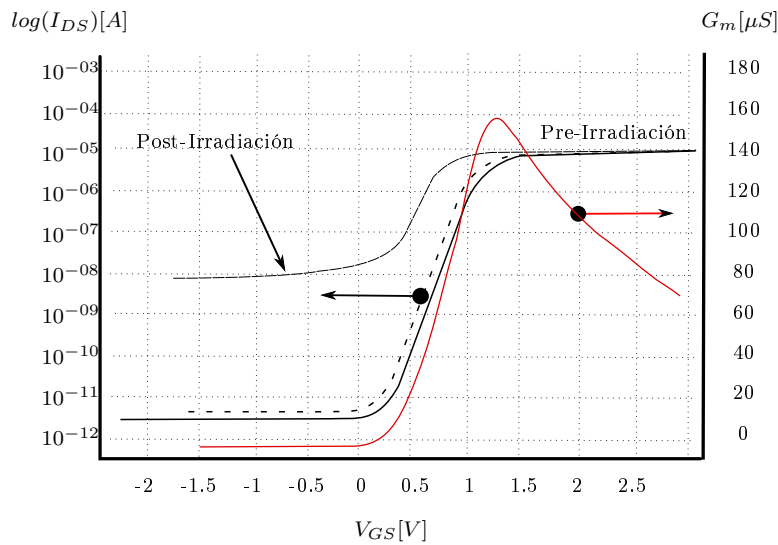


Figura 1.8: Característica de transferencia y transconductancia antes y después de la irradiación para dispositivos estándar y tolerantes a radiación.

tengan dos difusiones n+ a distinto potencial se deben colocar anillos de guarda.

#### 1.3.4. Librerías de circuitos endurecidos contra radiación

Los transistores ELT y los anillos de guarda ocupan una importante cantidad de espacio, reduciendo el factor de utilización en una determinada tecnología. Para los diseños analógicos en general esta penalización no es severa, aunque para los diseños digitales puede llegar a ser intolerable debido a que el área requerida puede llegar a ser 1.5 a 3.5 veces mayor. Esta pérdida de densidad es inevitable si se debe realizar circuitos tolerantes a radiación. Por lo mencionado, es interesante hacer una comparación entre una tecnología endurecida para radiación por proceso y una tecnología comercial que implementa tolerancia por *layout*. Para realizar la comparación, se parte del hecho de que las tecnologías endurecidas por proceso en general atrasan a las comerciales en el escalado un par de generaciones. Esto es así ya que no poseen el mismo nivel de inversión que las tecnologías comerciales que continuamente demandan un mayor nivel de integración. En este caso es posible comparar diseños implementados en tecnologías de  $0,6\mu m$  y  $0,25\mu m$ , las que podrían ser ejemplo de cada una de ellas respectivamente. En la Fig. 1.10 se muestran los diseños implementados, y se observa que, para el enfoque de endurecimiento por rediseño de *layout*, y aún no siendo la solución mas pequeña para la tecnología que se implementa, el área puede llegar a ser 3.2 veces menor que la de un competidor implementado por proceso. Por otro lado, se ha evaluado que estos diseños son hasta tres veces más rápidos consumiendo la décima parte de potencia, lo que evidencia la utilidad del enfoque.

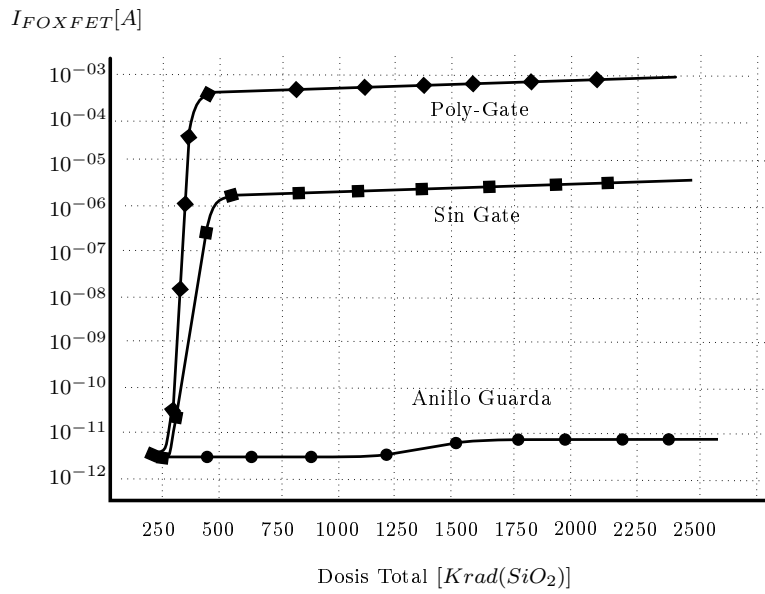
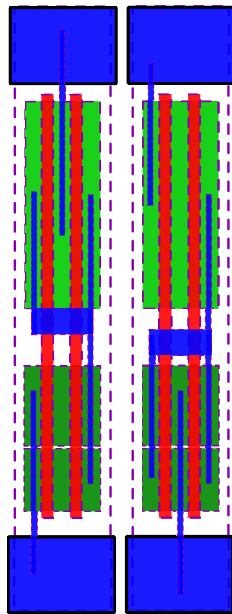


Figura 1.9: Efectos de utilizar anillos de guarda en las estructuras y su variación con la TID.

CMOS 0.6  $\mu m$

NAND NOR



CMOS 0.25  $\mu m$

NAND-ER NOR-ER

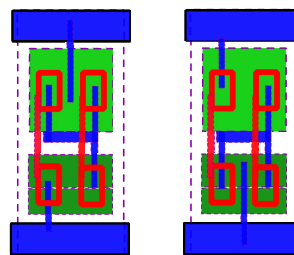


Figura 1.10: Comparación de tamaños de estructuras contemporáneas Rad-Hard por proceso (izquierda) y por layout (derecha).

## 1.4. Conclusiones

En este capítulo se presentaron los principales efectos que se dan en los dispositivos luego de la exposición a radiación. Estos efectos, a los que llamamos *daño acumulativo por radiación en dispositivos* están asociados a la generación de pares hueco-electrón durante la irradiación. La diferencia de varios órdenes de magnitud en la movilidad de los portadores en las regiones de dióxido de silicio permite que un tipo de portador pueda ser removido por campo eléctrico mientras que el otro permanece alojado en la estructura como carga semi-fija. Esta carga alojada produce desplazamientos en las características tensión-corriente de los dispositivos, como así también la posibilidad de que se genere corriente entre dispositivos. Estos cambios se deben al corrimiento que la carga acumulada produce en la tensión umbral del dispositivo y las características de la interfaz óxido-semiconductor. Asimismo, se detallaron las técnicas de diseño propuestas en la literatura para contrarrestar este tipo de efectos, entre las que destacan el uso de transistores anulares y anillos de guarda. En conclusión, el uso de técnicas de endurecimiento por diseño puede aportar soluciones mejores que las que brinda un endurecimiento por proceso debido principalmente a su menor costo y al avance que se da en las mismas por la demanda del mercado.

## Capítulo 2

# Biblioteca de circuitos basales endurecidos

### 2.1. Introducción

Existen distintas alternativas a seguir para diseñar y construir sistemas digitales de media o alta escala de integración. Una de las formas más eficientes y utilizadas en la actualidad es la que se realiza a través de una metodología de diseño *top-down*. Este proceso consiste en comenzar con una abstracción del circuito o sistema que se desea construir en un lenguaje de descripción de *hardware* (*VHDL*, *verilog*), para luego, y a través del uso de herramientas de síntesis automática, crear las máscaras para la implementación física del circuito integrado. Para que este flujo de diseño pueda ser utilizado de manera eficaz es necesario disponer de bibliotecas de celdas estándar que contengan los elementos básicos para la implementación de circuitos. En general, existen bibliotecas comerciales disponibles para distintos procesos tecnológicos y las mismas cuentan con una gran cantidad de compuertas digitales, elementos de memoria, bloques aritméticos específicos y circuitos de interfaz de entrada/salida, entre otros. El diseñador se sirve de la herramienta de síntesis automática para realizar una implementación óptima según diversos objetivos como reducción de área, incremento en el desempeño asociado a velocidad o energía según sea requerido en las especificaciones del sistema. Ello es posible gracias a que la biblioteca contiene archivos con información geométrica, consumo eléctrico y retardo de las compuertas. De esta manera es posible tener prototipos totalmente funcionales en tiempos cortos, lo que redundará en múltiples beneficios, entre los que se encuentran la reusabilidad de los diseños, la reducción de costos fijos de ingeniería y la creación de elementos de propiedad intelectual (IP). Cuando se requiere a través de este flujo de diseño implementar circuitos que deban ser expuestos a radiación, el acceso a este tipo de bibliotecas es inexistente en muchos casos, de difícil acceso o extremadamente costoso.

Mas aún, si se desea utilizar este flujo de diseño es obligatorio disponer de una biblioteca de celdas estándar caracterizadas para los ambientes con radiación, que pueda ser utilizada durante el proceso de síntesis. Adicionalmente, en relación a las aplicaciones críticas para las que se planea usar estos sistemas, es de suma importancia disponer de información fehaciente sobre el nivel real de tolerancia a radiación de cada una de las celdas.

Con el objetivo de dar solución a estos problemas y como primer paso en el desarrollo de la metodología que fue descrita en la introducción general, en este capítulo se propone la implementación de circuitos basales endurecidos contra radiación. Los elementos seleccionados para desarrollar fueron elegidos cuidadosamente de manera tal que otros bloques más complejos pudieran ser construidos a partir de ellos manteniendo su desempeño en cuanto a radiación. Entre los elementos elegidos para realizar diseño digital se encuentran algunas compuertas lógicas tales como NAND, NOR, XOR y registros de distintos tipos. Las implementaciones fueron realizadas en varias tecnologías con el objetivo de validar el enfoque y disponer de distintas soluciones. Como se dispone de una gran cantidad de elementos de biblioteca desarrollados, no es posible dar un detalle exhaustivo de cada uno de ellos, y además el procedimiento utilizado es similar en todos los casos. Los detalles de los desarrollos realizados fueron publicados en [1], [2] y [3]. Un trabajo equivalente se reporta en [17] donde el concepto fue desarrollado para una tecnología propietaria de la compañía *British Aerospace* en un proceso de 180 nm, lo que muestra la validez del enfoque. En adelante se detallarán las técnicas y consideraciones de diseño adoptadas, el proceso de caracterización realizado y los resultados obtenidos. En la Fig.2.1 es posible observar el lugar que ocupa esta técnica en el universo de la metodología propuesta.

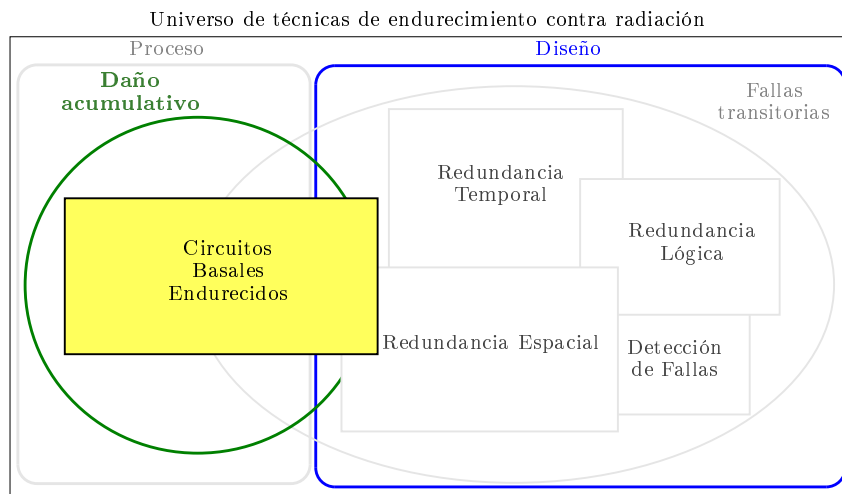


Figura 2.1: Diagrama destacando el endurecimiento con circuitos basales contra fallos por daño acumulativo.

## 2.2. Diseño de circuitos basales endurecidos

En esta sección se brindan los detalles acerca del proceso de diseño seguido para la implementación de un grupo de elementos de una de las bibliotecas de celdas estándar desarrolladas. En primer lugar se describe la metodología a seguir para luego detallar de las tecnologías utilizadas y la justificación de su uso. Luego se desarrolla la metodología propuesta comenzando con el diseño de los transistores endurecidos contra radiación, y los pasos seguidos para la implementación de las compuertas de biblioteca como así también para la generación de archivos para síntesis automática. Finalmente se presenta como ejemplo de desarrollo uno de los grupos de elementos integrados en un chip, destacando algunas de las consideraciones de diseño.

### 2.2.1. Metodología de diseño

Para implementar cada uno de los circuitos basales de la biblioteca, se comienza con el diseño de los transistores endurecidos, que son los elementos fundamentales. En este caso, se diseña un sólo tipo de transistor NMOS y PMOS que luego es replicado en los distintos circuitos, lo que asegura la repetitividad de los resultados obtenidos en cuanto a su tolerancia a radiación. Para la implementación específica de cada celda se comienza con una descripción de la función que la misma debe implementar y se diseña un diagrama esquemático del circuito que es optimizado hasta cumplir con los requerimientos especificados. Este diseño es verificado funcionalmente evaluando su desempeño. Finalmente se diseña un *layout* con las menores dimensiones posibles para lograr el mayor nivel de integración en la tecnología. En el caso de los elementos que deban ser agrupados e interconectados por una herramienta de conexión automática llamada de *place and route* como es el caso de las compuertas digitales, se debe generar una plantilla en la que se definen sus aspectos físicos de contorno de manera tal que cualquier elemento posea la misma altura y pueda ser unido en columnas con otro. Con estas restricciones cada elemento de la biblioteca debe ser diseñado sobre esa plantilla cumpliendo con su funcionalidad. Como elemento base de circuito se utilizan los transistores diseñados anteriormente. Los puertos de conexión de entrada y salida de la compuerta se sitúan en puntos de una grilla armada en base a las distancias mínimas de separación de metales que exige la tecnología, para luego poder realizar el conexionado. En cada *layout* se realiza una verificación de cumplimiento de reglas de diseño y correspondencia con el circuito esquemático. Con el proceso de extracción a partir del diseño físico, se obtiene un esquema o *netlist* del circuito incluyendo sus elementos parásitos verificando la funcionalidad objetivo es posible realizar simulaciones SPICE para corroborar el desempeño del circuito. Hasta aquí solamente se cuenta con los elementos de la librería pero aún no es posible utilizarlos en un proceso automático de síntesis, para que así sea es necesario generar dos tipos de documentos que describen comportamiento y desempeño bajo normas que permiten su uso en las

optimizaciones del CAD, tarea que se realiza utilizando herramientas de software especializadas. La primera de ellas es una descripción física de la celda en la que se detalla su geometría, los puertos de conexión y los obstáculos de metal que la misma posee. La segunda descripción detalla tablas de comportamiento en las que se especifican los retrasos de compuerta bajo condiciones de excitación y carga determinadas. A través del uso de la herramienta *Abstract y Encounter Library Characterizer* de *Cadence* es posible generar los archivos que contienen estas descripciones y son requeridos para realizar la síntesis y el conexionado. Una vez que los elementos de biblioteca se encuentran diseñados y perfectamente caracterizados por simulación se fabrican en un circuito integrado de pruebas. Cuando se dispone del chip, se realizan las mediciones eléctricas de los circuitos para validar el diseño realizado. Detalles sobre la metodología de diseño de circuitos digitales en [18, 19, 20].

### 2.2.2. Tecnologías utilizadas

Los diseños realizados fueron implementados en distintas tecnologías CMOS de tamaños característicos tales como 90, 180, 350 nm y 0,5  $\mu\text{m}$ . Cada tecnología tiene sus particularidades con respecto a accesibilidad, costo, desempeño y consumo. Si bien el enfoque seguido en cada uno de los casos es similar al presentado de aquí en adelante, el haber desarrollado una metodología para la creación de bibliotecas de celdas estándar permite aplicarla a cada uno de estos procesos y brindar la solución más ajustada para los requerimientos que se tengan. Se presentará como ejemplo de diseño lo realizado para un proceso CMOS estándar de 3.3V y 0,35 $\mu\text{m}$  de tamaño mínimo característico. Esta tecnología posee dos máscaras de *polysilicio* y cuatro niveles de metal. El óxido fino de *gate* tiene un espesor de 7,7 nm mientras que el óxido de campo posee 150 nm. La elección de esta tecnología para el desarrollo de la biblioteca se basó en sus prestaciones para integración de mediana escala y su bajo coste. Por otro lado, es conveniente el uso de tecnologías maduras por su gran repetitividad cuando es menester garantizar que los sistemas tengan alta fiabilidad.

### 2.2.3. Proceso de diseño

#### Transistores endurecidos contra daño acumulativo

Se diseñaron transistores NMOS y PMOS como elementos base para construir a partir de ellos compuertas digitales que formen parte de las celdas estándar de la biblioteca. Estos transistores cuentan con características especiales para lograr que sean tolerantes a radiación. Su implementación física cuenta con un *gate* de geometría anular y un anillo de guarda rodeando al transistor. Tal como fuera aclarado en el capítulo anterior, por construcción, el uso del *gate* anular no posee óxido grueso entre *drain* y *source*, por lo que no existe la región que acumularía carga en un



transistor estándar luego de una irradiación. El anillo de guarda tiene como función brindar un camino de baja impedancia hacia la fuente de alimentación para cualquier carga generada en el sustrato en la proximidad del transistor. El uso de múltiples contactos en el sustrato asegura una baja impedancia desde las regiones de *n-well* o *p-tub* hacia la fuente de alimentación. En la Fig. 2.2 se puede observar el *layout* de estos transistores, mientras que en el Cuadro 2.1 se dan las dimensiones físicas de los mismos. Para poder realizar un diseño utilizando estos transistores y validarlos a través de simulaciones es necesario contar con parámetros asociados a modelos típicos de los mismos, tales como los dados en [20].

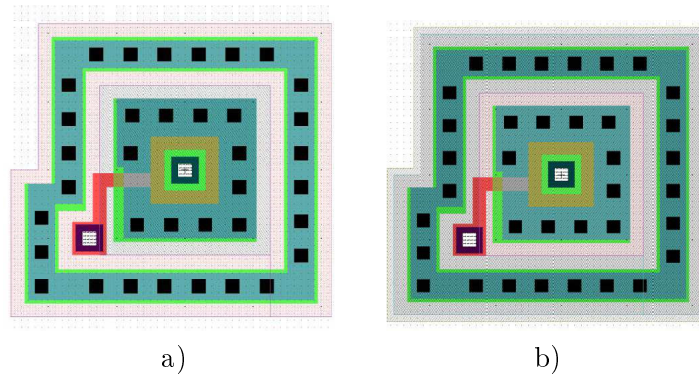


Figura 2.2: *Layout* de transistores NMOS (a) y PMOS (b) endurecidos por diseño.

Cuadro 2.1: Dimensiones de los transistores anulares

	Area Drain	Area Source	Area Gate	Per. Drain	Per. Source (int)	Per. Source (ext)
NMOS	1.44 $\mu\text{m}^2$	13.64 $\mu\text{m}^2$	2.56 $\mu\text{m}^2$	4.8 $\mu\text{m}$	8 $\mu\text{m}$	16.8 $\mu\text{m}$
PMOS	1.44 $\mu\text{m}^2$	13.64 $\mu\text{m}^2$	2.56 $\mu\text{m}^2$	4.8 $\mu\text{m}$	8 $\mu\text{m}$	16.8 $\mu\text{m}$

### Características eléctricas de los transistores anulares

En el caso de estos transistores que poseen una geometría especial, no es posible realizar una extracción de sus parámetros eléctricos a través de una herramienta comercial convencional, ya que la misma en general no posee modelos incorporados para este tipo de dispositivos. Para el caso de los transistores anulares, los parámetros como tensión de umbral ( $V_T$ ) y transconductancia ( $K'$ ) fueron obtenidos de datos de la tecnología, mientras que la tensión de *early* ( $V_A$ ) y la resistencia equivalente ( $R_{eq}$ ) se obtuvieron por cálculo en base a modelos extendidos disponibles en la literatura [20] y fueron corroborados a través de mediciones eléctricas. Los valores de capacidades asociadas a la estructura se obtuvieron por cálculo en base a parámetros de la

tecnología y fueron corroborados con una herramienta de extracción de parámetros comercial (aquí si es posible utilizarla ya que las extracciones se realizan en base a área y perímetro de la estructura). La relación de aspecto  $W/L$  no puede ser obtenida de manera inmediata; por lo que para calcular este cociente se recurrió a estimaciones basadas en [21] y [22]. Los valores obtenidos para los transistores se muestran en el Cuadro 2.2.

Cuadro 2.2: Características de los transistores anulares

Parámetros Eléctricos					
	$W/L$ equiv.	$V_T$	$V_A$	$R_{eq}$	$K'$
NMOS	13.5833	0.59 V	[7, 16] V	782.5 $\Omega$	93.3 $\mu\text{A}/\text{V}^2$
PMOS	13.5833	-0.72 V	[-7,-16] V	1208 $\Omega$	-33.7 $\mu\text{A}/\text{V}^2$
Capacidades					
	$C_{gb}$	$C_{gdo}$	$C_{gso}$	$C_{jd}$	$C_{js}$
NMOS	0.276 fF	1.368 fF	2.280 fF	1.442 fF	19.45 fF
PMOS	0.276 fF	1.584 fF	2.64 fF	2.027 fF	25.32 fF

### Diseño de celdas estándar

El primer subconjunto de celdas estándar diseñados consiste en un grupo de compuertas y registros que es suficiente para la implementación de cualquier sistema digital. Entre estas compuertas se encuentran inversores, compuertas NAND, NOR, *latch* y *flip-flop* con *clear* y *preset*. En todos los casos, las celdas poseen la misma altura (*pitch*) y metalizaciones para las líneas de alimentación, reloj, *clear* y *preset*. Ejemplos de las implementaciones realizadas se muestran en las Fig. 2.3, 2.4, 2.5 y 2.6. Todos los circuitos fueron verificados cumpliendo sus funciones y desempeño propuesto realizando simulaciones, que no son mostradas aquí por razones de espacio.

#### 2.2.4. Caracterización de la biblioteca

Los pasos a seguir para la caracterización sistemática de los elementos de una biblioteca de celdas estándar son los siguientes:

- Caracterización temporal: A través del uso de herramientas específicas es posible construir archivos con descripciones de desempeño de cada uno de los circuitos que se requiera. Estos archivos incluyen tablas en las que se indican los retardos que presenta la compuerta bajo distintas condiciones de estímulo y carga. Para obtenerlos se puede utilizar *Encounter Library Characterizer* que a través de un proceso semi-automático permite generar los archivos necesarios, invocar al simulador para ejecutar distintas simulaciones, y generar archivos con las tablas que contienen los resultados obtenidos. En el código 2.1 se muestra como ejemplo el resultado de uno de los procedimientos de caracterización realizados para

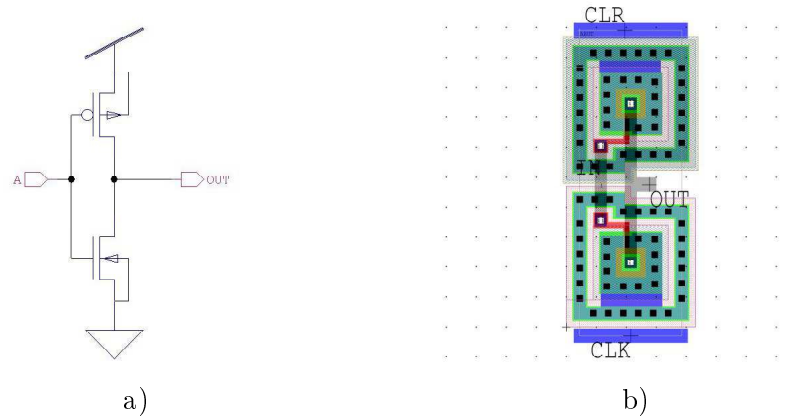


Figura 2.3: Inversor: a) Circuito esquemático b) *Layout*.

un inversor de tamaño mínimo. Allí es posible observar en las líneas 7 a 9 el nombre de la celda, su área y la corriente de pérdida. En las líneas 10 y 11 se indican los pines de entrada y salida respectivamente, indicando su capacidad asociada y la función implementada por la compuerta. En las líneas 29 a 33 se indican los resultados de la simulación para condiciones de una entrada con flanco ascendente en la que se tengan los valores de tiempo de trepada dados en la línea 26 para condiciones de carga como las de la línea 27. Aquí los tiempos se indican en ns mientras que la carga está dada en pF. Entre las líneas 47 y 57 se encuentran los datos de consumo dinámico para cada una de las condiciones anteriores.

- Caracterización geométrica: Con el uso de una herramienta de abstracción como *Abstract* es posible obtener una descripción de los elementos esenciales que se requieren a la hora de hacer la síntesis física. En los archivos resultantes del cómputo, se describe las dimensiones de la celda, los obstáculos presentes para la metalización y la ubicación de los puertos de entrada y salida. En el código 2.2 se muestra el ejemplo de una descripción para un inversor de tamaño mínimo. Allí es posible observar en las primeras líneas el nombre de la compuerta y su área. Entre las líneas 9 y 27 se dan los detalles del pin de entrada indicando los rectángulos asociados a cada uno de las capas de proceso incluidas. Lo mismo ocurre con los pines de salida y alimentación a partir de las líneas 22, 48 y 66 respectivamente.

Estos archivos son luego utilizados por la herramienta de síntesis para optimizar el diseño y generar el *layout* final.

Ejemplo de código 2.1: Características de un inversor

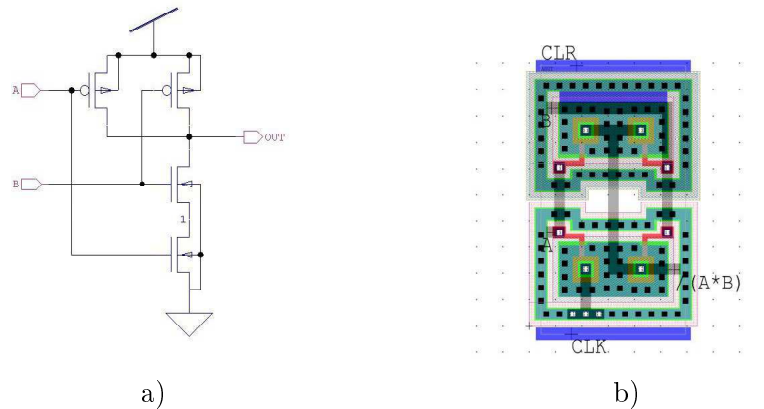


Figura 2.4: Compuerta NAND: a) Circuito esquemático b) *Layout*.

```

1
2  /* ----- *
3  Design : INVX1* *
4  * ----- */
5  cell (INVX1) {
6  cell_footprint : inv;
7  area : 129.6;
8  cell_leakage_power : 0.0310651;
9  pin(A) {
10 direction : input;
11 capacitance : 0.0159685;
12 rise_capacitance : 0.0159573;
13 fall_capacitance : 0.0159685; }
14 pin(Y) {
15 direction : output;
16 capacitance : 0;
17 rise_capacitance : 0;
18 fall_capacitance : 0;
19 max_capacitance : 0.394734;
20 function : "(!A)";
21 timing() {
22 related_pin : "A";
23 timing_sense : negative_unate;
24 cell_rise(delay_template_5x5) {
25 index_1 ("0.06, 0.18, 0.42, 0.6, 1.2");
26 index_2 ("0.025, 0.05, 0.1, 0.3, 0.6");
27 values ( \
28 "0.147955, 0.218038, 0.359898, 0.922746, 1.76604", \
29 "0.224384, 0.292903, 0.430394, 0.991288, 1.83116", \
30 "0.365378, 0.448722, 0.584275, 1.13597, 1.97017", \
31 "0.462096, 0.551586, 0.70164, 1.24437, 2.08131", \

```

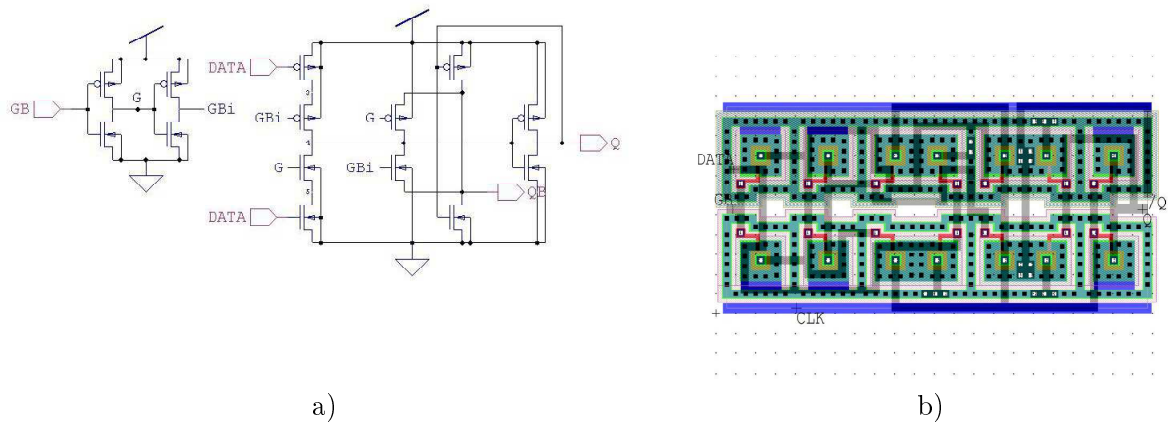


Figura 2.5: *Latch*: a) Circuito esquemático b) *Layout*

```

32 "0.756459, 0.874246, 1.05713, 1.62898, 2.44989"); }
33 rise_transition(delay_template_5x5) {
34 index_1 ("0.06, 0.18, 0.42, 0.6, 1.2");
35 index_2 ("0.025, 0.05, 0.1, 0.3, 0.6");
36 values ( ... ); }
37 cell_fall(delay_template_5x5) {
38 index_1 ("0.06, 0.18, 0.42, 0.6, 1.2");
39 index_2 ("0.025, 0.05, 0.1, 0.3, 0.6");
40 values ( ... ); }
41 fall_transition(delay_template_5x5) {
42 index_1 ("0.06, 0.18, 0.42, 0.6, 1.2");
43 index_2 ("0.025, 0.05, 0.1, 0.3, 0.6");
44 values ( ... ); }
45 } /* end timing */
46 internal_power() {
47 related_pin : "A";
48 rise_power(energy_template_5x5) {
49 index_1 ("0.06, 0.18, 0.42, 0.6, 1.2");
50 index_2 ("0.025, 0.05, 0.1, 0.3, 0.6");
51 values ( ... ); }
52 fall_power(energy_template_5x5) {
53 index_1 ("0.06, 0.18, 0.42, 0.6, 1.2");
54 index_2 ("0.025, 0.05, 0.1, 0.3, 0.6");
55 values ( ... ); }
56 } /* end internal_power */
57 }
58 /* end Pin Y */
59 }

```

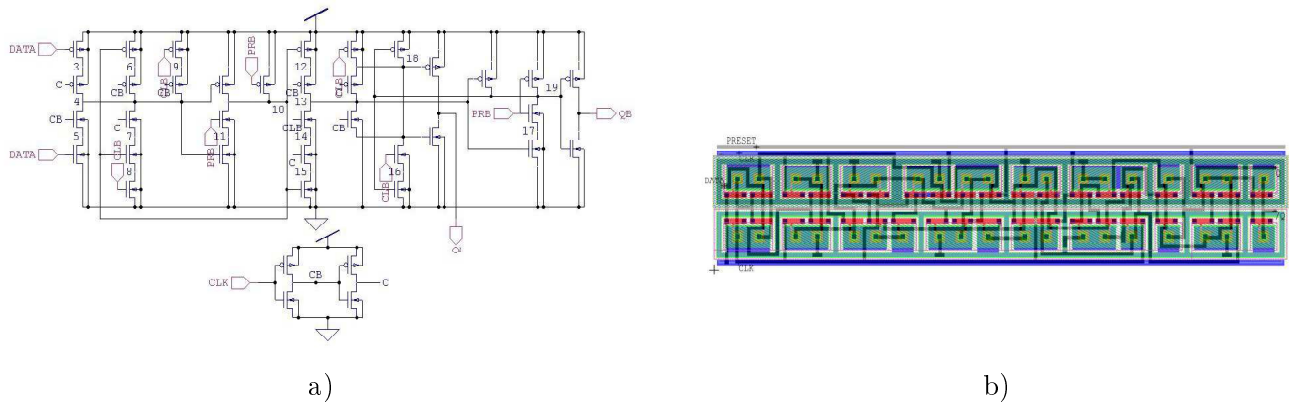


Figura 2.6: *Flip-flop* con *clear* y *preset*: a) Circuito esquemático b) *Layout*

```
60 /* end INVX1 */
```

#### Ejemplo de código 2.2: Abstracción de un inversor

```

1
2 MACRO INVX1
3   CLASS CORE ;
4   FOREIGN INVX1 0 0 ;
5   ORIGIN 0.00 0.00 ;
6   SIZE 4.80 BY 27.00 ;
7   SYMMETRY X Y ;
8   SITE core ;
9   PIN A
10    DIRECTION INPUT ;
11    PORT
12    LAYER cc ;
13    RECT 0.90 10.20 1.50 10.80 ;
14    LAYER via ;
15    RECT 0.90 10.20 1.50 10.80 ;
16    LAYER metal2 ;
17    RECT 0.60 9.90 1.80 11.10 ;
18    LAYER metal1 ;
19    RECT 0.60 9.90 1.80 11.10 ;
20    END
21  END A
22  PIN Y
23    DIRECTION OUTPUT ;
24    PORT
25    LAYER cc ;
26    RECT 3.30 2.40 3.90 3.00 ;

```

```

27     RECT 3.30 3.90 3.90 4.50 ;
28     RECT 3.30 19.50 3.90 20.10 ;
29     RECT 3.30 21.00 3.90 21.60 ;
30     RECT 3.30 22.50 3.90 23.10 ;
31     RECT 3.30 24.00 3.90 24.60 ;
32     LAYER via ;
33     RECT 3.30 2.40 3.90 3.00 ;
34     RECT 3.30 3.90 3.90 4.50 ;
35     RECT 3.30 16.20 3.90 16.80 ;
36     RECT 3.30 19.50 3.90 20.10 ;
37     RECT 3.30 21.00 3.90 21.60 ;
38     RECT 3.30 22.50 3.90 23.10 ;
39     RECT 3.30 24.00 3.90 24.60 ;
40     LAYER metal2 ;
41     RECT 3.00 2.10 4.20 24.90 ;
42     LAYER metal1 ;
43     RECT 3.00 2.10 4.20 4.80 ;
44     RECT 3.00 15.90 4.20 17.10 ;
45     RECT 3.00 19.20 4.20 24.90 ;
46     END
47     END Y
48     PIN vdd!
49     DIRECTION INOUT ;
50     USE POWER ;
51     SHAPE ABUTMENT ;
52     PORT
53     LAYER cc ;
54     RECT 4.50 26.70 5.10 27.30 ;
55     RECT 2.10 26.70 2.70 27.30 ;
56     RECT 0.90 19.80 1.50 20.40 ;
57     RECT 0.90 21.30 1.50 21.90 ;
58     RECT 0.90 22.80 1.50 23.40 ;
59     RECT 0.90 24.30 1.50 24.90 ;
60     RECT -0.30 26.70 0.30 27.30 ;
61     LAYER metal1 ;
62     RECT -1.20 25.80 6.00 28.20 ;
63     RECT 0.60 19.50 1.80 28.20 ;
64     END
65     END vdd!
66     PIN gnd!
67     DIRECTION INOUT ;
68     USE GROUND ;
69     SHAPE ABUTMENT ;
70     PORT
71     LAYER cc ;
72     RECT 4.50 -0.30 5.10 0.30 ;
73     RECT 2.10 -0.30 2.70 0.30 ;
74     RECT 0.90 2.10 1.50 2.70 ;
75     RECT 0.90 3.60 1.50 4.20 ;
76     RECT -0.30 -0.30 0.30 0.30 ;
77     LAYER metal1 ;

```

```
78      RECT  -1.20  -1.20  6.00  1.20  ;  
79      RECT  0.60  -1.20  1.80  4.50  ;  
80      END  
81      END  gnd!  
82      END  INVX1
```

### Implementación física de circuitos basales

Luego del proceso de diseño, se realizó la fabricación de un chip integrando elementos de la biblioteca y transistores de prueba. En esta implementación se impuso que los *pads* utilizados no contengan protección contra descarga electrostática. Las celdas se conectaron de este modo para evitar que los dispositivos de protección pudieran ocultar el efecto real de la radiación en el circuito de interés al verse también afectados. Los circuitos fueron caracterizados en una estación de prueba con el equipamiento pertinente. Los resultados experimentales se presentan en el próximo capítulo en el que se ha evaluado su tolerancia a radiación. En la Fig. 2.7 se muestra una fotografía del chip implementado.

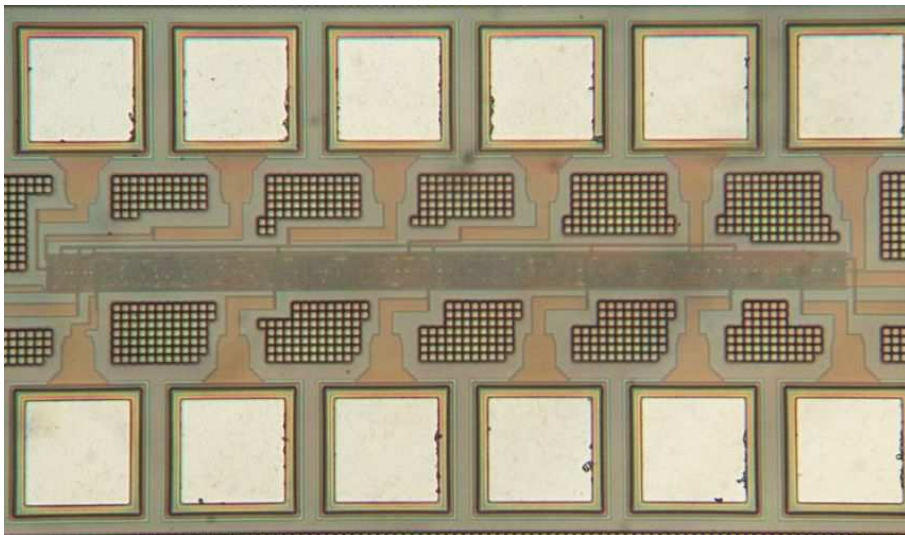


Figura 2.7: Fotografía de la librería de celdas estándar.

### 2.3. Diseño de bibliotecas en otros procesos

Con el objetivo de validar las técnicas propuestas anteriormente, se repitieron los diseños de los circuitos basales para diseño digital en diferentes tecnologías. En la Fig. 2.8 se muestran dos implementaciones de chips con estas compuertas para una tecnología de  $0,5 \mu\text{m}$  y  $90 \text{ nm}$ .



Asimismo, se diseñaron otro tipo de circuitos que poseen interés para aplicaciones típicas. Entre ellos se encuentran los dispositivos como diodos y transistores que soporten alto voltaje, que pueden ser utilizados en circuitos de manejo de potencia y en circuitos de entrada/salida que requieran niveles mayores de voltaje. Otro circuito de interés desarrollado es un amplificador operacional de transconductancia (OTA) que es utilizado en procesamiento analógico de señales. A continuación se resumen estos desarrollos.

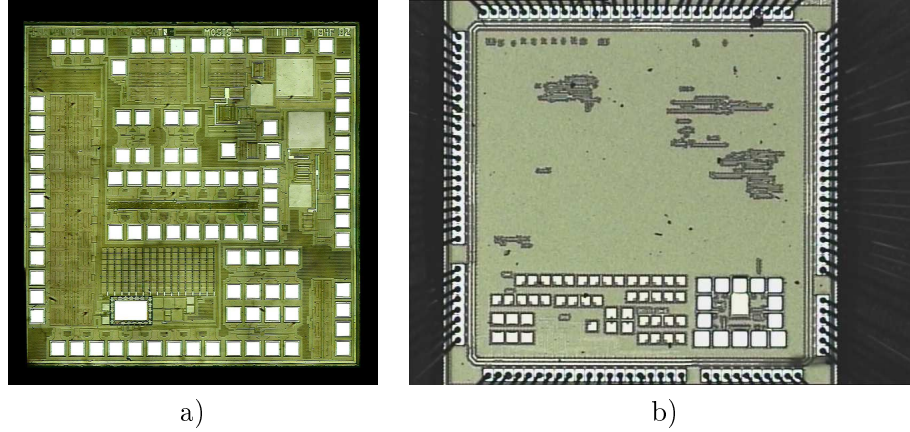


Figura 2.8: Chips fabricados: a) Proceso de  $0.5 \mu m$  b) Proceso de 90 nm.

### 2.3.1. Transistores de alto voltaje

Utilizando un procedimiento de diseño equivalente al de la sección anterior se diseñaron transistores NMOS y PMOS endurecidos contra radiación. Los mismos fueron construidos en un proceso CMOS de *bulk* convencional de  $1,5\mu m$  con dos niveles de poly y dos metales. Este proceso está orientado a diseño analógico y de baja velocidad digital, por lo que no está pensado para operar con alto voltaje debido a su bajo voltaje de ruptura en inversa en las junturas y el pequeño espesor de óxido que posee. El voltaje de ruptura de *n-well* a sustrato puede ser estimado por la Eq. 2.1 tal como se detalla en [23], siendo este el máximo soportado en todas las junturas PN en un proceso CMOS estándar.

$$V_{Br} = \frac{\epsilon(N_A + N_D)}{2qN_A N_D} \cdot E_{crit}^2 \quad (2.1)$$

En esta ecuación,  $N_D$  es la concentración de portadores en el *n-well*, mientras que  $N_A$  es la concentración de portadores en la superficie del sustrato de tipo P,  $\epsilon$  es la permitividad del silicio (Si) y  $E_{crit}$  es el campo eléctrico requerido para crear un proceso de avalancha. Su valor se

encuentra típicamente entre  $10^5$  y  $10^6$   $V/cm$ . Si se utiliza una región *n-well* como extensión de una juntura de *drain* es posible incrementar significativamente el voltaje de ruptura. Además, se dispone de una propiedad adicional de esta estructura, que es una lámina de óxido grueso entre *gate* y *drain*. Si la estructura es implementada con el segundo *polisilicio* el voltaje soportado en el *gate* es aún mayor ya que su óxido es mayor. Una estructura de transistor NMOS convencional fue diseñada con estas ideas mostrándose su resultado en la Fig. 2.9. Una estructura de transistor NMOS que combina diseño de endurecimiento contra radiación y alto voltaje se muestra en la Fig. 2.10. Aquí es posible observar un *gate* anular, anillos de guarda y una región de extensión con *n-well* en el *drain*.

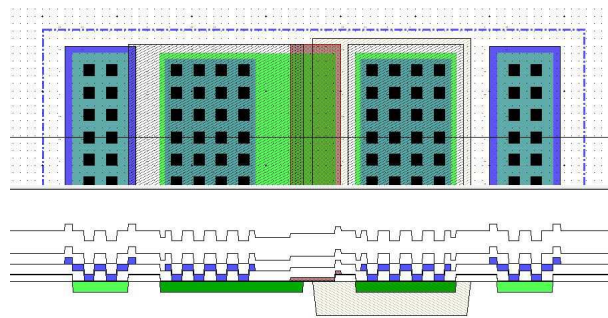


Figura 2.9: Vista de planta y lateral de una estructura para transistor de alto voltaje.

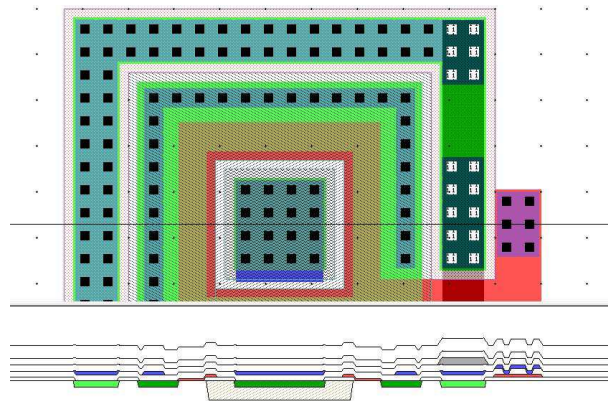


Figura 2.10: Transistor anular de alto voltaje diseñado con técnicas de endurecimiento contra radiación.

### Caracterización

Para caracterizar los dispositivos se midió la curva corriente-tensión de una juntura *drain-bulk*, tal como se muestra en Fig. 2.11. Aquí se observa que el punto de avalancha se encuentra alrededor de 47 V, valor muy cercano al voltaje de ruptura que fue calculado anteriormente en 50 V. Se debe notar que el máximo voltaje asegurado por el fabricante del proceso es de 12 V. Una vez obtenida la máxima tensión que las junturas podían soportar se realizó la caracterización de los transistores, con voltajes variando de 0 a 5 V en el *gate* y 0 a 30 V en el *drain*. Las curvas de transferencia y salida se muestran en la Fig. 2.12. Las mediciones permitieron validar las ideas propuestas y obtener los correspondientes modelos para simulación. En el próximo capítulo se darán los resultados luego de la irradiación.

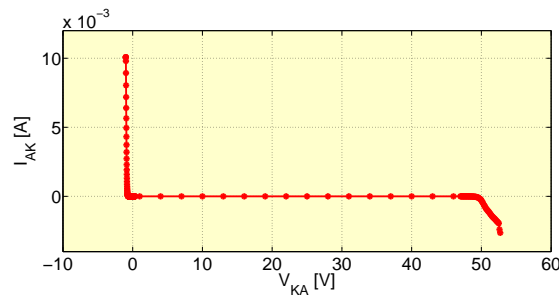


Figura 2.11: Curva de transferencia medida para una juntura *drain-bulk*.

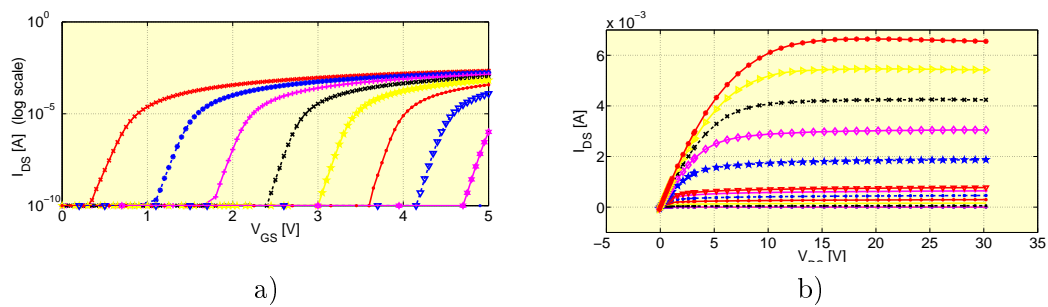


Figura 2.12: Características del transistor de alto voltaje. a) Transferencia. b) Salida.

#### 2.3.2. Amplificador operacional de transconductancia (OTA)

El amplificador de transconductancia es un dispositivo de sumo interés para el procesamiento de señales analógico. Con el objetivo de realizar un dispositivo de esta naturaleza endurecido

contra radiación, se realizó el diseño y la caracterización de uno de ellos para poder evaluar su degradación con radiación y luego realizar un diseño equivalente a los anteriores. El diseño implementa una topología basada en las directivas de Krummenacher con transistores PMOS de entrada para lograr la mínima transconductancia posible, tal como se puede observar en la Fig 2.13. Esto último es de suma utilidad en la implementación de filtros  $G_m C$  cuando se desea filtrar muy bajas frecuencias y se requiere muy bajo consumo, evitando el uso de circuitos con amplificadores de capacitores conmutados. La implementación física del OTA se muestra en la Fig. 2.14. Los detalles de diseño fueron publicados en [3].

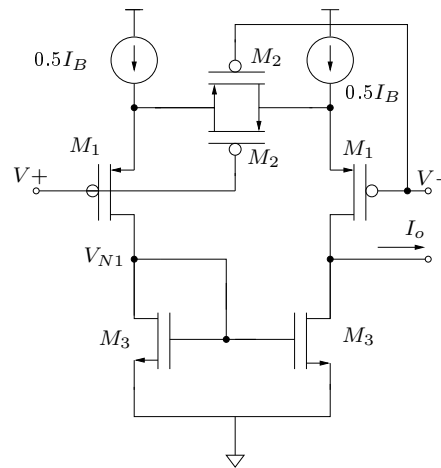


Figura 2.13: OTA PMOS de Krummenacher. Los transistores PMOS de entrada son elegidos por su baja transconductancia implícita.

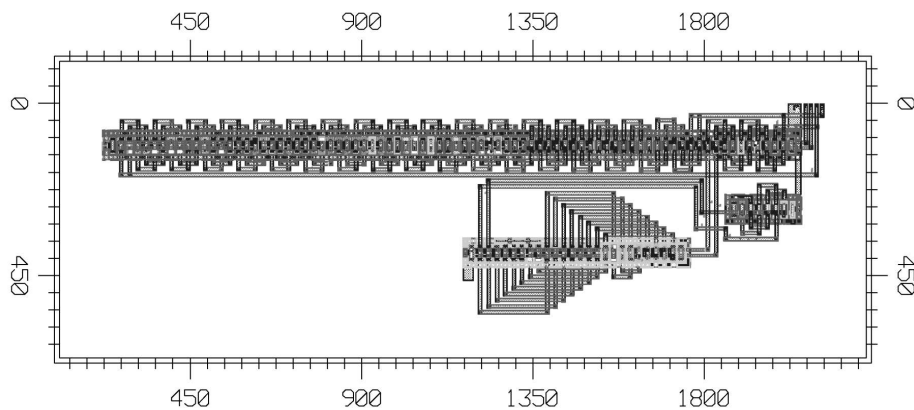


Figura 2.14: Layout del OTA.

### Mediciones

Para realizar la caracterización del OTA se utilizó un equipo Agilent E5270B con módulos E5287A. Los instrumentos se controlan remotamente con una computadora corriendo un *script* de MatLAB través de un bus GPIB. El dispositivo es polarizado a través del instrumento para fijar su transconductancia. En este caso  $V_{DD}$  es de 4 V. En la Fig. 2.15 y Fig. 2.16 se muestra la curva de transferencia medida y la transconductancia calculada, respectivamente.

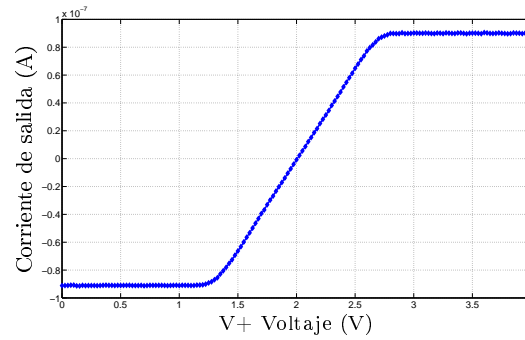


Figura 2.15: Curva de transferencia medida para OTA.

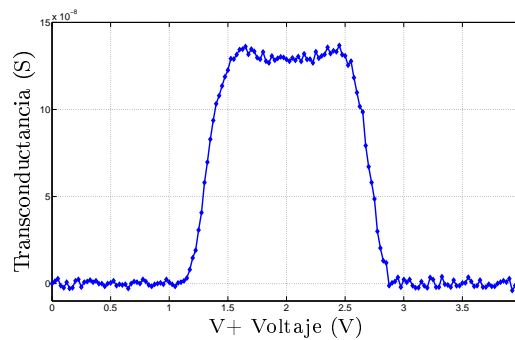


Figura 2.16: Transconductancia calculada numéricamente para un OTA.

Cuadro 2.3: Elementos basales de Biblioteca

Circuito	Tipo	Proceso	Version endurecida
NOT	Digital	90, 180, 350, 500 nm	Si
NOR	Digital	90, 180, 350, 500 nm	Si
NAND	Digital	90, 180, 350, 500 nm	Si
XOR	Digital	90, 180, 350, 500 nm	Si
AND	Digital	90, 180, 350, 500 nm	Si
OR	Digital	90, 180, 350, 500 nm	Si
LATCH	Digital	90, 180, 350, 500 nm	Si
FF_D	Digital	90, 180, 350, 500 nm	Si
FF_D_C	Digital	90, 180, 350, 500 nm	Si
FF_D_P	Digital	90, 180, 350, 500 nm	Si
FF_D_C_P	Digital	90, 180, 350, 500 nm	Si
FF_S_R	Digital	90, 180, 350, 500 nm	Si
MUX	Digital	90, 180, 350, 500 nm	Si
NMOS Rad Hard	Analógico	90, 180, 350, 500 nm	Si
PMOS Rad Hard	Analógico	90, 180, 350, 500 nm	Si
NMOS Estándar	Analógico	90, 180, 350, 500 nm	No
NMOS HV	Analógico	1,5 $\mu\text{m}$	Si
PMOS HV	Analógico	1,5 $\mu\text{m}$	Si
Diodo HV	Analógico	1,5 $\mu\text{m}$	Si
NMOS Estándar	Analógico	1,5 $\mu\text{m}$	No
PMOS Estándar	Analógico	1,5 $\mu\text{m}$	No
Bip NPN	Analógico	1,5 $\mu\text{m}$	No
Bip PNP	Analógico	1,5 $\mu\text{m}$	No
NMOS Estándar x3	Analógico	0,5 $\mu\text{m}$	No
PMOS Estándar x3	Analógico	0,5 $\mu\text{m}$	No
OTA 137 nS	Analógico	0,5 $\mu\text{m}$	No
Comparador	Analógico	0,5 $\mu\text{m}$	No
Matriz cont. Sustrato p-	Analógico	0,5 $\mu\text{m}$	No
Matriz cont. N-Well	Analógico	0,5 $\mu\text{m}$	No

## 2.4. Conclusiones

En este capítulo se presentó el diseño sistemático de los elementos basales de biblioteca endurecidos contra radiación. La misma incluye el diseño de transistores endurecidos contra radiación, como así también la extracción y cálculo de los parámetros de su modelo. Estos transistores son incorporados en elementos más complejos que permiten ejecutar funciones lógicas. Cuando se finaliza el diseño del total de los elementos requeridos se realiza su caracterización a través de herramientas de CAD semi-automáticas. Luego los diseños son fabricados para su validación y ya pueden ser utilizados en un flujo de síntesis automática. Otros circuitos de interés como dispositivos de alto voltaje y amplificadores operacionales de transconductancia fueron diseñados, implementados y caracterizados. A modo de resumen en el cuadro 2.3 se brinda un detalle de los elementos construidos. Allí se aclara las tecnologías para las que fueron diseñados, su funcionalidad, y si ya poseen una versión endurecida contra radiación. Se debe notar que para cada uno de los elementos digitales se construyeron versiones con diferente capacidad de corriente de salida y variaciones de las capacidades en los nodos. En el próximo capítulo se presentan los ensayos de radiación realizados sobre estos circuitos para validar su inmunidad a la radiación.





## Capítulo 3

# Ensayos de daño acumulativo por radiación

### 3.1. Introducción

De forma general, un ensayo de irradiación consiste en exponer una muestra a una fuente de radiación deseada de manera controlada. A través de mediciones para la caracterización del dispositivo, que pueden ser realizadas durante o después de la irradiación, se evalúa el daño producido. Para estos ensayos, además de los dispositivos a irradiar se requiere una fuente de radiación, el instrumental correspondiente y un montaje apropiado para poder irradiar y medir. Los ensayos de irradiación conforman uno de los requisitos fundamentales para evaluar la fiabilidad de cualquier dispositivo que deba ser utilizado en aplicaciones críticas en un ambiente espacial o equivalente. En el apéndice C, se indica cuál es la necesidad y en que situaciones se deben realizar este tipo de ensayos para un proceso de selección de partes en una misión espacial. En el caso particular de esta tesis se trata de validar nuestros diseños y algunos de los procesos disponibles que no han sido irradiados con anterioridad. Los ensayos de daño acumulativo deben ser realizados para evaluar la degradación que se observaría en el dispositivo luego de un período considerable de operación. En general se busca aplicar en un tiempo corto, la dosis total que el dispositivo recibiría en la situación real. Este capítulo tiene por objetivo mostrar que es posible incrementar el nivel de tolerancia a radiación en dispositivos y circuitos a través del uso de técnicas de diseño. Para elegir la fuente a utilizar para irradiar, se tomó por aplicaciones objetivo las de los satélites de órbitas bajas, que son el principal tipo de misiones realizadas por la Comisión Nacional de Actividades Espaciales en Argentina. Basados en esta premisa en los ensayos se utilizaron protones y iones de alta energía, para asegurar la correspondencia directa del ensayo con la exposición que recibiría el dispositivo en estos ambientes. Para mayores detalles sobre los

ambientes de radiación, se puede consultar el apéndice B.

En este capítulo se detallan los ensayos de irradiación realizados sobre los dispositivos que fueron reportados en el capítulo 2 que corresponden a endurecimiento por diseño para mitigar la afectación por dosis total acumulada. En principio, se presenta brevemente la instalación utilizada en los ensayos, para luego pasar a los detalles de la irradiación. A través de un abordaje metodológico, se describen los procedimientos adoptados y los requisitos para realizar una irradiación adecuada, haciendo especial énfasis en la dosimetría y la calibración previa del haz de iones. Asimismo, se describen otras cuestiones prácticas que deben ser tenidas en cuenta para poder realizar las irradiaciones, detallando el montaje de las muestras y la importancia de la generación de vacío en la línea, previo a la irradiación. Finalmente, se muestran los resultados más importantes de la caracterización de las muestras que fueron realizados luego de la irradiación, para luego dar lugar a las conclusiones.

### 3.2. Ensayos de irradiación realizados

Los ensayos de irradiación fueron desarrollados en instalaciones de la Comisión Nacional de Energía Atómica (CNEA) utilizando el acelerador lineal de partículas TANDAR (Tandem Argentino). Este es un acelerador tándem electrostático con sistema de carga por cadenas de tipo Van der Graaf. El “Grupo de Energía Solar” de CNEA dispone de una línea de irradiación conectada a este acelerador, con la que es posible irradiar con un haz de gran sección transversal (de hasta unos 15 cm). La línea está conformada por un tubo metálico por el que viaja y se focaliza el haz, mediante el uso de cuadrupolos magnéticos. A una distancia de 5,8 m después del plano focal, y justo en el extremo del tubo metálico, se encuentra la cámara donde se colocan las muestras a irradiar. Dentro de la cámara de muestras se encuentra un conjunto de copas de Faraday que permiten caracterizar el haz incidente. En la Fig. 3.1 se muestra un esquema de la línea de haz extenso, donde se detallan los distintos elementos y las dimensiones, mientras que en la Fig. 3.2 se muestra una fotografía de la línea utilizada para los ensayos. Una característica relevante de estas instalaciones son los anillos concéntricos móviles que permiten ubicar y retirar las muestras del eje del haz sin romper el vacío de la cámara de irradiación, lo que mejora la condición del trabajo reduciendo el tiempo de establecimiento ante un cambio de muestras. En la Fig. 3.3 se muestra un circuito integrado colocado dentro de la cámara previo a su irradiación desde una vista superior y frontal.

Entre los elementos irradiados se encuentran los transistores estándar y endurecidos MOS de tipo N y P, los transistores N de alto voltaje y la totalidad de compuertas digitales diseñadas. Entre estas últimas, el inversor lógico es el elemento más simple sobre el cual se analizan las características esenciales de la lógica. A partir del estudio de su desempeño es posible inferir el

comportamiento de otras compuertas digitales. Ello es posible gracias a que la lógica CMOS se construye a partir de redes de *pull-up* y *pull-down*, mostrando un comportamiento equivalente al del inversor. Por este motivo se brindarán exclusivamente detalles de las mediciones realizadas sobre el inversor lógico endurecido, pudiendo ser inferida la degradación en las demás compuertas a partir de los resultados del mismo. Para las irradiaciones se utilizó un haz uniforme de protones con energía de 10 MeV, como así también iones de Oro(Au) de 118 MeV y Oxígeno(O) de 25 MeV dentro de una cámara de vacío. Debido a que los resultados obtenidos con iones pesados fueron equivalentes a los obtenidos con protones, sólo estos últimos se transcriben en la tesis.

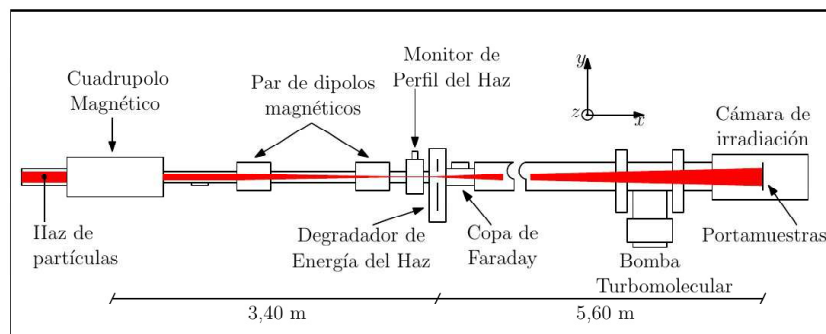


Figura 3.1: Diagrama de la línea de irradiación de haz extenso.



Figura 3.2: Fotografía de la línea de irradiación de haz extenso.

### Dosimetría

Un elemento muy importante para que un ensayo de radiación tenga validez, es realizar una medición correcta y precisa de la fluencia aplicada sobre la muestra (dosimetría). Como

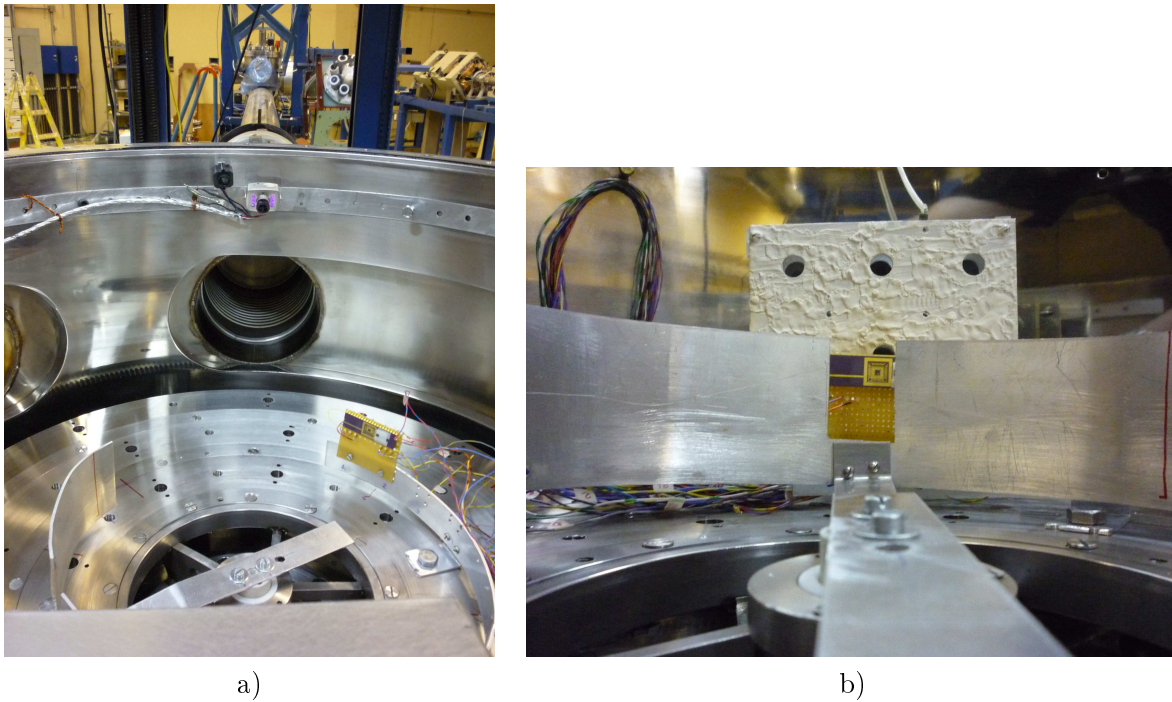


Figura 3.3: Cámara de irradiación: a) Vista superior. b) Vista desde la fuente.

elementos de sensado para realizar esta medición, la cámara cuenta con un arreglo de nueve copas de Faraday (FC). Las copas de Faraday son elementos metálicos, diseñados con el objetivo de coleccionar cargas en vacío provenientes de una fuente. A través de la medición de la corriente recibida en cada una de las copas es posible evaluar la cantidad de carga recibida. Esto permite evaluar la uniformidad del haz en un área de  $80 \text{ cm}^2$ . En la Fig. 3.4 se muestra una representación simplificada del conjunto utilizado, que consiste en un arreglo de FC que consiste en nueve tubos de aluminio cerrados en un extremo de  $1 \text{ cm}^2$  de sección y una separación equivalente conectados con cables para drenar la carga coleccionada. A medida que el haz de iones es detectado en cada copa, una señal es entregada a un electrómetro. Las mediciones se realizan de manera sucesiva en cada copa conmutando el electrómetro con una matriz de bajo ruido, que es un instrumento que permite realizar conexiones arbitrarias de manera remota con muy baja pérdida por inserción. Esta secuencia es controlada por una computadora a través de un bus de instrumentación GPIB. La distribución del haz es obtenida en el inicio y durante cada irradiación. La fluencia total absorbida por la muestra irradiada es estimada a través de interpolación de las corrientes medidas en cada copa y la posición de la muestra.

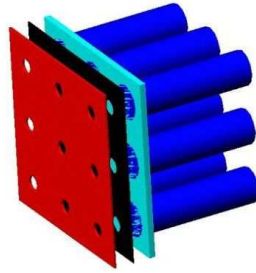


Figura 3.4: Vista simplificada del arreglo de 3x3 copas de Faraday.

### 3.2.1. Irradiación de las muestras

#### Consideraciones previas y montaje de las muestras

Tal como se mencionara en el capítulo de diseño, el grupo de los dispositivos endurecidos fueron construidos sin protecciones de descarga electrostática (ESD) para evitar las posibles desviaciones que las mismas pudieran introducir en las mediciones de los dispositivos. Por este motivo, y para evitar dañarlos, los mismos no fueron conectados hasta luego del proceso de irradiación. Esta situación impone restricciones para la metodología de irradiación, ya que no es posible realizar la caracterización en línea de los dispositivos. Para lidiar con este condicionante, se decidió irradiar distintas muestras del mismo dispositivo con tres fluencias distintas escalonadas. Debido a que las distintas muestras pertenecen al mismo *wafer* y sector en el mismo, es posible suponer que la diferencia de características en los parámetros entre *dies* es despreciable.

Para montar los dies de silicio dentro de la cámara se utilizó un arco de aluminio con tres sostenes de acrílico adosados al mismo. En la Fig. 3.5 es posible observar el montaje final. Un arco similar al anterior con una ventana de 3 cm x 3 cm fue utilizado para enmascarar los dispositivos de partículas dispersadas indeseadas. Ambos arcos pueden ser observados a través del monitor y ser desplazados desde el exterior. De esa manera cada muestra puede ser alineada en la dirección del haz. El tiempo de uso del acelerador es extremadamente escaso por lo que diferentes dispositivos fueron montados en simultáneo para poder irradiarlos.

En el caso de los transistores de alto voltaje, los mismos fueron encapsulados en un sustrato cerámico de tipo DIP40. Por ese motivo en este caso fue posible polarizar los dispositivos durante la irradiación y realizar caracterizaciones sucesivas luego de cada irradiación. Para ello el circuito fue instalado en una placa de circuito impreso y conectado a los instrumentos a través de cables que utilizaron pasantes BNC en la cámara.

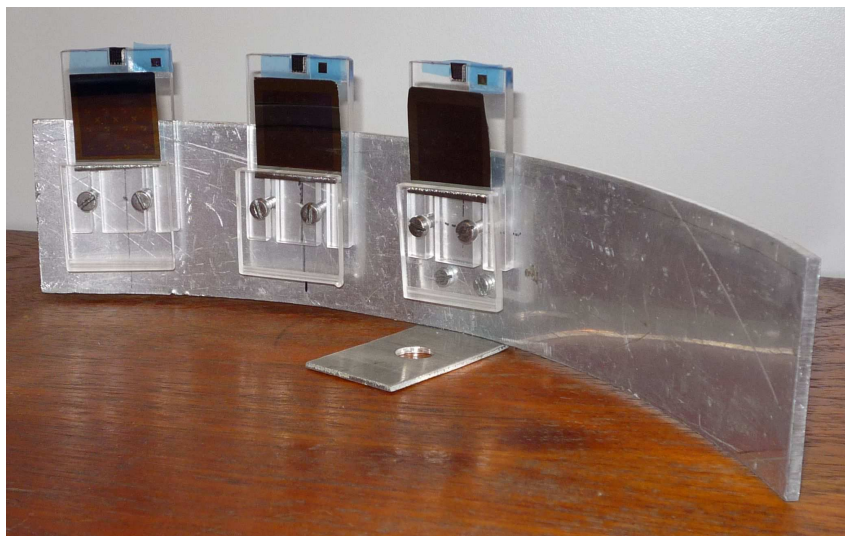


Figura 3.5: Montaje para las muestras antes de colocar en la cámara de irradiaciones.

### Preparación del experimento y calibración del haz

El procedimiento previo a la irradiación consiste en instalar las muestras en la cámara, realizando las conexiones correspondientes con los distintos instrumentos. Luego la cámara se cierra y se comienza a generar en toda la línea el vacío necesario para que las partículas puedan alcanzar los dispositivos. Para ello se utilizan bombas turbo-moleculares e iónicas, lográndose un alto nivel de vacío ( $10^{-6}$  Torr). Debido al gran volumen que posee la cámara y la línea, este procedimiento puede tomar alrededor de una hora dependiendo de las condiciones del aire y del experimento. Una vez establecido el vacío se comienza a caracterizar el haz, para ello primero se enfoca el mismo en una placa metálica perforada que antecede en la dirección del haz a las copas de Faraday. La superficie de esta placa se encuentra recubierta de un material foto-emisor, por lo que el operador puede configurar la forma y apertura del haz. Este procedimiento es posible de realizar observando el interior de la cámara de irradiación a través de un monitor que recibe imágenes de una videocámara instalada en su interior. Cuando el haz tiene las características deseadas, se lo desplaza hacia una de las copas para medir su corriente. Se realiza una medición de corriente en esta condición, ajustándose a un valor deseado. Luego se interrumpe el haz y se coloca en un sector apropiado de la línea una lámina de aluminio de algunos micrones de espesor. Esto permite tener una mayor apertura del haz para disminuir la fluencia y tener una irradiación más homogénea. Las mediciones tomadas en la copa del medio son las consideradas para evaluar como referencia la magnitud de la fluencia de protones. La evolución temporal de la corriente en la copa de Faraday inmediatamente encima de la muestra puede ser observada en la Fig. 3.6

para el caso del experimento de menor fluencia.

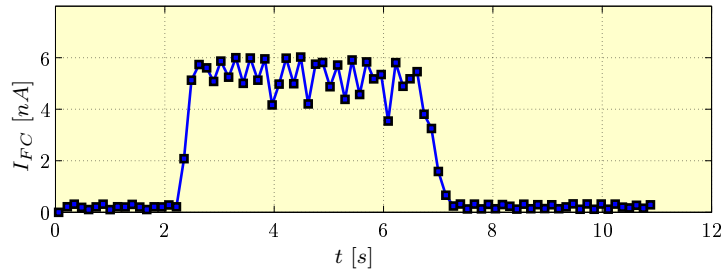


Figura 3.6: Corriente medida en la copa de Faraday durante la irradiación.

### Pasos de irradiación

Durante las irradiaciones, los dispositivos se mantienen a temperatura ambiente y en absoluta oscuridad. En el caso de los dispositivos y lógica endurecida, cada *die* fue expuesto al haz de protones de 10 MeV durante una cantidad limitada de tiempo. Estas exposiciones duraron 4, 120 y 600 segundos. Integrando la corriente medida en las copas es posible determinar la fluencia recibida, que es respectivamente equivalente a  $10^9$ ,  $10^{10}$ ,  $10^{11}$   $\#/\text{cm}^2$ . Siendo la más elevada de ellas equivalente a la fluencia de protones de esta energía que recibirían los dispositivos de un satélite en una órbita baja durante 5 años de operación. En el caso de los dispositivos de alto voltaje, las condiciones fueron equivalentes en cuanto a temperatura y luz, pero en este caso los dispositivos fueron polarizados con 3 V en el *gate* durante la irradiación y las mediciones fueron realizadas en línea entre cada una de las irradiaciones. Los niveles de fluencia fueron los mismos que los anteriores incorporando dos fluencias intermedias adicionales. Los experimentos fueron realizados de acuerdo a la especificación 22900 del estándar de ESA/SCC.

### 3.3. Caracterización de las muestras

La medición de los dispositivos irradiados fue realizada en el laboratorio de electrónica del Instituto Nacional de Tecnología Industrial (INTI) y en el “Laboratorio de Micro y Nanoelectrónica” de la Universidad Nacional del Sur. Para ello se utilizó una estación de pruebas *Wentworth Lab*, un sistema de caracterización modelo 4200-SCS de *Keithley*, seis *Sense and Measurements Units* (SMU), un equipo Agilent E5270B con unidades SMU E5287A, un medidor CV *Keithley* 590 y una matriz de conmutación de 12x8. Mediciones típicas fueron realizados en los transistores MOS para la extracción de sus parámetros como así también la curva de transferencia de un inversor. El procedimiento realizado consiste en conectar las puntas de prueba a los *pads*

para vincular los dispositivos a los instrumentos a través de la matriz. Una vez realizadas estas conexiones es posible realizar la inyección de señales y las correspondientes mediciones. En la Fig. 3.7 se muestra una fotografía del circuito conectado con las respectivas puntas de prueba.

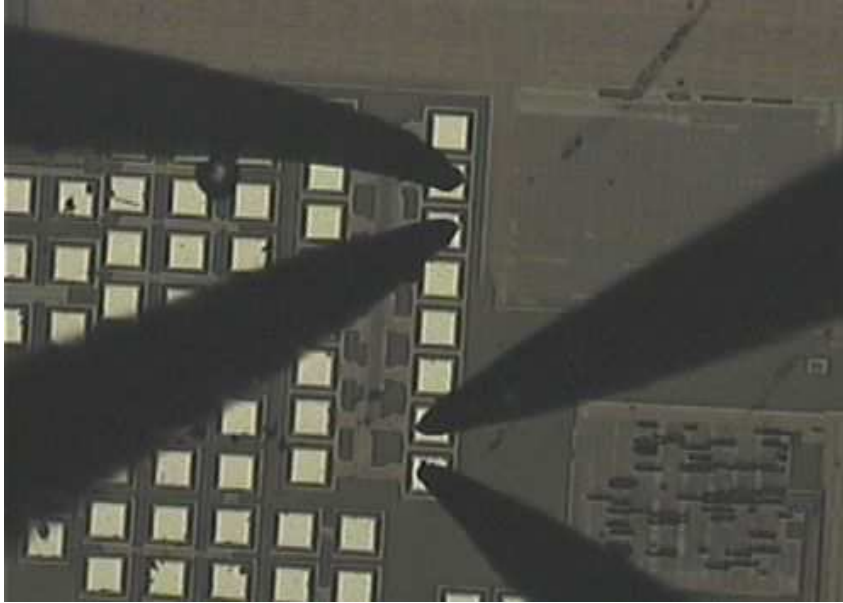


Figura 3.7: Puntas de prueba conectadas para medir los dispositivos y compuertas digitales.

### 3.3.1. Caracterización de transistores estándar de alto voltaje

Los transistores de alto voltaje presentados en el capítulo anterior fueron irradiados con fluencias incrementales de protones de 10 MeV. En este caso fue posible realizar las mediciones luego de cada irradiación ya que los dispositivos se encontraban encapsulados. La medición tomada consiste en obtener la curva de transferencia del dispositivo donde de la corriente de *drain* es medida manteniendo un voltaje constante de 10 V en el *drain*, mientras se varía la tensión de *gate* de 0 a 10 V. Los resultados obtenidos para cada una de las irradiaciones se muestran en la Fig. 3.8. Allí es posible observar algunos de los fenómenos mencionados en el capítulo anterior, ya que se produce un desplazamiento en la tensión de umbral  $V_T$  del dispositivo y se incrementa la corriente de fuga. Aún así, en este caso, la corriente se incrementa al doble para la fluencia máxima recibida, que es de un valor considerable.

### 3.3.2. Caracterización de transistores endurecidos por diseño

Se caracterizaron los transistores NMOS y PMOS endurecidos por diseño que fueran irradiados anteriormente. Para ello se realizaron las mediciones sobre cada uno de los dispositivos



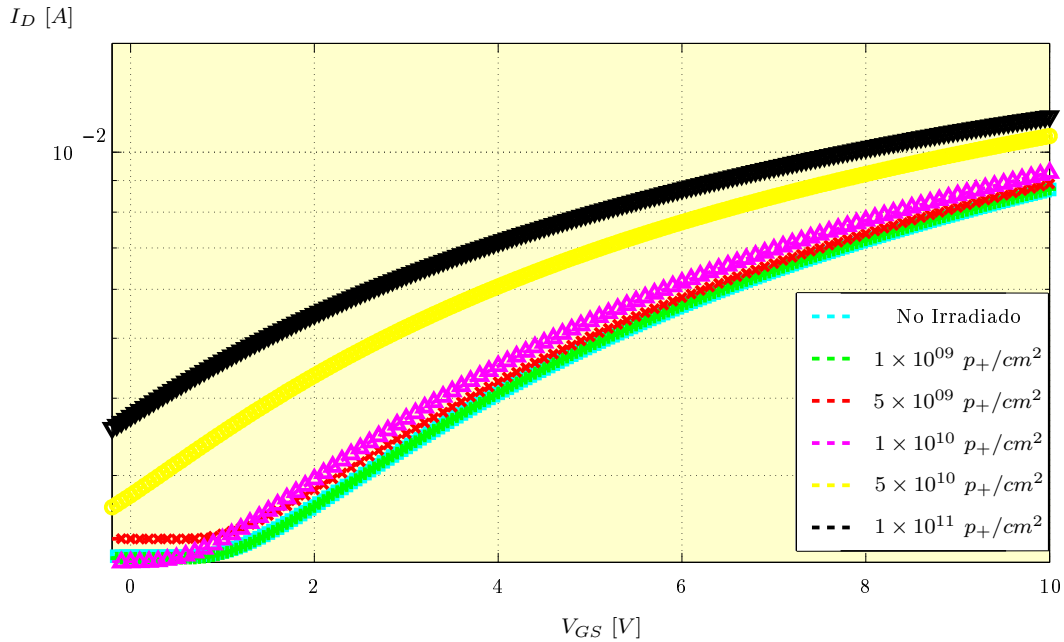


Figura 3.8: Curva de transferencia para un transistor NMOS estándar de alto voltaje para irradiación con diferentes fluencias.

expuestos a distintas fluencias. Se programó el sistema de caracterización para poder luego realizar las mediciones. Se utilizaron cuatro *Sense and Measurement Units* (SMU) para inyectar señales y tomar las mediciones para realizar la caracterización de DC. Para extraer el  $V_t$  y el factor *body*  $\gamma$  se realizó la medición de curvas  $V_{GS}-I_{DS}$  con variación paramétrica del potencial de *source*. Para la extracción del voltaje de *early* se midieron múltiples curvas  $V_{DS}-I_{DS}$  con variación paramétrica del voltaje de *gate*. En la Fig. 3.9 se muestran las curvas obtenidas para el transistor NMOS con endurecimiento por diseño para los distintos niveles de irradiación. El  $V_T$  obtenido extraído de estas mediciones se puede observar en la Fig. 3.10.

Luego de realizar la caracterización de DC, se midieron curvas CV en todos los dispositivos. Más allá de que el instrumental cuenta con la posibilidad de compensar las capacidades parásitas de los cables y puntas de prueba, las mediciones obtenidas contienen ruido. Esto se debe principalmente a las pequeñas dimensiones y su correspondiente baja capacidad que presentan los dispositivos. A pesar de esta limitante, se realizó una aproximación polinomial de los datos para detectar la posible existencia de alguna tendencia. En los resultados de la medición del transistor NMOS endurecido ningún cambio fue observado en relación con la fluencia aplicada, lo que indica la inmunidad de los dispositivos a la radiación recibida. En la Fig. 3.11 se pueden ver las interpolaciones de las curvas obtenidas.

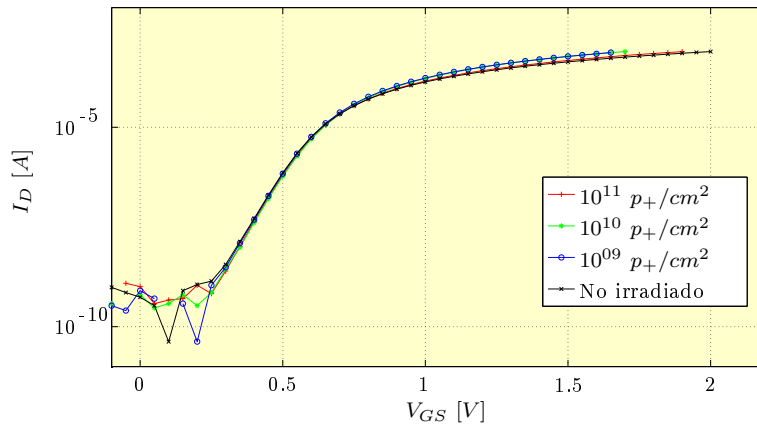


Figura 3.9: Curva de transferencia para un transistor NMOS endurecido por diseño para irradiación con diferentes fluencias.

### 3.3.3. Mediciones en un inversor lógico

Se midió la curva de transferencia y corriente de cortocircuito (*crossbar*) en un inversor lógico para las distintas fluencias aplicadas. En la Fig. 3.12 se muestra la curva de transferencia característica obtenida (VTC). A partir de esta medición se obtuvo por cálculo la ganancia y el margen de ruido del inversor. El valor de ganancia de un inversor es sumamente importante, ya que su valor indica el límite máximo para cualquier amplificador en un proceso CMOS, [24]. El margen de ruido indica la capacidad de discriminar valores lógicos que posee una compuerta. Estos parámetros se muestran en las Fig. 3.13 y Fig. 3.14 respectivamente. En el caso de la ganancia se observa que la misma se maximiza en 1,3 V, lo que indica una transición ligeramente asimétrica que es debida a la diferencia en la movilidad de los dispositivos P y N. El margen de ruido bajo ocupa el 30 % del valor de la fuente de alimentación mientras que el margen de ruido alto ocupa el 54 % del mismo. Estos valores indican buenos márgenes de ruido para las compuertas ya que solo un 16 % de la excursión lógica queda en un estado indefinido. Con respecto a la dependencia con radiación, en ninguno de los casos se observan desviaciones considerables relacionadas a la fluencia aplicada.

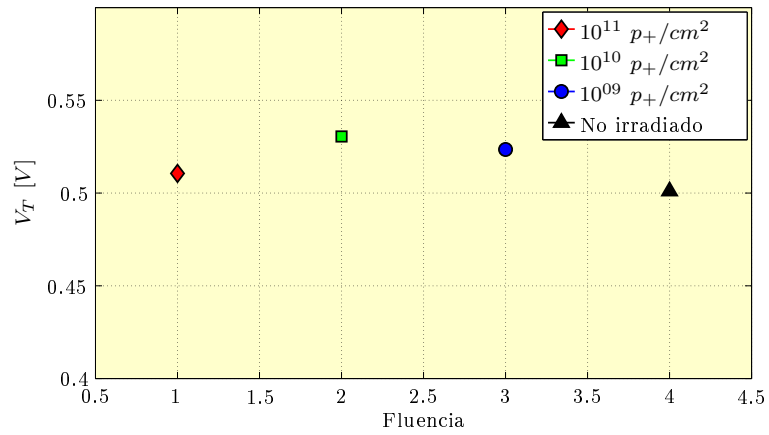


Figura 3.10: Tensión de umbral para un dispositivo NMOS endurecido por diseño irradiado con diferentes fluencias.

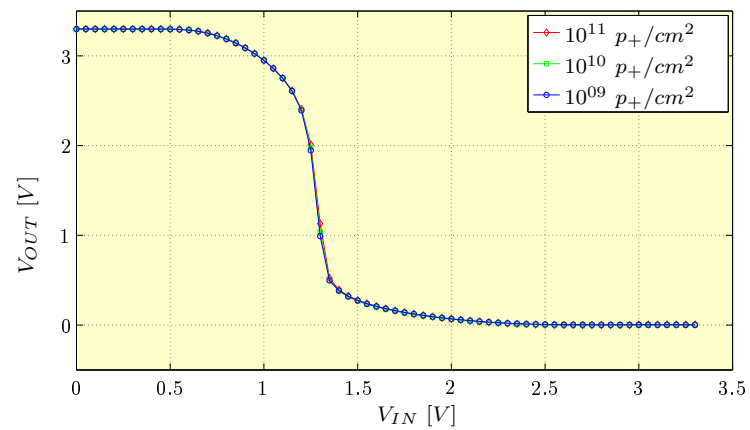


Figura 3.12: Curva de transferencia de voltaje para un inversor irradiado con distintas fluencias

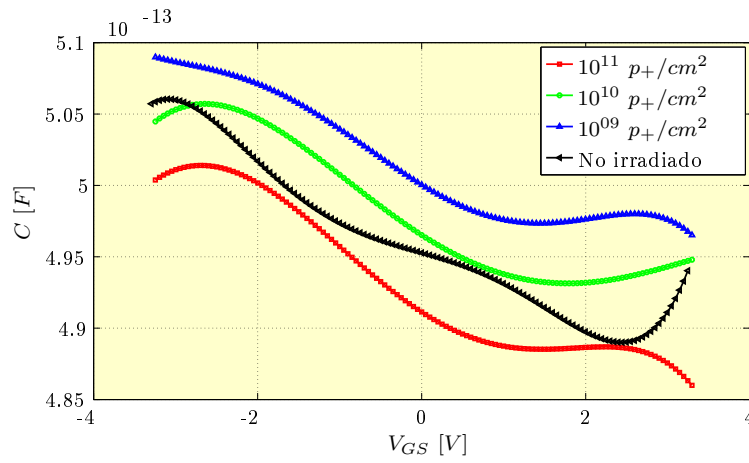


Figura 3.11: Curva CV para un transistor NMOS irradiado con diferentes fluencias.

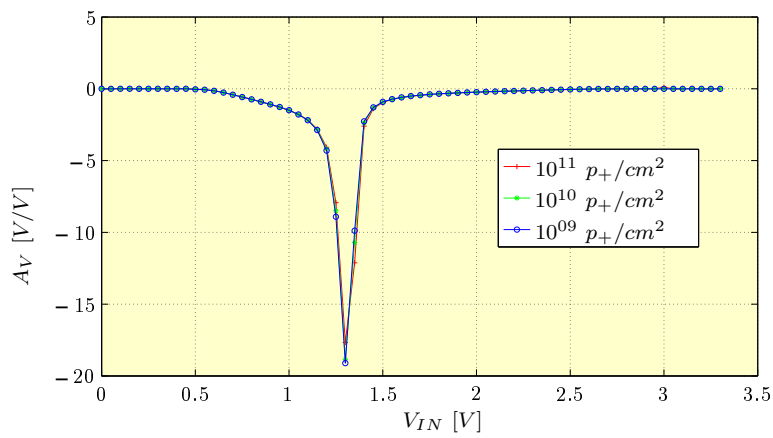


Figura 3.13: Curva de ganancia del inversor para distintos niveles de irradiación.

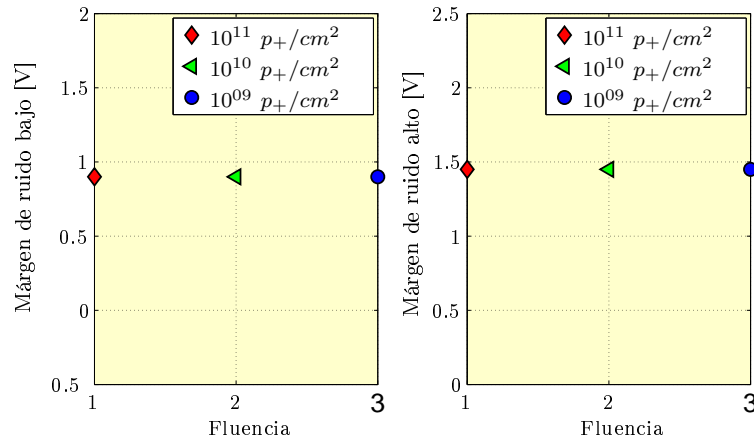


Figura 3.14: Márgenes de ruido en un inversor para distintas fluencias de irradiación.

### 3.4. Conclusiones

En este capítulo se mostraron los principales resultados obtenidos en los ensayos de irradiación de los dispositivos y elementos lógicos diseñados para esta tesis. Entre estos se encuentran dispositivos estándar, de alto voltaje y dispositivos construidos con técnicas de endurecimiento contra radiación. Se detallaron las cuestiones metodológicas y las consideraciones prácticas que deben ser tenidas en cuenta para poder realizar un ensayo de esta naturaleza. Asimismo, se hizo especial énfasis en el procedimiento para una correcta medición de la fluencia aplicada. Los ensayos fueron realizados sobre diferentes tecnologías en procesos que van desde 90 nm hasta 500 nm. Para las irradiaciones se utilizó un haz uniforme de protones con energía de 10 MeV, como así también iones de Oro(Au) de 118 MeV y Oxígeno(O) de 25 MeV dentro de una cámara de vacío. En el caso de los dispositivos endurecidos no se observó degradación en ninguno de sus parámetros, lo que muestra la eficacia del diseño realizado contra daño acumulativo producido por radiación. El uso de protones de alta energía en los ensayos de radiación concretados, permite realizar una evaluación realista del daño de radiación existente en ambientes como el que operan los satélites de órbitas LEO. Es importante notar que habitualmente, el uso de irradiaciones con fotones *gamma* exige un sobre-dimensionamiento de los requerimientos para radiación. En base a lo expuesto, las técnicas de endurecimiento contra daño acumulativo utilizadas en esta tesis fueron validadas con fuentes equivalentes a las de la situación real de operación. En el caso de los experimentos propuestos, el enfoque adoptado para ensayos de irradiación es acorde con los objetivos de los sistemas a utilizar en las actuales misiones espaciales argentinas. A través de los resultados obtenidos sobre estos dispositivos, es posible inferir la dependencia en circuitos

integrados, a través de la extrapolación de los mismos.

## Parte II

# Efectos transitorios





## Capítulo 4

# Problemática de fallas inducidas por efectos transitorios

### 4.1. Introducción

Este capítulo presenta el problema de fallos transitorios o eventuales inducidos por radiación en circuitos y sistemas microelectrónicos. Un fenómeno transitorio sucede cuando una partícula de alta energía impacta sobre una región de circuito alterando su funcionamiento. Se diferencia del problema de daño acumulativo en que en lugar de ser una degradación progresiva con la exposición, se trata de un evento aislado tanto en el espacio como en el tiempo. Este tema es de suma importancia en el contexto de los sistemas microelectrónicos para aplicaciones críticas, ya que los fallos de esta naturaleza inducidos pueden ser catastróficos al alterar datos importantes almacenados en registros y memorias o dislocar máquinas de estado. Además de los iones de alta energía que pueden encontrarse en órbita, recientemente se ha demostrado que este efecto es cada vez más frecuente por la interacción de los circuitos con neutrones presentes tanto a nivel atmosférico como a nivel terrestre [25, 26]. En el caso terrestre, estos neutrones provienen del espacio exterior y alcanzan la atmósfera debido a que los cinturones magnéticos no pueden retenerlos al no poseer carga. El flujo de neutrones recibidos es prácticamente constante en el tiempo, por lo que el efecto se debe a la agresiva reducción que se da en el tamaño de los dispositivos, que los vuelve más vulnerables, este hecho también hace cada vez mas notorio el problema en el espacio exterior y en órbita. Para cuantificar la interacción de una partícula con un circuito se define la *carga crítica* como la carga que es necesario depositar en un nodo de circuito para alterar su voltaje cambiando el estado lógico que representa. En los circuitos implementados en procesos modernos la carga crítica se ha reducido drásticamente debido a las pequeñas dimensiones que poseen y que reducen la capacidad efectiva el nodo. A lo largo de este

capítulo, se describe el tipo de fenómeno y su métrica, para luego brindar las definiciones que permiten describir sus efectos en los circuitos afectados. Luego se presentan las técnicas utilizadas para mitigar sus efectos. Estas técnicas se pueden clasificar de diferentes formas de acuerdo al origen del fallo, el tipo de sistemas o la clasificación descripta en la introducción que resalta la forma de robustecer los circuitos: redundancia temporal, espacial o lógica y de detección de eventos.

## 4.2. Efectos transitorios

Cuando una partícula de alta energía impacta en el silicio produce pares hueco-electrón. En el caso de que el impacto suceda en una juntura, se genera una deposición de carga en la misma donde los portadores son arrastrados por el campo eléctrico presente en la región de vaciamiento. Dinámicamente el fenómeno puede ser visto como la inyección de un pulso de corriente en un nodo que altera el normal funcionamiento del circuito. Este problema se define como *efecto transitorio* o como *Single Event Effect* en inglés. La interacción entre la partícula y el material queda determinada en base a la transferencia lineal de energía (LET) que se produzca. Esta cantidad se define en base a la energía que una partícula puede transferir al entorno en el cual recorre su trayectoria, de acuerdo a la siguiente ecuación:

$$L.E.T \left[ \frac{MeV.cm^2}{mg} \right] \cdot Densidad \left[ \frac{mg}{cm^3} \right] = Energia Depositada \left[ \frac{MeV}{cm} \right] \quad (4.1)$$

Sabiendo que la energía depositada y que la cantidad de energía requerida en el silicio para generar un par hueco-electrón es de 3.7 eV es posible conocer la carga lineal depositada en una trayectoria. Integrándola en la región de interés es posible conocer la carga total depositada en ese nodo. Se debe notar que el cálculo es aproximado debido a la dependencia con la temperatura y la pérdida de energía que se da en las capas de otros materiales que debe atravesar la partícula antes de llegar al dispositivo. Para asistir en este tipo de cálculos, se usaron herramientas de software como SRIM/TRIM que permiten lograr buenos resultados en los estudios exploratorios facilitando la determinación de cotas de riesgo durante el diseño [27].

### 4.2.1. Fallas en circuitos por efectos transitorios

Las fallas por efectos de eventos singulares o SEE (*Single Event Effect*) son las que produce una única partícula, como puede ser el caso de un ion pesado, que impacta en una estructura. El efecto podrá afectar o no a todo el circuito y será función de la transferencia lineal de energía (LET) dada en la interacción, cantidad que es dependiente de la densidad del material, y de la energía media transferida por unidad de longitud. En la Fig. 4.1 se muestra un corte de

una juntura perteneciente a un transistor de un inversor CMOS y como el ion que atraviesa el semiconductor genera pares hueco-electrón en las cercanías de su trayectoria. La carga depositada es en principio colectada por el campo eléctrico de la juntura para luego difundirse en el material y afecta el potencial de los distintos nodos.

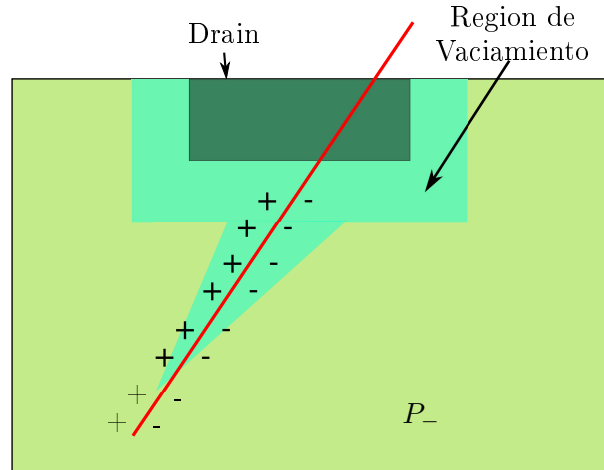


Figura 4.1: Single Event Effect en tecnología CMOS.

Los SEE pueden ser identificados como un error suave (*soft error*) si producen sólo un mal funcionamiento y son reversibles, o error grave (*hard error*) en el caso en que el circuito se dañe luego de la interacción. Algunos de los eventos simples (SEE) más comunes según se los denomina en la literatura son:

- *SET (Single Event Transient)*

Este es uno de los principales problemas que afecta a la lógica combinacional y circuitos de tipo analógico. Al producirse una deposición de carga en un nodo del circuito, el pulso de tensión generado puede ser propagado como una señal a través de las compuertas. Este valor puede ser enmascarado por la lógica en la que se propaga, pero en el peor de los casos puede ser almacenado en un registro si la perturbación se produce un instante antes de la llegada del flanco de reloj. Por otro lado también se pueden producir lecturas o escrituras erróneas en el caso del uso de lógica dinámica. Efectos de este tipo en microprocesadores han sido reportados en [28] y [29].

- *SEU (Single Event Upset)*

Un SEU es la modificación del estado lógico de una celda básica de memoria, inducido por las cargas generadas en el camino que recorre la partícula, y que son tomadas por un nodo vulnerable. En el caso de una SRAM, conformada por 2 inversores cuyas salidas están

conectadas a la entrada del otro, los nodos sensibles son los *drain* de los transistores. Esta clase de problemas es especialmente importante en circuitos digitales, y puede ser corregido si se genera una reescritura de los datos con algoritmos especiales ejecutados por el CPU. El número de errores se expresa como errores/bit/día, y puede acarrear serios problemas si es demasiado alto. Para cada elemento de memoria, se computa la carga crítica, que es la mínima cantidad de carga que puede generar un SEU. Existe una relación directa entre esta cantidad y el LET de la partícula. Un valor típico de carga producido por una partícula que impacta con  $1 \text{ MeV.cm}^2/\text{mg}$ , es  $10 \text{ fC}$ . Un reporte sobre fallos en memorias puede encontrarse en [30].

- *MBU (Multi Bit Upset)*

Esta clase de error es similar al anterior, pero representa el hecho de que más de un dispositivo sea afectado al mismo tiempo. Se puede producir por una partícula que, o bien ingrese casi tangencialmente a la superficie, o bien tenga una alta energía, o por dos partículas independientes que golpeen el dispositivo al mismo tiempo.

- *SEL (Single Event Latchup)*

En este caso se activa un fenómeno de *Latchup* (ver apéndice A) cuando se produce el impacto de la partícula, por lo que se lo puede considerar un tipo de error duro. Para que el mismo se produzca, debe existir la estructura parásita (los procesos de Silicio sobre aislante (SOI) no presentan este efecto, por no tener sustrato), los transistores deben estar polarizados directamente, deben tener un producto de ganancias superior a uno, y la fuente debe ser capaz de proveer la corriente de mantenimiento.

- *SES (Single Event Snapback)*

Este efecto puede ser generado por un fenómeno de avalancha acompañado por realimentación en el transistor NPN que se genera entre el *drain*, el sustrato y el *source* de un transistor de canal-n. Se puede producir en dispositivos con altas tensiones aplicadas.

- *SEGR (Single Event Gate Rupture)*

Es un evento que produce la ruptura del *gate*, y se manifiesta en dispositivos con un gran campo eléctrico.

- *SEBO (Single Event Burn Out)*

Este efecto se da en transistores bipolares y MOS de potencia. En determinadas condiciones de polarización, una partícula con la suficiente energía generará corrientes que elevarán la temperatura fundiendo el semiconductor.

### 4.3. Técnicas para mitigar efectos transitorios

A continuación se describen las distintas técnicas utilizadas para mitigar fallas transitorias. Estas técnicas utilizan las diversas características de los fallos de forma de asegurar circuitos que permitan sobrellevarlos. En la Fig. 4.2 se resaltan las técnicas que serán explicadas a continuación.

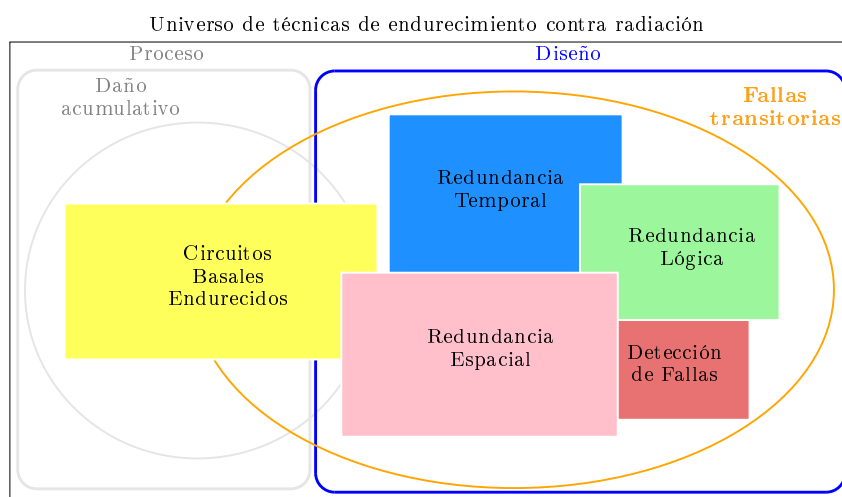


Figura 4.2: Diagrama destacando el endurecimiento contra fallos transitorios inducidos por radiación.

#### 4.3.1. Circuitos Basales Endurecidos

Es posible contar con circuitos basales endurecidos contra fallas transitorias. En el caso de SEU, es posible disponer de elementos de bibliotecas y elementos de memoria mejorados a los cuales se les modifica su carga crítica a través del cambio de su dinámica, lo que permite sobrellevar los transitorios generados por partículas energéticas. Esta técnica, que es ejemplificada en la Fig.4.3, utiliza resistores para aumentar la constante de tiempo del circuito, permitiendo rechazar los transitorios. Otra forma que ha sido implementada, es el aumento de la capacidad de salida de las bibliotecas utilizando los transistores anulares con los *drain* externos. El uso de esta técnica requiere el seguimiento durante el diseño de las cargas críticas de los nodos. Otro tipo de celda de memoria que es posible utilizar se denomina DICE y fue propuesta en [31, 32]. El principio de su robustez se encuentra en la realimentación utilizada, logrando mitigar los fallos transitorios. Sus principales desventajas son el aumento de área y la reducción en velocidad de acceso a la memoria.

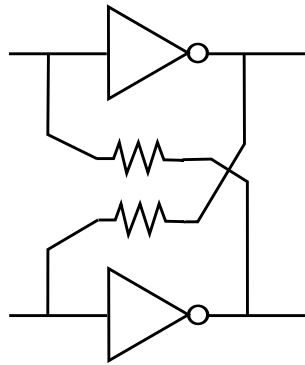


Figura 4.3: Reducción de la sensibilidad a SEU en una celda SRAM.

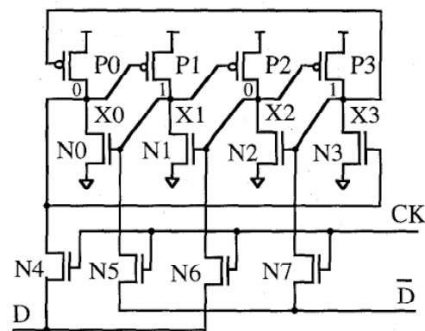


Figura 4.4: Celda DICE tolerante a fallas transitorias.

#### 4.3.2. Redundancia espacial

Otra técnica que puede ser utilizada es la de redundancia espacial, en la que se colocan dos circuitos realizando la misma operación para luego comparar sus resultados. La técnica explota el hecho de que los fallos se encuentran localizados, y que en general el radio en el que una partícula tiene influencia se encuentra en las fracciones de micrón. Asimismo, la posibilidad de ocurrencia de fallas simultáneas en los dos circuitos es extremadamente baja. En caso de que exista una falla en un lugar determinado de un circuito, es muy poco probable que suceda simultáneamente otra a una distancia fuera de su área de influencia. Esta técnica explota entonces la localidad espacial de la falla replicando los circuitos de forma que se pueda aislar o detectar el fallo. Si se desea corregir el fallo se requiere una redundancia doble con un árbitro por votación. En cambio si se desea solo detectar el fallo con una redundancia simple, y la comparación por resultado desigual da la condición de error. En la Fig. 4.5 se muestra un circuito que ejemplifica esta técnica con redundancia simple.

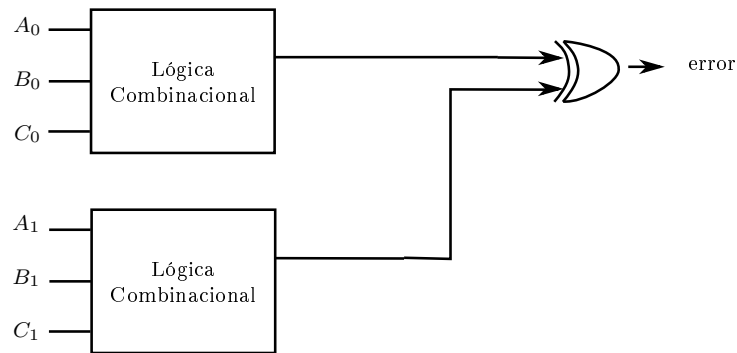


Figura 4.5: Circuito con redundancia espacial.

### 4.3.3. Redundancia temporal

Otra técnica para detectar y mitigar errores transitorios es la de redundancia temporal. Aquí se realiza la repetición sucesiva de la evaluación de interés. Esto implica realizar el diseño de forma que el circuito compute el mismo resultado varias veces a lo largo del correr del tiempo aislando el evento que provoca el fallo a una de ellas y luego decidir por arbitraje el valor final correcto. En la Fig. 4.6 se muestra la implementación de la misma para detectar errores en lógica combinacional. La señal se muestrea en dos instantes de tiempo diferentes ( $\text{clk}$  y  $\text{clk}+d$ ) que en caso de diferir, es por la ocurrencia de un transitorio, y el error es detectado. Con el uso de redundancia temporal la penalidad en área que implica la redundancia espacial puede ser evitada, a costa de una penalidad en los tiempos de computación.

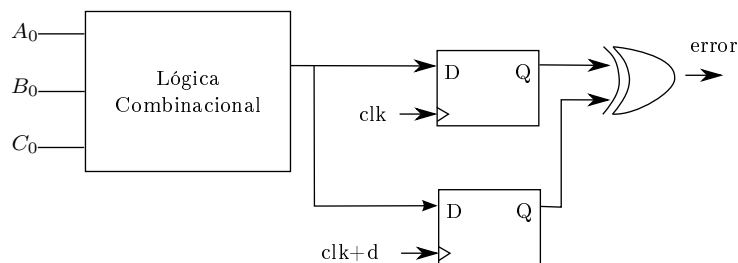


Figura 4.6: Circuito con redundancia temporal.

### 4.3.4. Redundancia temporal y espacial simultánea

En caso de no ser suficiente el poder detectar que ha ocurrido un error, sino que se desea independizar al sistema del mismo, una mejora del caso de redundancia temporal anterior es aplicar redundancia triple modular (TMR). En este caso se toman tres muestras de la señal, colocando retardos en los relojes de los registros y un árbitro que toma el valor de la mayoría.

En la Fig. 4.7 se observan los bloques que constituyen esta implementación. Esta misma idea se puede utilizar para replicar una operación en tres circuitos diferentes, y luego colocar un árbitro que tome el valor de la mayoría. Se debe notar que estas técnicas triplican el costo de área y potencia, además de agregar retraso a las señales.

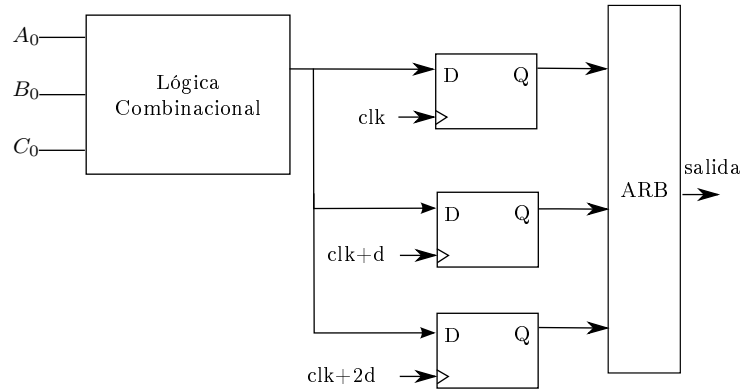


Figura 4.7: Redundancia triple modular.

#### 4.3.5. Redundancia lógica

La redundancia lógica consiste en trabajar con la codificación de la información, de manera de tener representaciones redundantes con capacidad de detectar errores o incluso corregirlos. Una vez seleccionada la codificación, la lógica y las máquinas de estado deben operar con esta representación e incluir las condiciones de excepción para corregir u operar con un error. En general estas técnicas complican mucho el diseño para sistemas o bloques de mediana o alta complejidad. Los circuitos que poseen regularidad en el dato son ideales para ser endurecidos por estas técnicas ya que reducen la sobrecarga de diseño: un caso típico es el de memorias o bloques de almacenamiento. En este caso la redundancia lógica se reduce a incrementar bits de codificación en función de los datos almacenados. Al momento de leer el dato, se realiza una decodificación que permite saber si ha habido cambios en los bits de información, y en ocasiones es posible corregirlos. La técnica es indicada cuando existe una alta regularidad en los circuitos a proteger tal como es el caso de las memorias. Para que la eficiencia en área del uso de esta técnica sea aceptable, la codificación, que es lograda con lógica combinatorial exclusivamente, debe ser aplicada sobre grandes bloques de datos. Esto puede ser inconveniente cuando solamente se desea acceder a una posición de memoria. Se debe notar además que la técnica en general no soporta fallas de tipo múltiple (MBU) que se produzcan en distintos símbolos, situación que puede suceder cuando el bloque no es accedido con frecuencia y comienza a integrar fallas transitorias. El uso de esta técnica implica una penalidad en consumo y tiempo de escritura/lectura de datos.



En la Fig. 4.8 se brinda una representación del resultado sobre los datos almacenados luego de la codificación. Uno de los métodos más utilizados en este tipo de técnicas es el uso de *codigos de detección y corrección de errores* o en inglés *Error Detection and Correction Codes (EDAC)*. En este método se hace uso de la codificación de los datos que luego de aplicar operaciones aritméticas permite recuperar datos que han sido alterados. Entre los códigos mas utilizados para ello se encuentran los de *Hamming* y *Reed-Solomon (RS)*. Estos últimos brindan protección contra *Multiple Bit Upsets (MBU)* en un símbolo.

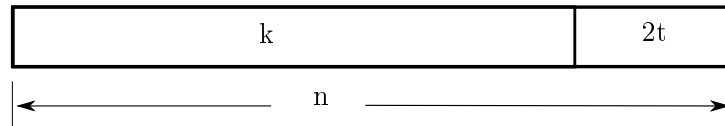


Figura 4.8: Información y bits de redundancia luego de la codificación en EDAC.

#### 4.3.6. Detección de fallas

A través del uso de sensores embebidos es posible reconocer la ocurrencia de un evento de probable falla por un efecto transitorio en un circuito digital. La técnica de *Built in Current Sensors (BICS)* está basada en el uso de sensores de corriente que se colocan en el sustrato y da información del lugar donde ha ocurrido un fallo. Algunos trabajos proponen que los *bulk-BICS* pueden ser utilizados de manera conservativa en el sentido de la detección de la falla. Asimismo se destaca que los mismos reducen el compromiso de área, lo que los hace atractivos para la detección de SEE. Algunos avances en este campo han sido propuestos en [33] y [34], aunque no se dan detalles de resultados experimentales. El principal inconveniente que puede ser identificado en esta técnica de sensado de fallas transitorias es su consumo estático, como así también la necesidad de un mayor esfuerzo en la calibración y su diseño analógico, ya que se debe evitar el esfuerzo y la pérdida de desempeño que introducen las falsas detecciones.

## 4.4. Conclusiones

En este capítulo se presentó la problemática de fallos transitorios inducidos por radiación en circuitos y sistemas. Este tipo de fallas se produce cuando una partícula de alta energía impacta en una región sensible de un circuito, depositando carga en el mismo. Durante el desarrollo del capítulo se dieron las definiciones del fenómeno y los distintos tipos de fallas que pueden producirse por su efecto. Las fallas, que pueden ser consideradas como *suaves* o *duras* según su reversibilidad, son localizadas tanto en espacio como en tiempo, por lo que es posible utilizar

técnicas para mitigar sus efectos. En base a esta clasificación que orienta al diseñador, se presentaron las principales técnicas utilizadas en la literatura para mitigar sus efectos, entre las que destacan el uso de elementos basales de biblioteca y la redundancia espacial, temporal y lógica como así también la detección de fallas. Cada una de estas técnicas posee ventajas y desventajas que implican penalidad en cuanto al uso de área, velocidad de ejecución y consumo de energía, siendo siempre necesario encontrar la solución de compromiso que mejor aplique al sistema o bloque constitutivo del sistema que se está diseñando. En el próximo capítulo de la tesis se presentarán las contribuciones realizadas en estos temas en el marco de esta investigación.

## Capítulo 5

# Diseños realizados para mitigar fallas por efectos transitorios

### 5.1. Introducción

En este capítulo se describen las contribuciones realizadas para incrementar la tolerancia a fallos transitorios en circuitos y sistemas. Este tipo de fallos ha sido tratado a distintos niveles, utilizando técnicas de elementos basales de biblioteca, redundancia espacial, temporal y lógica, como así también de detección de fallas.

Para el caso de elementos de biblioteca, las compuertas digitales han sido mejoradas para soportar fallas transitorias incrementando su carga crítica al considerar para su diseño la asimetría de las estructuras de los transistores anulares. La redundancia lógica ha sido implementada para el endurecimiento de memorias utilizando códigos de detección y corrección de errores como los de *Hamming* y *Reed-Solomon*. Asimismo la técnica de sensores embebidos es desarrollada y propuesta para su uso en memorias como complemento de la técnica anterior. Desde el punto de vista de redundancia espacial y/o temporal se desarrolló un sistema que a través del uso de dos unidades permite aplicar cualquiera de estas técnicas o una combinación de las mismas. Ello es posible a través de la ejecución del mismo código simultáneamente mientras se utiliza una unidad de chequeo externo, o bien realizar ejecuciones sucesivas que permitan identificar si ha ocurrido algún fallo en la ejecución. Esta última estrategia se implementó sobre un microcontrolador de bajo consumo que para ello fue construido con doble núcleo. Estos temas se desarrollan a lo largo de del presente capítulo mientras que al final se darán las conclusiones.

## 5.2. Elementos basales tolerantes a fallas transitorias

Esta sección presenta el uso del concepto de la técnica de elementos de biblioteca, la cuál puede utilizarse para mitigar fallas transitorias, o para resolver problemas de daño acumulativo. Esta situación se ilustra tal como se ha mostrado en los Capítulos 2 y 3, los transistores con *gate* anular pueden ser utilizados para incrementar la tolerancia de los circuitos contra la dosis acumulativa. La asimetría que presenta la estructura de un transistor anular genera que la juntura interior del dispositivo posea un área menor que la de la juntura exterior, implicando una capacidad asociada sea menor. Esta característica puede ser aprovechada para incrementar el valor de la capacidad de determinados nodos que lo requieran, aumentando el valor de su carga crítica, sin generar una penalidad en el área de la celda. De esta manera es posible incrementar la tolerancia a fallos transitorios eligiendo cuál de las junturas es utilizada como *drain* en la celda. Estas propiedades fueron consideradas para diseñar los elementos de biblioteca detallados en el Cap. 2, generando distintas alternativas para cada uno de los elementos diseñados. El elemento con mayor tolerancia a fallas fue caracterizado de la misma forma que los estándar siendo incorporadas sus características a los documentos de la biblioteca. De esa manera es posible disponer de elementos con mayor tolerancia a fallas transitorias para el caso en que se lo requiera en el proceso de diseño.

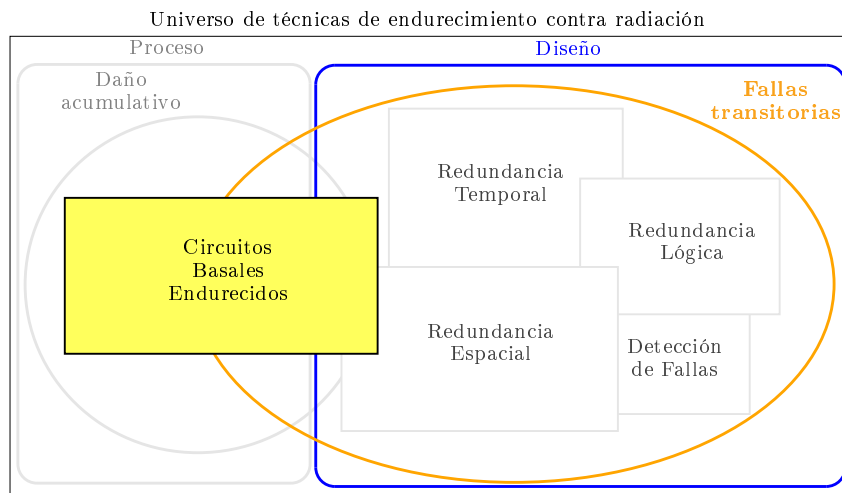


Figura 5.1: Diagrama destacando el endurecimiento con elementos de biblioteca contra fallas transitorias inducidos por radiación.

Para hacer uso de estas celdas se debe partir del cómputo de las capacidades por nodo obtenidas con una herramienta como *Design Compiler*. A partir de allí es posible detectar cuáles de los nodos del sistema son vulnerables, evaluando el tipo de partículas al que se verá expuesto

el circuito y la carga que las mismas depositan. De los nodos vulnearables que sean identificados, se debe evaluar a través de simulaciones del sistema cuáles de ellos pueden producir una falla que sea crítica. En caso de que existan nodos vulnerables es posible reemplazar la celda asociada al nodo que estaba siendo utilizada, por una que posea mayor capacidad. Al reemplazarla, ese nodo habrá incrementado su capacidad y será menos vulnerable a una falla transitoria. Estas modificaciones generarán una penalidad en la velocidad del circuito, por lo que no pueden ser aplicadas arbitrariamente, sobre todo si se trata de un camino crítico. El proceso se puede hacer iterativamente hasta lograr que se cumpla con los requerimientos de desempeño, consumo y tolerancia a fallas. En caso de que la aplicación de esta técnica no sea suficiente la misma podrá ser reemplazada o conjugada con alguna de las demás técnicas presentadas en el capítulo anterior.

### 5.3. Utilización de redundancia lógica y sensores embebidos para mitigar fallas transitorias

En esta sección se propone el uso de las técnicas de redundancia lógica y sensores embebidos de forma conjunta para mitigar fallas transitorias en memorias.

#### 5.3.1. Redundancia lógica

La redundancia lógica puede ser utilizada para incrementar la tolerancia a fallos transitorios (SET) y de alteración de datos (SEU). La Fig. 5.2 brinda el contexto de aplicación de esta técnica, donde se indica que dentro de las opciones de endurecimiento por diseño puede ser utilizada para mitigar fallas en conjunto con la redundancia temporal y espacial o el uso de sensores. Se presenta como caso de aplicación la instrumentación de la técnica, donde se utilizaron códigos de detección y corrección de errores, tal como se describen a continuación.

#### Codificación utilizada

Este método hace uso de códigos que siendo aplicados con operaciones aritméticas a los datos originales permiten la detección y corrección de una falla. Los códigos más conocidos para esto son los de *Hamming* y *Reed-Solomon* (RS). Se utilizó una codificación Reed Solomon ya que los mismos son muy efectivos para la protección contra fallas múltiples (MBU) en un símbolo. El método consiste en incorporar datos adicionales (símbolos de RS) al bloque de datos (símbolos estándar) que se desea proteger. Para calcular estos datos adicionales, se realiza una suma pesada de todos los símbolos que pertenecen al bloque. Los pesos para esta suma son los coeficientes de un polinomio que cumple con determinadas características especiales. A través de un proceso

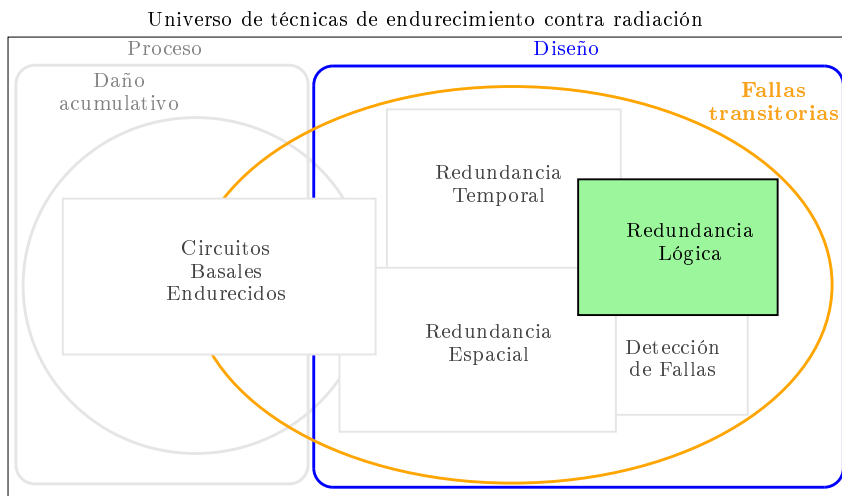


Figura 5.2: Diagrama destacando el endurecimiento con redundancia lógica contra fallas transitorias inducidos por radiación.

equivalente e inverso de suma pesada de los símbolos (estándar y RS) es posible saber si los datos se encuentran alterados y en caso de que así sea en que símbolo del bloque se encuentra el cambio. Los detalles sobre los fundamentos de estos códigos pueden ser encontrados en [35], [36] y [37]. La redundancia lógica constituye un método extremadamente robusto para la detección y corrección de fallas. A pesar de ello, el método no permite realizar correcciones si suceden fallas en más de un símbolo, situación que se puede dar en el caso en que el bloque de datos no sea accedido con frecuencia y se acumulen fallas en el mismo. Para poder resolver este problema, es posible realizar escrituras y lecturas con mayor frecuencia en la memoria haciendo una especie de refresco. Esta estrategia para evitar fallas múltiples significan un consumo de energía adicional que puede ser inaceptable para el desempeño del sistema. Como alternativa para solucionar este inconveniente, se propone el uso conjunto con sensores embebidos que detecten la ocurrencia de la falla transitoria, para indicar cuando y en que lugar se debe realizar un acceso a memoria para corregir las fallas, evitando su acumulación. Desde el punto de vista de área, el uso de estos códigos exige que los datos sean agrupados en grandes bloques para hacer un uso eficiente de la misma.

### 5.3.2. Sensores embebidos

Esta técnica se basa en el uso de sensores que colocados estratégicamente informan sobre SET y SEU que ocurran en el circuito que se desea proteger. El análisis realizado muestra que los sensores embebidos pueden ser implementados asegurando un alto grado de detección de fallas. En la Fig. 5.3 se da el contexto de aplicación de esta técnica.

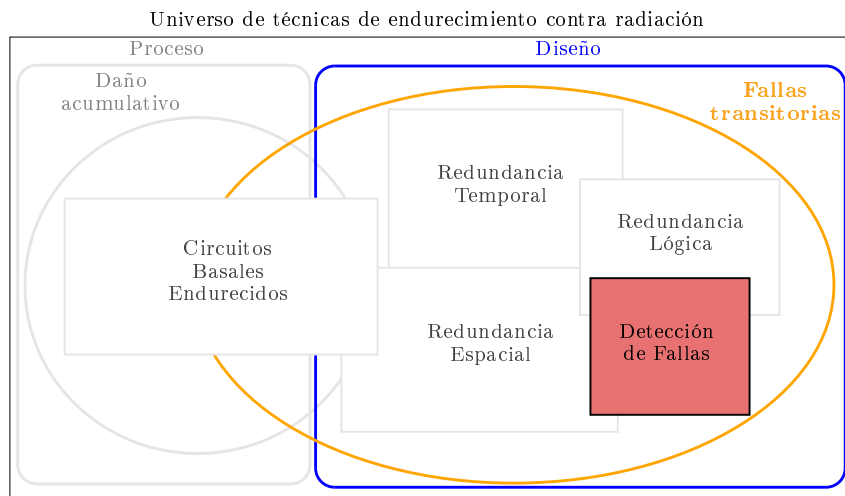


Figura 5.3: Diagrama destacando el endurecimiento con sensores embebidos contra fallas transitorias inducidos por radiación.

Esta estrategia tienen un impacto menor en el consumo de área, lo que hace atractiva su utilización para la detección de SEE. Su principal inconveniente es el consumo de potencia estática y que en general requieren calibración. La técnica de *bulk-BICS* (*bulk-Built in Current Sensors*) ha sido propuesta en [34] y [38] y está basada en el uso de sensores de corriente. A continuación se detallan algunos de los riesgos identificados que implica el uso de esta técnica y se propone una nueva alternativa para reemplazarla.

#### Celdas de memoria para uso de *bulk-BICS*

Uno de los principales inconvenientes para implementar la técnica de *bulk-BICS* es la imposibilidad de aislar el *bulk* en un proceso CMOS estándar. Para atacar este inconveniente, es posible construir una celda como la que se presenta en la Fig. 5.4 que al ser agrupada con otras genera una estructura de “damero” con las regiones de *n-well* aislando las regiones de *p-well*.

#### Problemas detectados en la técnica de *bulk-BICS*

Si bien la técnica de sensores de corriente embebidos parece atractiva para su uso, esta implica la incorporación de un elemento serie entre el sustrato de la celda y la tierra del circuito, Fig. 5.5. Las simulaciones realizadas indican que esto genera una elevación en el potencial del sustrato de la celda que podría generar un *latchup*. Para solucionar este inconveniente se propone la utilización de un nuevo tipo de sensor de voltaje embebido. El sensor propuesto utiliza un amplificador diferencial o comparador para detectar cambios en el potencial del sustrato o las regiones *n-well*.

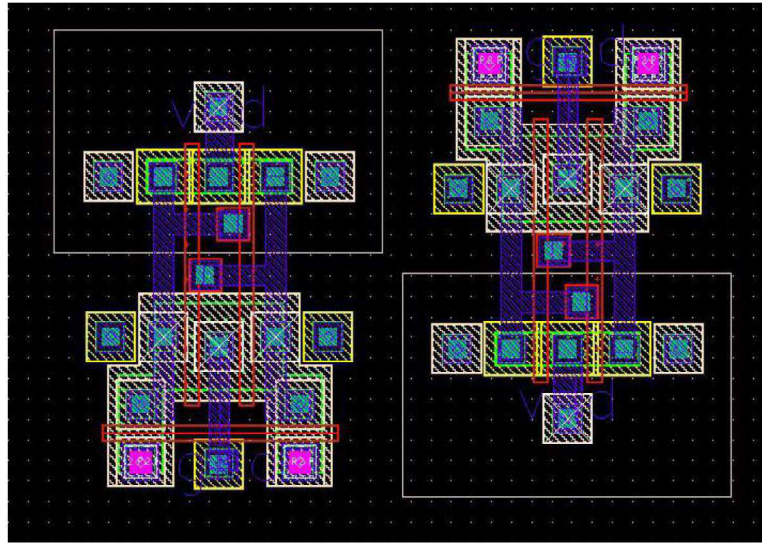


Figura 5.4: Celda de memoria SRAM propuesta.

Una de las entradas del comparador se conecta a la región que se desea proteger mientras que la otra debe estar fija a una referencia que posea el potencial que se desea asegurar en esa zona. Si una partícula genera una corriente que sea capaz de producir un fallo transitorio en el nodo de una compuerta o memoria, esta corriente generará una caída de potencial en el sustrato que podrá ser detectada por el comparador y almacenada en un registro. De esta manera es posible realizar un sensado de fallos transitorios sin alterar el conexionado normal de los circuitos a proteger. La estructura propuesta debe respetar un esquema como el mostrado en la Fig. 5.6.

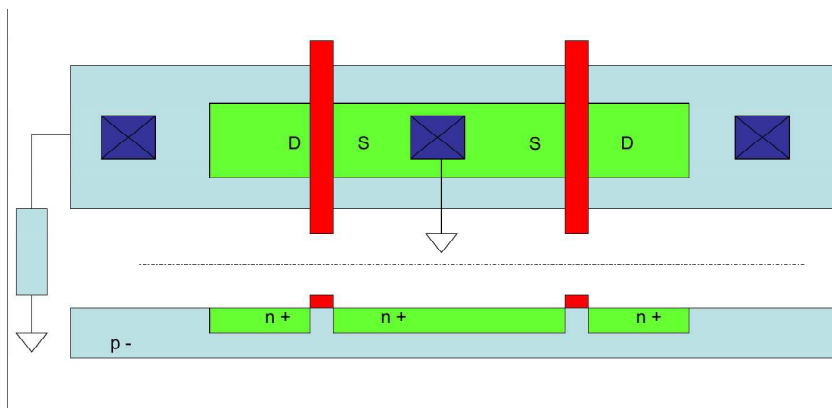


Figura 5.5: Circuito para detección de fallas por corrientes en sustrato.



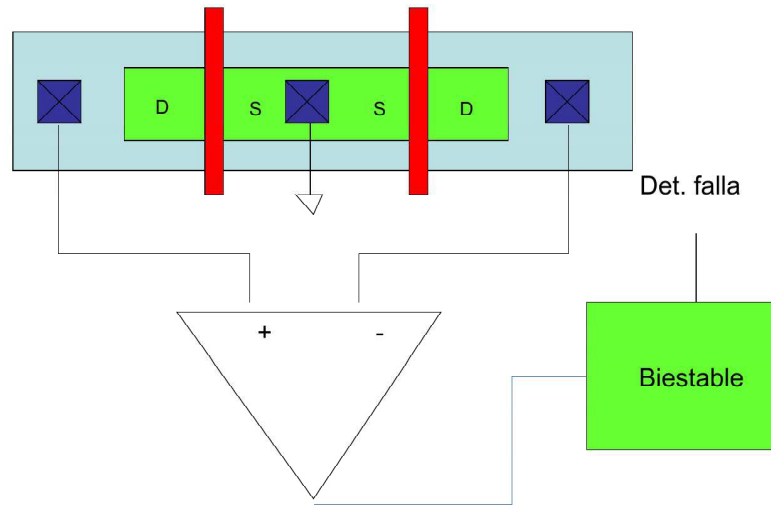


Figura 5.6: Circuito para detección de fallas por diferencias de voltaje en el sustrato.

### 5.3.3. Caso de aplicación en endurecimiento de memoria

Se utilizaron las técnicas de redundancia lógica y de sensores embebidos sobre una memoria dinámica SRAM como caso de aplicación apoyados en la regularidad del dato y la regularidad en el espacio que las simplifica. La base de la arquitectura de memoria tolerante a fallas propuesta es equivalente a la de una memoria convencional, tal como las descritas en [20] o [19], pero incorporando bloques que utilizan las técnicas propuestas anteriormente. Una diferencia de esta memoria con respecto a una implementación típica es que no se utiliza un decodificador de columna ya que los datos son accesibles como un bloque completo, luego de la codificación. Adicionalmente se incorporan puertos de salida en los que se indica si existen errores en la lógica periférica o en las filas del arreglo de memoria principal. La fiabilidad de la memoria se ve incrementada con esta propuesta, ya que el uso de codificación *Reed-Solomon* aporta un método robusto para la corrección de errores que puedan ocurrir en parte de la información almacenada en la memoria, mientras que la detección de fallas con sensores embebidos complementa las deficiencias de la otra técnica detectando los eventos y forzando la corrección evitando la acumulación de errores en un bloque. La arquitectura para la memoria propuesta fue publicada en [5] y se reproduce su esquema en la Fig. 5.7, donde los bloques principales que la componen se detallan a continuación:

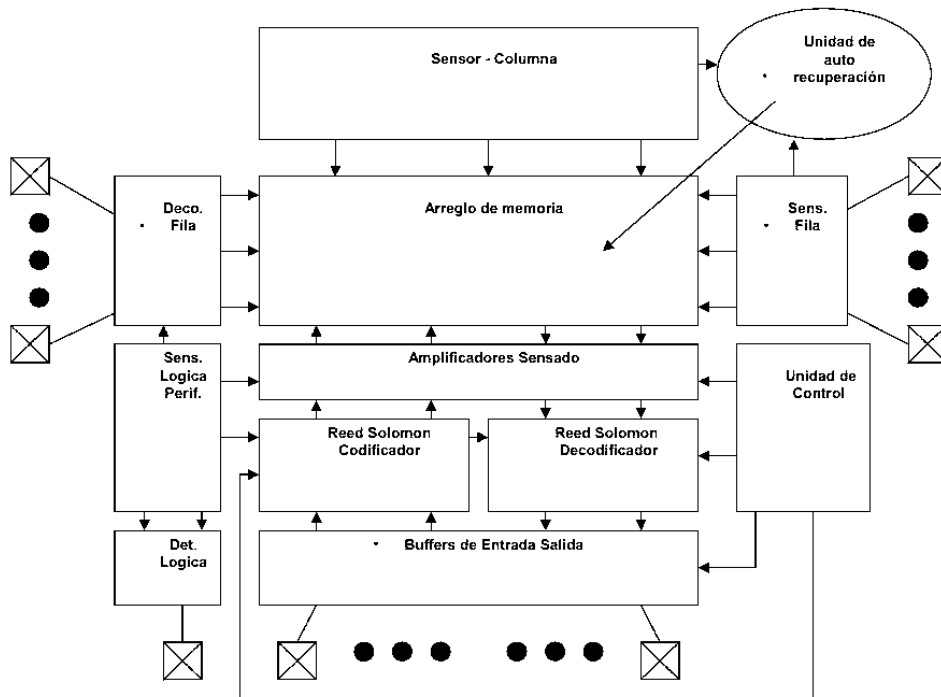


Figura 5.7: Arquitectura propuesta para memoria SRAM.

- Arreglo de memoria: Este bloque contiene las celdas donde se almacena la información. En este caso se trata de celdas estándar de seis transistores, pero con el *bulk* aislado y conectado al principal por medio de sensores de corriente. Un tamaño para una página de memoria propuesto podría ser de 16 filas de 138 bits cada una. La fila contiene 128 bits de datos y 10 bits reservados para el almacenamiento de los símbolos R y S que son utilizados por el bloque decodificador de *Reed-Solomon* en el caso de que un símbolo esté corrupto. En caso de que se desee un mejor desempeño contra fallos múltiples (MBU) es posible realizar una implementación física que posea una geometría de datos entrelazados. Al ser los fallos localizados en el espacio, es poco probable que una partícula energética que impacte de forma tangencial en un circuito pueda afectar datos de dos símbolos de un mismo bloque. Esta implementación trae aparejado un mayor costo en área por el cableado y un mayor tiempo de respuesta.
- Decodificador de fila: Se trata de un decodificador dinámico de tipo NAND que es ligeramente más lento que uno de tipo NOR pero consume menos área y potencia.

- Amplificadores de sensado: Este bloque se encuentra en la mayoría de las memorias SRAM para amplificar el voltaje diferencial entre las líneas de bits y lograr un proceso más rápido de lectura. Los amplificadores típicos utilizados son pares diferenciales de cinco transistores.
- Codificador/Decodificador *Reed-Solomon*: Este bloque produce en el proceso de escritura las operaciones aritméticas para generar los símbolos adicionales R y S que son concatenados al final del bloque de datos. En la lectura los datos son recuperados por medio de suma y multiplicación de símbolos. El álgebra utilizada es *modulo-2* y puede ser implementada usando compuertas XOR y NAND. En una memoria de tamaño apropiado (por encima de los 64KB) fue posible lograr que el área adicional no exceda el 7.5 %, penalidad que es aceptable para este tipo de aplicaciones.
- Bloque de sensores para circuitos periféricos: Este bloque indica si suceden fallos transitorios en bloques periféricos durante un proceso de lectura o escritura.
- Bloque de sensores embebidos para fila: El bloque de sensores se utiliza para detectar una alteración de datos por fallas transitorias en una fila del arreglo de memoria. Se propone una configuración tipo OR en la que cualquier sensor que indique una falla se propaga como un fallo en esa fila. Complementado por el bloque de sensores de filas es posible identificar el bit donde ocurrió la falla.
- Bloque de sensores para columnas: El bloque de sensores se utiliza para detectar una alteración de datos por fallas transitorias en las columnas del arreglo de memoria. Este bloque puede ser utilizado como detector para el inicio de un proceso de recuperación de datos. En la lectura/escritura los datos serán corregidos por el bloque de codificación/decodificación RS. Configuración de sensores propuesta en la Fig. 5.8 es posible reducir en  $2^n - n$  el número de sensores utilizados en una fila de  $2^n$  celdas de memoria. Ante un fallo, el resultado de los sensores debe ser almacenado en un registro que indicará en valor binario la posición de la celda que tuvo la falla.
- Unidad de auto recuperación: Esta unidad se propone para corregir los datos de manera automática en la memoria. Dado que la celda donde ocurrió la falla es conocida, la unidad lee el dato corrupto y escribe la corrección de lo que leyó. Esto es posible de realizar en un proceso sencillo. Cuando un sensor de fila advierte que el fallo ocurrió, la unidad utiliza los registros de los sensores de columna en conjunto con los de fila para identificar cuál es el bit alterado. Luego activa la línea de palabra de la fila correspondiente cargando las líneas de bits con el dato almacenado. A continuación, la línea de palabra es desactivada mientras que la línea de control es activada y en ese momento la compuerta XOR invertirá

el valor del estado almacenado en los capacitores, cualquiera sea su valor. Luego, la línea de control es desactivada y la línea de control activada, escribiendo nuevamente el dato en la celda. Luego de este proceso, la unidad restaura el valor correspondiente en la celda correcta, sin afectar ninguna de las otras celdas. La operación puede ser realizada en un tiempo muy corto. Asimismo es posible desactivar esta unidad si solamente se desea hacer corrección utilizando los bloques RS. En la Fig. 5.9 se muestra el circuito utilizado.

- Unidad de control: Esta unidad coordina las distintas partes de la memoria realizando los procesos necesarios para lectura y escritura. Realiza la precarga en las líneas de bit y la lógica dinámica, activando los correspondientes *buffers* para enviar datos dentro o fuera de la memoria y deteniendo un proceso externo cuando la auto-recuperación interrumpe. Un proceso de lectura/escritura comienza cuando una transición es detectada en el *bus* de direcciones. Un pin W/R es utilizado para indicar el tipo de procedimiento del que se trata.

En el caso de que la falla se produzca en un momento en el que se realiza una operación de lectura/escritura, el sistema tendrá una alarma indicando que estos datos probablemente estarán alterados. Los sensores brindan información sobre cuál es el bit alterado, por lo que la unidad de auto-recuperación se puede encargar de restaurar el dato original, o modificarlo sin intervención externa.

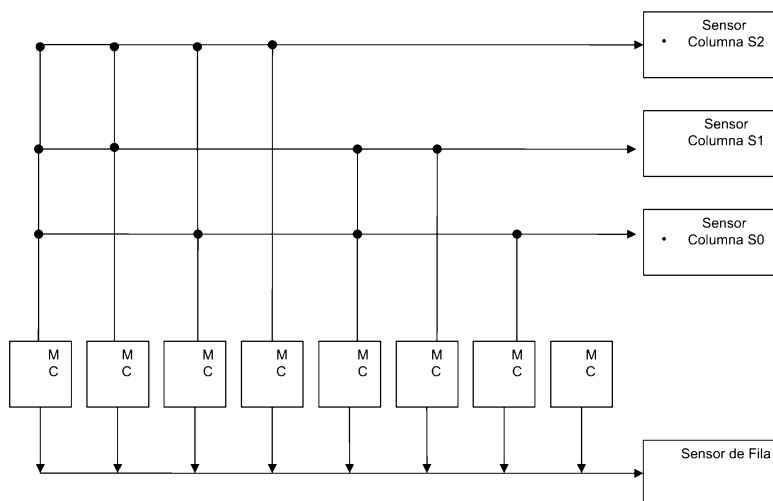


Figura 5.8: Estructura de sensores para monitoreo de memoria.

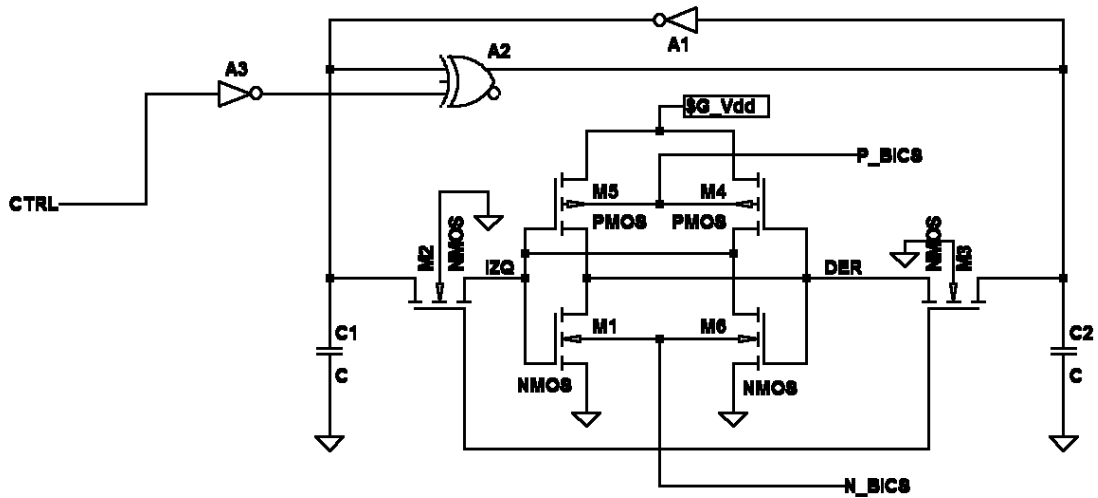


Figura 5.9: Circuito para auto-recuperación memoria.

#### 5.4. Uso de redundancia espacial y temporal

En esta sección se presenta como caso de estudio y aplicación de técnicas de redundancia espacial y temporal el diseño e implementación de un microcontrolador de propósito general basado en una arquitectura openMSP430, similar al presentado en [39]. Las técnicas aplicadas se presentan en el contexto de la metodología propuesta en la Fig. 5.10, donde es posible observar que las mismas pueden ser utilizadas en conjunción para incrementar la tolerancia a radiación por diseño. La arquitectura propuesta para el sistema permite la utilización de cualquiera de estas dos técnicas o su uso conjunto. Si bien este diseño podría haber sido construido utilizando las bibliotecas endurecidas contra radiación presentadas anteriormente, se optó por realizar una primera implementación con celdas estándar disponibles para esta tecnología. De esta manera se buscó validar la funcionalidad y vulnerabilidad del diseño antes de hacer la versión endurecida del mismo. Para incrementar la fiabilidad del sistema se realizó una implementación dual del microcontrolador que permite ejecutar el mismo código en dos unidades diferentes y valiéndose de un verificador externo inferir si ocurrieron fallas en la ejecución del mismo. Por otro lado, también es posible ejecutar el código repetidas veces para evaluar si ocurrieron fallas en la ejecución del mismo. Cualquiera de estas estrategias o una conjunción de las mismas puede ser implementada por el programador para cumplir con los requerimientos de desempeño y fiabilidad. El trabajo propuesto en esta sección fue publicado en [6].

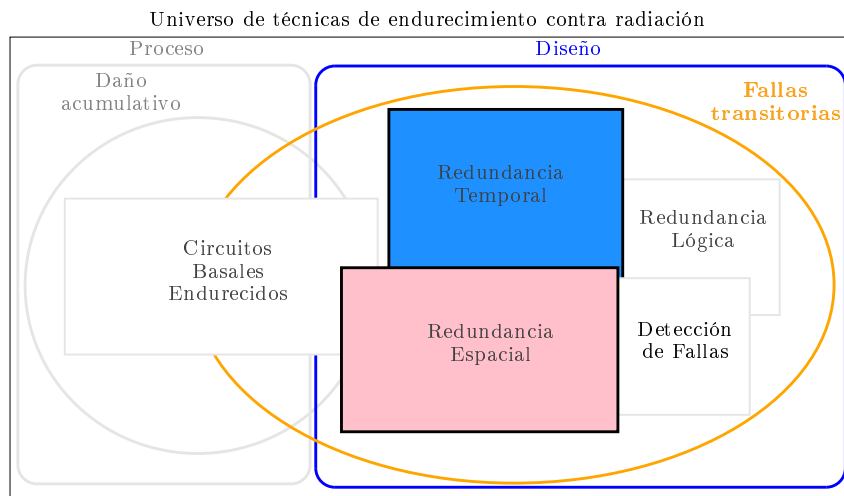


Figura 5.10: Diagrama destacando el endurecimiento con redundancia temporal y espacial contra fallas transitorias inducidas por radiación.

#### 5.4.1. Microcontrolador de alta fiabilidad

Los microcontroladores de bajo consumo poseen un uso extensivo en aplicaciones industriales y estudio académico, tal como se puede ver en [40, 41, 42, 43, 44]. En el caso de que se desee implementar una red inalámbrica de sensores y actuadores montados en un satélite, es obligatorio contar con un microcontrolador robusto a fallas inducidas por radiación. El uso de un *Application Specific Integrated Circuit* (ASIC) tiene una serie de beneficios sobre las implementaciones en dispositivos de lógica programable (CPLD, FPGA) que incluyen costo, peso y consumo de energía, además de poder ser integrados con circuitos analógicos o de señal mixta.

Siguiendo un flujo de diseño como el presentado en Cap. 2 es posible implementar sistemas para aplicaciones críticas, entre las que se destacan las aplicaciones médicas, los sistemas para el espacio y los convertidores de potencia inteligente. Esquemas típicos redundantes para estas aplicaciones se muestran en la Fig. 5.11. En el primer caso, donde se dispone de un doble núcleo, el código es ejecutado de manera dual y el resultado de ambas ejecuciones es tomado por un sistema de mayor nivel. En el segundo esquema se utiliza uno de los núcleos como maestro y el segundo para corroborar el código a través de una unidad externa de verificación. La implementación propuesta puede ser ajustada a estos dos esquemas agregando un circuito adicional para el segundo caso que puede ser implementado en un CPLD o FPGA de pocas macro-celdas. Una aplicación de bajo consumo puede ser encontrada en [45] utilizando diferentes dominios de voltaje para diferentes bloques. Ejemplos similares se presentan en [46, 47, 48, 49, 50, 51].

En adelante se reporta el diseño y la implementación física de un microcontrolador con arquitectura openMSP430. El núcleo principal cuenta con algunos periféricos e incluye memoria

de programa y de datos. La tecnología escogida para esta implementación es un proceso CMOS de 180 nm de alto voltaje. La decisión de utilizar esta tecnología se basó en poder disponer un microcontrolador con interfaces capaces de manejar gran potencia tal como el que se reporta en [52], además de poseer el acceso a la misma y una muy buena biblioteca de celdas estándar, como así también excelente documentación y soporte.

La arquitectura openMSP430 es preferida cuando se requiere computación de ultra-bajo consumo de 16-bit, no solo debido a su potencia sino a la disponibilidad de una cadena de herramientas completas entre las que se incluyen compiladores y depuradores, *linkers*, entornos de desarrollo como así también una gran comunidad de desarrolladores que utiliza este microcontrolador. En adelante se presentarán algunos detalles de la arquitectura, el flujo de diseño seguido y la implementación física realizada.

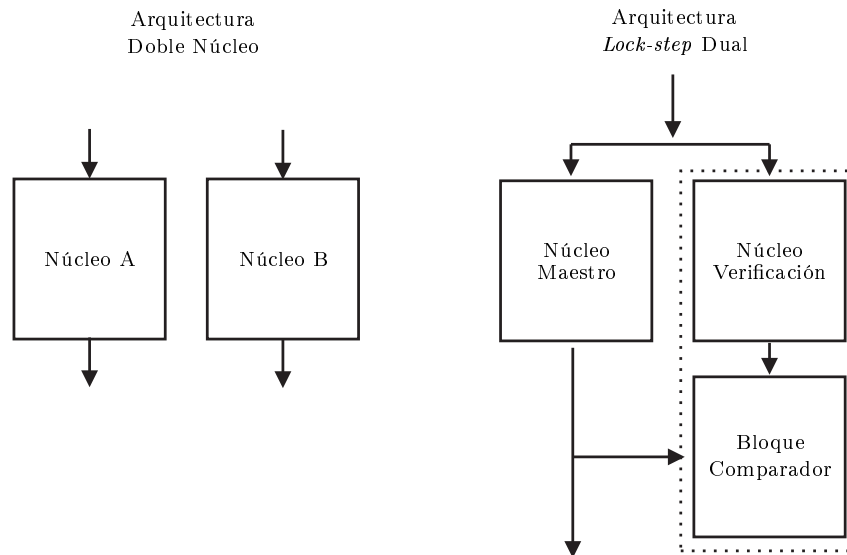


Figura 5.11: Esquemas posibles de alta fiabilidad. En el esquema de la izquierda ambos núcleos ejecutan el mismo código mientras que en el de la derecha uno de los núcleos verifica con una unidad externa la integridad de los resultados.

#### 5.4.2. Sistema propuesto

El sistema desarrollado incluye el núcleo openMSP430 y 2 KB de memoria de programa, 128 bytes de memoria de datos, un temporizador, un controlador de entrada/salida de propósito general (GPIO) como periféricos. Este es el conjunto mínimo de bloques requerido para poder probar y validar la arquitectura elegida. En la Fig. 5.12 se muestra la arquitectura propuesta.

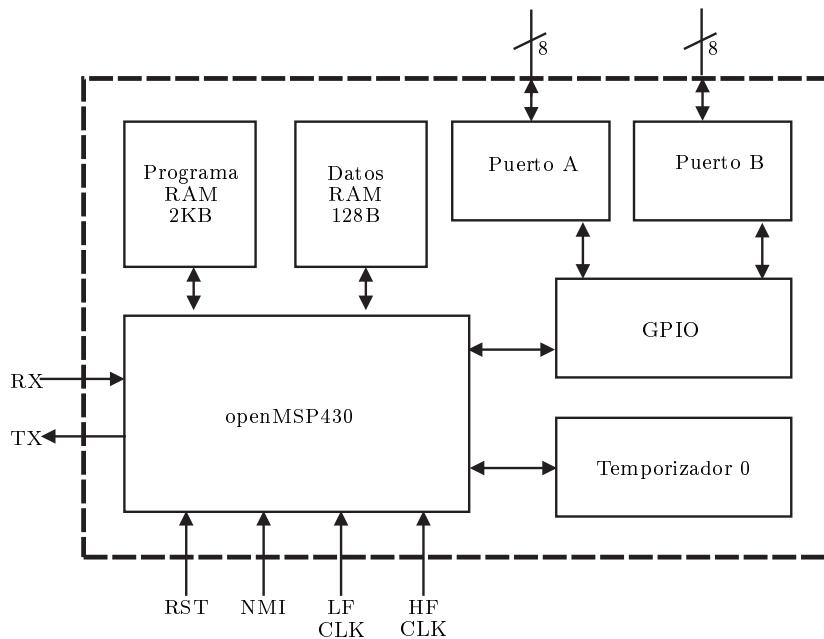


Figura 5.12: Arquitectura del sistema implementado. Los relojes de alta y baja frecuencia, HFCLK y LFCLK respectivamente, deben ser provistos desde fuera del chip así como las señales de *reset* e interrupciones no enmascarables. Dos puertos bidireccionales de 8 bits están disponibles.

### 5.4.3. Arquitectura openMSP430

La arquitectura del microcontrolador está basada en un núcleo de 16-bits escrito en *verilog*. En este caso se trata de una arquitectura de *Von Neumann* con un sólo espacio de direccionamiento para programa y datos utilizando un conjunto reducido de instrucciones. El núcleo es compatible con el MSP430 ofrecido por la compañía *Texas Instruments* y puede ejecutar código generado para esta familia de microcontroladores de forma muy precisa. El proyecto se encuentra basado en el propuesto en [39]. El núcleo posee el conjunto de instrucciones completo soportando los modos de direccionamiento, las interrupciones y los modos de bajo consumo. El tamaño de la memoria es configurable para los espacios de datos y programas, mientras que cuenta con una interfaz serial para depuración de tipo *JTAG*. Un diagrama de la arquitectura puede ser visto en la Fig. 5.13 en el que se muestran los bloques principales. Las funciones de los distintos bloques se describen a continuación:

- **Front-end:** Este módulo implementa tareas de ir a buscar y decodificar instrucciones.
- **Unidad de ejecución:** Este módulo contiene la ALU y el archivo de registro, además de ejecutar la instrucción actual correspondiente.



- **Interfaz de depuración serial:** Esta es la unidad de depuración que se comunica con el sistema anfitrión a través de una interfaz serial. Cuatro unidades de *breakpoint* fueron incluidas. Esta unidad puede ejecutar, detener o reiniciar el sistema como así también leer y escribir en línea la memoria y los registros del CPU.
- **Memory Backbone:** Este módulo arbitra el acceso a memoria y periféricos entre el *front-end* y la unidad de ejecución.
- **Módulo de reloj:** Este módulo genera las habilitaciones para el reloj. Soporta siete modos diferentes de consumo de potencia. No posee *clock gating*.
- **Special Function Registers:** Este bloque posee los registros de funciones específicas.
- **Watchdog:** Este bloque permite recuperar el sistema de un estado no deseado.
- **Multiplicador:** Se incluye un multiplicador de 16x16 por *hardware*.

Con respecto al servicio de interrupciones, las prioridades son compatibles con las del MSP430 original, dando la máxima prioridad al *reset*, seguida por la interrupción no enmascarable (NMI), y luego las catorce IRQ configurables. Cuando dos interrupciones están pendientes en simultáneo, la de más alta prioridad será atendida en primer término.

#### 5.4.4. Ciclos y longitud de instrucción

El número de ciclos de reloj requeridos para una instrucción depende del formato y del modo de direccionamiento utilizado. La mayoría de las instrucciones toman el mismo número de ciclos que el MSP430 original solamente difiriendo en un ciclo par unas pocas.

#### 5.4.5. Consideraciones de diseño

Se optó por una implementación del sistema con la inclusión de cuatro unidades de *breakpoint*, la unidad de depuración serial y el multiplicador por *hardware*. Debido a la restricción en la disponibilidad de *pads* en el chip de prueba, la memoria se incluyó dentro del mismo como memoria RAM. La memoria fue dimensionada para que el área total del chip no exceda los 4 mm<sup>2</sup> con que se contaba para la implementación, quedando 2KB para memoria de programa y 128 bytes para los datos. Al no contar con un compilador de memoria para este proceso, la misma fue implementada con *latch* ya que permiten un tamaño menor al implementado con *flip-flops*.

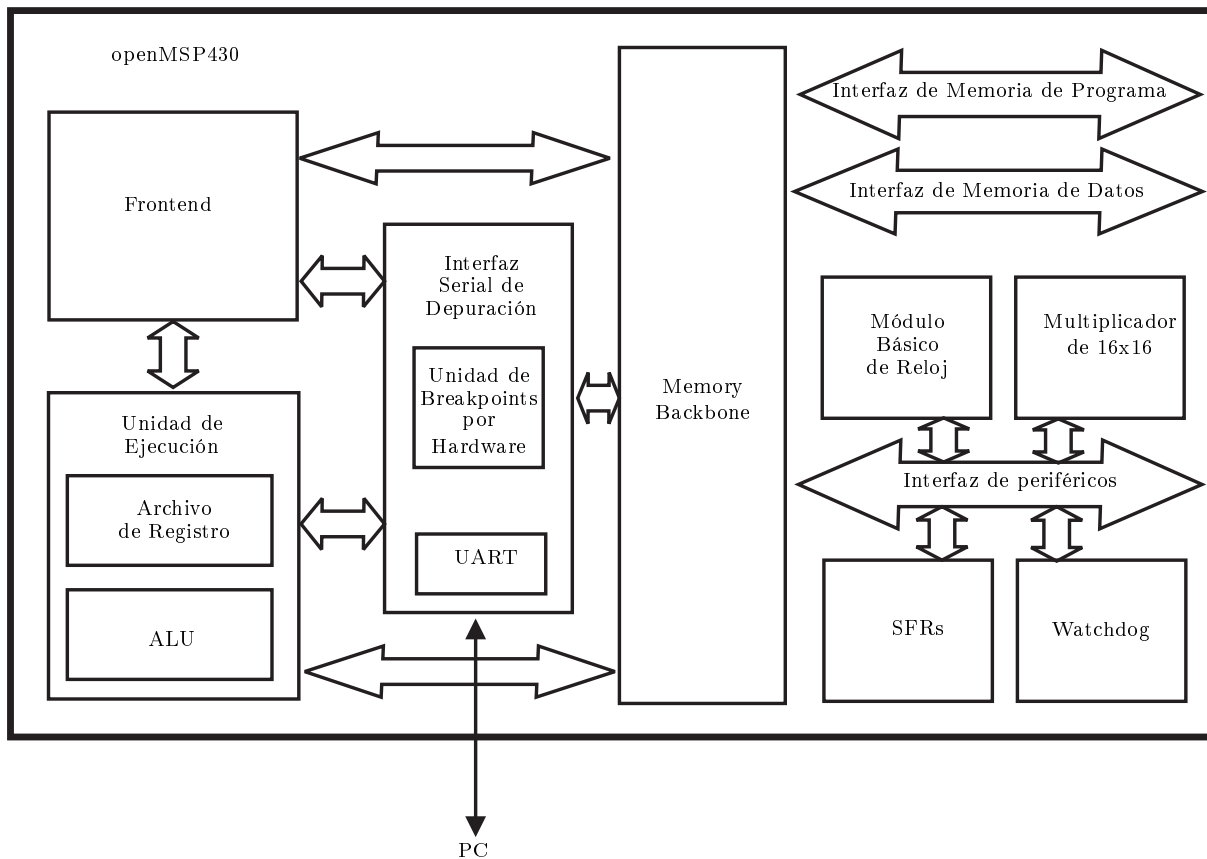


Figura 5.13: En esta figura se muestra la arquitectura openMSP430, que incluye una interfaz de depuración serial para cargar el código de programa y controlar el sistema.

#### 5.4.6. Flujo de diseño implementado

Para este diseño, se siguió un flujo de diseño de tipo *top-down* tal como el planteado en capítulos anteriores o citado en [45]. Tal como se menciona anteriormente, se comienza con una descripción del sistema en *verilog*, para pasar a evaluar el desempeño comportamental y general una descripción estructural del mismo. A partir de aquí con el uso de herramientas de *electronic design automation* (EDA) la descripción anterior puede ser sintetizada e implementada físicamente. La descripción original fue sintetizada con la biblioteca de celdas estándar de la tecnología objetivo utilizando *Synopsys Design Compiler<sup>TM</sup>* con restricciones de esfuerzo medio en cuanto a área y una frecuencia de operación de 80 MHz.

### Resultados de síntesis

La síntesis fue resuelta con menos de diecinueve mil compuertas y brinda un buen margen en el temporizado para la frecuencia propuesta.

#### 5.4.7. Implementación Física

Para la implementación física se utilizó una tecnología comercial bien establecida. Se trata de un proceso de 180 nm de tamaño característico para los transistores que además provee máscaras para implementar dispositivos de alto voltaje. El proceso ofrece diferentes opciones de metalización entre las que se eligió una con 5 niveles de aluminio. El proceso de *place and route* fué realizado con *Cadence Velocity<sup>TM</sup>*. El área final del sistema es de 3,3 mm<sup>2</sup> sin incluir los *pads*. Los puertos de entrada/salida digital son bidireccionales y pueden ser configurados también como *pull-ups* a través de la unidad GPIO. Para los *pads* restantes se han utilizado de entrada o salida digital según corresponda. El chip posee dominios de alimentación separados, ya que la lógica interna funciona con 1,8 V, mientras que los *pads* funcionan con 5 V. El anillo de *pads* suma 0,5 mm<sup>2</sup> de área, por lo que la total no excede los 4 mm<sup>2</sup> disponibles. En la Fig. 5.14 se muestra una fotografía del chip final.

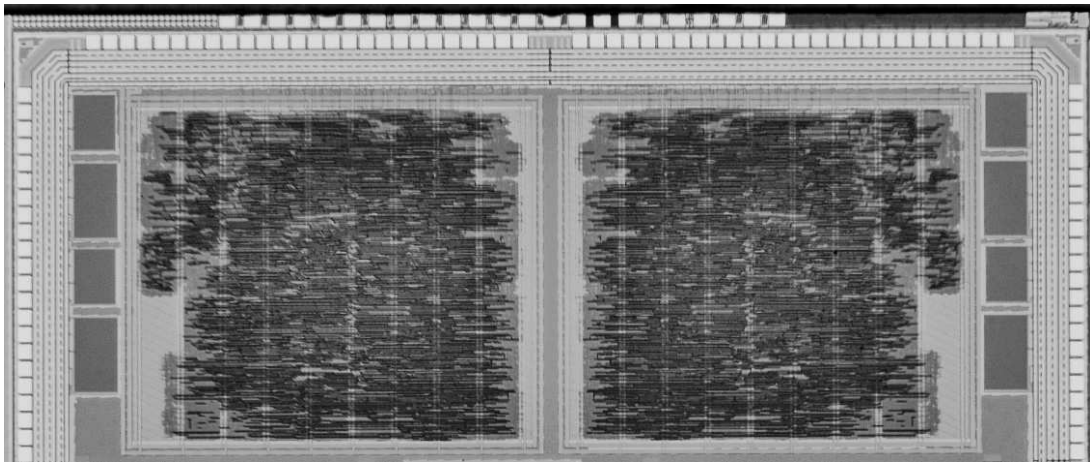


Figura 5.14: Chip fabricado con dos microcontroladores de arquitectura openMSP430. el chip completo tiene un área inferior a 10 mm<sup>2</sup>.

#### 5.4.8. Mediciones

Al momento de la escritura de esta tesis el chip no retorna del encapsulado y por lo tanto no fue posible validar físicamente el diseño que fuera validado en simulación y para FPGA. El

trabajo futuro incluye estas mediciones evaluando diferentes parámetros de desempeño y una implementación con una biblioteca de celdas como las desarrolladas en el capítulo 2. Agregar periféricos como conversores analógico-digital y digital-analógico sería de suma utilidad.

## 5.5. Conclusiones

En este capítulo diversas técnicas para mitigar los fallos transitorios han sido propuestas, mostrando ejemplos concretos de su aplicación en sistemas microelectrónicos. Se han realizado contribuciones para resolver problemas de fallos transitorios, alteración de datos en memorias e incremento de la fiabilidad a nivel de sistemas utilizando técnicas de elementos endurecidos, detección de fallas, redundancia lógica, espacial y temporal. Desde el punto de vista de fallos transitorios se realizó un análisis que permite mejorar la fiabilidad con respecto a fallas transitorias cuando se utilizan transistores anulares para endurecer contra daño por dosis acumulativa de radiación sin incurrir en una penalidad de área. Para mejorar la fiabilidad a nivel de memorias se propuso el uso de códigos de corrección de fallas con sensores embebidos aplicando su uso para proponer una nueva arquitectura de memoria. En este caso la complementariedad de las técnicas permite evitar las las fallas transitorias. En el caso de utilizar únicamente sensores embebidos es posible optimizar el consumo de potencia considerablemente. Un método para recuperar errores de manera automática también fue propuesto como así también un nuevo sensor embebido que podría mejorar los inconvenientes que presentan los *bulk-BICS*. La implementación de un microcontrolador de bajo consumo que puede ser utilizado con una estrategia de redundancia espacial o temporal para doble ejecución de código o repetición con un esquema de *dual lock-step* es un excelente ejemplo de como incrementar la fiabilidad con contribuciones a nivel de arquitectura que son posibles de implementar gracias a la considerable reducción de los tamaños en las tecnologías actuales. En el próximo capítulo se presentan las técnicas desarrolladas que permiten validar experimentalmente estas propuestas.

## Capítulo 6

# Ensayos de fallas transitorias

### 6.1. Introducción

El ensayo de fallas transitorias en sistemas es habitualmente realizado desde un punto de vista macroscópico. El procedimiento consiste en irradiar con un haz de gran sección un dispositivo mientras el mismo realiza sus funciones habituales. A través de lecturas sucesivas de la memoria principal del sistema o el conteo de las distintos tipos de fallas que suceden es posible evaluar un factor denominado *cross-section*, que da una métrica de la vulnerabilidad del sistema para el caso estático (sin operar) o dinámico (con operación normal). El cálculo se realiza realizando un ensayo de irradiación sobre el dispositivo en el que se determina la cantidad de SEU para una fluencia determinada. EL cociente entre fallas y fluencia se define como *cross-section* de la tecnología. Cuando este factor es provisto por el fabricante de un sistema, es posible multiplicarlo por la fluencia a la cuál el mismo será expuesto y saber la cantidad de fallas por unidad de tiempo que ocurrirán. Esta técnica es utilizada para clasificar los niveles de fiabilidad en sistemas, pero en general no puede ser utilizada para realizar diagnósticos que permitan entender el origen de la falla o validar una técnica que se proponga para mitigar la misma. En este capítulo se propone una nueva metodología de irradiación que es alternativa a la anterior para el ensayo de fallos transitorios en circuitos microelectrónicos implementados en procesos tecnológicos modernos. A través del uso de un micro-haz de iones pesados es posible realizar inyección de fallos transitorios logrando un alto grado de control no solo en la dosis aplicada sino también en su posición. Esta técnica es ideal para realizar diagnóstico de fiabilidad y fallas como también para validar el diseño de endurecimiento contra radiación. La metodología es muy novedosa porque permite medir directamente los circuitos provocando eventos controlados. Esto se posibilita al tener acceso a una instalación de irradiación que conjuga iones pesados y una línea de micro-haz, algo poco frecuente, ya que en general se cuenta con una cosa u otra de forma excluyente. Para mostrar

la validez de la metodología, se utilizó como caso demostrativo un circuito de lazo enganchado en fase (PLL) que fue implementado en una tecnología CMOS estándar de 90 nm. Durante el desarrollo del capítulo se presentará la metodología propuesta y se detallará su uso en un ensayo de irradiación. Para esto, se presentarán las características del dispositivo utilizado, el procedimiento realizado y los resultados obtenidos. Finalmente se brindarán las conclusiones.

## 6.2. Ensayos de robustez frente a partículas de alta energía

Para evaluar la vulnerabilidad de los circuitos a la radiación, se deben realizar distintos tipos de ensayos. En el caso de los ensayos de interacción con partículas, uno de los desafíos más importantes es el poder realizarlos a nivel terrestre replicando situaciones reales de operación. Aún cuando diferentes tipos de aceleradores de partículas puedan ser utilizados, el principal problema en todos los casos es disminuir el número de partículas por segundo que impactan en el circuito, como así también enfocar el haz de partículas, controlar su posición y elegir el lugar de impacto de los mismos. Recientemente, grandes esfuerzos han sido realizados para la inyección de fallas transitorias utilizando equipos Láser tales como los que se lograron en [53] y [54]. Aún así, los resultados obtenidos con Láser deben ser correlacionados con ensayos de irradiación con partículas para poder considerar la validez del ensayo.

### 6.2.1. Metodología propuesta

En el trabajo [7], se propuso utilizar una metodología diferente para el ensayo de fallos transitorios en circuitos implementados en tecnología CMOS. Habitualmente los ensayos son realizados con un haz que posee una alta fluencia, por lo que es posible realizar estimaciones estadísticas, tal como se muestra en la introducción, pero no es posible realizar ensayos de diagnóstico de vulnerabilidad localizada ni validar técnicas de endurecimiento por diseño. En este caso, los experimentos han sido desarrollados en un acelerador lineal en tándem al que se ha adosado una línea de micro-haz que permite controlar el flujo de partículas como así también el lugar en que las mismas impactan. Lo novedoso del método radica en la utilización de iones pesados que pueden ser acelerados para ganar alta energía y mantener la precisión brindada por el micro-haz. Algunos trabajos cercanos han sido desarrollados en la literatura [55, 56, 57, 58, 59], pero la mayoría de ellos trata la irradiación de transistores bipolares de heterojuntura en SiGe. En este capítulo el objetivo principal es demostrar a través de un caso de estudio la validez y robustez del método para la inyección de fallos transitorios en circuitos CMOS modernos.

### 6.2.2. Caso de estudio

El circuito elegido para validar la técnica propuesta de irradiación focalizada es un circuito de lazo enganchado en fase, o en inglés *Phase Locked Loop* (PLL) que ha sido diseñado para ser utilizado como generador de reloj de un procesador dedicado de aplicación específica implementado en una tecnología CMOS de 90 nm. La elección de este circuito se encuentra basada en la importancia que el mismo posee para el desempeño correcto del procesador y las operaciones que realiza, además de no exigir un *setup* de validación extremadamente complejo.

#### Arquitectura del PLL

La arquitectura del PLL se muestra en el diagrama esquemático de la Fig. 6.1. Los bloques componentes son los siguientes:

- **Divisor por 16:** Se divide la referencia de entrada para entregar una frecuencia apropiada al comparador de fase.
- **Comparador de fase:** Este módulo entrega dos señales digitales de valor complementario en las que la parte activa depende de la diferencia de fase en la entrada.
- **Charge pump:** Este bloque entrega o toma corriente en función de las señales de control provenientes del comparador de fase.
- **Filtro pasa bajos:** Este bloque que ha sido implementado con un filtro de primer orden integra la corriente que proviene del *charge pump*.
- **Oscilador controlado por voltaje:** Este bloque varía el valor de la frecuencia de la señal que entrega en función de un voltaje de entrada.
- **Divisor por 256:** Este bloque divide la frecuencia del oscilador por 256 para reducir su valor y realimentarla al comparador de fase.

El circuito ha sido diseñado para operar a una frecuencia nominal central de 350 MHz.

#### Implementación física

El circuito de PLL ha sido implementado en una tecnología bulk CMOS de 90 nm, con 1,2 V, un nivel de polisilicio y nueve metales (Cu+Al). El proceso tiene un espesor aproximado de 10  $\mu\text{m}$  entre la metalización y pasivación, que son las capas que se encuentran por encima del sustrato siendo las primeras a atravesar por la partícula de alta energía. El área ocupada por el circuito completo es de 100x60  $\mu\text{m}^2$ .

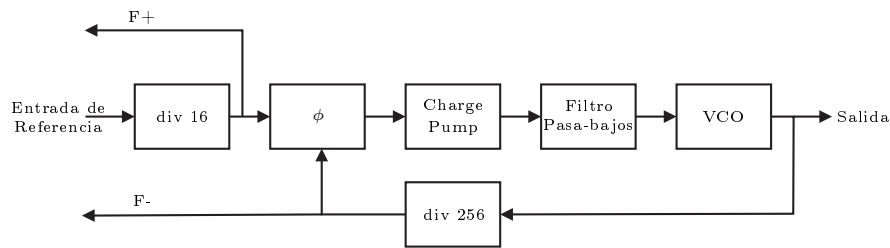


Figura 6.1: Diagrama esquemático del PLL.

### 6.2.3. Línea del micro-haz de iones pesados

Uno de los más importantes parámetros a considerar en cualquier sistema dedicado al estudio del daño por radiación es el control y la medición de la fluencia o dosis. Los estudios utilizando haces de partículas de alta energía se realizan perturbando el trabajo habitual de un dispositivo electrónico, irradiándolo con una determinada dosis de iones a una dada energía. Por lo tanto, es de suma importancia contar con un método para medir la dosis depositada con la mejor exactitud posible. Particularmente en irradiaciones con *microprobes*, la dosis es depositada bajo un determinado patrón de barrido en regiones bien definidas. Esto es aún más crítico cuanto más pequeñas son las áreas irradiadas. Los requerimientos de sobre el haz en ensayos de daño por radiación utilizando *microprobes* nucleares son mucho mayores que los de irradiación macroscópica, ya que su estabilidad en la energía e intensidad, resolución espacial y un preciso sistema de barrido, son críticos para asegurar la calidad de los resultados. En instalaciones capaces de irradiar sobre largas áreas (varios  $\text{cm}^2$ ), las variaciones en la corriente del haz no cambian su uniformidad, dado que cada punto es afectado de la misma manera, mientras que en las áreas barridas con un micro-haz, las rápidas fluctuaciones de la corriente pueden cambiar el haz de lugar en lugar. El sistema de micro-haz de iones pesados utilizado para realizar los experimentos ubicado en el laboratorio Tandar de Buenos Aires, está compuesto por un acelerador tándem *National Electrostatic Corporation 20UD* con una fuente de iones SNICS acoplada a una línea *Oxford Microbeams, Ltd. OM55* de alta potencia que posee lentes magnéticas compuesta por un sistema de triple cuadrupolo, capaz de enfocar iones pesados de alta energía de alrededor de 160 MeV amu/q2 y una estación final que permite la manipulación en XYZ de las muestras de forma manual. TANDAR es un acelerador tándem electrostático con sistema de carga por cadenas. Este sistema de carga causa la inestabilidad en la energía del haz produciendo rápidas fluctuaciones en la corriente, además de depender de la estabilidad de la fuente de iones, la óptica de enfoque y el transporte del haz, que puede producir variaciones si el mismo no opera de forma óptima. Las rápidas fluctuaciones de la corriente dificultan la aplicación de una dosis uniforme a lo largo del área irradiada. Esta dificultad es inherente al método de barrido de micro-haz.



El haz es posicionado en un punto (pixel) con coordenadas  $(x, y)$ , se mantiene por un tiempo que puede ir decenas a centenas de microsegundos en ese lugar, para luego moverse al próximo punto. En base a lo dicho anteriormente, si el haz incurre en variaciones rápidas de la corriente, estas se ven reflejadas como diferente cantidad de iones impactando en cada pixel. El método más preciso para medir la corriente es utilizar una copa de Faraday (FC) localizada detrás de la muestra. En el caso bajo análisis, los dispositivos electrónicos son demasiado gruesos para poder ser atravesados por el haz, haciendo necesario encontrar otros mecanismos para la normalización de la dosis y la medición de su corriente. La corriente medida en la FC de la línea del micro-haz puede ser muy pequeña, de alrededor de 1 pA, lo que es equivalente a una corriente de partículas de aproximadamente  $10^6$  protons/s, siendo en realidad una muy alta densidad de corriente para un haz cuya sección es de unos pocos micrómetros cuadrados. Además, en la irradiación de dispositivos con alta resolución espacial es necesario contar con un sistema que permita medir corrientes en el rango de decenas a unos pocos miles de iones por segundo.

La configuración de la línea del micro-haz de iones pesados ha sido recientemente actualizada con un deflector de haz rápido bajo demanda posicionado inmediatamente luego de los colimadores (*slits*) conformadores del haz. La cámara de irradiación ha sido equipada con un nuevo detector de rayos X (KetecTM, VITUS Vacuum SDD) y diodos PIN como detectores de partículas (Hamamatsu S1223). Estos detectores en combinación con los conmutadores de haz son capaces de medir corrientes de unos pocos iones por segundo. El deflector del haz consiste en dos largas láminas paralelas de metal de unos 15 cm con una separación de 4 mm. Las láminas conductoras están construidas en cobre laminadas en un sustrato no conductor utilizando materiales de circuito impreso. El conjunto se encuentra montado en la línea a unos 5 m de la cámara. Este sistema es utilizado para controlar la llegada de partículas a la cámara, lo cual permite configurar la fluencia variando el ciclo activo o bien previniendo la llegada de partículas al objetivo mientras se vuelve a posicionar el haz. Un dispositivo interno de la cámara denominado *switch* defleca el haz alejándolo de las placas utilizadas para colimarlo (*slits*) por un intervalo de tiempo predefinido, por lo que es posible que el haz pueda ser removido/restaurado bajo demanda de circuitos independientes siguiendo una secuencia automática predeterminada. En el caso de experimentos de tipo *Ion Beam Induced Charge* (IBIC) el control de ciclo activo es útil para poder lograr las bajas dosis requeridas. El conjunto se completa con un amplificador de alto voltaje rápido (Technisches Büro Fisher, Ober-Ramstadt, Alemania) disparado por una señal TTL producida bajo demanda por el programa de control y escaneo inyectando un pulso de  $\pm 440$  V a las placas en menos de 320 ns. De esta manera las placas son cargadas con diferente polaridad con el fin de incrementar la velocidad de blanqueo (*blanking speed/time*). Comparado con el tiempo de cambio de pixel del sistema de escaneo ( $\geq 10 \mu\text{s}$ ), este sistema remueve el haz de manera muy rápida y eficaz. Para realizar mediciones directas de la corriente del haz durante

la irradiación de dispositivos, se ha instalado un sistema que interpone un diodo PIN entre el haz y la muestra (frontal). El uso de estos diodos como alternativa de bajo costo a los detectores de barrera de superficie (SSD) ha sido estudiado en [60], [61] y [62]. El mecanismo está compuesto por un servomotor controlado por un microcontrolador comercial, y permite medir la cantidad de iones en intervalos de tiempo regulares con un tiempo muerto de unos 60 ms por medición. Para verificar que la corriente medida con este método fuera representativa del número de iones que alcanzan el objetivo, otro diodo fue colocado como objetivo y se registraron las cuentas para ambos detectores. El servomotor fue programado para habilitar la transmisión del haz en intervalos de 1 s. La Fig. 6.2 muestra la corriente en el diodo PIN del servo. Los picos invertidos corresponden a intervalos de tiempo donde el diodo PIN de sensado se encuentra fuera del haz, mientras que los triángulos representan las cuentas registradas en el diodo PIN usado como objetivo.

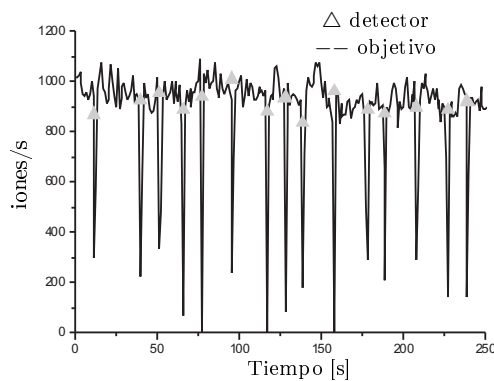


Figura 6.2: Medición de corriente con diodo PIN.

La Fig. 6.3 muestra el histograma de la tasa de cuentas del diodo PIN frontal. El ancho de la distribución está principalmente dado por las fluctuaciones de la corriente en el haz, y es la principal fuente de incertidumbre en la dosis. Para las condiciones de haz utilizadas en el experimento (alrededor de  $10^3$  ions/s), la diferencia entre los promedios de las tasas de conteo medidas en el diodo PIN de sensado y el utilizado como objetivo se encuentra en alrededor de  $0,35\sigma$  (valor mucho menor al de la desviación estándar). Con esta técnica se pueden obtener dosis en el rango de  $10^3$  a  $10^7$  iones con una incertidumbre del 10% cubriendo un área de  $10 \mu\text{m}^2$  a  $10^7 \mu\text{m}^2$ .

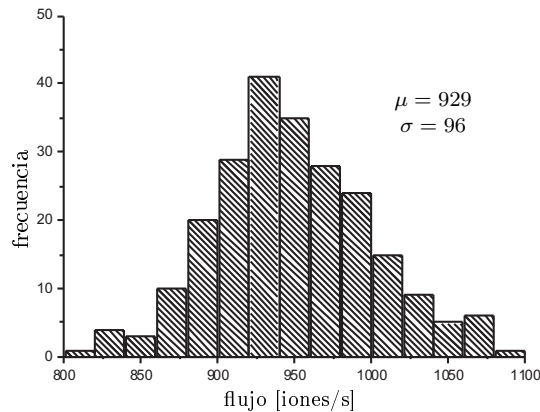


Figura 6.3: Histograma de la tasa de cuentas en el diodo pin sensor frontal en una medición de 250 segundos. El cociente entre valor medio y desviación estándar es similar para diferentes tipos de iones a distintas energías.

#### 6.2.4. Experimento de irradiación

Para realizar el experimento de irradiación, el circuito integrado encapsulado fue montado en una placa de circuito impreso (PCB) tal como se puede ver en la Fig. 6.4. El circuito fue instalado en la cámara con alto vacío, para finalmente conectar con cables a los instrumentos. El PLL recibió una señal provista por un generador mientras que un osciloscopio fue utilizado para medir las salidas.

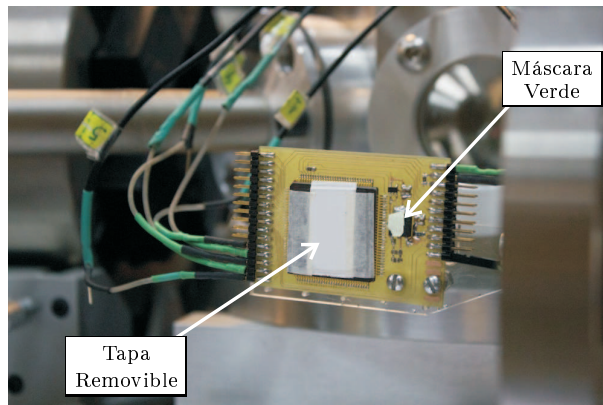


Figura 6.4: Placa de circuito impreso utilizada para el ensayo.

Para este experimento particular se eligió y utilizó un ion de Cloro con una energía de 95 MeV y una *Linear Energy Transfer* (LET) en silicio de 15,6 [MeV/mg/cm<sup>2</sup>]. El rango de esta partícula

para los materiales utilizados y la energía dada que contiene es de aproximadamente  $12 \mu\text{m}$ . Por otro lado el grosor de la pasivación más la metalización del circuito integrado es de  $10 \mu\text{m}$ , por lo que el ion deposita su máxima energía (pico de Bragg) en la zona de mayor sensibilidad. La forma y posición del haz es calibrada utilizando una máscara verde foto emisora (ver Fig. 6.4) observando la imagen tomada por una cámara a través de un monitor. Una vez que se cuenta con esta referencia grabada es posible colocar el circuito bajo irradiación en la posición donde los iones impactan. A partir de allí se comienza con el procedimiento de irradiación.

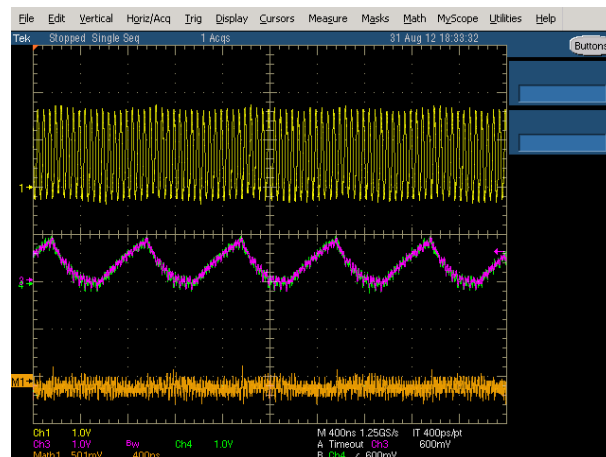


Figura 6.5: Las salidas  $F+$  y  $F-$  del circuito mientras opera en condiciones normales se muestran en la traza del medio. La primera traza es la de la señal de referencia mientras que la tercera es la de la diferencia de fase.

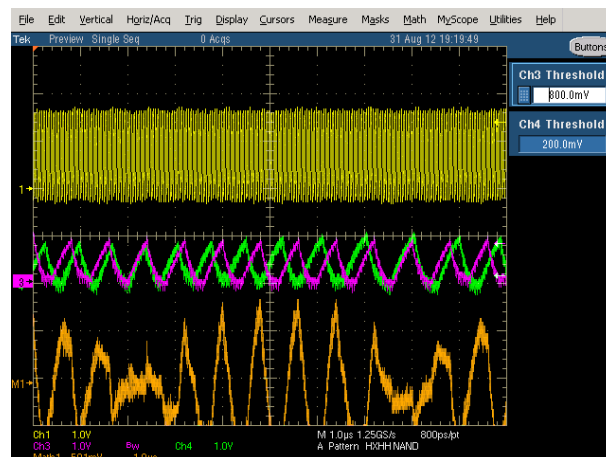


Figura 6.6: Salidas  $F+$  y  $F-$  luego del impacto del ion. La diferencia de fase puede ser observada en la tercera traza.

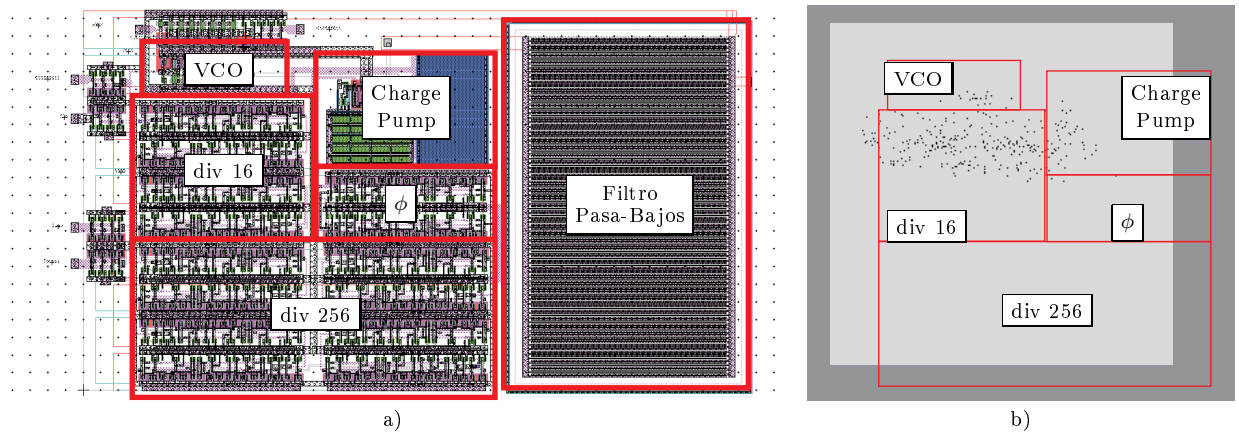


Figura 6.7: a) *Layout* del PLL con la identificación para los diferentes bloques. Los circuitos restantes son *buffers* lógicos. b) Mapa de *Single Event Effect* del PLL. El área irradiada se encuentra pintada en gris claro, correspondiendo a los bloques de la izquierda, ya que no se observaron SEE en el filtro pasa bajos.

El área expuesta ha sido configurada en  $50 \times 50 \mu\text{m}^2$  y el sistema de posicionamiento puede ubicar el haz sobre una grilla de  $256 \times 256$  puntos. Por ende, la resolución espacial para este experimento es de alrededor de 200 nm. En caso de que se requiera mayor resolución espacial para analizar un área determinada, la zona expuesta puede ser reducida a un valor considerablemente menor (unos pocos micrones). Mientras el haz de iones pesados escaneaba el circuito, la diferencia de fase en el PLL era medida. El osciloscopio fue programado para disparar un pulso cada vez que se observara una diferencia de fase que indicara el desenganche del PLL. El pulso era recibido por el sistema de escaneo correlacionando ese evento de falla con la posición XY del haz. Con un tiempo de permanencia de 5 ms por pixel y un flujo aproximado de 1000 partículas por segundo el valor medio de iones que impactó en cada punto fue de 5. En las Figs. 6.5 y 6.6 se muestra la operación normal del circuito y la salida perturbada luego del impacto del ion, respectivamente. Un mapa de los bloques más vulnerables fue obtenido a lo largo de sucesivas irradiaciones. Este mapa se muestra en la Fig. 6.7 en conjunto con el *layout* del circuito. En esta imagen los bloques que constituyen el circuito han sido identificados, observándose la mayor vulnerabilidad en el divisor por dieciséis, el *charge-pump* y el *VCO* en menor medida.

### 6.3. Conclusiones

En este capítulo se propuso una metodología diferente a las existentes para el ensayo de fallos transitorios en circuitos microelectrónicos implementados en procesos tecnológicos modernos. La

nueva metodología permite la inyección de fallos transitorios con iones pesados con un alto grado de control no solo en la dosis aplicada sino también en la posición. Esta técnica es ideal para realizar diagnóstico de fiabilidad y fallas como también para validar el diseño de endurecimiento contra radiación. Como estudio de caso se utilizó un circuito PLL implementado en una tecnología CMOS estándar de 90 nm. Los ensayos en la línea del micro-haz de TANDAR sirvieron para diagnosticar la vulnerabilidad del circuito al impacto de iones pesados permitiendo realizar un mapa de los bloques más sensibles que luego serán utilizados para rediseñar este circuito y hacerlo menos vulnerable a fallos transitorios. Para el ion utilizado en particular, se observó que los bloques más sensibles son el VCO, el *charge pump* y los divisores. En el caso del VCO y el *charge pump* el motivo de la inestabilidad es su impacto directo en la propia dinámica del circuito ya que cualquier cambio en estos bloques produce cambios inmediatos en la salida, hasta que la realimentación pueda suprimir el transitorio. El bloque divisor por 16 tiene un mayor impacto en la estabilidad de cierre del PLL ya que ante un cambio en un registro puede producir frecuencias de entradas para las que el comparador de fase no se encuentra diseñado. El bloque divisor por 256 se ve afectado de la misma manera por las fallas, aunque su impacto en el comportamiento del circuito es menor. Esto debido a que el lazo de realimentación se estabiliza ajustando la frecuencia del VCO, filtrando el transitorio. Aun cuando el PLL no se desenganche, este tipo de fallos pueden producir *clock jitter* y *skew* en la salida. El detector de fase y los restantes bloques digitales tanto como el filtro pasa-bajos se muestran insensibles a las irradiaciones con este ion. Un resultado adicional de los experimentos es el corroborar que no se producen fallos de tipo *single event latchup* (SEL) para esta tecnología con partículas que posean este LET. Finalmente, y en base a lo expuesto, se puede destacar que la metodología propuesta es de suma utilidad para la realización de ensayos de fiabilidad cuando el objetivo es identificar o corregir fallos transitorios. Desde el punto de vista del diseño, el uso de *latches* y *flip flops* endurecidos, redundancia triple o modificación de la dinámica del circuito permite reducir los fallos transitorios por radiación de iones pesados. Otros experimentos con diferentes iones y LET pueden realizarse y mejorar el conocimiento de cada tecnología con respecto a su vulnerabilidad a partículas de alta energía que produzcan fallas transitorias.







# Conclusiones

A lo largo de esta tesis se desarrolló un abordaje exhaustivo, que cubrió clasificación, diseño y mediciones, de la problemática de daño por radiación en sistemas electrónicos desde dos enfoques diferentes. Esta división de los temas no es arbitraria sino que permite diferenciar claramente efectos que son generados por fenómenos físicos diferentes y dar un tratamiento apropiado a cada uno de ellos. Siguiendo la introducción general del tema, en la primera parte se aborda el tema focalizando en el daño por dosis total acumulativa mientras que en la segunda parte se trata la ocurrencia de eventos de alta energía o de fallas producidas por efectos transitorios.

La primera parte divide el tratamiento del daño por dosis acumulativa en una introducción general que pone en contexto el tema y presenta el estado del arte en las técnicas para evitar estos problemas, para luego pasar al desarrollo de técnicas específicas para endurecer sistemas contra este tipo de fallas, que incluye la creación de una biblioteca de celdas estándar para este tipo de aplicaciones. Allí las distintas consideraciones de diseño han sido explicadas haciendo notar con especial énfasis la dependencia tecnológica que existe para poder realizar un flujo de diseño automatizado. El trabajo realizado fue publicado, detallándose las contribuciones en la realización de circuitos digitales tolerantes a radiación, transistores de alto voltaje y la implementación de amplificadores operacionales de transconductancia.

En la segunda parte se aborda el problema de fallos transitorios y las contribuciones que fueron realizadas en esta temática. Aquí la información se organiza de manera que resalta el uso de las características de los eventos y los diferentes enfoques a utilizar. En el capítulo 4 se introduce el tema y el estado del arte en la disciplina, luego se presentan las contribuciones realizadas para incrementar la tolerancia a este tipo de fallas, para finalmente introducir una nueva metodología de irradiación que permite ensayar circuitos y validar técnicas de diseño contra fallas transitorias. El diseño realizado para incrementar la tolerancia a fallas transitorias fue publicado destacándose las contribuciones realizadas contra fallos transitorios, en memorias y a nivel de sistemas.

En el último capítulo se presenta una metodología de ensayos de fallos transitorios en circuitos integrados. En este caso se cuenta con una contribución innovadora debido a las ventajas que

presenta utilizar un micro-haz con iones pesados. La disponibilidad de esta fuente de irradiación en una línea de micro-haz es en general mutuamente excluyente, y esta capacidad es novedosa para la inyección y detección de fallos en circuitos integrados. A través de la configuración de distintos instrumentos en conjunto con la electrónica de la facilidad fue posible crear un mapa de vulnerabilidad a fallos transitorios en un circuito de suma importancia para los sistemas como es un PLL. En base a los resultados obtenidos es posible inferir que la técnica utilizada es válida para este tipo de ensayos en otro tipo de sistemas tales como memorias y microcontroladores. Resultados obtenidos utilizando esta metodología fueron publicados.

Para la investigación se construyeron dispositivos de prueba, circuitos analógicos, bibliotecas de celdas estándar y un microcontrolador de propósito general en más de cinco chips con tecnologías muy diversas de hasta 90 nm. Para diseñar los circuitos se utilizaron distintos flujos de diseño logrando el dominio de los mismos. Asimismo, se llevaron adelante ensayos de radiación de daño por dosis acumulativa como así también de fallas transitorias. Desde el punto de vista práctico, se completó en esta investigación varios ciclos completos de diseño, fabricación, irradiación y caracterización de dispositivos microelectrónicos orientados a aplicaciones espaciales. Esta situación que no es habitual, pudo ser realizada gracias a un gran esfuerzo y la colaboración de distintos grupos de investigación de Argentina.

# Apéndices



# Apéndice A

## Tecnología CMOS

### Transistores MOSFET

La tecnología de semiconductores basada en transistores MOSFET es la dominante en la industria de circuitos integrados. En estos procesos se desarrollan desde compuertas digitales básicas, hasta grandes sistemas con microprocesadores y memoria. Se cuenta también con circuitos de señal mixta, pasando por equipos de redes y de comunicaciones, hasta drivers de actuadores usados en control y convertidores usados en fuentes de potencia. Todas estas innovaciones, se han dado gracias a las innumerables ventajas que los transistores, y la tecnología CMOS presentan en cuanto a consumo, velocidad y a su gran capacidad de integración. Dado que los trabajos realizados en circuitos tolerantes a radiación en esta tesis se han planteado en tecnología CMOS, se presenta una revisión general de la misma. En primer lugar se examina la física del dispositivo, presentando el modelo de primer orden que lo caracteriza. Luego, se mencionan efectos secundarios que hacen que las propiedades reales del dispositivo se aparten de las ideales, tanto por cargas atrapadas, como por efectos parásitos de la estructura. La perspectiva que se da es meramente introductoria, pero se pretende que sirva como referencia inmediata para el entendimiento de los capítulos que lo requieran. Se debe prestar especial atención a la aparición de cargas atrapadas, dado que el mismo es clave para interpretar como actúan los fenómenos de radiación, modificando las propiedades de los dispositivos.

### Física del dispositivo

Este tema se presenta habitualmente comenzando por una descripción cualitativa del dispositivo, que luego es ampliada con diagramas de bandas y de carga, permitiendo hacer una descripción cuantitativa. Este desarrollo conduce a un modelo ideal del dispositivo [15]. Este es el enfoque que se sigue.

## Estructura Ideal

Es conveniente comenzar la descripción del transistor MOS, partiendo de la estructura básica del capacitor MOS, mostrado en la Fig. A.1. El mismo es un dispositivo bi-terminal formado por una fina capa de óxido ( $SiO_2$ ) contenida entre un sustrato de silicio intrínseco y una placa metálica o de polisilicio. La base del sustrato está recubierta de metal, lo que permite el contacto eléctrico de esta parte. Las condiciones que se suponen en el modelo electrostático ideal son:

- El *gate* completo es considerado una superficie equipotencial;
- El óxido es un aislante perfecto;
- No existe carga en el óxido ni en las interfaces;
- El dopaje del semiconductor es uniforme;
- Se cuenta con un sustrato lo suficientemente grueso;
- Se dispone de contactos óhmicos;
- Se trata de una estructura unidimensional;
- La función trabajo entre el semiconductor y el metal es idéntica a cero.

El diagrama de bandas resultante para la situación de equilibrio es el mostrado en la Fig. A.2.

Cuando la estructura tiene una tensión aplicada (es decir polarizada), se produce una diferencia entre la energía de Fermi (EF) del metal y la del semiconductor igual a  $-qV_G$ . El nivel de Fermi representa el estado de energía con probabilidad de estar ocupado del 50 por ciento, y es independiente de la temperatura en los metales mientras no lo es en los semiconductores. La diferencia de tensión aplicada genera una distorsión de las bandas de energía, dejando a la región que está por debajo del *gate* del capacitor MOS en tres posibles estados de carga, que son: acumulación, vaciamiento, e inversión. Los diagramas de bandas para estas tres situaciones se muestran respectivamente en la Fig. A.3.

La acumulación es el estado “natural” del semiconductor dopado. Se produce cuando  $V_G < 0$  y en este estado los portadores mayoritarios son los encargados de producir el transporte de carga. Para un sustrato tipo p los portadores serán huecos. El vaciamiento sucede cuando se aplica un voltaje positivo. Esto genera una región en la cual no hay portadores disponibles, salvo los del semiconductor intrínseco, dado que los portadores mayoritarios son atraídos por el campo eléctrico hacia el sustrato. Si se continúa aumentando el potencial del *gate* se llega al estado

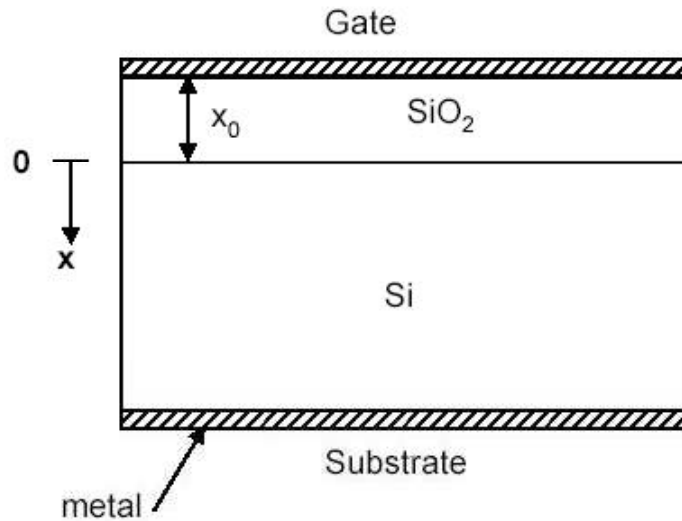


Figura A.1: Estructura del capacitor MOS.

de inversión, en el cual los portadores minoritarios inundan la superficie del semiconductor, de manera de mantener el equilibrio con las cargas depositadas en la superficie metálica del *gate*.

Como primera aproximación, se puede ver que la estructura del transistor MOS es similar a un capacitor MOS, con dos junturas p-n adyacentes a la región del semiconductor controlado por el *gate*. En la Fig. A.4 se muestra la estructura ideal del mismo. Si en un dispositivo de canal-n se polariza el *drain* con respecto al *source*, y existe un canal ( $V_G > 0$ ) existirá circulación de corriente debido a que los portadores se pueden mover libremente en esta región. En caso que el canal esté en acumulación o vaciamiento, la corriente será insignificante, debido a que la juntura se halla en inversa. Se puede observar entonces que con la tensión del *gate* se puede comandar la corriente del transistor, lo que permite usarlo como llave electrónica o como amplificador.

Se define como voltaje de umbral o de *threshold* a la mínima tensión que es necesario aplicar en el *gate* para que el transistor comience a conducir. En general este valor se controla mediante el proceso de fabricación, pero puede ser afectado por diversos factores, tema que se tratará en la próxima sección. La corriente del canal es controlada por la tensión del *gate*, se define la transconductancia del dispositivo como la relación que existe entre estas dos variables. Si se mantiene una tensión fija en el *gate* superior a la de umbral y se aumenta paulatinamente el potencial del *drain*, se verá en principio que la variación de la corriente es linealmente proporcional a este potencial. Esta región en la cual el transistor presenta una característica resistiva se denomina región lineal o de triodo. A medida que se aumenta más el potencial de *drain*, se llega

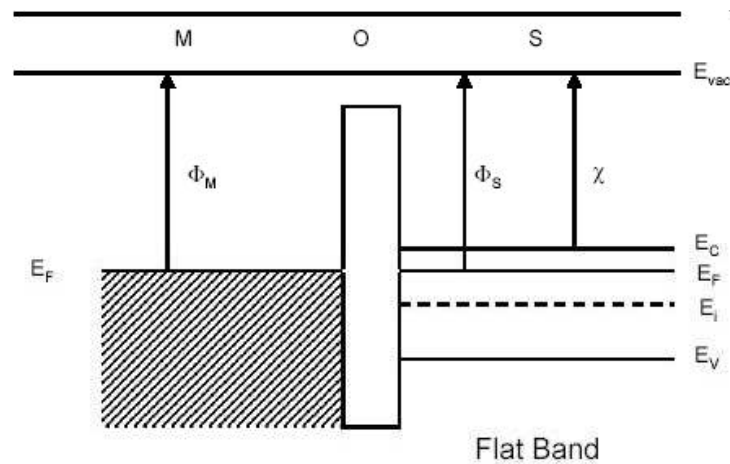


Figura A.2: Diagrama de bandas de la estructura MOS.

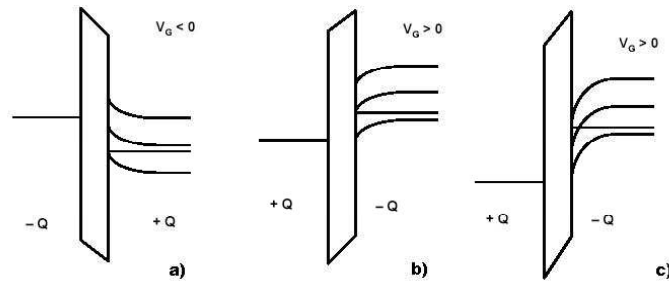


Figura A.3: Diagramas de bandas: a)acumulación b)vaciamiento c)inversión

a un punto en el cual no se mantiene esta relación lineal, sino que se produce una saturación, por lo que un gran aumento de tensión produce muy poca variación en la corriente. Esta región se llama naturalmente región de saturación. Por otro lado, se debe recordar la acción moduladora que tiene la tensión de *gate* en la corriente de *drain*. Si bien no desarrollaremos el modelo, se ha postulado teóricamente, y verificado experimentalmente que estas variables presentan una relación de variación cuadrática. En la Fig. A.5 se muestra la curva característica del transistor MOS, y se señala como la misma cambia cuando las dimensiones del canal son reducidas.

### Transistor MOS no ideal

Si bien la estructura ideal del transistor MOS provee una manera sencilla de desarrollar la teoría, la misma no contempla algunas situaciones que se presentan en los dispositivos reales. Esto hace que los parámetros calculados no correspondan con los del transistor fabricado. Se presentarán entonces los fenómenos más comunes que se observan en la práctica, y cómo éstos



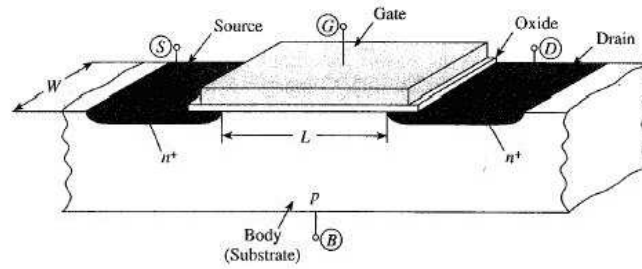


Figura A.4: Estructura ideal de un transistor MOS.

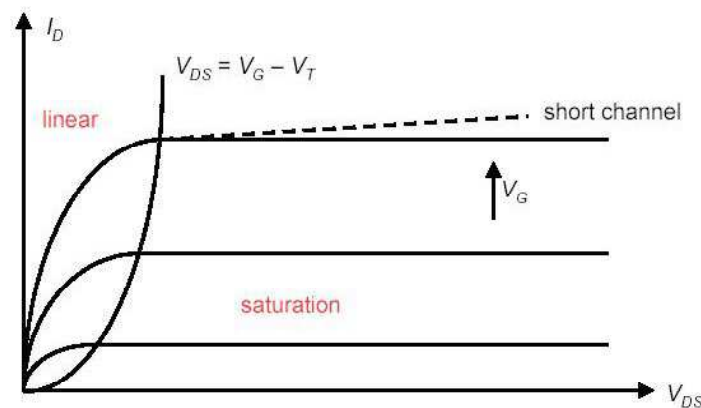


Figura A.5: Característica tensión-corriente del transistor MOS.

afectan las características y el desempeño del transistor. La primera corrección que se debe hacer al modelo ideal, se basa en la diferencia entre la función trabajo del metal y la del semiconductor. Debido a ello, en la situación de equilibrio, existe un corrimiento en las bandas de conducción y valencia denominado *band bending* que produce un potencial de construcción similar al que se produce en una juntura pn a pesar de no existir una unión metalúrgica. La diferencia que se presenta en el voltaje de *threshold* calculado con respecto al real depende del metal que se utilice para el *gate*, y en general puede ser tanto positiva como negativa, con un valor que dependerá del tipo de elemento y nivel de implantación con que se realice. Otro punto a tener en cuenta, es el referente a las cargas existentes en el óxido del transistor. Si bien son ignoradas al desarrollar el modelo inicial, las mismas existen y afectan considerablemente el desempeño, produciendo largos desplazamientos de voltaje e inestabilidades. En la Fig. A.6 se muestra un esquema de estas cargas, las que serán comentadas a continuación.

En los primeros dispositivos fabricados, se ha observado en ocasiones un desplazamiento importante de la tensión de umbral respecto del valor teórico. Cuando los transistores eran so-

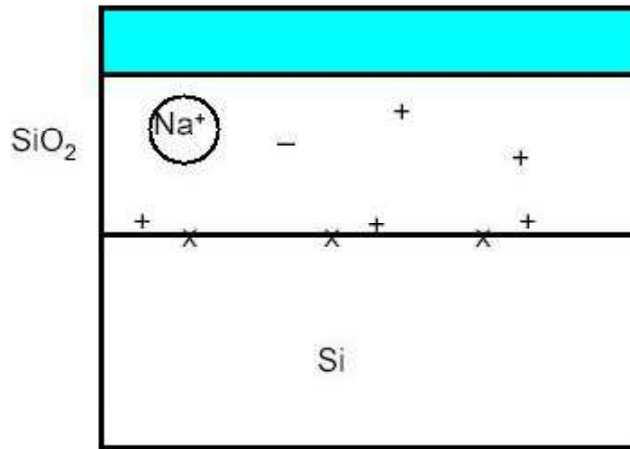


Figura A.6: Distintos tipos de cargas atrapadas en el óxido.

metidos a un ensayo térmico, elevando la temperatura máxima hasta  $150^{\circ}$  y manteniendo el *gate* con tensión positiva, se produce un desplazamiento adicional del umbral. Por otro lado, la polarización inversa produce el efecto contrario. Cabe destacar que un dispositivo cuyo punto de operación varía de forma impredecible en función del tiempo se vuelve verdaderamente inútil, por lo que se puso especial énfasis en identificar el fenómeno, y solucionarlo. Los estudios revelaron que la inestabilidad era producida por iones móviles dentro del óxido, principalmente iones de sodio ( $Na^{+}$ ). Los mismos se desplazan dentro del óxido al aplicar una polarización, produciendo un corrimiento de la tensión de *gate* ( $\Delta V_G$ ) observado en las mediciones luego del ensayo de calentamiento. Al evitar la contaminación con iones, se verificó que no se producían corrimientos, confirmando las especulaciones iniciales. A pesar de que la eliminación de contaminantes alcalinos condujo a tener dispositivos más estables, los fabricantes encontraron dificultades en mantener el grado de calidad constante en sus plantas. Se desarrollaron entonces procesos que minimizaron el efecto de los contaminantes residuales. Uno de ellos es la estabilización por fósforo, que consiste en difundir el mismo sobre el óxido a una temperatura elevada. Dado que los iones son extremadamente móviles a esta temperatura, éstos se dirigen a la región donde se ha difundido el fósforo, quedando atrapados allí cuando la temperatura se reduce. El fosfosilicato producido en este proceso impide futuras contaminaciones del óxido. Otro de los procesos utilizados es la neutralización por cloro. En este caso, el cloro es incorporado a la atmósfera en la que se produce el crecimiento del óxido. Este agregado queda principalmente en la interfaz óxido semiconductor. Una vez que los iones de sodio se desplazan a esta región, son neutralizados por

el cloro, haciendo que los mismos no tengan efecto sobre las propiedades del MOS. Para procesos en los que se reducen extremadamente las dimensiones, se prefiere el tratamiento con cloro que es más predecible, aunque el fosfosilicato se deposita como cobertura sobre el circuito, de manera de minimizar la contaminación posterior. Habiendo solucionado el problema de iones móviles, aún se siguieron produciendo corrimientos de los valores teóricos. Más tarde se descubrió que éstos desplazamientos se debían a cargas atrapadas en la estructura del óxido. Se postuló entonces que estas cargas eran producidas por silicio iónico que no alcanzaba a combinarse en el momento en que se detiene el proceso de oxidación. Se ha observado que un proceso de calentamiento en una atmósfera inerte de  $N_2$  reduce considerablemente la acumulación de estas cargas. El último efecto que degrada el comportamiento operacional de los transistores MOS es el de cargas atrapadas en la interfaz óxido-semiconductor, llamadas de aquí en más cargas interfaciales. Si bien el origen de estas cargas no está claramente especificado, se supone que las mismas se producen por enlaces no combinados en la estructura del silicio. Si bien el proceso de oxidación combina la mayoría de los enlaces, los que no contribuyen al óxido, quedan como cargas en la interfaz. Este problema se puede solucionar produciendo una metalización con aluminio o cobre que reacciona con diminutas cantidades de vapor que se introducen en el proceso. Al reaccionar el metal, se libera hidrógeno, que neutraliza los enlaces libres en la interfaz. Por otro lado, también se puede producir un efecto similar, colocando el silicio en un ambiente hidrogenado. En el transistor MOS, el corrimiento de  $V_T$  queda asociado con la diferencia en la función trabajo metal-semiconductor y con los fenómenos de iones móviles y de cargas atrapadas. Por otro lado, las trampas interfaciales afectan la transconductancia del dispositivo. Para lograr un  $V_T$  deseado se puede controlar al dopaje o regular el espesor del óxido; aunque el proceso más efectivo consiste en la implantación perfectamente dosificada de iones en el semiconductor. De esta manera colocando iones de boro se logra un  $\Delta V_G$  positivo, mientras que colocando fósforo se logra que el mismo sea negativo.

### Efectos parásitos de la estructura

Uno de los más temidos efectos en los circuitos CMOS es el denominado *Latchup*. Este efecto puede ser tan grave como para generar un cortocircuito en la fuente de alimentación a través del circuito, que termina por destruirlo o al menos exigiendo que se deba cortar el suministro de potencia, con la consecuente paralización del proceso que se estaba realizando. Si bien existen otros efectos de segundo orden que alteran el funcionamiento normal de los circuitos, el *Latchup* es de suma importancia dado que puede desencadenarse por efecto de la radiación.

El origen del efecto puede ser explicado examinando la estructura del inversor CMOS que se muestra en la Fig. A.7. Allí se puede ver que no solo existen un transistor MOS del tipo N y uno del tipo P, sino también que se producen en forma parásita un transistor bipolar NPN, uno PNP

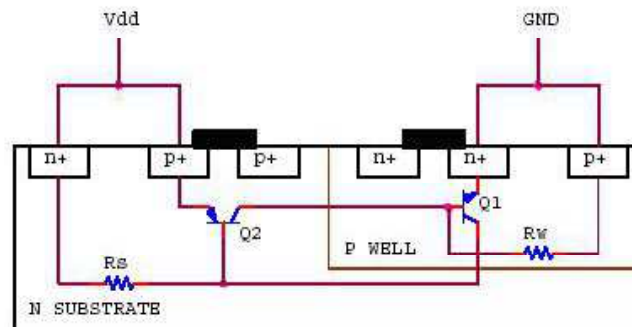


Figura A.7: Estructura parásita PNPN.

y dos resistores. De la manera en que están conectados estos transistores parásitos, se genera una estructura similar a la de un rectificador semiconductor controlado (SCR), lo que indica que bajo determinadas circunstancias el mismo se podrá encender produciendo el cortocircuito antes mencionado. Para que se genere el *Latchup* la estructura de los transistores debe ser disparada y se debe conservar en el estado de mantenimiento. El disparo puede producirse por efectos transitorios durante el encendido o bien por voltajes o corrientes en la línea de alimentación que superen los rangos normales de operación. Como se ha mencionado anteriormente, el disparo también puede ser causado por efecto de radiación, dado que la misma puede inyectar portadores en la base del transistor NPN, encendiendo el dispositivo parásito. Para circuitos normales, se han desarrollado un grupo de reglas bien entendidas por los diseñadores que permiten un alto nivel de confianza para evitar el *Latchup*.

## Apéndice B

# Radiación en el ambiente espacial

### Introducción

Existen dos casos bien diferenciados que serán tratados en este apéndice en referencia al entorno de radiación espacial. Por un lado, se considera el espacio interplanetario y por otro, la exosfera terrestre en donde operan los distintos satélites. En el espacio interplanetario, que será expuesto en principio, los fenómenos están vinculados directamente con la actividad solar. En el entorno terrestre, presentado en segundo lugar, las interacciones que suceden están reguladas por la actividad geomagnética que se modifica indirectamente por el clima solar. En ambos casos, también se recibe radiación cósmica proveniente de lugares remotos de la galaxia.

### Entorno Interplanetario

Las regiones existentes entre los planetas están fuertemente influenciadas por la acción del sol y los eventos que en él ocurren. De las observaciones realizadas, se ha podido identificar la existencia de un ciclo solar de once años, en el cual se dan sucesivos aumentos y retracciones en la intensidad de los fenómenos. En la Fig. B.1 se muestra una representación temporal del ciclo solar y en la Fig. B.2 imágenes de la evolución del mismo. Las reacciones que se dan en el sol se propagan a través del espacio alterando el medio circundante. La descripción que se hace de estos fenómenos utiliza terminología climática, de manera de representarlos de una manera más natural, por lo que es común hablar de “tormentas” o “viento solar”. A pesar de ser complejos y parcialmente entendidos, se han detectado sucesos como las erupciones solares (*solar flares*) y la eyección de masa coronal (*Coronal Mass Ejection CME*) que producen el viento solar y campo magnético interplanetario.

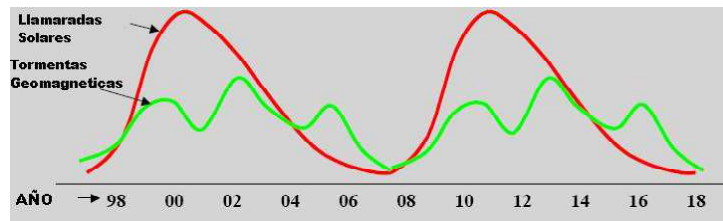


Figura B.1: Representación temporal del ciclo solar.

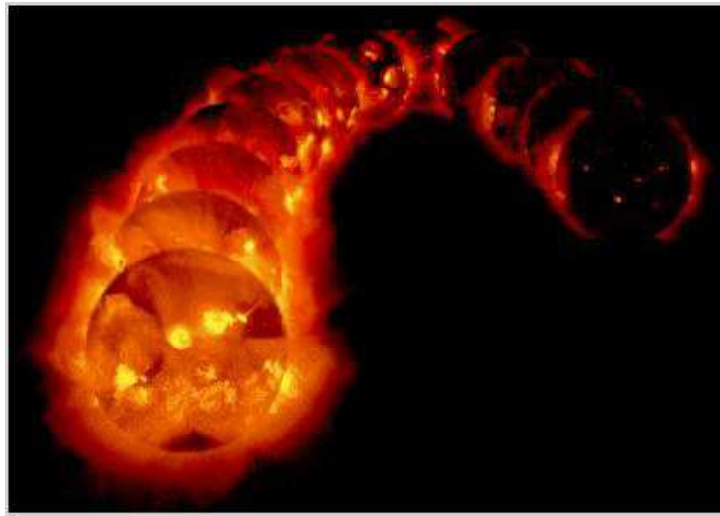


Figura B.2: Imágenes del ciclo solar.

### Eyección de masa coronal (CME)

Este es un evento solar que consiste en grandes nubes de plasma y campo magnético que escapan del sol a una velocidad de hasta 2500 km/s y pueden tener hasta  $10^{16}$  gramos de materia. Normalmente ocurren en los momentos de máximas manchas solares (regiones del sol con menor temperatura e intensa actividad magnética que se observan oscuras) y se propagan como una onda de choque a través del espacio interplanetario. Cuando la onda llega a la magnetósfera terrestre se producen grandes cambios ionosféricos y geomagnéticos. En las imágenes de luz blanca observadas, las CME poseen una estructura brillante con forma de lazo encerrando una cavidad oscura y un núcleo de material denso. Se cree que la energía en estos fenómenos proviene de la reorganización y reconexión magnética en la base del lazo. En la Fig. B.3 se observa una ilustración que muestra las distintas partes del mismo; mientras que en la Fig. B.4 se muestran imágenes obtenidas con un coronógrafo de este fenómeno en la misión SOHO.

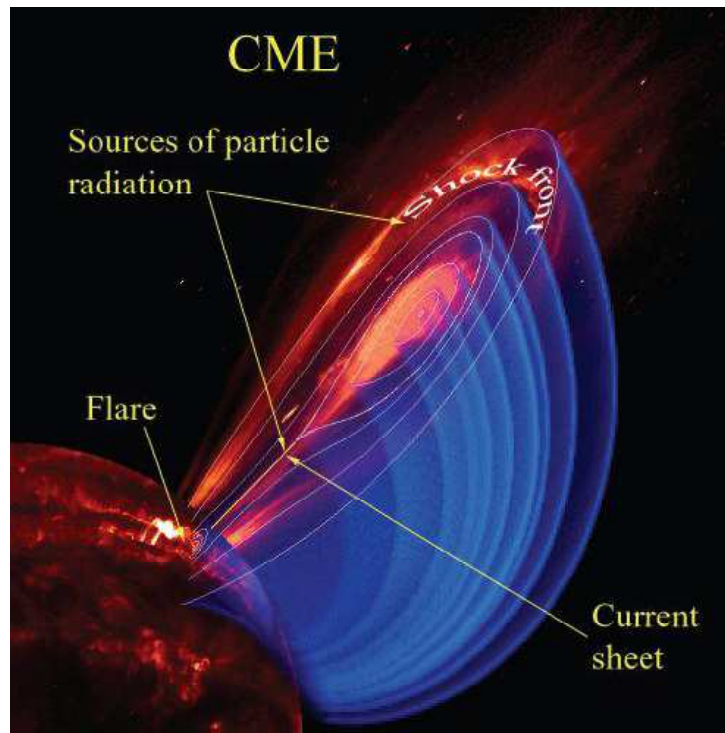


Figura B.3: Estructura de una eyección de masa coronal.

### Erupciones solares

Las erupciones ocurren en rápidas conversiones de energía del campo magnético solar a energía cinética de las partículas en la base de la corona solar. Las partículas aceleradas y sus interacciones con el plasma circundante pueden producir emisión electromagnética en un amplio rango de frecuencias, desde microondas hasta rayos gamma. Las erupciones son uno de los principales lugares donde se produce la aceleración de electrones (hasta 10 MeV), iones pesados y protones (hasta 100 MeV), aunque su exacta naturaleza es aún investigada. Se supone también que las erupciones y las CME son distintas manifestaciones del mismo fenómeno.

### Radiación cósmica

Los rayos cósmicos son núcleos altamente energéticos (100 – 1000 MeV) que se cree son acelerados en choques producidos en explosiones de supernovas. Están formados principalmente por protones y partículas alfa. Poseen también una pequeña proporción de núcleos pesados (Oxígeno, Carbono y Hierro) que son de gran interés debido a que son altamente ionizantes. La radiación cósmica se ve afectada por el fenómeno de la modulación del viento solar y su campo magnético que la inhiben parcialmente al interactuar con ella. Cuando se produce la máxima actividad de

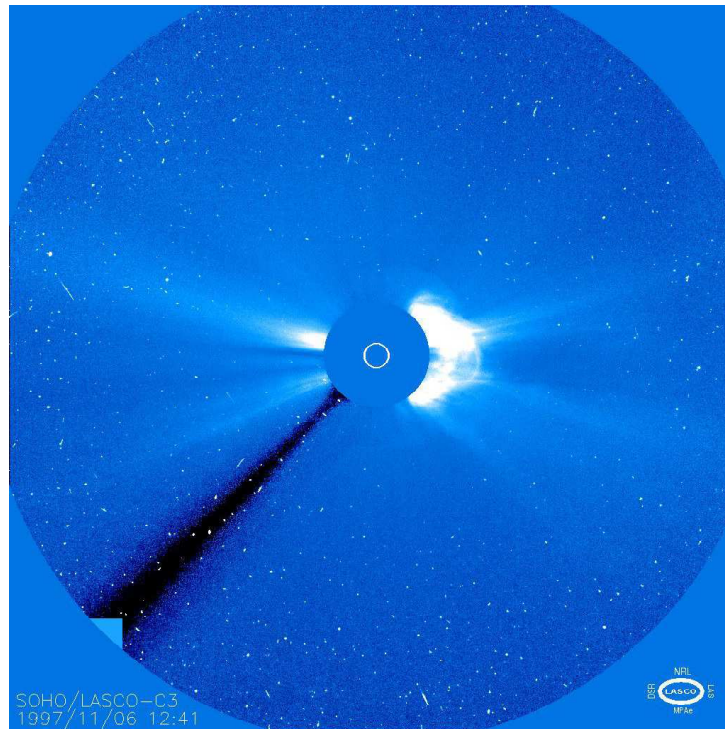


Figura B.4: Imágen de una CME tomadas con un coronógrafo en la misión SOHO.

manchas solares los rayos están en un mínimo y viceversa. El sistema solar se encuentra protegido de esta radiación por la heliósfera, región en la que el viento solar, acompañado por su campo magnético, crea una especie de burbuja con el sol en su centro. En la Fig. B.5 se muestra una representación de este sistema en la que se observa como las ondas de choque que se propagan en forma de espiral, generan una frontera con el gas interestelar.

### Exosfera terrestre

Todos los planetas magnetizados poseen partículas energéticas atrapadas en sus campos magnéticos. Esta situación se encuentra presente en Júpiter y en particular en la Tierra, donde el entorno geomagnético también es conocido como magnetósfera. Esta región de nuestro espacio cercano está formada por dos bandas principales en las que se concentran las partículas. Estas bandas son conocidas como cinturones de Van Allen. En la Fig. B.6 se muestra una representación de los mismos, mientras que en la Fig. B.7 se muestra un mapa en el que se observa la intensidad para una órbita determinada. Las capas que se extienden desde uno hasta tres radios de la Tierra se llaman cinturones internos, y están compuestos principalmente por protones, mientras que los que se extienden desde tres a nueve radios se denominan externos y están compuestos



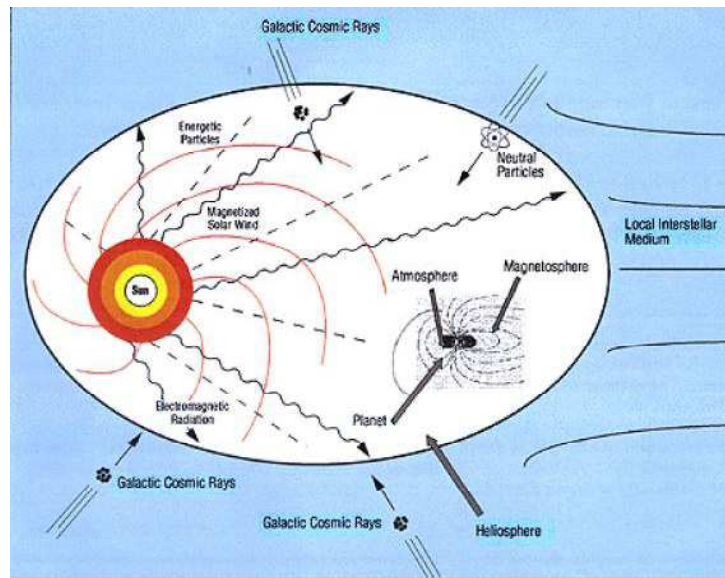


Figura B.5: Constitución de la heliósfera.

principalmente por electrones. Se debe notar que los cinturones convergen en los polos debido a la disminución de campo magnético y que poseen una degradación en la zona cercana al este de Brasil que desciende hasta una altura de 250 km, siendo esta región utilizada para órbitas satelitales. De lo anterior se deduce entonces que la radiación recibida en un satélite será función no solo de la altura, sino también del ángulo de su órbita. Por último hacemos notar que los cinturones son muy dependientes de la actividad solar.

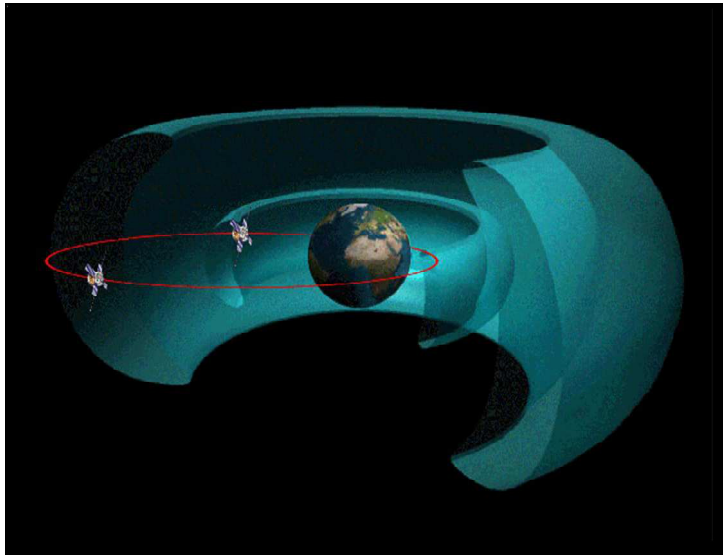


Figura B.6: Cinturones magnéticos de la Tierra (Van Allen Belts).

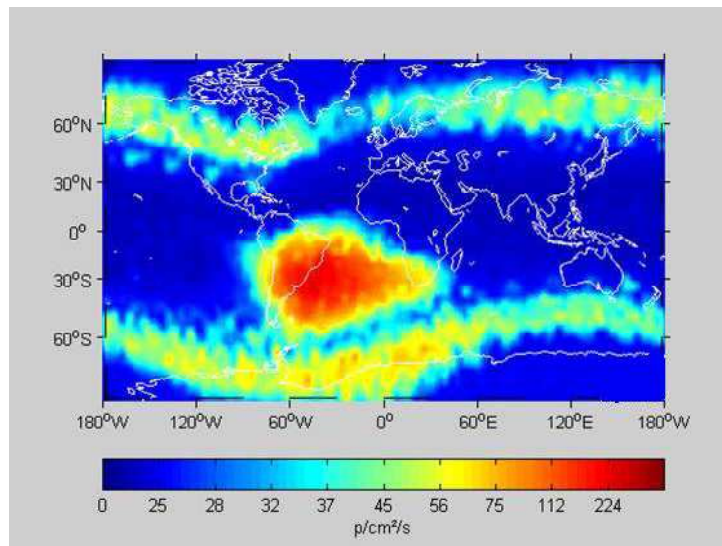


Figura B.7: Mapa de la intensidad de radiación para una altura determinada.

Con respecto a los niveles de radiación, el trabajo de Gambles [63] muestra que un satélite puede recibir típicamente 10 Krad en una misión de veinte años en órbitas bajas utilizadas por la mayoría de los satélites científicos, mientras que puede recibir 100 Krad en diez años para órbitas geosíncronas donde se colocan satélites de comunicaciones y posicionamiento global. Se han registrado también, hasta 1 Mrad en ocho años en una órbita de la mitad de la altura

típica geosíncrona (36.000 Km. aproximadamente). En cuanto a la cantidad de partículas, es extremadamente dependiente de la órbita y de la actividad solar. En el apéndice C se exhiben valores para distintas situaciones. En [63] se reporta que las máximas dosis debidas a electrones se presentan en alturas cercanas a 4000 km y 20,000 km, mientras que la máxima dosis originada por protones se da a una altura de 3000 km. Éstas características nos sugieren también, que el tipo de misión condicionará el grado de tolerancia a la radiación y la tecnología, como también el tipo de protección que se deberá colocar a los equipos. Para finalizar este apéndice y refiriéndonos al tema de los blindajes podremos mencionar algunas características de los mismos. Para que los blindajes sean efectivos se han ensayado distintos materiales, mostrando que los que poseen un cociente  $Z/A$  alto ( $Z$ : número atómico,  $A$ : masa atómica) son más propensos a rechazar los electrones, mientras que los que poseen un número atómico ( $Z$ ) alto, ayudan con la dispersión de los protones. Formando estructuras con varias capas de material se logra una drástica reducción en los niveles de radiación que puede atenuar hasta un sesenta por ciento más que los blindajes únicos de aluminio. Estas estructuras, en general, están compuestas por una lámina gruesa de aluminio de aproximadamente 40 mils, seguida de una capa de tantalio de unas 10 mils, terminando en una más fina de aluminio de 5 mils. Para mayores detalles se recomienda consultar [64].



## Apéndice C

# Metodología para la selección de partes en sistemas espaciales

### Introducción

Es evidente que un sistema electrónico expuesto a severas condiciones de radiación debe ser adaptado para operar de manera confiable en ese entorno. Si bien existen diversas aplicaciones en las que estas situaciones se presentan, las aplicaciones espaciales son el ejemplo por excelencia debido a que los sistemas involucrados se ven expuestos a la totalidad de los fenómenos de radiación, exigiendo una cuidadosa planificación y la utilización de diversas técnicas de endurecimiento, sumadas a estrictas restricciones de peso y costo. Por tal motivo, en este apéndice, se muestran como caso de aplicación, las consideraciones que se deben tener para lograr una selección de partes para una misión espacial. Las características del entorno de radiación son fuertemente dependientes del tipo de misión, según sea la fecha de lanzamiento, la órbita y la duración. La radiación acelera el envejecimiento de los materiales y las partes electrónicas, y puede degradar el desempeño del sistema. Para atacar estos problemas, se debe utilizar una metodología muy rigurosa, de manera de no comprometer el funcionamiento de los sistemas durante la misión. Esta metodología de endurecimiento deberá considerar los requerimientos, definición del entorno, selección y testeo de partes, blindaje y diseño tolerante a radiación. A continuación desarrollaremos la manera de abordar cada uno de estos temas.

### Generalidades

El flujo a seguir en un proceso de selección de partes es iterativo, y debe comenzar analizando el entorno de radiación en base a los requerimientos de la misión. Una vez que se conocen los

niveles y el tipo de radiación se continúa con el análisis de validación de los elementos disponibles y entre ellas se identifican las partes que presenten mayor sensibilidad. Asimismo, también se debe realizar una evaluación del riesgo que es posible aceptar en cada una de las partes. En base a los datos relevados se evaluará cuáles de las partes son aceptables para la misión, cuáles se deben ensayar y cuáles serán rechazadas. En la Fig. C.1 se muestran las interacciones entre las distintas fases del proceso, que se detallan a continuación:

- Descripción del entorno de radiación de la misión y de los niveles dentro de la nave: El tipo y la energía de las partículas será utilizado para la especificación de los niveles que deben tolerar las partes.
- Evaluación en la sensibilidad de las partes: La tolerancia de las partes será estimada en función de una base de datos o los pertinentes ensayos de radiación.
- Aspectos de radiación en análisis de peor caso para el diseño de circuitos y sistemas: En función de la información de peor caso, y considerando el envejecimiento se realiza una evaluación de la degradación de las partes, combinando la información a nivel de sistema, se determinará una tasa de fallos.
- Categorización de partes: El nivel de radiación que tolera cada parte se compara con el requerido para la misión. El factor de mérito utilizado para definir categorías entre las partes es el margen de diseño de radiación (RDM), definido como el cociente entre el nivel de falla y el nivel de radiación requerido en la misión. En caso de que RDM exceda ampliamente la unidad, la parte puede ser usada sin consideraciones adicionales. En caso de que RDM sea inferior a la unidad, la parte no se puede utilizar sin tomar medidas al respecto, por lo que las alternativas pueden ser, realizar una investigación mas precisa acerca del nivel de radiación que recibirá, o realizar nuevos ensayos de radiación. Otra alternativa es tomar contra-medidas al respecto, como hacer blindajes puntuales o en los gabinetes, establecer redundancia, colocar circuitería de protección contra latchup, etc. Si ninguna de estas soluciones fuera satisfactoria, deberemos utilizar una parte con un mayor nivel de tolerancia a la radiación. Aquellos componentes que no excedan ampliamente la unidad en su RDM serán considerados críticos, por lo que se deberá evaluar cuidadosamente como hacer para cumplir con los márgenes de seguridad, una posibilidad es testear el lote de vuelo.

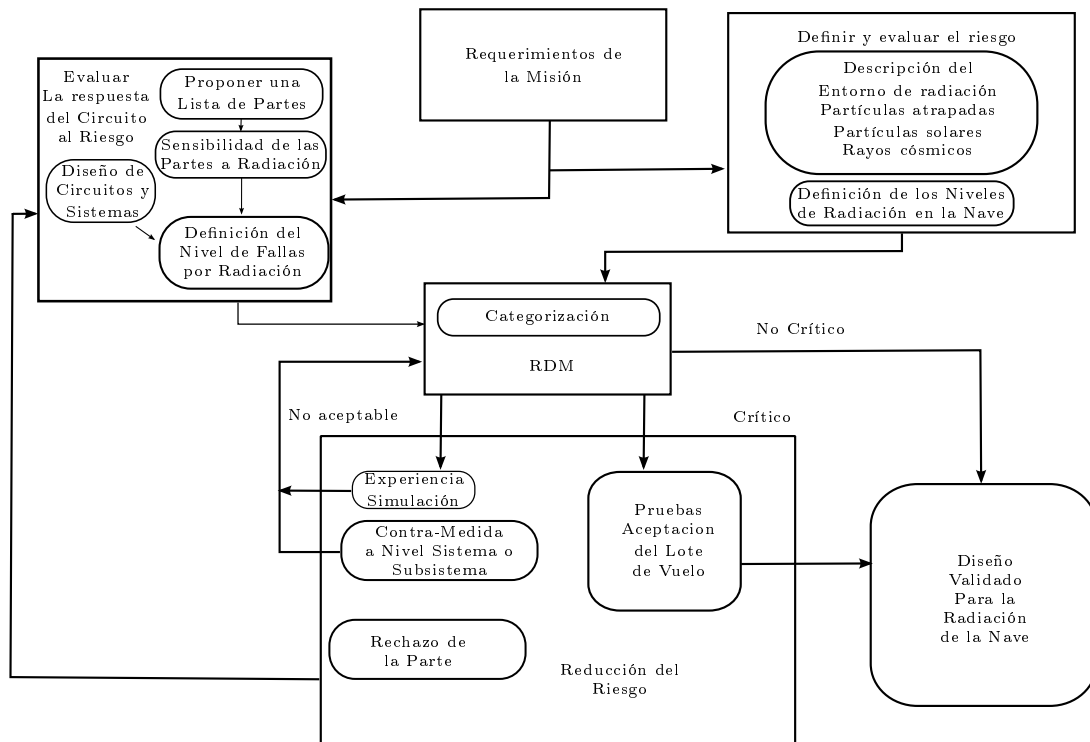


Figura C.1: Proceso de categorización de partes para una misión espacial.

## Definición del entorno de radiación

Es muy conveniente realizar la definición del entorno de una misión en las primeras etapas del proceso de diseño, de esta manera se realizarán negociaciones en función de lo que se desea lograr con la nave, las órbitas y el nivel de riesgo en las mismas. Para lograr una precisa definición del entorno de radiación, se debe contar necesariamente con la siguiente información, que ubica la nave en el lugar de operación y permite cuantificar la exposición a radiación:

- Parámetros orbitales de precisión en los que operará la nave.
- Número de transferencia de órbitas en el peor caso con sus parámetros individuales.
- Momento previsto para el lanzamiento.
- Duración de la misión.

## Entorno de radiación

Tres principales fuentes de radiación que se encuentran en el entorno geomagnético son:

- Electrones y protones atrapados en los anillos de radiación.
- Iones pesados y protones producidos en eventos solares.
- Iones pesados y protones de origen cósmico.

Otro tipo de consideraciones puede provenir de efectos de carga y descarga de superficies generadas por plasma y neutrones producidos por la interacción con partículas en órbitas bajas cercanas a la atmósfera.

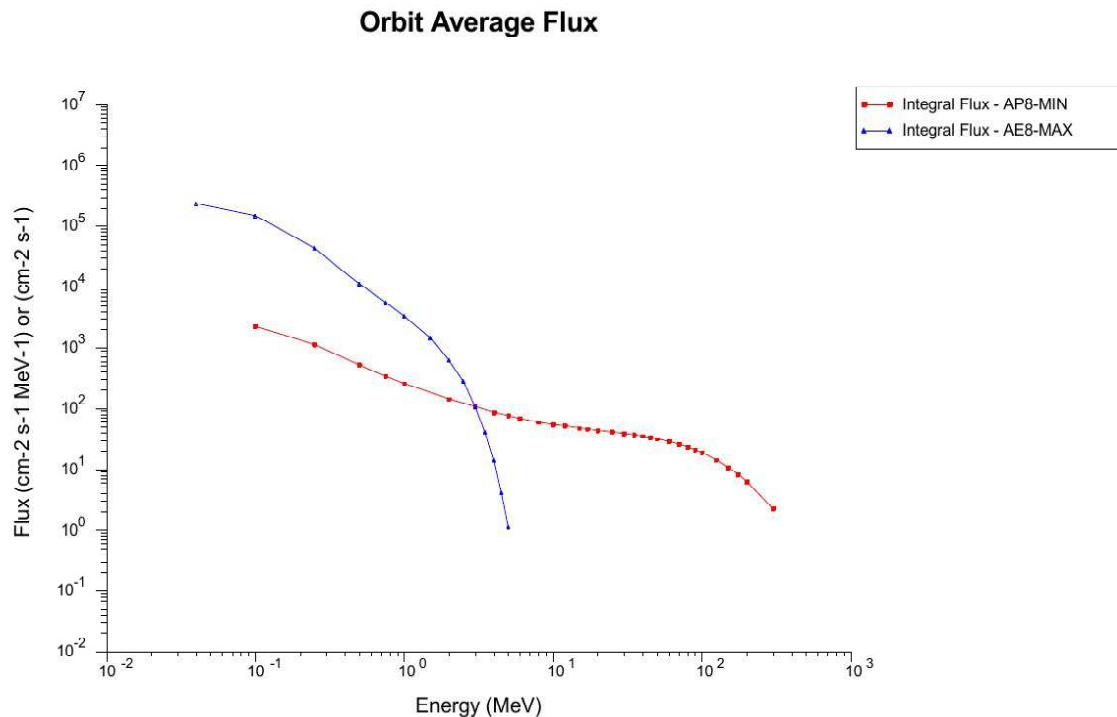


Figura C.2: Simulación del espectro de electrones en una misión.

Para evaluar las cargas atrapadas se utilizan los modelos de descripción de localización y cantidad de electrones y protones (AE-8 y AP-8), respectivamente. Estos modelos se utilizan en un generador de órbitas y cómputo del campo geomagnético para obtener flujos instantáneos y promediados. El usuario debe definir una órbita, generar la trayectoria, transformarlo a coordenadas geomagnéticas y utilizar los modelos de los cinturones de radiación para obtener el flujo. Estos modelos dan valores medios, que no contemplan la dinámica del entorno, pudiendo haber grandes variaciones en periodos de tiempo corto que deben ser consideradas. En las Fig. C.2 y Fig. C.3 se muestran ejemplos obtenidos para espectros de electrones y protones en una órbita



a 590 km de altitud, 29 grados de inclinación y 5 años de duración. Aquí es posible ver que la fluencia de partículas de baja energía son altos, mientras que partículas con energía por encima de 1MeV tienen una fluencia baja. En la figura es posible observar también que los electrones son menos energéticos en la región que puede producir fallas.

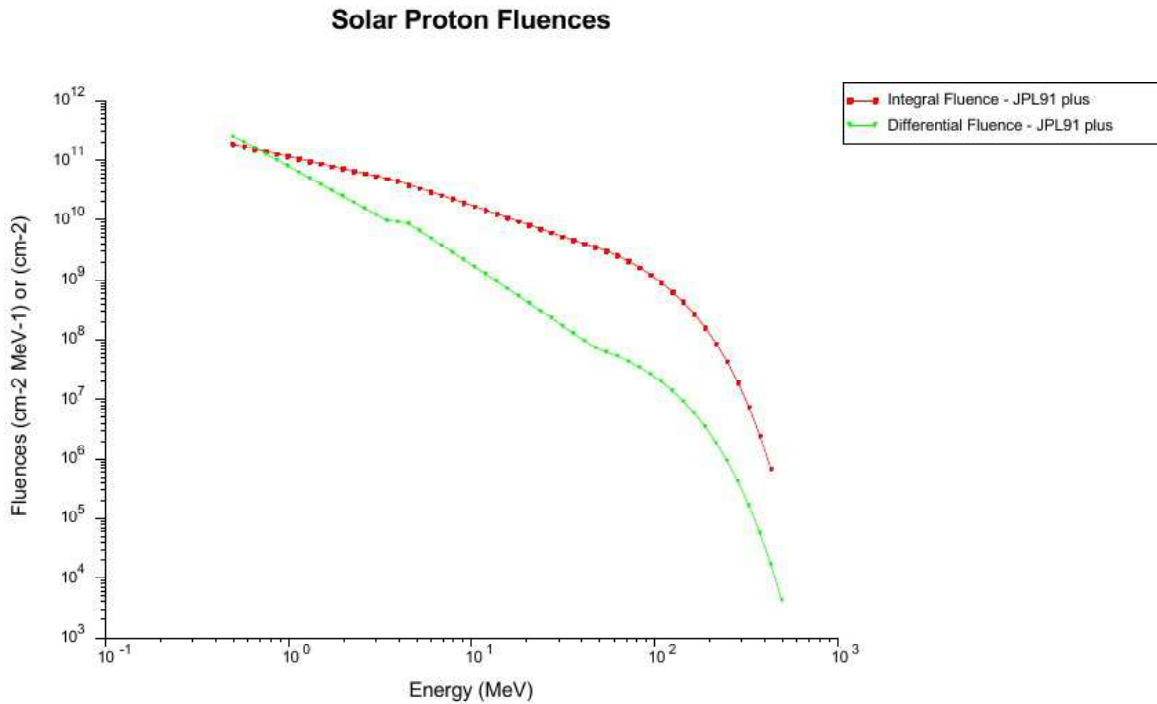


Figura C.3: Simulación del espectro de protones en una misión.

Durante los eventos producidos en el sol, grandes flujos de protones energéticos pueden alcanzar la Tierra, debido a su variabilidad en amplitud y la imposibilidad de predecirlos, se debe realizar un tratamiento estadístico para poder acotar su efecto. Para ello se dispone de dos modelos, el JPL-1991 y el ESP (*Emission of Solar Proton*), basados en datos de los últimos tres ciclos solares que dan distintos niveles de probabilidad de exposición a los eventos en función de la cantidad de años de la misión. En agosto de 1972 los eventos solares produjeron un flujo pico de  $10^6$  protones por  $cm^2$  por segundo con una energía superior a 10 MeV, mientras que en octubre de 1989 se midió un flujo de  $10^5$  protones por  $cm^2$  por segundo. Estos dos valores de flujo son considerados para análisis de peor caso y son incorporados en los modelos como CREME96. Generalmente durante 7 años de actividad solar máxima no ocurren más de cinco grandes eventos con un nivel de seguridad del 90 %. Con respecto a rayos cósmicos, los mismos son también considerados en estos modelos. Se debe notar que su intensidad está en oposición

con la actividad solar, por lo que los máximos se dan en los mínimos solares.

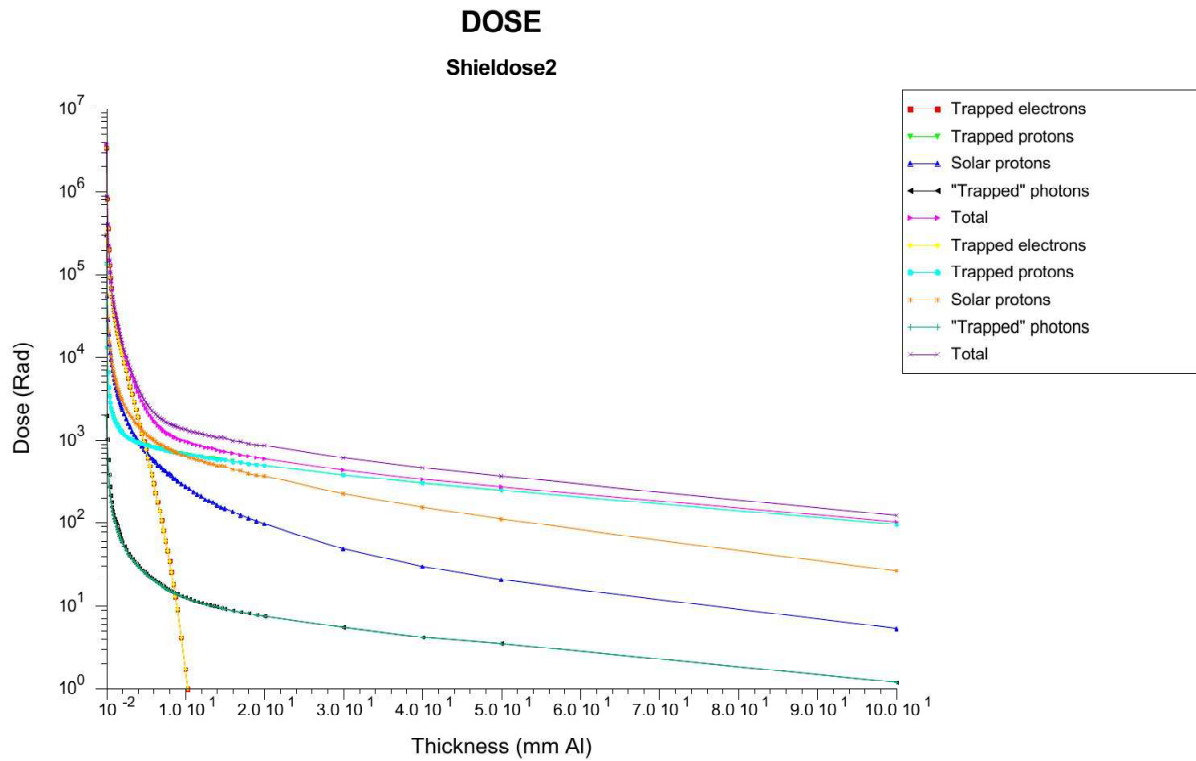
## Entorno dentro de la nave y su influencia

Al diseñar un sistema que opere en un entorno espacial, se debe cuantificar precisamente la degradación sufrida en relación al ambiente. Para ello es muy importante conocer los niveles existentes dentro de la nave. Sobrestimar el ambiente implicará innecesarios costos y retrasos, mientras que subestimarlo podría comprometer el éxito de la misión. Los temas sobre los cuales se debe realizar el estudio dependen de la parte a considerar, pero en general son: dosis acumulada (TID), daño por desplazamiento (DDD) y transferencia lineal de energía para considerar efectos de eventos únicos (SEE). En el caso de TID se debe considerar la dosis absorbida a nivel de dispositivo para partes activas, tomando en cuenta el blindaje de la nave. Los análisis basados en técnicas de Monte-Carlo permiten predecir los niveles de TID considerando múltiples trayectorias de interacción el dispositivo. Las estimaciones se muestran a través de curvas de dosis-profundidad y consideran el grosor del blindaje a través de una superficie plana o una esfera de aluminio. Por lo general se prefiere este último enfoque para partes electrónicas. En la Fig. C.4 se puede ver una gráfica de la dosis recibida en función del espesor de la esfera para una órbita ecuatorial de 35790 km de altitud y tres meses de duración.

Otro tipo de análisis recomendados por NASA son los de Monte-Carlo 3D, de alto costo computacional. Un análisis reverso de Monte-Carlo, generalmente presenta los resultados con mayor celeridad. Con respecto a los efectos transitorios (SEE), se indica que existe un determinado punto en el que el cambio en el espesor del blindaje no afecta el flujo de rayos cósmicos, aunque sí podría atenuar los provenientes del sol. De todas maneras, si se trata de protones de más de 30 MeV el blindaje tiene poca incidencia. Como referencia para los cálculos de blindaje NASA recomienda un espesor de 2,54 mm de aluminio mientras que la Agencia Espacial Europea (ESA) toma un valor de 3,7 mm. Las naves atraviesan regiones de protones solo en períodos cortos de la órbita, por lo que se deben considerar los flujos pico para un análisis de peor caso. Considerar los promedios puede llevar a serios errores debido a que puede haber órdenes de magnitud de diferencia con los valores pico.

## Evaluación de las partes

El conocimiento de las partes a utilizar que son sensibles dentro del sistema es esencial para la evaluación de la tolerancia a radiación. En el caso de no disponer de información del fabricante respecto a su tolerancia a radiación se deberán realizar ensayos, que si bien aportan mucha información, son costosos y deben ser evitados cuando sea posible. Los objetivos de las pruebas



(c) OMERE - CNES - TRAD

Figura C.4: Dosis recibida en función del grosor de una esfera de aluminio.

son:

- Entender los mecanismos de interacción de la radiación con los materiales electrónicos y como se relacionan con la falla de los dispositivos.
- Caracterizar la respuesta de dispositivos para una aplicación en particular.
- Aceptar o rechazar lotes de producción.

Es decir que los objetivos serán la investigación, la caracterización o la verificación de tolerancia. El objetivo del ensayo es emular el ambiente espacial en el laboratorio, generalmente utilizando una sola fuente que sea equivalente a la fuente dominante para reducir costos y problemas técnicos. En el caso de TID se pueden utilizar diversas fuentes, aunque la tasa de la dosis puede afectar la respuesta. Con respecto a eventos únicos generados con protones, los mismos deben tener suficiente energía como para producir las reacciones secundarias que generalmente

se presentan. A pesar de que las instalaciones con que se cuenta para los ensayos son un factor importante, también se deben considerar las condiciones de operación y la temperatura de los dispositivos. Generalmente se colocan en una variedad de puntos de operación hasta encontrar la situación de peor caso. Con respecto a la temperatura, generalmente la misma se controla para que se mantenga en un rango de  $0 - 80^{\circ}\text{C}$ . En este caso los niveles de falla no difieren mucho de los que se producen a temperatura ambiente que es a la que se realizan los ensayos de laboratorio. En caso de tener una parte que opere en condiciones extremas de temperatura el ensayo debe emular lo más posible a la situación real de operación. Disponer de información de radiación de un componente, no implica que el mismo sea aceptado directamente. Se debe evaluar si el mismo ha seguido procedimientos de testeo aceptados por las agencias espaciales, si se trata de la misma tecnología, si pertenece al mismo lote ensayado, y si las condiciones de testeo son equivalentes a las de operación que tendrá la misión.

## Ensayos de radiación

Para realizar la evaluación de daño acumulativo se debe exponer el circuito de interés a una fuente ionizante, y medir su respuesta eléctrica para una variedad de condiciones. Existen dos enfoques para realizar esta caracterización, la degradación escalonada y el ensayo bajo flujo. Para el primer caso, se debe realizar un ensayo de caracterización del dispositivo antes de la irradiación, luego se lo expone a una dosis fija de radiación y se lo ensaya, repitiendo el procedimiento hasta llegar a los valores de interés del experimento. Estos experimentos deben ser realizados a un lote de dispositivos para obtener valores promedio de la respuesta. El segundo caso implica ensayar el dispositivo mientras es irradiado. En general, el ensayo de degradación escalonada es el más conveniente, y el más ampliamente usado. Usualmente, el entorno de radiación es emulado con rayos gamma de 1,25 MeV. Los mismos provienen de una fuente de  $^{60}\text{Co}$  que da una estimación conservativa a pesar de no reproducir perfectamente la composición de protones y electrones que tiene el ambiente espacial. Como las partes se utilizan en diferentes condiciones de operación dentro de la nave, se ponen a trabajar en las condiciones que den el peor caso de daño. Los estándares de Estados Unidos MIL-STD 1019.5 y ASTM F1892 definen las condiciones de testeo y los requerimientos para partes que sean usados en aplicaciones militares o espaciales. Para la agencia espacial europea, el estándar ESA/SCC 22900 define los requerimientos para partes de sistemas espaciales. Los mismos definen dosis que varían de 50 a 300 rad/s y consideran tiempos de recocido post-irradiación de una semana. En la Fig. C.5 se muestran estos valores, los existentes en el ambiente espacial, y las fuentes disponibles en Tierra.

Muchos circuitos lineales bipolares exhiben una alta sensibilidad a dosis bajas, por lo que estos estándares no podrán utilizarse para testearlos. La única alternativa es realizar exposición

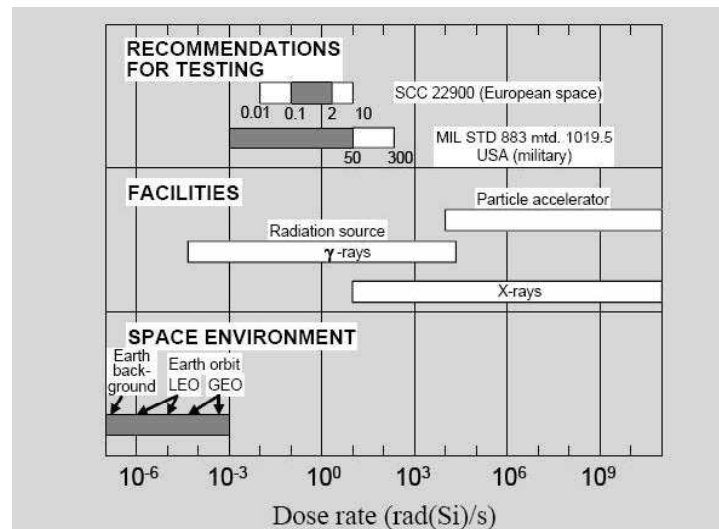


Figura C.5: Tasas de dosis en los estándares, instalaciones terrenas y el entorno espacial.

a dosis bajas lo que consume mucho tiempo y en general complica las agendas de los proyectos. Afortunadamente, la mayoría de las partes presenta una saturación en la degradación a valores menores de los que se va a utilizar, por lo que se pueden hacer ensayos más cortos y extrapolar para valores superiores. Con respecto a la cantidad de partes a ensayar, ESA/SCC define un mínimo de 11 muestras (10 a irradiar y 1 de referencia), mientras que MIL-STD 1019 exige 4 partes para ensayos en *wafers* y 22 partes para ensayos de lotes. Por último, se debe tratar de utilizar el mismo encapsulado y acondicionamiento que se utilice en la condición de vuelo prevista. Para el caso de testeo de SEE se debe utilizar el método de ensayo bajo flujo por lo que el circuito estará operando, y se contarán los errores durante la irradiación. Si bien los rayos cósmicos y partículas solares son altamente energéticos, las regiones sensibles de los circuitos tienen dimensiones de pocos  $\mu\text{m}$  por lo que es posible emular el entorno con los aceleradores de partículas de menos energía disponible en la Tierra, siempre que se mantenga el nivel de LET. Los ensayos son realizados en vacío, por lo tanto como el rango de penetración de los haces disponibles es corto, se debe remover la tapa del encapsulado. Para lograr un conjunto amplio de valores de LET con pocos valores de energía de los iones se varía el ángulo de incidencia rotando la muestra. Los estándares desarrollados para estos ensayos son JEDEC TS57 o US ASTM F1192-90 para Estados Unidos y ESA/SCC25100 para Europa. Los mismos especifican rangos de penetración de 15 a 30  $\mu\text{m}$ , niveles de fluencia de  $10^6$  para errores suaves y  $10^7$  para errores duros, exposición a 5 niveles diferentes de LET y un mínimo de tres muestras por ensayo. Para el caso de SEL se debe producir el ensayo utilizando el máximo nivel de alimentación permitido, y se debe colocar circuitos que permitan cortar la energía cuando se

detecte el *latchup*. Para el caso de SEB/SEGR se debe realizar un ensayo ad-hoc debido a que aún no está completamente estandarizado. La utilización de inyección de portadores por medio de láser como fuente alternativa puede brindar resultados, aunque siempre es necesario utilizar fuentes de iones pesados para validar los resultados obtenidos. Para el caso de ensayos de daño por desplazamiento, se prefiere el ensayo escalonado, y se ha observado que el tener el circuito alimentado no produce cambios significativos en los resultados, por lo que solo es necesario respetar los valores de energía del ambiente.

## Respuesta de los sistemas al entorno de radiación.

Considerando la sensibilidad de cada una de las partes, y un análisis del entorno de radiación tendremos una categorización que nos permita estimar la respuesta del sistema. Para definir el nivel de falla de TID se debe realizar un análisis de peor caso combinando el efecto de radiación, el envejecimiento y la temperatura. Para establecer los niveles de radiación es posible considerar toda la masa que rodea un componente sensible como blindaje. Por ejemplo una placa en el centro de una pila de placas puede recibir un décimo de la radiación que reciben las que se encuentran en los extremos. Si bien los materiales que se utilizan en las naves son muy diversos, para establecer el poder de frenado es de uso común dar un espesor equivalente al de un material como el aluminio. Un estudio detallado de la ubicación del subsistema dentro de la nave nos muestra que existen zonas mucho más protegidas que otras, por lo que los sistemas de comando y manejo de datos se colocarán allí. Debido a las consideraciones de peso, en ciertas ocasiones es conveniente blindar un sector de un circuito en lugar de proteger todo por fuera del gabinete. En ocasiones la utilización de blindaje puntual con tantalio y aleaciones como kovar se aconseja para proteger circuitos específicos que no posean el nivel de tolerancia a radiación requerido. Para hacer la caracterización de las partes, en el caso de TID se considera un RDM (*Radiation Design Margin*) superior a 10 como no crítico, entre 2 y 10 como crítico y menor a 2 como inaceptable. Para el caso de SEE se toma un umbral de  $100 \text{ MeV/cm}^2/\text{mg}$  como no riesgoso, entre 15 y 100 de riesgo bajo pero con necesidad de mayores análisis y por debajo de 15 como de riesgo alto. En general, los requerimientos de SEE dependen de las funciones que el dispositivo realiza. Por otro lado, este tipo de fallas puede presentar impactos funcionales al propagarse en el sistema y generar grandes problemas que pueden poner en peligro la misión. El objetivo de un análisis funcional exhaustivo es definir un grupo de funciones base que se deban ejecutar de manera de poder cumplir con la misión. Esto se logra dividiendo los requerimientos generales en otros de menor nivel de forma sucesiva. Muchos efectos transitorios presentan impacto funcional, aunque dependiendo de lo crítica que sea la función podrá ser aceptable o no en el diseño. Haciendo una categorización de los mismos sabremos su nivel de importancia en el conjunto. Para definir los

requerimientos a nivel de sistema, dos categorías principales pueden establecerse:

- Disponibilidad del sistema: Estos requerimientos generalmente apuntan a eventos extremos en los cuales la pérdida de la misión es posible, o bien que una reinicialización autónoma o desde Tierra pueda ser necesaria. Generalmente se podrá especificar como importancia de la interrupción, frecuencia, máximo tiempo de la misma o una combinación de las tres. En general se debe llegar a un compromiso entre costos y los objetivos de la misión.
- Integridad de la información: El establecimiento de requerimientos razonables en la etapa de planificación podría conducir a un desempeño aceptable, pero no libre de errores considerando el costo y la complejidad del diseño. La máxima tasa de bits de error jugará un papel preponderante en estos factores.

Se deberá realizar por lo tanto un análisis que permita asignar a cada función un nivel que indique cuán crítica es. Aún cuando telemetría y control u otras funciones esenciales son protegidas por arquitecturas redundantes, no se puede permitir la falla de una parte del sistema por causa de un SEE en las mismas por lo que se los considera altamente críticos. El nivel requerido de integridad y disponibilidad de la información implicará exigencias de funcionalidad que se irán trasladando para cada una de las partes de una forma jerárquica. Este es un proceso iterativo en el cuál se analizan todos los factores que intervienen.

## Organización del proyecto.

En la Fig. C.6 se muestran los distintos grupos que interactúan en el diseño de una nave. Los conflictos que surjan entre los equipos tendrán que ser resueltos en el proceso del diseño. Los resultados de las mismas, serán volcados en documentos de proyecto. Para el proyecto se asignará un ingeniero de efectos de radiación que velará por la seguridad del proyecto e interactuará con los líderes de cada área de desarrollo. Siempre será conveniente que estos ingenieros participen en las etapas tempranas del proyecto ya que pueden aportar estrategias de planificación y reducción de costos. Los dos principales documentos relacionados a efectos de radiación serán la especificación del entorno de radiación y la especificación de endurecimiento. En el primero de ellos se especifica el espectro de energía para partículas atrapadas, la fluencia de las mismas, el peor caso para valores instantáneos con y sin blindaje. Por otro lado se definirá el espectro de LET en función del ciclo solar. En el segundo documento se deberán especificar como mínimo los requerimientos de máximo nivel de la misión, los márgenes requeridos de radiación y los requerimientos de testeo. Durante la ejecución del proyecto, se debe realizar una primera revisión en la que se evalúen los blindajes, la aproximación del diseño electrónico, incluyendo la sensibilidad de las partes, los

requerimientos de testeo y las partes disponibles. Luego, en una última revisión crítica del diseño se evaluarán los resultados de los ensayos de radiación, los materiales, los problemas de radiación no identificados con anterioridad, los resultados del análisis del diseño, el blindaje y los márgenes de radiación esperados.

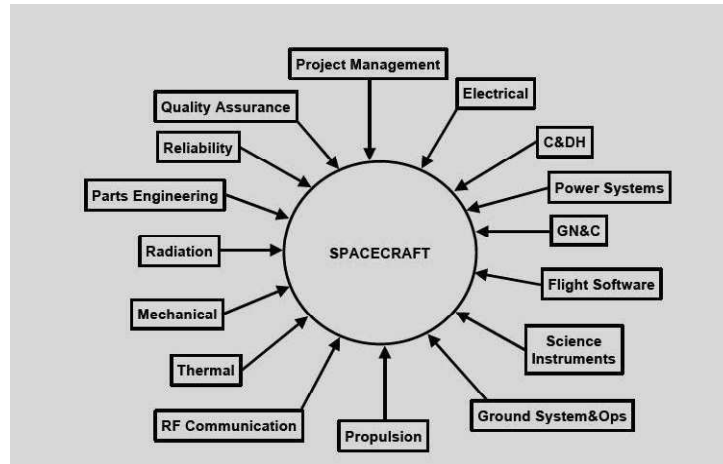


Figura C.6: Equipos que intervienen en el diseño de una nave.

## Conclusiones

Las dos principales actividades de un programa de tolerancia a radiación son la definición del nivel de radiación de las partes, y la definición del margen de falla para cada una de ellas. La utilización de modelos del ambiente en conjunto con el de la nave nos permite desarrollar estas tareas de forma consistente evaluando distintas configuraciones. Se debe tener en cuenta que las consideraciones de tolerancia no solo se evalúan a nivel de partes sino en todo el flujo de diseño, por lo que un estudio realizado en las etapas tempranas del proyecto es necesario para reducir los costos de endurecimiento. Por último siempre se debe tener presente que existen incertidumbres en el entorno, en la emulación del entorno en la Tierra y en la caracterización de las partes, las mismas deberán quedar reflejadas en los márgenes de seguridad del proyecto.



# Bibliografía

- [1] Sondón, S., F. Palumbo, P. Mandolesi, M. Alurralde, P. Julián y A. Filevich: *Radiation Damage of High Voltage MOS Transistors Induced by 10 MeV Protons*. En IEEE (editor): *Iberchip XV Workshop*, volumen 2, páginas 391–394, Buenos Aires, March 2009.
- [2] Sondon, S., P. Mandolesi, P. Julian, F. Palumbo, M. Alurralde y A. Filevich: *Radiation damage characterization of digital integrated circuits*. En *Proc. 10th Latin American Test Workshop LATW '09*, páginas 1–5, 2009.
- [3] R., A. Chacón, S. Sondón, P. Mandolesi y P. Julián: *A Simple Approach for the Design of Operational Transconductance Amplifiers for Low Power Signal Processing*. En IEEE (editor): *IEEE Latin American Symposium on Circuits and Systems (LASCAS 2010)*, Cataratas del Iguazú, Brasil, February 2010.
- [4] Bastos, R. Possamai, S. Sondón, C. Lazzari, G. Neuberger, F. Lima Kastensmidt, G. Wirth y R. Reis: *Circuitos Integrados Tolerantes a efeitos Induzidos pela Radiação*. En *Inova UFRGS 2007 - Feira de Inovacao Tecnológica*, Porto Alegre, Brasil, March 2007. UFRGS.
- [5] Sondón, S., F. Lima y R. Reis: *A Fault Tolerant SRAM Using Reed Solomon Codes and Bulk BICS*. En *Articulo 22<sup>th</sup> South Symposium on Microelectronics*, volumen 1, páginas 113–116, Porto Alegre, Brasil, May 2007. UFRGS.
- [6] Sondon, S., P. Mandolesi, F. Masson, P. Julian y F. Palumbo: *A dual core low power microcontroller with openMSP430 architecture for high reliability lockstep applications using a 180 nm high voltage technology node*. En *Circuits and Systems (LASCAS), 2013 IEEE Fourth Latin American Symposium on*, páginas 1–4, 2013. <http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=6519085>.
- [7] Sondon, S., A. Falcon, P. Mandolesi, P. Julian, N. Vega, F. Nesprias, J. Davidson, F. Palumbo y M. Debray: *Diagnose of radiation induced single event effects in a PLL using a*

- heavy ion microbeam*. En *Test Workshop (LATW), 2013 14th Latin American*, páginas 1–5, 2013. <http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=6562682>.
- [8] Rudenko, T., V. Kilchytska, J. P. Colinge, V. Dessard y D. Flandre: *On the high-temperature subthreshold slope of thin-film SOI MOSFETs*. IEEE Electron Device Letters, 23(3):148–150, 2002.
- [9] Schwank, J. R., M. R. Shaneyfelt, D. M. Fleetwood, J. A. Felix, P. E. Dodd, P. Paillet y V. Ferlet-Cavrois: *Radiation Effects in MOS Oxides*. IEEE Transactions on Nuclear Science, 55(4):1833–1853, 2008.
- [10] Massengill, L.W., B.K. Choi, D.M. Fleetwood, R.D. Schrimpf, K.F. Galloway, M.R. Shaneyfelt, T.L. Meisenheimer, P.E. Dodd, J.R. Schwank, Y.M. Lee, R.S. Johnson y G. Lucovsky: *Heavy-ion-induced breakdown in ultra-thin gate oxides and high-k dielectrics*. Nuclear Science, IEEE Transactions on, 48(6):1904–1912, dec 2001, ISSN 0018-9499.
- [11] Witzak, S. C., R. C. Laco, J. V. Osborn, J. M. Hutson y S. C. Moss: *Dose-rate sensitivity of modern nMOSFETs*. IEEE Transactions on Nuclear Science, 52(6):2602–2608, 2005.
- [12] Dodd, P. E., M. R. Shaneyfelt, J. R. Schwank y J. A. Felix: *Current and Future Challenges in Radiation Effects on CMOS Electronics*. IEEE Transactions on Nuclear Science, 57(4):1747–1763, 2010.
- [13] Johnston, A.H., C.I. Lee, B.G. Rax y D.C. Shaw: *Using commercial semiconductor technologies in space*. En *Radiation and its Effects on Components and Systems, 1995. RADECS 95., Third European Conference on*, páginas 175–182, 1995. <http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=509774>.
- [14] Johnston, A.H. y S.M. Guertin: *The effects of space radiation on linear integrated circuits*. En *Aerospace Conference Proceedings, 2000 IEEE*, volumen 5, páginas 363–369, 2000. <http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=878509>.
- [15] Pierret, Robert F y cols.: *Semiconductor device fundamentals*. 1996.
- [16] Anelli, G., M. Campbell, M. Delmastro, F. Faccio, S. Floria, A. Giraldo, E. Heijne, P. Jarron, K. Kloukinas, A. Marchioro, P. Moreira y W. Snoeys: *Radiation tolerant VLSI circuits in standard deep submicron CMOS technologies for the LHC experiments: practical design aspects*. IEEE Transactions on Nuclear Science, 46(6):1690–1696, 1999.
- [17] Rockett, L. R. y D. J. Kouba: *Radiation Hardened 150nm Standard Cell ASIC Design Library for Space Applications*. En *Proc. IEEE Aerospace Conf*, páginas 1–8, 2008.

- [18] Brunvand, Erik: *Digital VLSI chip design with Cadence and Synopsys CAD tools*. Addison-Wesley, 2010.
- [19] Weste, Neil y David Harris: *CMOS VLSI design: a circuits and systems perspective*. Addison-Wesley Publishing Company, 2010.
- [20] Rabaey, J, A Chandrakasan y B Nikolic: *Digital Integrated Circuits. 2003*.
- [21] Giraldo, A, A Paccagnella y A Minzoni: *Aspect ratio calculation in n-channel MOS-FETs with a gate-enclosed layout*. Solid-State Electronics, 44(6):981–989, 2000. <http://www.sciencedirect.com/science/article/pii/S0038110100000101>.
- [22] López, P, B Blanco-Filgueira, F Pardo, D Cabello y J Hauer: *A 2D model for radiation-hard CMOS annular transistors*. Semiconductor Science and Technology, 24(12):125009, 2009. <http://iopscience.iop.org/0268-1242/24/12/125009>.
- [23] Gray, Paul R y Robert G Meyer: *Analysis and design of analog integrated circuits*. John Wiley & Sons, Inc., 1990.
- [24] Maloberti, Franco, Franco Maloberti y Franco Maloberti: *Analog design for CMOS VLSI systems*. Springer, 2001.
- [25] Hubert, G, R Velazco, C Federico, A Cheminet, C Silva-Cardenas, LVE Caldas, F Panher, V Lacoste, F Palumbo, W Mansour y cols.: *Continuous High-Altitude Measurements of Cosmic Ray Neutrons and SEU/MCU at Various Locations: Correlation and Analyses Based-On MUSCA SEP*. 2013. [http://ieeexplore.ieee.org/xpls/abs\\_all.jsp?arnumber=6464536](http://ieeexplore.ieee.org/xpls/abs_all.jsp?arnumber=6464536).
- [26] Peronnard, Paul, Raoul Velazco y Guillaume Hubert: *Real-Life SEU Experiments on 90 nm SRAMs in Atmospheric Environment: Measures Versus Predictions Done by Means of Platform*. Nuclear Science, IEEE Transactions on, 56(6):3450–3455, 2009.
- [27] Ziegler, James F: *SRIM-2003*. Nuclear instruments and methods in physics research section B: Beam interactions with materials and atoms, 219:1027–1036, 2004. <http://www.sciencedirect.com/science/article/pii/S0168583X04002587>.
- [28] Irom, F., G. M. Swift, F. H. Farmanesh y A. H. Johnston: *Single-event upset in commercial silicon-on-insulator PowerPC microprocessors*. En *Proc. IEEE Int SOI Conf. 2002*, páginas 203–204, 2002.

- [29] Irom, F. y F. H. Farmanesh: *Single-event upset in highly scaled commercial silicon-on-insulator PowerPC microprocessors*. IEEE Transactions on Nuclear Science, 52(5):1524–1529, 2005.
- [30] Massengill, L. W.: *Cosmic and terrestrial single-event radiation effects in dynamic random access memories*. IEEE Transactions on Nuclear Science, 43(2):576–593, 1996.
- [31] Calin, T, R Velazco, M Nicolaidis, S Moss, SD LaLumondiere, VT Tran, R Koga y K Clark: *Topology-related upset mechanisms in design hardened storage cells*. En *Radiation and Its Effects on Components and Systems, 1997. RADECS 97. Fourth European Conference on*, páginas 484–488. IEEE, 1997. [http://ieeexplore.ieee.org/xpls/abs\\_all.jsp?arnumber=698979](http://ieeexplore.ieee.org/xpls/abs_all.jsp?arnumber=698979).
- [32] Nicolaidis, Michael, Renaud Perez y Dan Alexandrescu: *Low-cost highly-robust hardened cells using blocking feedback transistors*. En *VLSI Test Symposium, 2008. VTS 2008. 26th IEEE*, páginas 371–376. IEEE, 2008. [http://ieeexplore.ieee.org/xpls/abs\\_all.jsp?arnumber=4511753](http://ieeexplore.ieee.org/xpls/abs_all.jsp?arnumber=4511753).
- [33] Balen, T. R., F. Leite, F. L. Kastensmidt y M. Lubaszewski: *A Self-Checking Scheme to Mitigate Single Event Upset Effects in SRAM-Based FPGAs*. IEEE Transactions on Nuclear Science, 56(4):1950–1957, 2009.
- [34] Neto, E. H., F. L. Kastensmidt y G. Wirth: *Tbulk-BICS: A Built-In Current Sensor Robust to Process and Temperature Variations for Soft Error Detection*. IEEE Transactions on Nuclear Science, 55(4):2281–2288, 2008.
- [35] Neuberger, Gustavo, Fernanda De Lima, Luigi Carro y Ricardo Reis: *A multiple bit upset tolerant SRAM memory*. ACM Transactions on Design Automation of Electronic Systems (TODAES), 8(4):577–590, 2003. <http://dl.acm.org/citation.cfm?id=944038>.
- [36] Neuberger, Gustavo, Fernanda Gusmao de Lima Kastensmidt y Ricardo Reis: *An automatic technique for optimizing Reed-Solomon codes to improve fault tolerance in memories*. IEEE Design & Test, 22(1):0050–58, 2005. <http://doi.ieeecomputersociety.org/10.1109/MDT.2005.2>.
- [37] Neuberger, Gustavo, Fernanda Lima Kastensmidt y Ricardo Reis: *TOC-BISR: A SELF-REPAIR SCHEME FOR MEMORIES IN EMBEDDED SYSTEMS*. En *From Specification to Embedded Systems Application*, páginas 157–168. Springer, 2005. [http://link.springer.com/chapter/10.1007/11523277\\_16](http://link.springer.com/chapter/10.1007/11523277_16).

- [38] Neto, Egas Henes, Gilson Wirth y Fernanda Lima Kastensmidt: *Mitigating soft errors in SRAM address decoders using built-in current sensors*. *Journal of Electronic Testing*, 24(5):425–437, 2008. <http://link.springer.com/article/10.1007/s10836-007-5056-9>.
- [39] Girard, Olivier, 2010. <http://opencores.org/ocsvn/openmsp430/openmsp430/trunk/openmsp430>.
- [40] Dinis Gaspar, P., A. Espirito Santo y B. Ribeiro: *MSP430 microcontrollers essentials - A new approach for the embedded systems courses: Part 1 - Overview and tools*. En *Proc. 4th European Education and Research Conf. (EDERC)*, páginas 66–70, 2010.
- [41] Gao, Wenhua: *Design of an Electronic Alcohol Nose Based on MSP430*. En *Proc. Congress Image and Signal Processing CISP '08*, volumen 5, páginas 145–147, 2008.
- [42] Hsieh, Sheng Ta: *RFID medical information system: A system implementation on MSP430 platform*. En *Proc. Int Consumer Electronics, Communications and Networks (CECNet) Conf*, páginas 1–4, 2011.
- [43] Yang, Hongli y Jihong Chai: *A Portable Wireless ECG Monitor Based on MSP430FG439*. En *Proc. Int Intelligent Computation and Bio-Medical Instrumentation (ICBMI) Conf*, páginas 148–151, 2011.
- [44] Zhe, Hou y Gu Guobiao: *Wireless rotor temperature measurement system based on MSP430 and nRF401*. En *Proc. Int. Conf. Electrical Machines and Systems ICEMS 2008*, páginas 858–861, 2008.
- [45] Durga Prasad, B. C. y N. V. R. Krishna: *Synthesis of a TI MSP430 microcontroller core using Multi-Voltage methodology*. En *Proc. IEEE Int Communication Control and Computing Technologies (ICCCCT) Conf*, páginas 93–97, 2010.
- [46] Stroustrup, Bjarne: *The C++ Programming Language*, 1995.
- [47] Marsman, Eric D., Robert M. Senger, Matthew R. Guthaus, Rajiv A. Ravindran, Ganesh S. Dasika y Scott A. Mahlke: *A 16-bit low-power microcontroller with monolithic MEMS-LC clocking*, 2005.
- [48] Hill, Jason, Robert Szewczyk, Alec Woo, Seth Hollar, David Culler y Kristofer Pister: *System architecture directions for networked sensors*, 2000.
- [49] Bulusu, Nirupama, John Heidemann y Deborah Estrin: *GPS-less Low Cost Outdoor Localization For Very Small Devices*, 2000.

- [50] Brooks, David, Vivek Tiwari y Margaret Martonosi: *Wattch: A Framework for Architectural-Level Power Analysis and Optimizations*, 2000.
- [51] Akyildiz, Lan F., Welljan Su, Yogesh Sankarasubramaniam y Erdal Cayirci: *A Survey on Sensor Networks*, 2002.
- [52] Voicu, G.R., M. Enachescu y S.D. Cotofana: *Towards x201C;zero-energy x201D; using NEMFET-based power management for 3D hybrid stacked ICs*. En *Nanoscale Architectures (NANOARCH), 2011 IEEE/ACM International Symposium on*, páginas 203–209, june 2011.
- [53] Schwank, J. R., M. R. Shaneyfelt, D. McMorrow, V. Ferlet-Cavrois, P. E. Dodd, D. F. Heidel, P. W. Marshall, J. A. Pellish, K. A. LaBel, K. P. Rodbell, M. Hakey, R. S. Flores, S. E. Swanson y S. M. Dalton: *Estimation of Heavy-Ion LET Thresholds in Advanced SOI IC Technologies From Two-Photon Absorption Laser Measurements*. *IEEE Transactions on Nuclear Science*, 57(4):1827–1834, 2010.
- [54] Palomo, F. R., J. M. Mogollon, J. Napoles y M. A. Aguirre: *Mixed-Mode Simulation of Bit-Flip With Pulsed Laser*. *IEEE Transactions on Nuclear Science*, 57(4):1884–1891, 2010.
- [55] *New Insights Into Single Event Transient Propagation in Chains of Inverters—Evidence for Propagation-Induced Pulse Broadening*. 54(6):2338–2346, 2007.
- [56] *Direct measurement of transient pulses induced by laser and heavy ion irradiation in decanometer devices*. 52(6):2104–2113, 2005.
- [57] *Analysis of the Transient Response of High Performance 50-nm Partially Depleted SOI Transistors Using a Laser Probing Technique*. 53(4):1825–1833, 2006.
- [58] *Independent Measurement of SET Pulse Widths From N-Hits and P-Hits in 65-nm CMOS*. 57(6):3386–3391, 2010.
- [59] *The Effect of Layout Topology on Single-Event Transient Pulse Quenching in a 65 nm Bulk CMOS Process*. 57(6):3380–3385, 2010.
- [60] *IEEE Standard Test Procedures for Semiconductor Charged-Particle Detectors*, 1988.
- [61] Aguilera, E.F., P. Rosales y F.J. Ramirez-Jimenez: *Charge collection inefficiencies induced by intense  $^{12}\text{C}$  bombardment of SSB detectors*. 52(5):1785–1791, 2005. <http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=1546502>.

- [62] Deves, G.; Matsuyama, S.; Barbotteau, Y.; Ishii, K.; Ortega, R., *Rev of Sci Instr*, Vol 77, Iss 5, pp. 056102-056102-3 (2006).
- [63] Gambles, JW: *A path toward low cost rad-tolerant digital CMOS*. En *6th NASA Symposium on VLSI design*, 1997.
- [64] Fan, W.C., C.R. Drumm, Stanley B. Roeske y G.J. Scrivner: *Shielding considerations for satellite microelectronics*. 43(6):2790-2796, 1996.  
<http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=556868>.





