



UNIVERSIDAD NACIONAL DEL SUR

TESIS DE DOCTOR EN INGENIERÍA

**Identificación y Compensación  
de No linealidades en Convertidores Analógico/Digitales**

Christian Schmidt

BAHÍA BLANCA

ARGENTINA

2011



# Prefacio

Esta Tesis es presentada como parte de los requisitos para optar al grado académico de Doctor en Ingeniería, de la Universidad Nacional del Sur, y no ha sido presentada previamente para la obtención de otro título en esta Universidad u otras. La misma contiene los resultados obtenidos en investigaciones llevadas a cabo en el Departamento de Ingeniería Eléctrica y de Computadoras, durante el período comprendido entre el día 1 de Abril de 2007 y el 24 de Noviembre de 2011, bajo la dirección del Dr. José L. Figueroa, Profesor Asociado del Departamento de Ingeniería Eléctrica y de Computadoras.

Christian A. Schmidt

`cschmidt@uns.edu.ar`

DEPARTAMENTO DE INGENIERÍA ELÉCTRICA Y DE COMPUTADORAS

UNIVERSIDAD NACIONAL DEL SUR

Bahía Blanca, 24/11/2011.



UNIVERSIDAD NACIONAL DEL SUR  
Secretaría General de Posgrado y Educación Continua

La presente tesis ha sido aprobada el .../.../..... , mereciendo la calificación de .....(.....)



# Resumen

El trabajo realizado en esta Tesis abarca el estudio de arquitecturas de conversores analógico-digitales y sus características particulares con el objetivo de obtener modelos adecuados, y estudiar la dinámica no lineal inherente al proceso de conversión para desarrollar compensadores eficientes. Las contribuciones de este trabajo pueden resumirse como se presenta a continuación.

Se introduce una descripción general de las arquitecturas de conversión analógico-digital y las métricas de desempeño asociadas, lo que permite establecer el marco teórico necesario para el modelado y compensación de estos sistemas. Luego, se presenta el desarrollo de un nuevo modelo de comportamiento para conversores Sigma-delta en tiempo continuo. Este modelo permite obtener información adicional sobre el comportamiento de la dinámica no lineal de estos conversores, que resulta fundamental para la elección de una estructura adecuada de compensación y el desarrollo de un nuevo post-compensador eficiente orientado a bloques. El compensador desarrollado es una generalización de los sistemas tipo Wiener que permite múltiples dinámicas lineales precediendo una no linealidad estática de orden  $N$ . De esta manera, se logra un alto grado de representación manteniendo el número de parámetros muy por debajo del requerido por el modelo de Volterra más general. También se presentan dos compensadores tipo Hammerstein y Wiener en paralelo utilizando funciones PWL estáticas, logrando estructuras eficientes que permiten obtener un buen desempeño manteniendo acotado el número de parámetros.

Finalmente, se propone un esquema de compensación por post-procesamiento para ADC comerciales, donde todos los efectos no lineales dinámicos son reducidos de manera conjunta logrando una gran mejora en términos de aumento en la resolución efectiva. Dos modelos eficientes para el compensador son evaluados en un ADC comercial de alta resolución y velocidad, utilizando datos de entrada-salida obtenidos mediante mediciones de laboratorio. Se realizan consideraciones adicionales sobre las señales de entrada utilizadas para entrenar el compensador. En particular, se introduce una nueva secuencia de entrenamiento compuesta por la concatenación serial de varias señales monotonaes, y se comprueba que el método es robusto ante diferencias entre la señal de entrenamiento y la señal muestreada, logrando una mejora significativa sobre el ancho de banda de Nyquist completo.



# Abstract

The work comprised in this Thesis addresses the study of different analog-to-digital converter architectures and their particular characteristics in order to obtain adequate models, and study the nonlinear dynamics inherent to the conversion process in order to develop efficient compensators. The main contributions of this work can be summarized as follows.

A general description of traditional analog-to-digital conversion architectures is introduced along with the associated performance metrics, which is usefull to establish the theoretical background required to model and compensate these systems. Then, the development of a new complete behavioral model for continuous time sigma-delta converters is presented. This model allows to obtain additional information on the nonlinear dynamics of these converters, which is key for the selection of an adequate compensator structure and the development of a novel block oriented efficient post-compensator. The developed compensator is a generalization of Wiener systems that allows for multiple linear dynamics preceding an  $N$ th order nonlinearity. In this manner, a high degree of representation is achieved while keeping the amount of parameters much lower than the amount required for the more general Volterra model. Two compensators of the form of parallel Hammerstein and Wiener models using static PWL functions were also presented. The efficient structure proposed allows to obtain good performance while keeping the amount of parameters low.

Finally, a compensation scheme for commercial ADCs by post-processing is presented, where all nonlinear dynamic effects are jointly reduced achieving a great improvement in terms of effective resolution enhancement. Two efficient models for the compensator are evaluated in a high resolution and high conversion rate commercial ADC, using input-output data obtained by actual measurements. Additional considerations are performed regarding the input signal used to train the compensator. In particular, a novel input sequence is introduced which is composed of the concatenation of several monotone sinusoid signals, and the method is shown to be robust to mismatches between the training and sampled signals, achieving a significant improvement over the whole Nyquist bandwidth.



# Agradecimientos

El proceso de realización y escritura de esta Tesis fue posible no sólo gracias al trabajo personal sino al aporte de muchas personas que hicieron del resultado final lo que es hoy, a las cuales estoy profundamente agradecido.

En primer lugar quisiera agradecer especialmente a mi director de Tesis, el Dr. José Luis Figueroa por su constante guía, apoyo, paciencia y optimismo, sobre todo en los momentos más complicados. Siento que sin su dirección, este trabajo no hubiera sido posible. Quisiera agradecer también al Dr. Juan Cousseau por su interés y participación constante en el desarrollo de los diferentes artículos que forman parte de esta Tesis. Las innumerables charlas compartidas, sugerencias y correcciones fueron sin duda fundamentales.

Quisiera agradecer también a las diferentes personas que colaboraron con los distintos trabajos presentados, particularmente a Stefan Werner y Risto Wichman, quienes me hicieron sentir como en casa durante mi estadía en Finlandia, y cuyos aportes resultaron fundamentales al desarrollo de los resultados principales obtenidos durante este trabajo. Agradezco también al excelente grupo de trabajo del LaPSyC, que fue mi lugar de trabajo durante estos cinco años. A Daniel, Fernando, Guillermo, Gustavo, Marcelo y Mercedes, por hacer del laboratorio el mejor ambiente de trabajo. Agradezco especialmente a mi hermano Jorge, quien me brindó un apoyo invaluable tanto dentro como fuera de la oficina.

A Marina, por acompañarme durante todos estos años y brindarme su apoyo incondicional. A mi familia, porque en todo momento me hicieron sentir que puedo contar siempre con ellos sin importar lo que sea que necesite a nivel personal y profesional.



# Índice general

<b>1. Introducción</b>	<b>1</b>
1.1. Introducción general . . . . .	1
1.2. Trabajos previos . . . . .	3
1.3. Contribuciones de la tesis . . . . .	5
1.4. Organización de la tesis . . . . .	7
<b>2. Arquitecturas de conversión analógico-digital</b>	<b>9</b>
2.1. Conversores flash . . . . .	9
2.2. Conversores por aproximaciones sucesivas . . . . .	10
2.3. Conversores tipo pipeline . . . . .	11
2.4. Conversores Sigma-delta . . . . .	15
2.5. Conclusión . . . . .	19
<b>3. Amplificadores de muestreo y retención</b>	<b>21</b>
3.1. Especificaciones de diseño de un S&H . . . . .	21
3.2. Efectos no ideales en circuitos de S&H . . . . .	24
3.2.1. Time jitter en un amplificador de S&H . . . . .	25
3.2.2. Inyección de carga . . . . .	27
3.2.3. Propagación de la señal de reloj . . . . .	28
3.3. S&H de amplificador operacional conmutado . . . . .	28
3.4. Conclusión . . . . .	30

<b>4. Métodos de compensación y métricas de desempeño</b>	<b>31</b>
4.1. Tablas de corrección de errores (Look-up Tables)	32
4.1.1. Métodos de indexación	33
4.1.2. Reemplazo vs. Corrección	34
4.1.3. Calibración de LUTs	34
4.2. Inversión de modelo	35
4.3. Parámetros de medida de la no-linealidad de un ADC	36
4.3.1. No linealidad integral (INL)	36
4.3.2. No linealidad diferencial	37
4.4. Parámetros de desempeño espectral	37
4.4.1. Relación señal a ruido (SNR)	37
4.4.2. Rango dinámico libre de espurios (SFDR)	38
4.4.3. Distorsión armónica total (THD)	38
4.4.4. Número efectivo de bits	39
<b>5. Modelado y post-compensación de no linealidades en conversores Sigma-delta en tiempo continuo</b>	<b>41</b>
5.1. Introducción	41
5.2. Modelo de comportamiento para un SDM	42
5.2.1. No linealidades en el integrador	43
5.2.2. Modelo para el comportamiento no ideal del DAC de realimentación	44
5.2.3. Sobre la linealización del cuantizador	45
5.2.4. Modelo de comportamiento completo	47
5.3. Modelo de Volterra para un CT SDM	47
5.4. Post-compensación de un CT SDC utilizando modelos de Volterra polinomiales eficientes	50
5.4.1. Estimación de los parámetros de los compensadores	52
5.5. Validación and discusiones	55

5.5.1.	Modelo circuital de un CT SDM . . . . .	55
5.5.2.	Simulación del modelo de comportamiento . . . . .	56
5.5.3.	Resultados de simulación . . . . .	56
5.6.	Compensación utilizando sistemas PWL dinámicos de baja complejidad . . . . .	62
5.6.1.	Compensadores propuestos . . . . .	62
5.6.2.	Estimación de los parámetros . . . . .	64
5.6.3.	Simulaciones y resultados . . . . .	66
5.7.	Conclusiones . . . . .	68
<b>6.</b>	<b>Metodología y setup de mediciones para post-compensación de ADCs</b>	<b>71</b>
6.1.	Introducción . . . . .	71
6.2.	Post-compensación de ADCs . . . . .	74
6.3.	Set-up de mediciones . . . . .	75
6.3.1.	Convertor analizado . . . . .	75
6.3.2.	Instrumentos . . . . .	76
6.3.3.	Secuencias de entrenamiento . . . . .	77
6.4.	Caracterización del ADC por mediciones . . . . .	80
6.5.	Resultados en compensación . . . . .	83
6.6.	Conclusiones . . . . .	87
<b>7.</b>	<b>Conclusiones</b>	<b>89</b>
	<b>Bibliografía</b>	<b>93</b>



# Índice de figuras

2.1. Conversor tipo flash. . . . .	10
2.2. Conversor por aproximaciones sucesivas. . . . .	11
2.3. Diagrama en bloques de un ADC tipo pipeline. . . . .	12
2.4. Conversor tipo pipeline. . . . .	12
2.5. Etapa de un ADC tipo pipeline. . . . .	13
2.6. Señal residuo en un ADC pipeline. . . . .	13
2.7. Error de overflow en la señal residuo. . . . .	14
2.8. Corrección de errores de overflow. . . . .	14
2.9. Error de offset. . . . .	14
2.10. Códigos faltantes debido a errores de ganancia intra-etapa. . . . .	15
2.11. Diagrama en bloques de un ADC tipo sigma-delta. . . . .	16
2.12. Modulador sigma-delta. . . . .	16
2.13. SNR vs. OSR en un SDM. . . . .	19
2.14. ENOB vs. OSR en un SDM. . . . .	20
3.1. Tiempo de adquisición en un S& H. . . . .	22
3.2. Tiempo de apertura en un S& H. . . . .	23
3.3. Especificaciones de un S& H. . . . .	24
3.4. Ejemplo de un circuito posible para implementar un S& H. . . . .	24
3.5. Incertidumbre de temporizado en un S& H. . . . .	26
3.6. Inyección de carga. . . . .	27

3.7.	Minimización del efecto de inyección de carga. . . . .	28
3.8.	Diagrama del S&H mejorado y esquemático del amplificador que lo implementa. . . . .	29
4.1.	Esquema general de un sistema de corrección por tablas (LUTs). . . . .	32
4.2.	a) Corrección basada en reemplazo. b) Corrección por adición del error cometido. . . . .	34
4.3.	Sistema de postcorrección por inversión de un modelo previamente identificado. . . . .	36
4.4.	Sistema de postcorrección por inversión de modelo en línea. . . . .	36
4.5.	Ejemplo de INL y DNL. . . . .	38
5.1.	Diagrama en bloques de un CT SDM ideal. . . . .	43
5.2.	Diagrama en bloques equivalente de un CT SDM reemplazando todos los elementos por sus modelos correspondientes. . . . .	43
5.3.	Esquema de post-compensación. . . . .	50
5.4.	Generación de la señal ideal. . . . .	50
5.5.	Polinomio con memoria (MP) de orden $N$ . . . . .	52
5.6.	Modelo circuital de un CT SDM simulado en Spice. La arquitectura es diferencial y utiliza tecnología CMOS en 180 nm. . . . .	55
5.7.	Espectro de salida de a) SDM ideal b) Modelo circuital c) Modelo de comportamiento con el DAC representado por un retardo y d) Modelo de comportamiento con el DAC representado por un filtro FIR de dos muestras. . . . .	57
5.8.	LSE en los modos de entrenamiento (línea llena) y operación (línea a trazos) en función de $M$ para un polinomio de orden 2. . . . .	58
5.9.	ST: Espectro de la señal de entrada (línea llena) y la salida del DUT antes (línea a trazos) y después de compensar (MP:punto-rama, MGMP:puntos). . . . .	59
5.10.	MT: Espectro de la señal de entrada (línea llena) y la salida del DUT antes (línea a trazos) y después de compensar (MP:punto-rama, MGMP:puntos). . . . .	60
5.11.	Hammerstein paralelo con función estática PWL. . . . .	63
5.12.	Wiener paralelo con función estática PWL. . . . .	65
5.13.	PWL-ST: Espectro de la señal de entrada (línea llena) y la salida del DUT antes (línea a trazos) y después de compensar (PH: punto-rama, PW: puntos). . . . .	67

5.14. PWL-MT: Espectro de la señal de entrada (línea llena) y la salida del DUT antes (línea a trazos) y después de compensar (PH: punto-rama, PW: puntos). . . . .	68
6.1. Esquema de post compensación. . . . .	74
6.2. Polinomio con memoria generalizado modificado (MGMP) de orden $N$ . . . . .	75
6.3. Test kit. . . . .	76
6.4. Set-up de mediciones. . . . .	77
6.5. SINAD en función de la frecuencia. . . . .	82
6.6. a) La SINAD en A es menor que la SINAD en B y por ende no es posible compensar, b) La SINAD en A es mejorada por filtrado de modo que la SINAD en C es mayor que la SINAD en B. . . . .	83
6.7. Esquemático de un filtro pasabajos Buterworth de sexto orden con frecuencia de corte en 28 MHz. . . . .	83
6.8. Respuesta en frecuencia en amplitud (línea llena) y fase (línea a trazos) para el filtro de la Figura 6.7. . . . .	84
6.9. ENOB y SINAD vs. $M$ para el compensador MGMP (línea llena) y el MP (línea a trazos) para polinomios de orden 3. . . . .	85
6.10. ENOB y SINAD vs. $M$ para polinomios de orden 2 (punto y trazo), 3 (línea a trazos) y 4 (línea llena). . . . .	85
6.11. ENOB and SINAD vs. $M$ para un polinomio de orden 3 entrenando con 4 (línea llena) y 5 frecuencias (línea a trazos), validando con un tono en 36 MHz. . . . .	86



# Capítulo 1

## Introducción

### 1.1. Introducción general

La creciente tendencia actual de migración hacia los sistemas de procesamiento digital de señales, aún para aplicaciones que por sus altas frecuencias de operación y ancho de banda estaban restringidas al dominio analógico, ha creado la necesidad de contar con conversores A/D de muy altas velocidades y baja distorsión. En general, los conversores A/D de alta velocidad presentan fuertes efectos no lineales en su función transferencia, en general dinámicos, que provocan distorsión en la señal discreta de salida.

Esta distorsión tiene como consecuencia un deterioro en el desempeño del conversor que se traduce en una reducción del número efectivo de bits (ENOB) y por lo tanto en la resolución. Sin embargo, pueden proponerse estructuras de compensación cuyo objetivo sea recuperar la resolución perdida mediante la cancelación de los efectos que causan la pérdida de desempeño. Para ello, se establecen medidas y se definen parámetros de medición del desempeño del sistema que describen tanto su linealidad como sus propiedades espectrales, junto con parámetros propios a los sistemas de conversión A/D.

Dentro de los conversores analógico-digital existen diferentes tipos de arquitecturas, cada una de ellas con ventajas y desventajas propias. Estas arquitecturas se caracterizan por el tipo de procesamiento aplicado a la señal de entrada para obtener la salida discreta deseada [1]. Su clasificación puede dividirse según las soluciones más generales, que se corresponden a los casos de conversores algorítmicos (por aproximaciones sucesivas), por conversión directa (flash), por modulación previa de la señal (sigma-delta), y arquitecturas más complejas que en general resultan de la combinación de varios ADCs como los mencionados previamente. En general, la

elección de una arquitectura determinada de conversor depende de la aplicación, y habrá un compromiso entre velocidad de conversión y resolución.

Recientemente, la necesidad de contar con ADCs de alta resolución y bajo consumo, especialmente para aplicaciones móviles, atrajo mucha atención hacia las arquitecturas de tipo sigma-delta para la conversión de señales. Estos dispositivos combinan cuantización de baja resolución con sobre-muestreo y moldeo de ruido a fin de reducir el ruido en la banda de interés y por lo tanto incrementar el rango dinámico. En particular, los conversores sigma-delta en tiempo continuo (CT SDCs) parecen ser una opción atractiva debido a sus propiedades inherentes de anti-aliasing y su baja complejidad circuital, por nombrar algunas de sus características salientes [1]. Estructuras de tipo sigma-delta han sido propuestas para un gran número de aplicaciones, incluyendo DVB-T (Digital Video Broadcasting-Terrestrial) [2] [3] [4] y Bluetooth [5]. Además, proveen una elección flexible entre resolución y ancho de banda, por lo que resultan una opción altamente viable y de interés reciente para arquitecturas de tranciever multi-estándar que combinen por ejemplo GSM/WLAN/bluetooth [6] [7]. A pesar de sus propiedades atractivas, el comportamiento no ideal en el circuito del modulador deteriora el desempeño del conversor dando como resultado distorsión armónica y un incremento del ruido en la banda de interés, lo que reduce el número efectivo de bits (ENOB) en el conversor.

Se han propuesto distintas estrategias de compensación de no linealidades en conversores A/D, todas ellas dependientes de la arquitectura de conversor utilizada y/o el efecto en particular que se busca corregir. Por ejemplo, en [8] se describe una propuesta orientada a conversores de aproximaciones sucesivas intercalados para OFDM. Esta propuesta utiliza la información de los tonos pilotos de una trama OFDM para efectuar una compensación por procesamiento digital de señales posterior a la conversión. Otra alternativa se describe en [9], donde se propone aplicar un circuito externo analógico como auto calibrador para conversores de varias etapas. A lo largo de la tesis se hará referencia a otras numerosas alternativas encontradas en la bibliografía en base a los estudios realizados y las técnicas propuestas.

En [10], se describe un tipo de sistemas, los filtros Wiener, que presentan una serie de propiedades interesantes para el modelado de sistemas no lineales dinámicos. Esto plantea la posibilidad de utilizar estos filtros para la compensación de no linealidades en conversores A/D. Estos sistemas son una clase particular de los sistemas más generales de Volterra [11]. A lo largo de la tesis se estudiarán y desarrollarán diversas variantes y sub-clases de modelos de Volterra, con el objetivo de modelar y compensar las no-linealidades dinámicas en diferentes arquitecturas de conversores AD. Estos sistemas, entre otras características, permiten incluir en el modelado diversos factores físicos conocidos que dan origen a algunas de las distorsiones más comunes que requieren compensación, dando lugar a resultados generales y robustos.

En esta tesis se analizará el comportamiento de determinados componentes en algunas de las arquitecturas de conversión estudiadas y se propondrán modelos que permitan elegir la estructura de compensación apropiada. En general, el sistema utilizado para efectuar la compensación deberá ser un sistema no lineal con memoria.

## 1.2. Trabajos previos

El proceso de compensación de un conversor A/D está fuertemente ligado al tipo de conversor en estudio, y por lo tanto se requiere una tarea previa de modelado tanto del comportamiento del dispositivo en particular, como de los efectos causantes de distorsión propios en cada caso. En [12], por ejemplo, se describe el modelado y posterior compensación del efecto de resistencia finita en un amplificador de muestreo y retención durante el modo de retención de muestra, mientras que en [13] se estudia la inyección de carga en una llave implementada con transistores CMOS y se propone una topología circuital determinada orientada a minimizar su efecto.

En [14], se presenta una breve descripción de las principales estrategias de compensación halladas en la literatura. Entre estas técnicas se encuentran los métodos basados en tablas de corrección (LUTs), dithering, métodos basados en inversión de modelo, y métodos dependientes de la arquitectura de conversión. Los métodos basados en tablas de corrección son ampliamente conocidos y han probado ser efectivos en la corrección de errores estáticos, pero son altamente costosos especialmente en términos de recursos de memoria cuando se consideran efectos dinámicos y carecen de propiedades de generalización, i. e., sólo pueden corregir errores que hayan sido medidos y almacenados previamente [15]. En general, los métodos de dithering consisten en aplicar una señal de ruido pseudo-aleatorio a la entrada del ADC para decorrelar el ruido de cuantización de la señal de entrada, pero no se tiene en cuenta el comportamiento no lineal y por lo tanto hay errores que no pueden compensar [1] [14]. Ergo, la inversión de modelo y post-compensación es una opción muy atractiva y motivo de investigación reciente. Por ejemplo, en [12] se introduce un modelo para el comportamiento no lineal del dispositivo de muestreo y retención (S&H) a la entrada de los ADCs. Haciendo foco principalmete en los efectos de inyección de carga y de la resistencia no lineal dependiente de la entrada que presentan las llaves de muestreo, se propone una estrategia de post-compensación que logra remover de manera efectiva la distorsión debida a estos efectos en particular. En [16], se presenta un método de post-compensación basado en un modelo de la no linealidad integral (INL) para conversores tipo pipeline. Se comparan los resultados con los obtenidos mediante tablas de corrección dinámicas y se observa que puede obtenerse un desempeño similar con menor complejidad, especialmente en términos de recursos de memoria. Sin embargo, la primer alternativa no tiene en cuenta los

efectos no lineales en la etapa de conversión del ADC, y la segunda es dependiente de la arquitectura de conversión y no considera los efectos no lineales dinámicos en el S&H. Además, se observa un deterioro en el desempeño en compensación cuando la frecuencia de la señal de entrada difiere de la frecuencia de la señal utilizada durante el entrenamiento del compensador. Por lo tanto, la elección de las señales de entrenamiento debe evaluarse cuidadosamente también.

Otra alternativa consiste en aplicar una compensación externa sin utilizar información detallada sobre la física que gobierna los efectos no lineales presentes en la salida del sistema [8]. Para ello, se mide su comportamiento conjunto y se aplica un circuito externo o post-procesamiento para compensar su efecto en el punto de operación requerido. Como desventaja de esta opción, la solución obtenida también depende fuertemente del punto de trabajo en el cual se utilizará el conversor, i. e., el rango dinámico y la frecuencia de la señal de entrada. Una posible implementación de esta alternativa es el uso de técnicas de post-compensación digital basada en modelos para reducir la distorsión. Estas técnicas se basan generalmente en la aplicación de una distorsión adicional a la salida del conversor que cancele las distorsiones originales presentes en la salida del dispositivo [17], [18]. En general, involucran dos pasos. Primero se entrena el post-compensador (fuera de línea) utilizando datos de mediciones de entrada-salida del conversor. Luego, se implementa en línea el compensador estimado a la salida del ADC. Esta metodología involucra cierto procesamiento digital extra.

En el caso de CT SDCs, a fin de obtener una estructura adecuada para el compensador, resulta necesario conocer y comprender primero el comportamiento no ideal que presentan. En este sentido, varios estudios parciales fueron llevados a cabo en la literatura sobre el tema. Por ejemplo, en [19] [20] [21] se analiza la no linealidad en el integrador modelando los efectos del cuantizador como una fuente de ruido blanco aditivo de distribución uniforme. En [20] y [21], se desarrolla un modelo de Volterra para CT SDMs con cuantización multibit siguiendo la suposición de ruido aditivo. En otra línea, en [22] se analizan los efectos no ideales en el conversor digital-analógico DAC y en [23] se discute una nueva interpretación sobre los efectos del cuantizador. Sin embargo, ninguno de los trabajos mencionados ofrece una descripción completa del modulador sigma-delta incluyendo todos estos efectos de manera conjunta.

En [24], [25] y [26] se presentan modelos para varias arquitecturas de ADCs y se analizan estrategias de compensación utilizando redes neuronales de tipo NFIR y modelos Hammersstein. Si bien los resultados obtenidos son preliminares en el sentido que los conversores analizados son de baja y media resolución, el análisis de los efectos no lineales presentado sirve como punto de partida y motivación para las principales contribuciones de la tesis, que se describen a continuación.

### 1.3. Contribuciones de la tesis

En esta Tesis, proponemos esquemas de post-compensación eficientes basados en modelos finitos de Volterra para convertidores CT SDC, manteniendo baja la complejidad para el procesamiento en línea requerido. Para ello, en primer lugar desarrollamos un modelo de comportamiento para estos dispositivos mediante el estudio de los distintos elementos que componen el modulador y considerando todos sus efectos sobre el sistema. Como el modelo de comportamiento presenta no linealidades suaves, es posible considerar modelos finitos de Volterra para capturar todas las características mencionadas. Este modelo de Volterra permite el diseño y uso de modelos de post-compensación y las correspondientes técnicas de estimación de parámetros [27] [28].

A fin de obtener una estructura adecuada para el compensador, es necesario entender primero el comportamiento no ideal del «dispositivo de prueba» (DUT). En este sentido, en [28] dos alternativas fueron consideradas la estructura del post-compensador para un convertidor sigma-delta: un polinomio con memoria (MP) y un polinomio con memoria generalizado modificado (MGMP) que son formas particulares del modelo de Volterra más general. Se prueba que estos modelos logran un buen desempeño con menor complejidad de implementación comparados con la serie de Volterra general.

Primero, se presenta un modelo de comportamiento completo para un CT SDM de primer orden. Este modelo incluye los principales efectos no lineales y no ideales que deterioran el desempeño del sistema. La validez de este modelo es evaluada comparando su comportamiento con un modelo circuital simulado en Spice, y se observa buena concordancia entre las expresiones matemáticas y la salida del circuito. El modelo dinámico resultante presenta no linealidades suaves, lo cual permite representarlo con un sistema de Volterra. Esto también significa que el sistema puede ser  $p$ -linealizado con un modelo de Volterra de complejidad similar, lo que conduce al desarrollo de post-compensadores pertenecientes a esta familia de modelos. La información adicional provista por el modelo de comportamiento excluye el uso de modelos simples tipo Hammerstein o Wiener para el bloque compensador [28]. Entonces, se desarrollan y evalúan dos compensadores que son generalizaciones de ellos. El desempeño de tales compensadores se evalúa y compara mediante simulaciones en MATLAB, utilizando las métricas de desempeño usuales para ADCs como el SFDR, la SINAD y el LSE. Como se esperaba, con el modelo MGMP se obtiene un mejor cancelamiento de la distorsión cuando se utiliza una señal de entrada más general para excitar el circuito, con el costo de una complejidad mayor en la estimación de los parámetros del modelo y una mayor sensibilidad ante cambios entre la señal muestreada y la señal de entrenamiento. Si bien se requiere de una fase de entrenamiento para obtener la estimación de los parámetros del modelo, esta puede realizarse previamente fuera de línea. Esto resulta en

una baja complejidad de implementación en línea para el procesamiento digital adicional en el modo de operación, es decir el cálculo de algunos filtros FIR y polinomios de bajo orden que pueden ser codificados en una tabla pequeña.

El modelo de comportamiento desarrollado para CT SDCs justifica el uso de post-compensadores de tipo Volterra, pero también permite inferir que modelos simples de tipo Hammerstein o Wiener no son adecuados para modelar las dinámicas no lineales complejas involucradas. En este sentido, se presentaron modelos polinomiales que son generalizaciones de ellos y que logran un buen desempeño en compensación, particularmente el MGMP. También se presentan dos compensadores tipo Hammerstein y Wiener en paralelo utilizando funciones PWL estáticas, haciendo énfasis en el desarrollo de estructuras eficientes que permitan obtener un buen desempeño y al mismo tiempo mantener acotado el número de parámetros. El desempeño de estos compensadores también se evalúa y compara mediante simulaciones en MATLAB, utilizando las métricas de desempeño usuales para ADCs. Se muestra que es posible obtener un buen desempeño con baja complejidad para este tipo sistemas, y los resultados son consistentes con los obtenidos para el caso anterior [29].

Para el caso de compensación de conversores AD comerciales, el uso de datos de entrada-salida obtenidos mediante mediciones reales de laboratorio permite una caracterización precisa del dispositivo de prueba (DUT) cuando se utilizan señales de entrada apropiadas para excitar el sistema [30]. En este sentido, consideramos el uso de señales con alta relación señal a ruido más distorsión (SINAD) cuya pureza espectral se mejora utilizando técnicas de filtrado como se sugiere en [31]. Las señales de entrada usualmente utilizadas en la literatura son senoidales monotónicas [1], [15], [32], [33]. Sin embargo, proponemos el uso de señales de entrada compuestas por la concatenación de varias señales monotónicas, y mostramos que las propiedades de generalización del compensador estimado mejoran notablemente cuando se agregan más frecuencias a la secuencia de entrenamiento. El desempeño del método y los compensadores propuestos es evaluado en un ADC comercial de Analog Devices de 16 bits y hasta 130 MSps.

En este sentido, las contribuciones de esta aplicación son las siguientes. Se propone un esquema de compensación por post-procesamiento donde todos los efectos no lineales dinámicos son reducidos de manera conjunta logrando una gran mejora en el desempeño total del ADC en términos de aumento en la resolución efectiva. Dos modelos eficientes para el compensador con baja complejidad de implementación son evaluados en un ADC comercial de alta resolución y velocidad de conversión, utilizando datos de entrada-salida obtenidos mediante mediciones reales de laboratorio. Se realizan consideraciones adicionales sobre las señales de entrada utilizadas para entrenar el compensador. En particular, se introduce una nueva secuencia de entrenamiento compuesta por la concatenación serial de varias señales monotónicas. Al utilizar esta señal de

entrenamiento para estimar los parámetros del compensador, se comprueba que el método es robusto ante diferencias entre la señal de entrenamiento y la señal muestreada, y se logra una mejora significativa sobre el ancho de banda de Nyquist completo. No se considera información alguna sobre la arquitectura de conversión y por lo tanto la estrategia de compensación puede aplicarse a distintos ADCs.

## 1.4. Organización de la tesis

El trabajo de esta tesis se desarrolla de la siguiente manera. En el Capítulo 2, se describen brevemente algunas arquitecturas de ADCs, haciendo énfasis en aquellas arquitecturas para las cuales se desarrollaron o testearon modelos y/o esquemas de compensación. En el Capítulo 3, se presenta una breve descripción de los amplificadores de muestreo y retención, donde se describen sus características principales dado que forman parte de la mayoría de las arquitecturas de conversión AD. En el Capítulo 4, se describen brevemente los dos métodos de post-compensación más relevantes para la corrección de errores en conversores AD, y se introducen los efectos no ideales más comunes en este tipo de sistema, junto con las medidas de desempeño convencionales y diversos parámetros que forman parte de las especificaciones usuales para ADCs. En el Capítulo 5, se desarrolla un modelo de comportamiento completo para un conversor sigma-delta en tiempo continuo, que permite y justifica el desarrollo de compensadores eficientes pertenecientes a la familia de modelos de Volterra, tanto polinomiales como basados en funciones lineales a tramos con estructuras de baja complejidad y por ende aptas para integración. En el Capítulo 6, se presenta la metodología y set-up de mediciones para efectuar la compensación de ADCs comerciales aplicando las técnicas desarrolladas. De esta manera, se aplican los conocimientos adquiridos y desarrollados a la compensación de un ADC comercial cuyos datos de entrada-salida se obtienen mediante mediciones, y se verifican experimentalmente los resultados obtenidos mediante simulaciones. Finalmente, en el Capítulo 7 se presentan conclusiones y líneas de trabajos futuros.



## Capítulo 2

# Arquitecturas de conversión analógico-digital

Dentro de los conversores analógico-digital existen diferentes tipos de arquitecturas, cada una de ellas con ventajas y desventajas propias. Estas arquitecturas se caracterizan por el tipo de procesamiento aplicado a la señal de entrada para obtener la salida discreta deseada [1]. La elección de una estructura en particular esta fuertemente ligada a las especificaciones de resolución, velocidad de conversión, ancho de banda y consumo, todas ellas determinadas por la aplicación para la cual será utilizado el conversor. A continuación, se describen algunas de las arquitecturas de conversores AD más usuales, haciendo énfasis en aquellas para las cuales se desarrollarán modelos y/o compensadores en los capítulos subsiguientes.

### 2.1. Conversores flash

Para el caso de conversión flash, dada una tensión analógica de entrada, se obtiene una palabra digital de  $n$  bits a la salida en un ciclo de reloj. Como contrapartida, la implementación de este tipo de circuitos es de alta complejidad, y por lo general requieren un banco de múltiples resistores perfectamente acoplados. Además, esta complejidad es función de  $2^n$ , donde  $n$  es el número de bits, y por lo tanto aumenta rápidamente en función de la cantidad de bits necesarios en la conversión.

Básicamente, la estructura de un conversor flash consiste en un arreglo de comparadores, cada uno de ellos conectado en paralelo a la señal analógica de entrada en uno de sus terminales y a una tensión de referencia en el terminal restante. La tensión de referencia es distinta para cada comparador y generalmente se obtiene mediante un divisor resistivo implementado con un

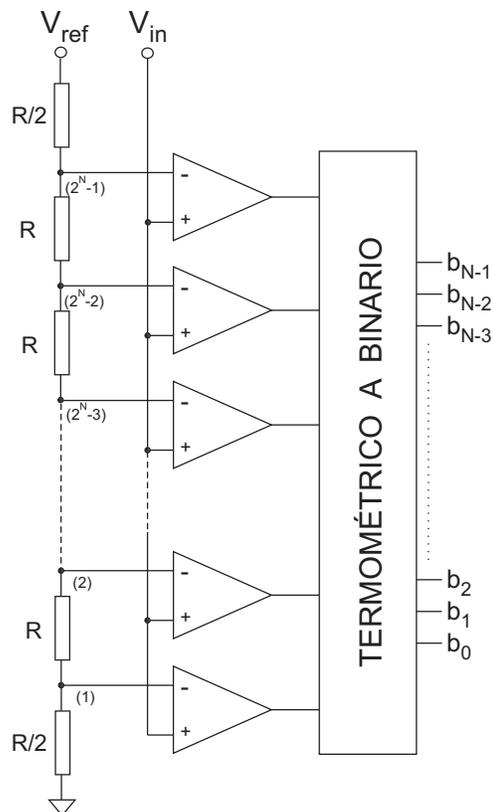


Figura 2.1: Conversor tipo flash.

banco de resistencias. Estas resistencias deben ser *exactamente* iguales entre si, dado que de lo contrario habrá errores en la conversión. La cantidad de comparadores necesarios es  $2^n$  y la señal de salida se codifica naturalmente de manera termométrica. Sin embargo, la codificación puede alterarse a binario, gray, etc., mediante simples circuitos lógicos combinacionales utilizando unas pocas compuertas.

En la Figura 2.1 se muestra un esquema de este tipo de conversor.

## 2.2. Conversores por aproximaciones sucesivas

En el caso de conversores de aproximaciones sucesivas, ante una tensión analógica de entrada, se obtiene la palabra digital correspondiente de  $n$  bits en  $n$  ciclos de reloj.

Su implementación es relativamente simple: consta de un amplificador de muestreo y retención a la entrada, un comparador, un registro de desplazamiento, un convertidor digital-analógico (DAC) de  $n$  bits en el lazo de realimentación, y un sistema de llaves con circuitos de capacitores conmutados. En la Figura 2.2 se muestra un diagrama en bloques de esta arquitectura. Primero,

el circuito de muestreo y retención muestrea la señal de entrada al comienzo de cada ciclo de conversión. El registro de aproximaciones sucesivas controla el convertor digital-analógico que genera la secuencia de aproximaciones. El comparador compara las aproximaciones generadas con la salida del amplificador de muestreo y retención, y determina un bit de la palabra digital de salida en cada ciclo de reloj.

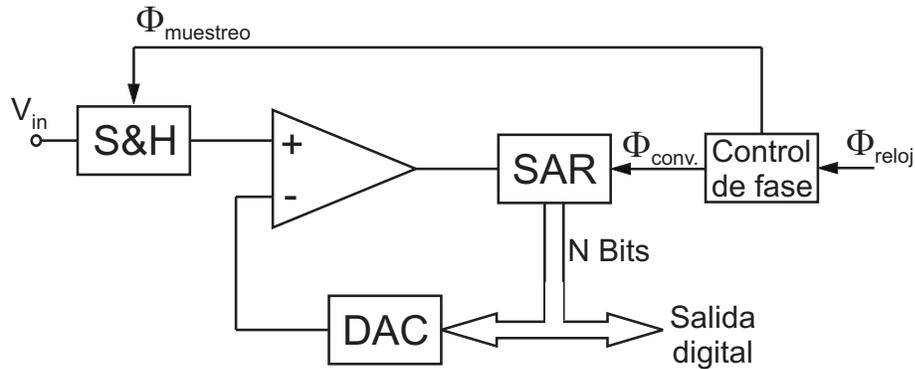


Figura 2.2: Convertor por aproximaciones sucesivas.

Como el circuito que implementa este convertor es relativamente simple y su complejidad no depende de la precisión requerida en la palabra digital, es apto para aplicaciones de bajo consumo. Sin embargo, su velocidad de conversión se reduce proporcionalmente con la resolución en bits del convertor. Tanto las llaves como la dispersión en el valor de los capacitores son las fuentes principales de error en la palabra digital de salida, y su linealidad está determinada por el DAC en el lazo de realimentación.

### 2.3. Conversores tipo pipeline

Otra solución es el convertor tipo pipeline, en el cual los bits se van obteniendo desde el más significativo al menos significativo en bloques iguales. Entonces la conversión se logra en tantos ciclos como bloques en los que se divide la palabra digital. Sin embargo, mientras se procesa la información correspondiente a una muestra en un bloque intermedio, en el bloque anterior se procesa la información correspondiente a la muestra siguiente. Entonces luego de un retardo inicial de  $x$  muestras, donde  $x$  es el número de bloques, la conversión de muestras sucesivas se obtiene a una tasa de una palabra digital por ciclo de reloj. El diagrama en bloques de este tipo de convertor se muestra en la Figura 2.3.

Un ADC tipo pipeline es una arquitectura de convertor analógico-digital que consiste en una sucesión de etapas separadas por amplificadores de muestreo y retención. La primera etapa realiza la cuantización gruesa de la señal analógica de entrada, y las etapas subsiguientes realizan

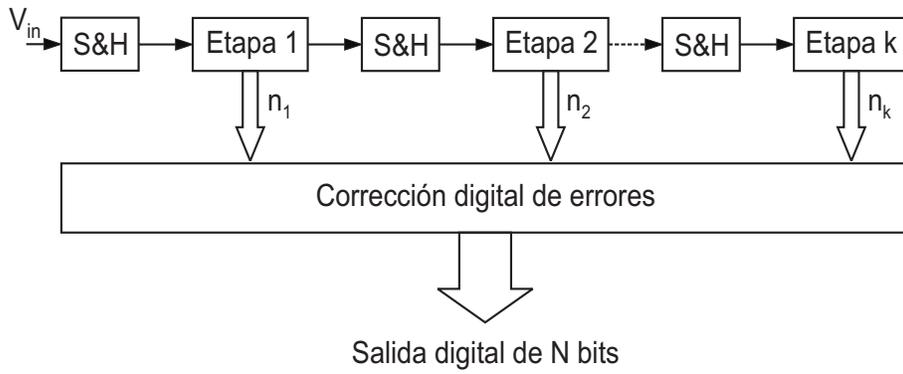


Figura 2.3: Diagrama en bloques de un ADC tipo pipeline.

la cuantización fina por medio del residuo proveniente de la etapa anterior. Las palabras de salida que se obtienen en cada etapa luego se concatenan para formar la palabra completa de salida del ADC. De esta manera se obtiene una gran resolución de bits a partir conversores de menor resolución. Este proceso se muestra en la Figura 2.4

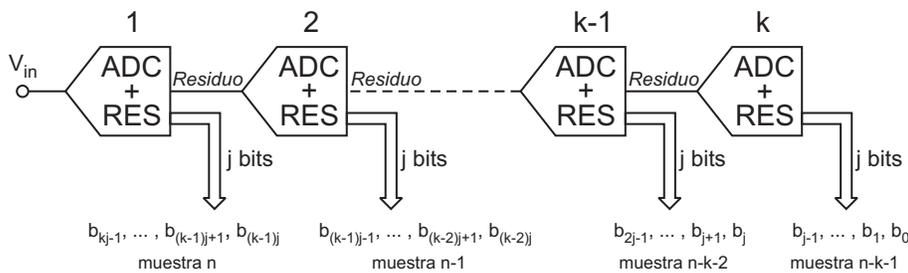


Figura 2.4: Conversor tipo pipeline.

Como puede verse en la Figura 2.5, el residuo es la diferencia entre la tensión analógica de entrada a la etapa de conversión, y la tensión cuantizada que se obtiene del DAC a partir de la palabra digital de salida del subconvertor AD de la etapa. Es claro que el residuo idealmente toma valores entre 0 y el voltaje equivalente a un bit menos significativo (LSB).

Idealmente, la salida de cada etapa es el residuo amplificado por  $2^B$ , es decir una señal proporcional al residuo pero en el rango inicial de la señal de entrada. De esta manera, en cada etapa subsiguiente se puede cuantizar el residuo con un ADC exactamente igual al de la etapa anterior. Esta señal es típicamente como la que se muestra en la Figura 2.6

Existen diversos factores que determinan que en la práctica la señal residuo (que determina la cuantización fina de la señal de entrada) tenga errores. Algunos de ellos son

- Errores de offset en el amplificador.

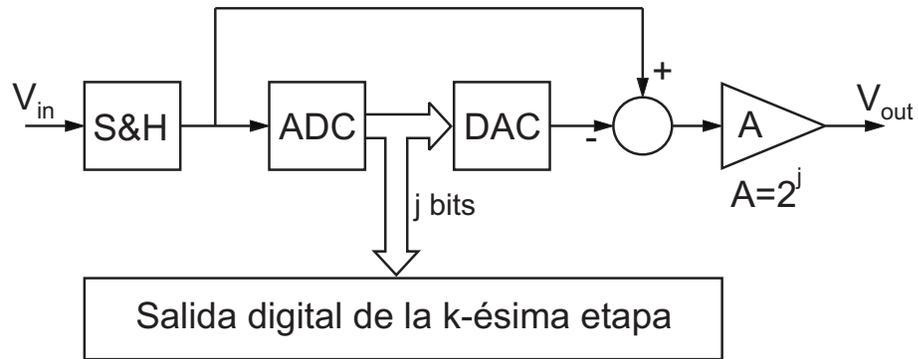


Figura 2.5: Etapa de un ADC tipo pipeline.

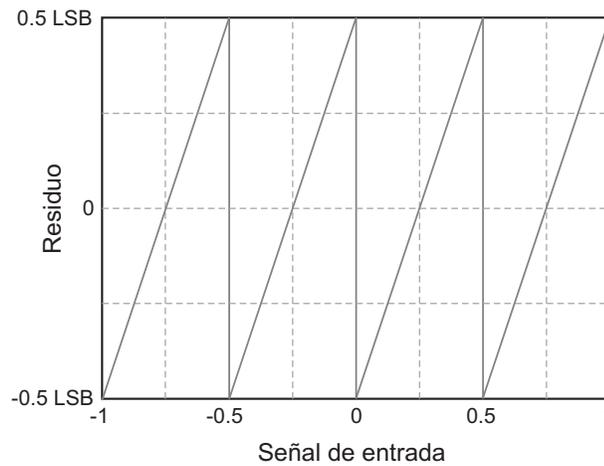


Figura 2.6: Señal residuo en un ADC pipeline.

- Errores de ganancia.
- No linealidades en el ADC.
- No linealidades en el DAC.

Estos errores pueden provocar que la señal sature total o parcialmente y la información se pierda o distorsione. Sin embargo, si se reduce la ganancia del amplificador de salida de cada etapa a  $2^{B-1}$ , el rango de la señal resultante se divide por dos y algunos errores pueden ser detectados y corregidos por procesamiento. El costo de esta solución es la pérdida de un bit de resolución por etapa [34]. Este proceso se ilustra en las Figuras 2.7-2.9

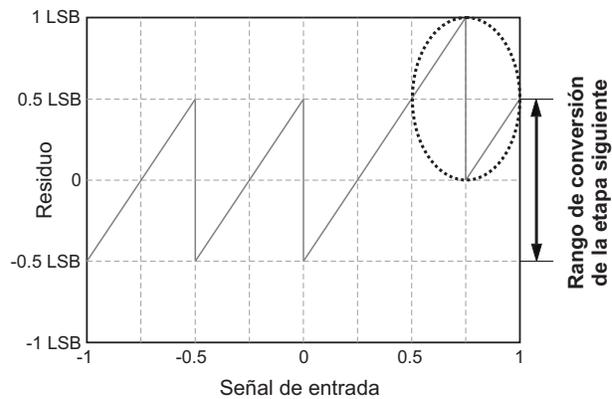


Figura 2.7: Error de overflow en la señal residuo.

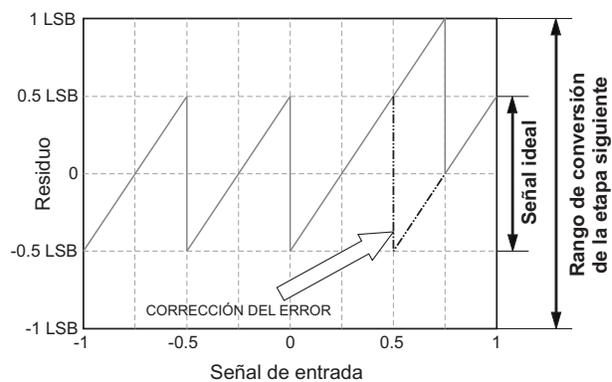


Figura 2.8: Corrección de errores de overflow.

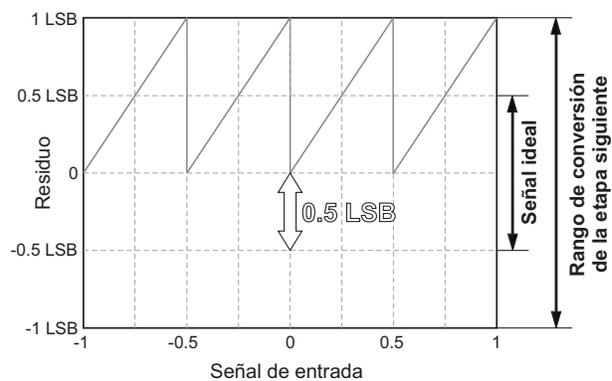


Figura 2.9: Error de offset.

Como puede verse en las figuras precedentes, los errores de offset y de no linealidades en el subconversor generalmente pueden ser corregidos con éxito. En cuanto a los errores de ganancia, estos pueden provocar códigos faltantes, y su corrección no es trivial.

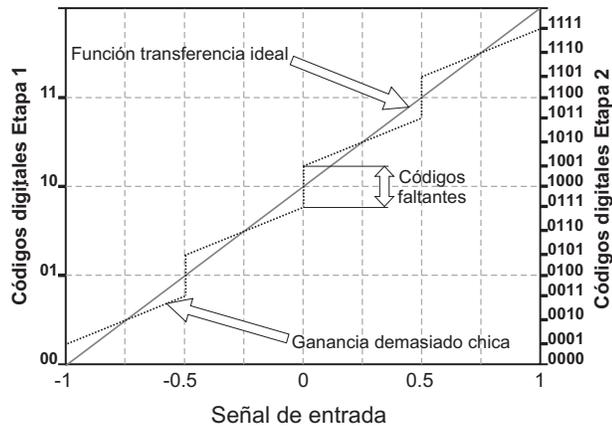


Figura 2.10: Códigos faltantes debido a errores de ganancia intra-etapa.

## 2.4. Conversores Sigma-delta

Recientemente, la demanda de ADCs de alta resolución y bajo consumo, especialmente para aplicaciones móviles, atrajo un gran interés hacia las arquitecturas sigma-delta para conversión analógico-digital de señales. Estos dispositivos combinan cuantización de baja resolución con sobre-muestreo y moldeo de ruido para reducir el ruido en la banda de interés y por lo tanto incrementar el rango dinámico. En particular, los moduladores sigma-delta en tiempo continuo (CT SDMs) parecen ser una opción muy atractiva debido a sus propiedades inherentes de anti-aliasing y su baja complejidad circuital, entre otras ventajas [1]. Diversas estructuras de tipo sigma-delta han sido propuestas para numerosas aplicaciones, incluyendo DVB-T (digital video broadcasting-terrestrial) [2], [3], [4] y Bluetooth [5]. Además, permiten una elección flexible entre resolución y ancho de banda, lo que las hace especialmente atractivas para arquitecturas de transceiver multi-standar combinando por ejemplo GSM/WLAN/Bluetooth [6][7].

En esta sección se presenta la estructura sigma delta de primer orden en tiempo continuo y se analizan los distintos aspectos que hacen a su funcionamiento. Arquitecturas de órdenes superiores pueden analizarse de manera similar generalizando los conceptos y cálculos que se detallan a continuación.

En la Figura 2.11 se muestra el diagrama en bloques de un conversor sigma-delta de primer orden en tiempo continuo, donde el modulador sigma-delta se muestra con mayor detalle en la Figura 2.12.

Asumiendo que el cuantizador puede modelarse como una fuente de ruido aditivo, pueden calcularse las funciones transferencia para la señal y el ruido. Para el caso de la función transferencia de la señal, del diagrama en bloque resulta claro que si  $N_q = 0$  podemos expresar la señal de salida en el plano transformado de Laplace como

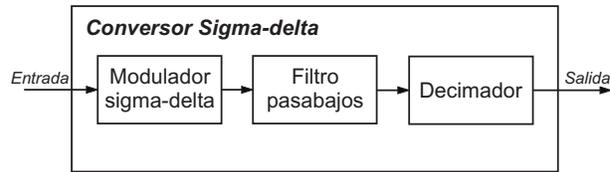


Figura 2.11: Diagrama en bloques de un ADC tipo sigma-delta.

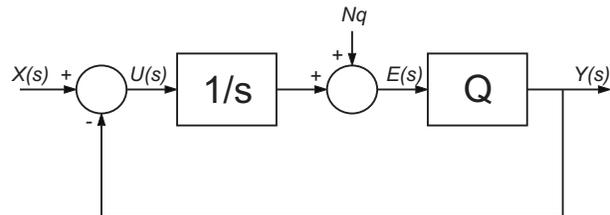


Figura 2.12: Modulador sigma-delta.

$$Y(s) = \frac{U(s)}{s} \quad (2.1)$$

Además,

$$U(s) = X(s) - Y(s) \quad (2.2)$$

Ergo, reemplazando (2.2) en (2.1) obtenemos:

$$Y(s) = \frac{X(s) - Y(s)}{s} \quad (2.3)$$

de manera que reescribiendo (2.3) se obtiene

$$\frac{X(s)}{Y(s)} = \frac{1}{s+1} \quad (2.4)$$

que es claramente la función transferencia de un filtro pasabajos para la señal  $X(s)$ .

De la misma manera, cuando hacemos  $X(s) = 0$ , resulta que

$$Y(s) = E(s) \quad (2.5)$$

donde

$$E(s) = N_q - \frac{Y(s)}{s} \quad (2.6)$$

Ergo, reemplazando (2.6) en (2.5) obtenemos:

$$Y(s) = N_q - \frac{Y(s)}{s} \quad (2.7)$$

de esta forma, reescribiendo (2.7) el resultado es

$$\frac{Y(s)}{N_q} = \frac{s}{s+1} \quad (2.8)$$

donde (2.8) es un filtro pasa-altos para el ruido de cuantización.

De (2.4) y (2.8), sabemos que un modulador sigma-delta permite el paso de la señal de entrada sin cambios, y moldea el ruido de cuantización con un filtro pasa-altos, de manera que éste último es reducido en la banda de interés y amplificado a frecuencias mayores.

La resolución de este tipo de conversor está determinada por la relación señal a ruido (SNR) en la banda de frecuencias de interés, y entonces resulta de suma importancia el cálculo analítico de los efectos tanto del sobremuestreo como del moldeo de ruido sobre el ruido de cuantización.

Para un ADC de  $n$  bits trabajando a la frecuencia de Nyquist, dada una señal de entrada sinusoidal monotonal de amplitud máxima, el ruido de cuantización (bajo la hipótesis de ruido aditivo) tiene una densidad espectral de potencia (PSD) que puede ser considerada con distribución uniforme y de varianza

$$\sigma^2 = \frac{\Delta^2}{12} \quad (2.9)$$

donde el paso de cuantización  $\Delta$  se define como

$$\Delta = \frac{A_v}{2^n - 1} \quad (2.10)$$

En (2.10),  $A_v$  es la amplitud de la señal de entrada sinusoidal y  $n$  es el número de bits de resolución del conversor AD.

Si se utiliza una frecuencia de muestreo mayor con un factor de sobremuestreo  $OSR = K$ , entonces la energía del ruido de cuantización en la banda de interés se reduce proporcionalmente, i.e.:

$$\sigma_{OS}^2 = \frac{\Delta^2}{12K} \quad (2.11)$$

Puede demostrarse que el aumento en la resolución para un ADC con un  $OSR = K$  está dado por:

$$L = \frac{1}{2} \log_2(K) \quad (2.12)$$

donde  $L$  es el número de bits efectivos extra debido al aumento en la SNR. Esto sugiere que el sobre-muestreo por sí mismo no es eficiente para aumentar la resolución de un ADC, dado que sería necesario un sobre-muestreo muy alto para lograr una mejora de unos pocos bits.

Ahora consideremos el caso del ruido de cuantización en un modulador sigma-delta con un factor de sobre-muestreo  $OSR = K$ . Como se explicó previamente, el ruido de cuantización en un modulador sigma-delta de primer orden en tiempo continuo es afectado por una función transferencia de tipo filtro pasa-altos,

$$H(f) = H(s)|_{s=2\pi f} = \frac{j2\pi f}{j2\pi f + 1} = \frac{(2\pi f)^2}{(2\pi f)^2 + 1} + j \frac{2\pi f}{(2\pi f)^2 + 1} \quad (2.13)$$

Por lo tanto, se debe resolver la siguiente ecuación a fin de calcular la energía del ruido de cuantización moldeado dentro de la banda de interés:

$$\sigma_{NS}^2 = \int_0^{2\pi/K} \frac{\Delta^2}{12K} |H(f)|^2 df \quad (2.14)$$

donde

$$|H(f)| = \frac{2\pi f}{\sqrt{(2\pi f)^2 + 1}} \quad (2.15)$$

Resolviendo (2.14) se obtiene

$$\sigma_{NS}^2 = \frac{\Delta^2}{12K} \left[ \frac{2\pi}{K} - \frac{1}{\pi} \arctan \left( \frac{2\pi^2}{K} \right) \right] \quad (2.16)$$

Una vez conocida la energía del ruido de cuantización moldeado, puede calcularse la SNR como:

$$SNR_{NS} = \frac{\sigma_S^2}{\sigma_{NS}^2} = \frac{6K(2^n - 1)^2}{\frac{2\pi}{K} - \frac{1}{\pi} \arctan \left( \frac{2\pi^2}{K} \right)} \quad (2.17)$$

donde  $\sigma_S^2 = A_v^2/2$  es la energía de la señal.

A continuación es posible calcular el número efectivo de bits (ENOB) en el conversor sigma-delta como:

$$ENOB = (SNR_{NS} - 1,76)/6 \quad (2.18)$$

En las Figuras 2.13 y 2.14 que siguen se muestran la  $SNR$  y el  $ENOB$  en función del  $OSR$  para un SDC de primer orden en tiempo continuo con cuantización de un bit.

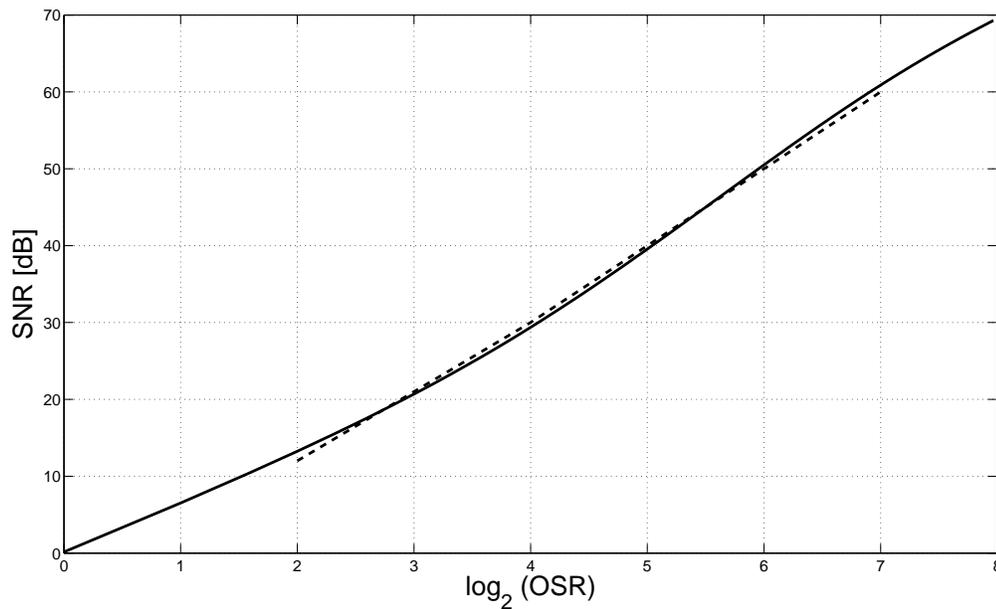


Figura 2.13: SNR vs. OSR en un SDM.

## 2.5. Conclusión

En este capítulo se presentaron cuatro arquitecturas diferentes de conversores AD, definiendo las propiedades y características principales de cada una. Se hizo especial énfasis en el cálculo teórico de la  $SNR$  y el  $ENOB$  para el caso de conversores sigma-delta en tiempo continuo, siguiendo la hipótesis de ruido blanco aditivo para el error de cuantización. Estos cálculos teóricos fueron desarrollados especialmente para este trabajo ya que no se encuentran en la bibliografía corriente sobre el tema.

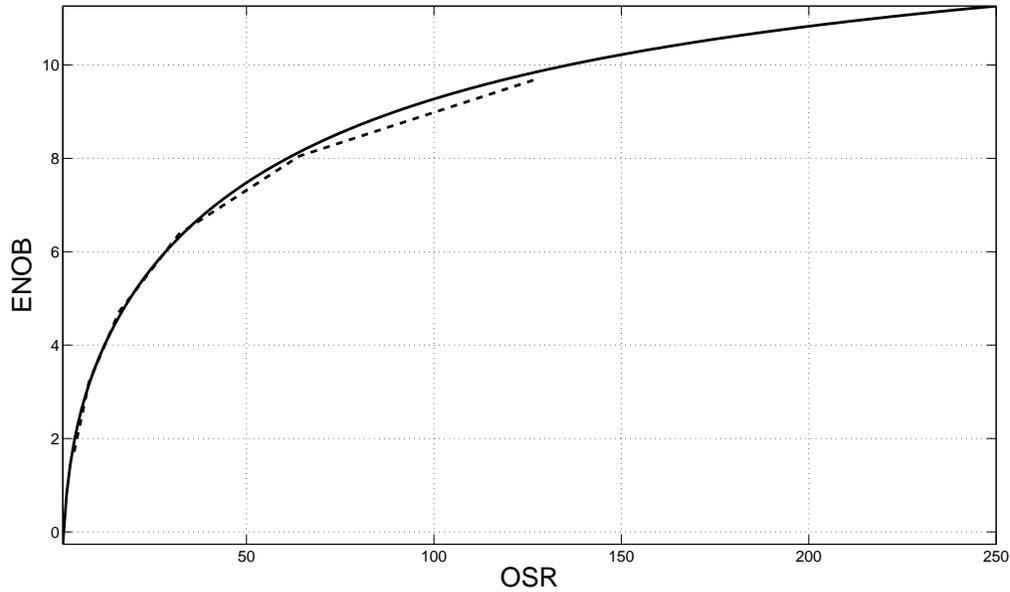


Figura 2.14: ENOB vs. OSR en un SDM.

En el capítulo subsiguiente, se presentará una breve introducción a los amplificadores de muestreo y retención, dado que forman parte de la mayoría de las arquitecturas de ADCs. Se presentarán las especificaciones usuales de dichos amplificadores y algunos de los efectos que perturban su funcionamiento en desmedro de su desempeño. Finalmente, se presentará a modo de ejemplo una alternativa hallada en la literatura que busca minimizar su comportamiento no ideal.

## Capítulo 3

# Amplificadores de muestreo y retención

Existen diversos factores a tener en cuenta en el diseño de conversores AD. Uno de ellos, de gran importancia, es el amplificador de muestreo y retención (S&H) que formará parte del diseño en la mayoría de las arquitecturas de ADCs.

Los amplificadores de S&H de alta resolución, alta velocidad y gran precisión, son un elemento clave para la conversión analógico digital. Un amplificador sample and hold de alta performance delante de un conversor AD tipo paralelo puede mejorar notablemente su desempeño dinámico. De hecho, de esta manera puede evitarse (o por lo menos reducirse) la distorsión producida por las incertidumbres de temporizado para altas frecuencias. La precisión en el temporizado está determinada por la llave de conmutación en el amplificador de S&H, cuyo desempeño puede mejorarse, por ejemplo, utilizando técnicas de conmutación asistida (bootstrapping) de la señal de reloj. Ergo, un buen circuito de S&H es de suma importancia a la hora de diseñar un conversor AD [1].

A continuación se presenta una breve introducción al funcionamiento del circuito de sample and hold, sus especificaciones de performance, algunos de los efectos no ideales que deterioran su performance, y algunas de las soluciones propuestas en la literatura para aliviar o eliminar estos efectos.

### 3.1. Especificaciones de diseño de un S&H

Antes de analizar diferentes arquitecturas disponibles de amplificadores de sample and hold, es necesario definir algunas especificaciones de desempeño importantes que deben tenerse en

cuenta. Estas se definen en las subsecciones subsiguientes.

- **Tiempo de adquisición:** es la diferencia de tiempo entre el momento en el cual se da el comando de seguir la señal de entrada y el momento en el que el sistema responde al mismo. Esto se muestra en la Figura 3.1.

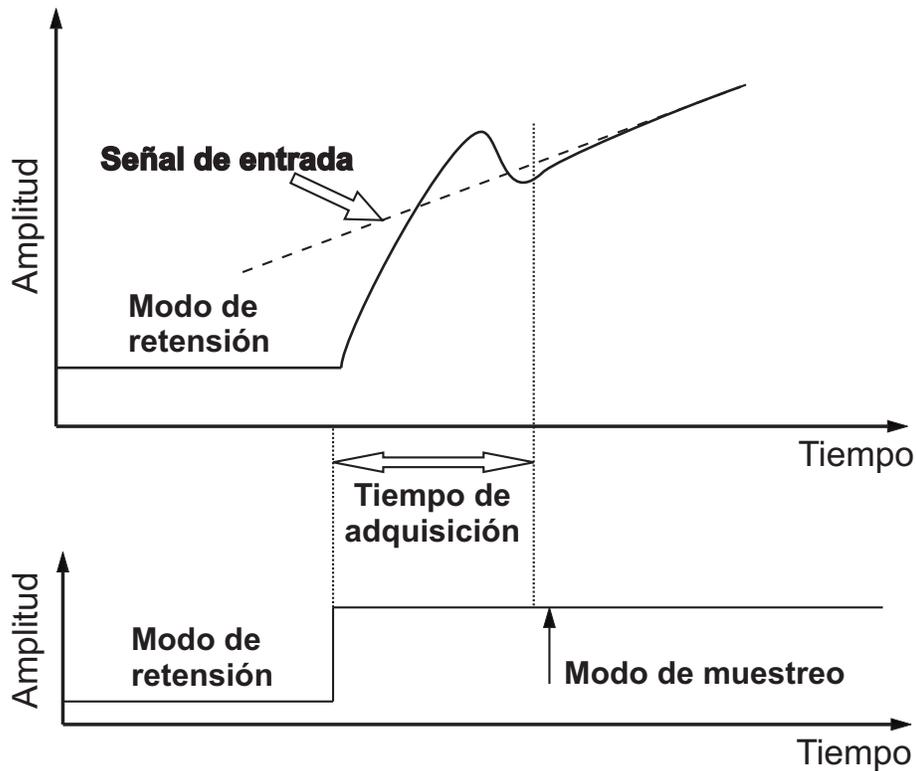


Figura 3.1: Tiempo de adquisición en un S& H.

El tiempo de adquisición define también la máxima frecuencia de muestreo aplicable al S&H. recién después de que este tiempo haya concluido, el sistema puede conmutar al modo de retención de la muestra.

- **Tiempo de apertura:** el tiempo de apertura en un amplificador de sample and hold se especifica como la diferencia de tiempo entre el comando de retención y el momento en el cual se toma realmente la muestra. La incertidumbre en el tiempo de apertura define el ruido de temporizado (time jitter, que se verá en las secciones subsiguientes), el cual produce uno de los mayores errores en este tipo de sistema. También determina el tiempo mínimo que debe transcurrir antes de que pueda darse el comando de iniciar la conversión. Este efecto se muestra en la Figura 3.2.

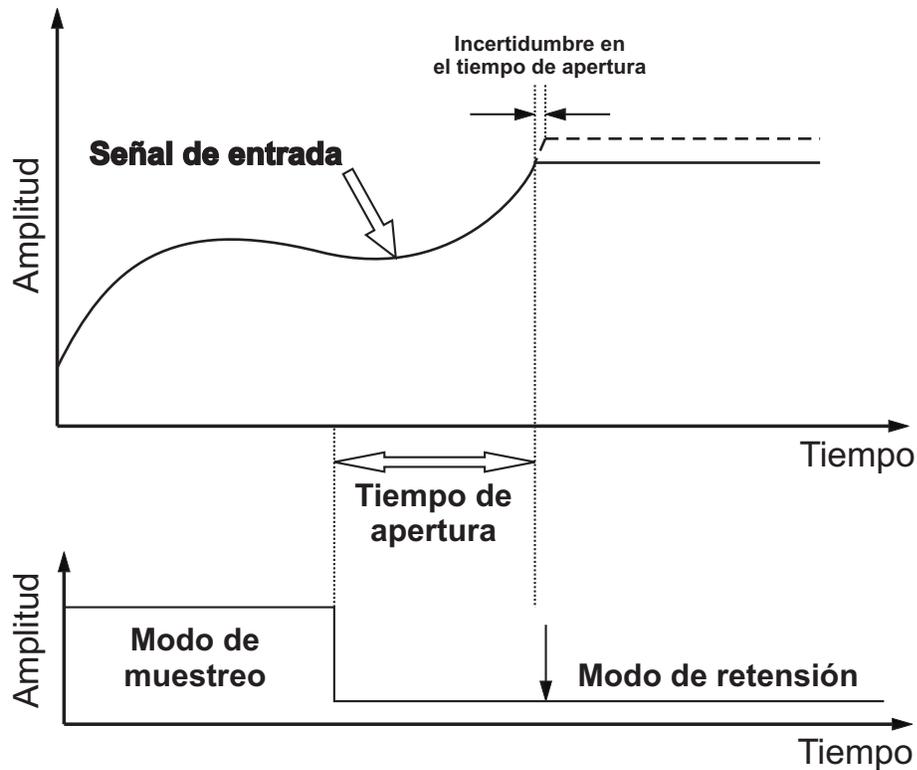


Figura 3.2: Tiempo de apertura en un S& H.

- Inyección de señal durante el modo de retención: cuando el amplificador de S&H se encuentra en el modo de retención, la señal de entrada debiese estar desconectada del valor de tensión retenido en el capacitor. Sin embargo, en sistemas reales, la llave de muestreo presenta una impedancia finita cuando está en modo corte. En especial, ante señales de alta frecuencia, el acoplamiento capacitivo sobre la llave de muestreo da como resultado cierta inyección de la señal de entrada que altera el valor de la tensión en el capacitor de retención de la muestra. Ergo, debe elegirse una arquitectura de sample and hold con una atenuación tal que este efecto sea lo menor posible.

Estos efectos, junto con otros más conocidos como por ejemplo la caída de tensión en el capacitor debido a corrientes de fuga, tiempos de establecimiento y pendiente máxima (slew rate), se muestran en la Figura 3.3

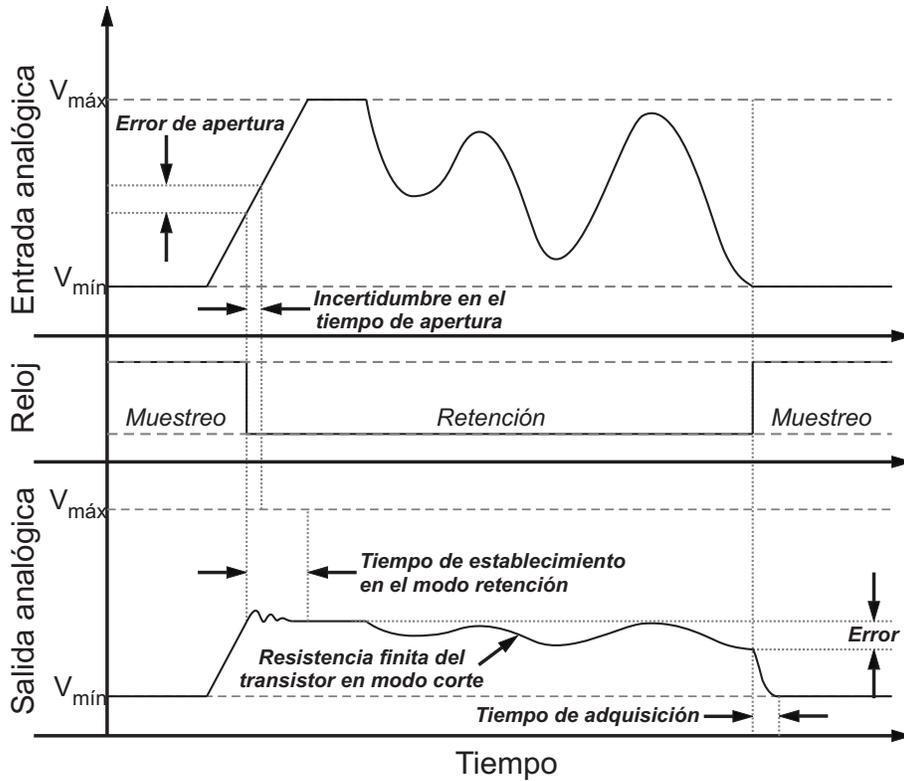


Figura 3.3: Especificaciones de un S& H.

### 3.2. Efectos no ideales en circuitos de S&H

El circuito de S&H mas simple en tecnología CMOS se muestra en la Figura 3.4, donde  $V_{Entrada}$  es la señal de entrada,  $M_1$  es un transistor MOS utilizado como switch (llave) para realizar el muestreo,  $C_h$  es el capacitor de retención de la muestra, *Reloj* es la señal de reloj que controla el switch, y  $V_{Salida}$  es la señal de salida resultante del S&H.

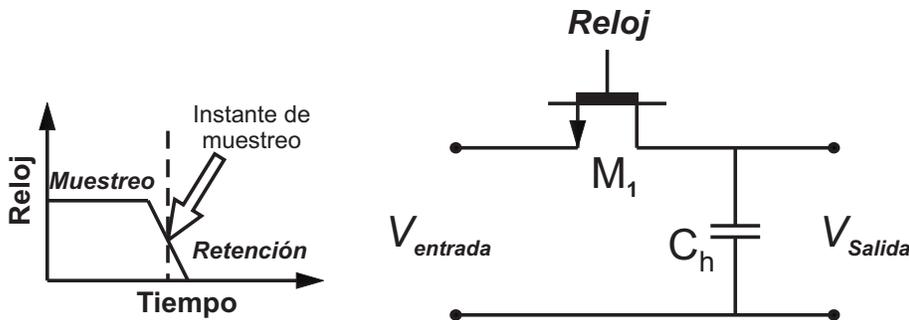


Figura 3.4: Ejemplo de un circuito posible para implementar un S& H.

El funcionamiento de este circuito en particular es bien simple: cuando la señal de reloj está alta, el transistor  $M_1$  permanece en la región de triodo y por lo tanto conduce, de manera que  $V_{Salida}$  es igual a  $V_{Entrada}$ . En cambio, cuando la señal de reloj esta baja, el transistor entra en región de corte y puede considerarse un circuito abierto. Durante este tiempo, el capacitor  $C_h$  queda cargado con el valor de  $V_{Entrada}$  al momento en que el reloj cambia de alto a bajo, reteniendo el valor de la muestra en  $V_{Salida}$  durante el resto del período de reloj.

Lamentablemente, el desempeño de este circuito no es ideal. Por un lado, la impedancia del transistor operando en la región de triodo no es nula, y tampoco es infinita la impedancia del transistor en la región de corte. Por otro lado, al apagar el switch, existen efectos de inyección de carga y propagación de la señal de reloj (clock feedthrough) que introducen errores y distorsión no lineal en la señal de salida del S&H. Además, la incertidumbre en los instantes de muestreo debidos al time jitter puede introducir errores severos en la cuantización en amplitud realizada por el ADC que sigue al S&H. Esto limita la performance del sistema, particularmente en los conversores AD de alta resolución.

A continuación, se explican con mayor detalle algunos de los efectos mencionados y se presenta una propuesta hallada en la literatura que busca minimizarlos.

### 3.2.1. Time jitter en un amplificador de S&H

Es conocido que la incertidumbre en el temporizado (time jitter) tiene influencia en la performance del sistema. De hecho, la pendiente de las señales aplicadas a un conversor A/D transforma las variaciones en el reloj de muestreo en una secuencia de error ruidosa que reduce el rango dinámico y/o introduce distorsión.

Para ejemplificar, supongamos que se aplica a un conversor AD una señal sinusoidal cuya frecuencia es cercana a la mitad de la frecuencia de muestreo. Es claro que la máxima pendiente de esta señal ocurre en los cruces por cero, y es mayor para señales de frecuencia más alta. Entonces, si el instante de muestreo varía entre  $t$  y  $t + \Delta t$ , entonces se produce una variación en amplitud entre  $A$  y  $A + \Delta A$ , como se muestra en la Figura 3.5.

Para evitar una pérdida de resolución significativa en el conversor, la variación en amplitud  $\Delta A$  debe ser igual o menor que el paso de cuantización. En otras palabras, la incertidumbre temporal  $\Delta t$  debe ser lo suficientemente chica para que la variación en amplitud correspondiente sea menor a un bit menos significativo (LSB) en señales de hasta la mitad de la frecuencia de muestreo.

Para una señal de entrada sinusoidal  $V_{in} = A \sin(\omega t)$ , en un conversor de  $n$  bits podemos hallar  $\Delta t$  como

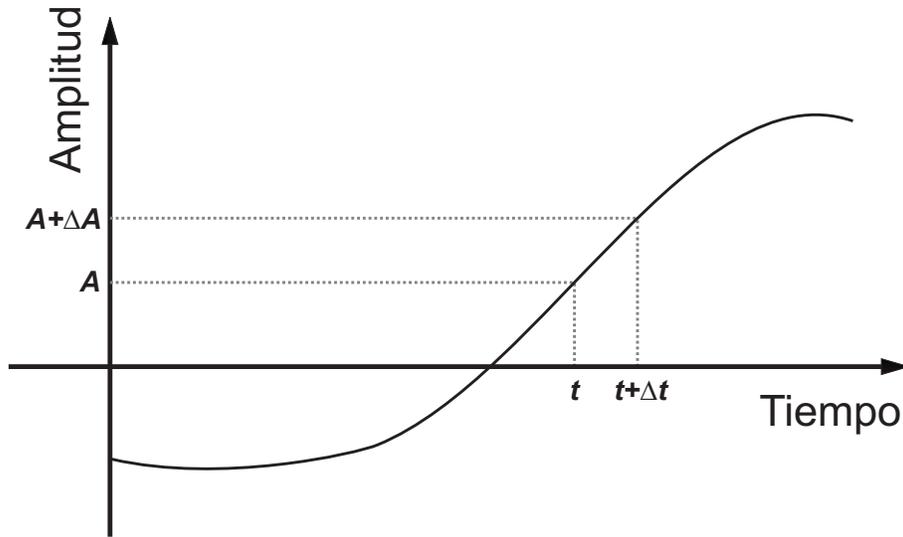


Figura 3.5: Incertidumbre de temporización en un S& H.

$$\Delta t = \frac{\Delta A}{Aw \cos(wt)} \quad (3.1)$$

donde la máxima variación en amplitud permisible para asegurar que no habrá errores de código debe ser igual a un LSB, i.e.

$$\Delta A = \frac{2A}{2^n} \quad (3.2)$$

de manera que reemplazando (3.2) en (3.1) y despejando  $\Delta t$  obtenemos

$$\Delta t = \frac{2^{-n}}{\pi f_{in} \cos(2\pi f_{in} t)} \quad (3.3)$$

donde  $f_{in}$  es la frecuencia de la señal de entrada.

Puede verse que la incertidumbre en el tiempo de muestreo depende del instante en el cual se muestrea la señal. Como la mayor pendiente en una señal sinusoidal está en sus cruces por cero, el  $\Delta t$  para  $t = k/f_{in}$  define la máxima variación admisible, ya que este para otros instantes de tiempo se producirá menos variación de amplitud (y por lo tanto menos error). Ergo, definimos

$$\Delta t_{max} = \frac{2^{-n}}{\pi f_{in}} \quad (3.4)$$

Podemos decir entonces que esto determina la precisión mínima requerida en el oscilador que funcionará como reloj de temporización del sistema para evitar errores en la muestra digital de salida del conversor AD que sigue al amplificador de S&H.

### 3.2.2. Inyección de carga

Un transistor MOS operando en la región de triodo tiene cargas móviles en su canal. Ahora, cuando el transistor pasa a la región de corte, una parte de esta carga se transfiere del canal al capacitor de retención de la muestra  $C_h$  a través del drenaje (drain). Este efecto se llama inyección de carga y la carga transferida al capacitor  $C_h$  determina el error total que produce a la salida.

El mecanismo de inyección de carga se muestra en la Figura 3.6.

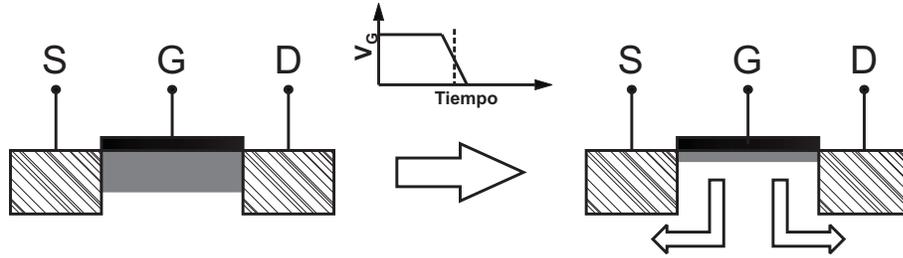


Figura 3.6: Inyección de carga.

Cuando el switch MOS está en modo de conducción, opera en la región de triodo y la caída de tensión entre la fuente (source) y el drenaje es aproximadamente cero. La carga presente en el canal bajo esta condición de funcionamiento está determinada por:

$$Q_{ch} = -WLC_{OX}(V_{GS} - V_T) \quad (3.5)$$

Donde  $W$  y  $L$  son el ancho y largo del canal respectivamente,  $C_{OX}$  es la capacidad por unidad de área de la compuerta (gate),  $V_{GS}$  es la tensión entre la fuente y la compuerta, y  $V_T$  es la tensión umbral del dispositivo.

Como la carga inyectada a la fuente a través de la fuente no tiene efecto sobre el valor de la tensión de salida, tomamos en cuenta solamente la carga inyectada sobre el capacitor  $C_h$  de retención. Sea  $k$  la fracción de carga del canal que fluye hacia  $C_h$ . Entonces, la variación en la tensión sobre el capacitor debido a esta inyección de carga está dada por:

$$\Delta V_{CI} = \frac{kQ_{ch}}{C_h} = -\frac{kWLC_{OX}(V_{GS} - V_T)}{C_h} \quad (3.6)$$

La fracción  $k$  depende tanto de las tensiones de fuente y drenaje, como de las impedancias vistas por ambos terminales del transistor. Como los parámetros  $k$  y  $V_{GS}$  dependen de la tensión instantánea de la señal de entrada, se produce distorsión no lineal en la señal de salida del S&H.

### 3.2.3. Propagación de la señal de reloj

Otra fuente de error es la propagación de la señal de reloj a través de las capacitancias parásitas entre la fuente y la compuerta, y entre la compuerta y el drenaje. Sin embargo, este error es altamente independiente de la señal de entrada y menos problemático. Este error se define como

$$\Delta V_{CF} = -\frac{(V_{DD} - V_{SS})C_p}{C_p + C_h} \quad (3.7)$$

donde  $C_p$  representa las capacitancias parásitas, y  $V_{DD}$  y  $V_{SS}$  son las tensiones alta y baja del reloj respectivamente.

Todo esto implica que es conveniente buscar implementaciones de circuitos de S&H donde se minimice el efecto de estos errores. Una alternativa interesante es el S&H de amplificador operacional conmutado [13].

### 3.3. S&H de amplificador operacional conmutado

Se basa en la idea de operar el MOS en la región de saturación en lugar de triodo durante el tiempo de conducción de la llave. De esta manera, el canal estará estrangulado y desconectado del drenaje. Si el capacitor de retención se conecta al drenaje, cuando el transistor sea polarizado en la región de corte toda la carga del canal será inyectada a la fuente, como se ve en la Figura 3.7.

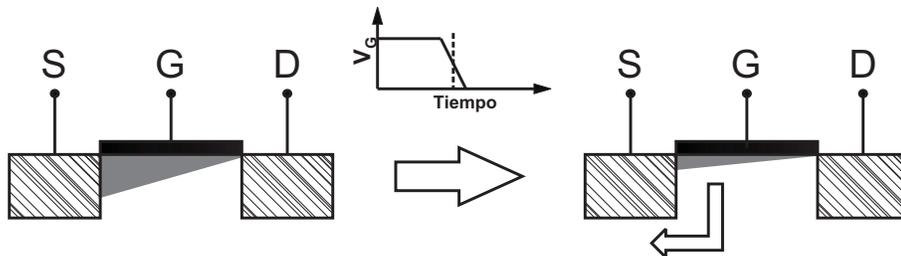


Figura 3.7: Minimización del efecto de inyección de carga.

De esta manera es teóricamente posible eliminar completamente el error por inyección de carga del canal sobre el valor de la muestra retenida por el capacitor  $C_h$ .

Siguiendo este concepto, en [13] se propone un S&H basado en un amplificador operacional en el cual los transistores MOS en el nodo de salida son apagados mientras están operando en la zona de saturación. Así se logra que no haya flujo de carga hacia el nodo de salida. El

error de propagación de reloj debido a la capacitancia parásita entre la compuerta y la fuente estará presente, pero es altamente independiente de la señal de entrada y puede ser cancelado utilizando una topología pseudo-diferencial.

El diagrama de este S&H se muestra en la siguiente Figura 3.8, junto con su implementación.

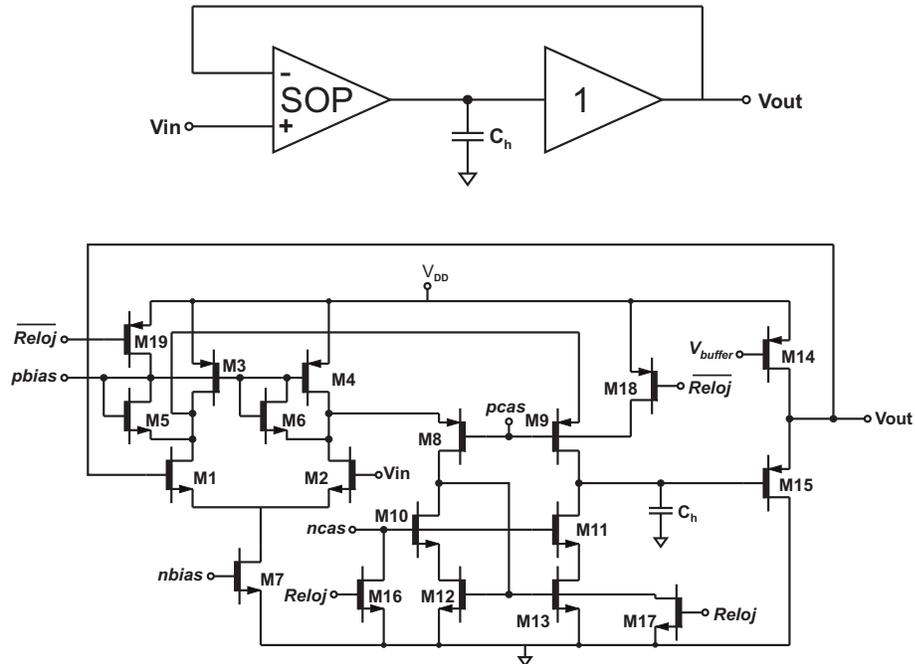


Figura 3.8: Diagrama del S&H mejorado y esquemático del amplificador que lo implementa.

Durante el modo de muestreo, el amplificador operacional conmutado (SOP) funciona como cualquier amplificador operacional, y la tensión de salida del S&H (en el nodo  $A$ ) es igual a la tensión de entrada. En el modo de retención, se apaga el SOP y el nodo  $A$  se mantiene en alta impedancia, de manera que se conserva la carga en  $C_h$ . El buffer de salida opera durante ambos modos y provee en su salida la tensión muestreada en el capacitor.

Para reducir el error de propagación de reloj, se puede utilizar una topología pseudo-diferencial duplicando el circuito. Si ambas mitades del circuito son idénticas, este offset también se eliminaría por completo.

Los transistores 1 al 13 forman un operacional tipo cascode, los transistores 14 y 15 forman el buffer de salida, y los transistores 16 al 19 se agregan para apagar el operacional al final del tiempo de muestreo.

### 3.4. Conclusión

En este capítulo se presentaron los fundamentos teóricos de los amplificadores de S&H, presentes en gran número de arquitecturas de conversión analógico-digital. En particular, se definieron las especificaciones habituales para estos amplificadores y algunos de los efectos que deterioran su desempeño, junto con una arquitectura que tiende a minimizarlos.

En el capítulo subsiguiente, se analizarán algunos de los efectos no ideales que afectan el desempeño en distintos ADCs y se definirán las métricas de performance más comúnmente utilizadas en la literatura.

## Capítulo 4

# Métodos de compensación y métricas de desempeño

La compensación requerida puede hacerse básicamente de dos maneras. La primera consiste en medir la relación de entrada-salida del conversor y aplicar una calibración externa. Este tipo de modelo se conoce como tipo caja negra [30]. Este método tiene como ventaja que no es necesario conocer detalladamente las causas, ni la física, que gobierna cada una de las no linealidades presentes a la salida. Simplemente se mide su comportamiento conjunto y se aplica un circuito externo que compense la respuesta en el punto de trabajo requerido.

La desventaja evidente consiste en que la solución será fuertemente dependiente del punto de trabajo en el cual el conversor va a ser utilizado, es decir el rango dinámico y de frecuencias de la señal de entrada. Esto quiere decir que la calibración deberá hacerse cada vez que la señal de entrada cambie significativamente, con el costo computacional y la pérdida de eficiencia que esto implica. En otras palabras, se requiere un entrenamiento periódico del circuito calibrador.

La segunda posibilidad, el modelado de tipo caja blanca, consiste en modelar cada subsistema del conversor analógico-digital en términos circuitales para identificar el comportamiento no lineal de cada elemento en base a las leyes físicas que los gobiernan. De esta manera es posible diseñar compensaciones internas en base a las leyes físicas que gobiernan estos fenómenos y la interacción entre ellas. El resultado será una compensación mucho más exacta e independiente de las señales de entrada aplicadas al conversor. Otra ventaja es que una vez terminado el diseño, incluidas las compensaciones internas, se puede integrar todo en el mismo chip.

El costo de ésta solución es una mayor complejidad en el diseño del circuito del conversor, y la falta de flexibilidad. Si se desea calibrar una arquitectura de conversor distinta, habrá que recomenzar todo el proceso de estudio, modelado y diseño.

La tercera posibilidad es utilizar modelos de tipo caja gris. Esta alternativa es un compromiso entre las dos opciones anteriores, ya que se utilizan datos de entrada-salida, pero también se utiliza información adicional sobre la física de los fenómenos no lineales que afectan al circuito. De esta manera, pueden seleccionarse estructuras de compensación particulares que se ajusten mejor que otras a la dinámica del ADC en estudio.

En las secciones siguientes se verán dos de los métodos de compensación más difundidos. El primero es la corrección de errores mediante tablas (Look-up Tables o LUTs) utilizando datos de entrada-salida. El segundo es la inversión (o linealización) de un modelo que represente las distorsiones (o el conversor).

#### 4.1. Tablas de corrección de errores (Look-up Tables)

La post-compensación por tablas de corrección (LUTs) es uno de los métodos más frecuentemente propuestos para la corrección de errores en un conversor AD. La idea básica del método es utilizar las muestras de salida del conversor para generar una dirección de memoria (o índice). Con esta dirección se accede a una entrada particular de la tabla donde previamente haya sido guardado un valor de corrección que se suma o reemplaza a la muestra actual de salida [15]. Este proceso se muestra en la Figura 4.1

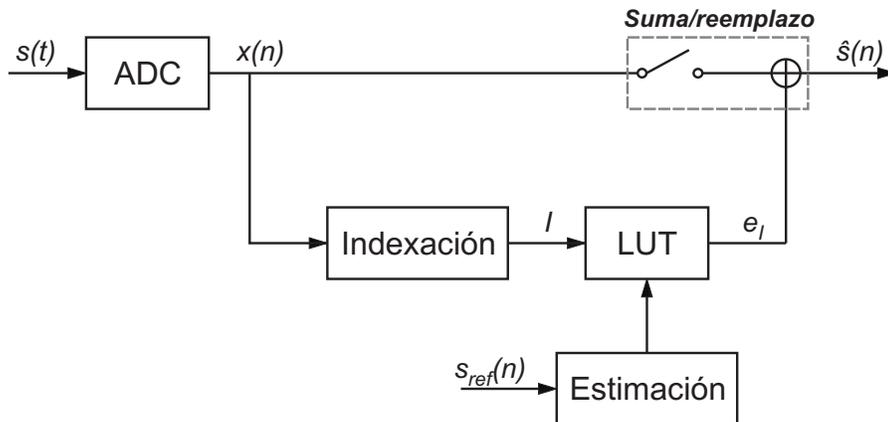


Figura 4.1: Esquema general de un sistema de corrección por tablas (LUTs).

Los bloques o partes que forman el sistema de corrección por tablas pueden dividirse en:

- Esquema de indexación: determina de qué manera se genera el índice  $I$  de direccionamiento de la tabla a partir de la muestra de salida actual del conversor.

- Corrección o reemplazo: la tabla puede utilizarse tanto para guardar los valores de corrección que deben ser sumados a la muestra en cuestión, como para guardar valores que reemplacen directamente la muestra obtenida con el conversor.
- Señal de referencia: Existen diferentes formas de obtener una señal de referencia. Se utiliza para la calibración de la tabla y por lo tanto su elección es fundamental.
- Métodos de estimación: Estrategias sobre cómo obtener los valores de la tabla a partir de la señal de referencia.

En las secciones que siguen se describirán en detalle cada uno de estas partes que componen el sistema.

#### 4.1.1. Métodos de indexación

Es la parte más significativa del sistema de LUT dado que determina el tamaño y la estructura de la tabla que será implementada. La diferencia entre un esquema de indexación y otro es básicamente cómo se mapean las muestras de salida de conversor en la dirección de memoria correspondiente donde se encuentra el valor guardado en la tabla [15].

Existen tres alternativas distintas para generar el índice de memoria  $I$  donde se guarda el valor de corrección o reemplazo en la tabla. La primera opción es la *indexación estática*, donde el índice  $I$  es directamente la palabra digital de  $n$  bits correspondiente a la muestra actual provista por el conversor. No depende de valores de las muestras pasadas. Tiene como ventaja que requiere la mínima cantidad de memoria, que a su vez puede reducirse más descartando algunos bits menos significativos. Sin embargo, este esquema no tiene en cuenta la dinámica de la señal muestreada y está demostrado que puede mejorar la performance del conversor en determinadas frecuencias y deteriorarla en otras al mismo tiempo.

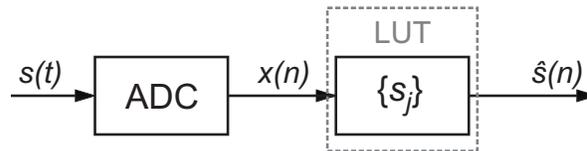
Otra opción es la *indexación en espacio de estados*. Una forma de introducir información sobre la dinámica de la señal de entrada consiste en utilizar la muestra presente y la anterior para generar el índice de direccionamiento  $I$ . Básicamente si la palabra digital provista por el conversor es de  $n$  bits, se concatenan la palabra actual con la anterior y se obtiene un índice de  $2n$  bits de longitud. Este método puede generalizarse utilizando  $k$  muestras pasadas junto con la muestra actual para obtener el índice  $I$ , pero la memoria necesaria para guardar la tabla crece exponencialmente con  $k$ . Una forma de ahorrar memoria es por ejemplo representar las muestras pasadas con menos bits.

Finalmente, puede utilizarse un sistema de *indexación por plano de fase*. En este caso el índice de direccionamiento para la tabla se construye a partir de la muestra presente y una estimación de

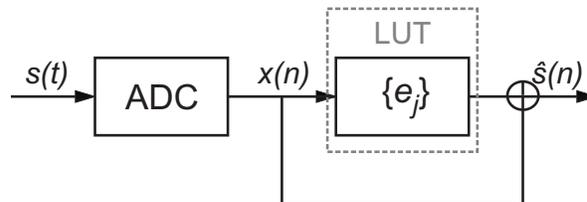
la pendiente de la señal de entrada. Esta estimación de la pendiente puede obtenerse haciendo la diferencia entre la muestra actual y la anterior, utilizando un filtro FIR derivador, o utilizando un derivador analógico muestreado por otra ADC de forma separada. También puede generalizarse para utilizar las primeras  $k$  derivadas de la señal. En general, si se utiliza sólo información sobre la pendiente de la señal, el tamaño final de la tabla resulta significativamente menor que en el caso de indexación en espacio de estados. Sin embargo, existe una complejidad adicional en el cálculo de la pendiente de la señal.

#### 4.1.2. Reemplazo vs. Corrección

Si el ADC produce un error  $e_I$  como diferencia entre cierto valor nominal y la salida del conversor para determinado índice  $I$ , entonces un esquema de corrección guardará  $e_I$  en la tabla. Por otro lado, ante la misma situación un esquema de reemplazo guardará  $x + e_I$ , donde  $x$  es la salida del conversor. Estos procedimientos se muestran en la Figura 4.2



a) Corrección por reemplazo.



b) Corrección aditiva.

Figura 4.2: a) Corrección basada en reemplazo. b) Corrección por adición del error cometido.

Desde el punto de vista de la implementación, el esquema de reemplazo es conveniente dado que no se requiere el cálculo de sumas durante la corrección.

#### 4.1.3. Calibración de LUTs

Evidentemente, es necesario calibrar experimentalmente la tabla de corrección antes de usarla por primera vez. Para esto se aplica una señal a la entrada del conversor AD y se determinan

sus características de transferencia observando la salida. La mayoría de los métodos requieren una señal de referencia en el dominio digital con la cual se compara la salida del conversor.

Básicamente existen dos métodos para obtener esta señal de referencia. La primera consiste en utilizar un conversor de referencia que muestree la misma señal que el conversor que queremos compensar. La segunda opción es generar una señal directamente en el dominio digital, para luego convertirla al dominio analógico mediante un DAC de alta calidad, y aplicarla a la entrada del conversor AD.

Otra alternativa consiste en estimar la señal de referencia aplicando métodos de procesamiento de señales a la salida del conversor AD. Se ha propuesto por ejemplo el uso de señales de referencia sinusoidales en conjunto con técnicas de filtrado óptimo para extraer una estimación de la señal de referencia. Este método puede mejorarse para incluir técnicas de filtrado adaptivo, adaptando a una señal de calibración que conmuta entre varias frecuencias.

Una vez obtenida la señal de referencia, se pueden estimar los valores con los cuales se llenará la tabla.

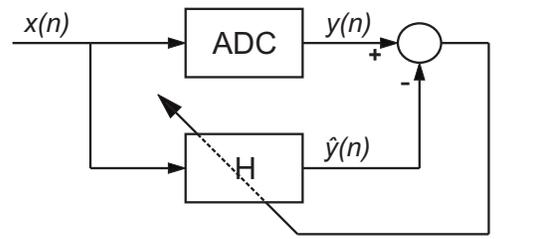
## 4.2. Inversión de modelo

Este esquema de corrección de no linealidades en conversores AD se basa en algún modelo matemático del sistema y su inverso. Generalmente, el primer paso consiste en identificar un modelo del conversor que describa aproximadamente la relación entrada salida de las señales. Entonces se puede calcular el inverso de este modelo y utilizarlo a la salida de conversor AD para reducir o cancelar la distorsión no deseada. Este procedimiento se muestra en la Figura 4.3.

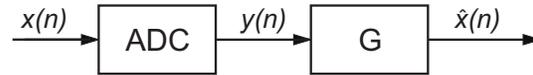
Otra alternativa consiste en identificar directamente el sistema inverso, minimizando alguna función error apropiada como lo es por ejemplo el error medio cuadrático. Este segundo método, conocido también como modelo inverso adaptivo, tiene un costo computacional mucho mayor que la obtención analítica del modelo inverso (Figura 4.4).

Tanto para el modelo como para su inverso pueden utilizarse sistemas tipo Wiener, Hammerstein, Volterra, redes neuronales, etc. En general, los modelos utilizados serán sistemas no lineales dinámicos.

En el caso de que el sistema pueda representarse mediante un modelo de Volterra, este podrá ser p-linealizado con un modelo de complejidad similar [35].



a) Identificación del modelo.



b) Post-distorsión.

Figura 4.3: Sistema de postcorrección por inversión de un modelo previamente identificado.

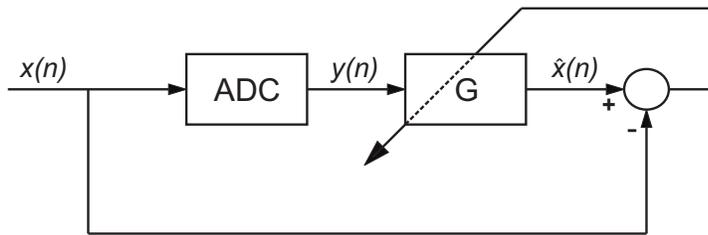


Figura 4.4: Sistema de postcorrección por inversión de modelo en línea.

### 4.3. Parámetros de medida de la no-linealidad de un ADC

Antes de pensar en compensar un convertor AD cuyo funcionamiento no es satisfactorio en términos de tasa de error en la conversión, es necesario saber qué efectos se quieren compensar, que parámetros de performance esperamos que mejoren al hacerlo, y cuál es el desempeño ideal.

Este capítulo está orientado a contestar estas interrogantes al presentar brevemente las métricas usualmente utilizadas para medir la no-idealidad en el comportamiento de un convertor AD, así como también las medidas de desempeño más comúnmente halladas en la literatura.

#### 4.3.1. No linealidad integral (INL)

La no linealidad integral es la diferencia entre el voltaje analógico ideal que debiera causar la transición del código de salida  $k - 1$  al  $k$ , y el voltaje real que causa esa transición [1], [15]. Se calcula después de corregir offset y ganancia. Esta corrección se hace de manera tal que se minimice la ecuación 4.1

$$\epsilon[k] = T_k - GT[k] - V_{OS} \quad (4.1)$$

donde  $T_k$  es el voltaje analógico que causaría una transición en un ADC ideal y  $T[k]$  es el voltaje real que causa esa transición. Entonces, la no linealidad integral (porcentual con respecto al rango total del conversor, luego de corregir el offset y la ganancia) puede expresarse como se ve en la ecuación 4.2.

$$INL[k] = \frac{100\epsilon[k]}{2^B Q} \quad (4.2)$$

donde  $Q$  es el voltaje analógico equivalente a un LSB, y  $B$  es el número de bits de resolución del conversor.

### 4.3.2. No linealidad diferencial

La no linealidad diferencial es la diferencia  $W[k]$  entre los voltajes que causan dos transiciones de códigos consecutivos (de la función transferencia) y el valor  $Q$  ideal. Es por eso que también puede definirse como  $INL[k+1] - INL[k]$ . Por lo general se expresa referido a  $Q$ :

$$DNL[k] = \frac{W[k] - Q}{Q} \quad (4.3)$$

Se considera que hay una palabra de código perdida cuando se satisface que

$$DNL[k] \leq -0,9 \quad (4.4)$$

En la Figura 4.5 se muestran los gráficos de entrada-salida de un conversor ideal (línea de puntos) y un ADC real (línea llena), donde se muestra un ejemplo de  $INL$  y otro de  $DNL$  respectivamente.

## 4.4. Parámetros de desempeño espectral

### 4.4.1. Relación señal a ruido (SNR)

En un ADC ideal, es la relación entre la potencia de la señal de entrada y la potencia del ruido de cuantización a la salida del conversor [1]. Se define para una señal de entrada senoidal pura cuya amplitud es máxima, i.e., coincide con el rango de tensión de entrada del ADC. Puede demostrarse que en este caso la relación señal a ruido es aproximadamente

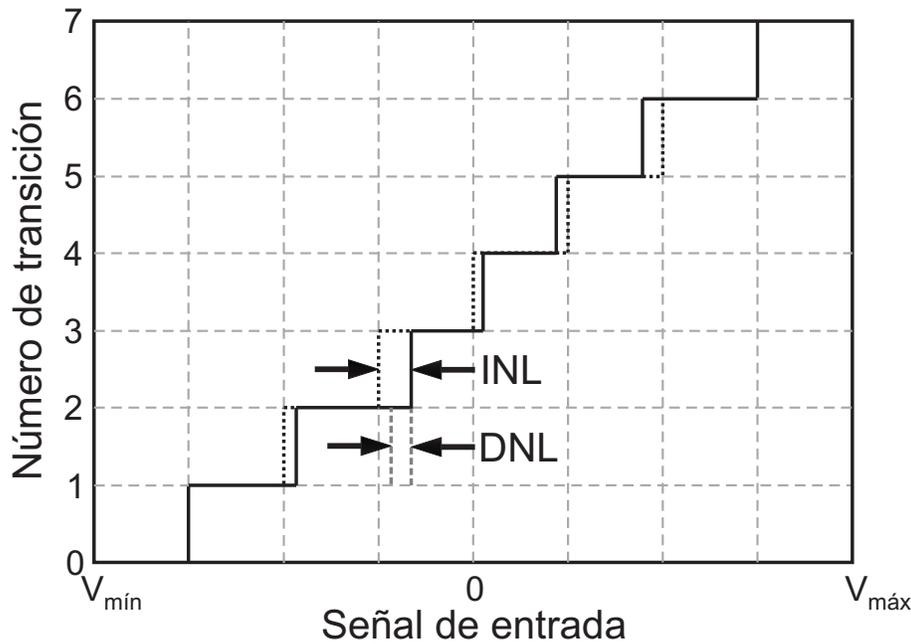


Figura 4.5: Ejemplo de INL y DNL.

$$SNR[dB] \cong 6n + 1,72 \quad (4.5)$$

donde  $n$  es el número de bits de resolución del conversor.

#### 4.4.2. Rango dinámico libre de espurios (SFDR)

Para una señal de entrada sinusoidal pura de amplitud y frecuencia especificadas, el SFDR se define como la relación entre la amplitud de la señal de salida a la frecuencia de entrada, y la amplitud del máximo componente armónico.

#### 4.4.3. Distorsión armónica total (THD)

Se define como la potencia de todas las componentes de distorsión armónicas en el espectro de la señal de salida del ADC (incluyendo sus alias), para una señal de entrada sinusoidal pura de amplitud y frecuencia especificadas. Por lo general, la THD se aproxima como la potencia de los armónicos desde el segundo hasta el décimo. A veces la THD se expresa como la relación en decibeles con respecto a la potencia de la señal de salida a la frecuencia de entrada.

La THD es una figura de mérito conveniente para evaluar la no linealidad de un ADC, dado que los efectos no lineales se traducen en armónicos distorsivos en la señal de salida. Esto quiere

decir que al minimizar la THD en realidad estamos reduciendo la distorsión no lineal, es decir linealizando.

#### 4.4.4. Número efectivo de bits

Es el número de bits de un ADC ideal para el cual el valor eficaz del error de cuantización es igual al valor eficaz del ruido más la distorsión en el ADC en evaluación [1].

El ENOB o número efectivo de bits se despeja de la ecuación:

$$SINAD[dB] \cong 6ENOB + 1,72 \quad (4.6)$$

Para un ADC ideal, la  $SNR$  tiene en cuenta sólo el ruido de cuantización. Evidentemente, para un ADC real,  $SNR$  se reemplaza por  $SINAD$ , donde  $SINAD$  tiene en cuenta el error de cuantización sumado a todos los errores provenientes de las no idealidades del ADC y la distorsión no lineal.

Esta suma de errores que no están presentes en un conversor ideal, reducen la  $SINAD$ , o equivalentemente reducen el  $ENOB$ . Entonces lo que se obtiene es un  $ENOB$  efectivo con respecto al de un ADC ideal.



## Capítulo 5

# Modelado y post-compensación de no linealidades en conversores Sigma-delta en tiempo continuo

### 5.1. Introducción

Recientemente, la necesidad de contar con ADCs de alta resolución y bajo consumo, especialmente para aplicaciones móviles, atrajo mucha atención hacia las arquitecturas de tipo sigma-delta para la conversión de señales. Estos dispositivos combinan cuantización de baja resolución con sobre-muestreo y moldeo de ruido a fin de reducir el ruido en la banda de interés y por lo tanto incrementar el rango dinámico. En particular, los conversores sigma-delta en tiempo continuo (CT SDCs) parecen ser una opción atractiva debido a sus propiedades inherentes de anti-aliasing y su baja complejidad circuital, por nombrar algunas de sus características salientes [1]. Estructuras de tipo sigma-delta han sido propuestas para un gran número de aplicaciones, incluyendo DVB-T (Digital Video Broadcasting-Terrestrial) [2] [3] [4] y Bluetooth [5]. Además, proveen una elección flexible entre resolución y ancho de banda, por lo que resultan una opción altamente viable y de interés reciente para arquitecturas de tranciever multi-estándar que combinen por ejemplo GSM/WLAN/bluetooth [6] [7].

A pesar de sus propiedades atractivas, el comportamiento no ideal en el circuito del modulador deteriora el desempeño del conversor dando como resultado distorsión armónica y un incremento del ruido en la banda de interés, lo que reduce el número efectivo de bits (ENOB) en el conversor. Una solución posible para reducir esta distorsión es el uso de técnicas de post-compensación digital basadas en modelos. Estas técnicas en general se basan en aplicar otra

distorsiona la salida digital del conversor que cancele las distorsiones originales presentes a la salida del dispositivo [17], [18], y pueden dividirse en dos pasos. Primero se entrena el post-compensador (fuera de línea) utilizando datos de entrada-salida del CT SDC, y luego se aplica el compensador estimado a la salida del conversor. Esta metodología involucra cierto procesamiento digital extra, i. e., algunas multiplicaciones y sumas en el dominio digital para obtener la muestra de salida corregida.

A fin de obtener una estructura adecuada para el compensador, resulta necesario conocer y comprender primero el comportamiento no ideal de los CT SDMs. En este sentido, varios estudios parciales fueron llevados a cabo en la literatura sobre el tema. Por ejemplo, en [19] [20] [21] se analiza la no linealidad en el integrador modelando los efectos del cuantizador como una fuente de ruido blanco aditivo de distribución uniforme. En [20] y [21], se desarrolla un modelo de Volterra para CT SDMs con cuantización multibit siguiendo la suposición de ruido aditivo. En otra línea, en [22] se analizan los efectos no ideales en el conversor digital-analógico DAC y en [23] se discute una nueva interpretación sobre los efectos del cuantizador. Sin embargo, ninguno de los trabajos mencionados ofrece una descripción completa del modulador sigma-delta incluyendo todos estos efectos de manera conjunta.

En este capítulo, proponemos esquemas de post-compensación eficientes basados en modelos finitos de Volterra para este tipo de conversores, manteniendo baja la complejidad para el procesamiento en línea requerido. Para ello, en primer lugar desarrollamos un modelo de comportamiento para estos dispositivos mediante el estudio de los distintos elementos que componen el modulador y considerando todos sus efectos sobre el sistema. Como el modelo de comportamiento presenta no linealidades suaves, es posible considerar modelos finitos de Volterra para capturar todas las características mencionadas. Este modelo de Volterra permite el diseño y uso de modelos de post-compensación y las correspondientes técnicas de estimación de parámetros [28].

## 5.2. Modelo de comportamiento para un SDM

La hipótesis general para una estrategia de post-compensación utilizando modelos finitos de Volterra considera que el comportamiento del SDC puede describirse adecuadamente mediante un sistema que presenta no linealidades suaves. En esta sección estudiamos los efectos no lineales presentes en un SDM para evaluar la validez de esta hipótesis. Comenzamos por el SDM ideal que se muestra en la Figura 5.1, que consiste en tres bloques (integrador, cuantizador y DAC) conectados en un lazo de realimentación. Luego, en las subsecciones siguientes consideramos un modelo para cada bloque introduciendo los efectos reales que apartan al SDM de su

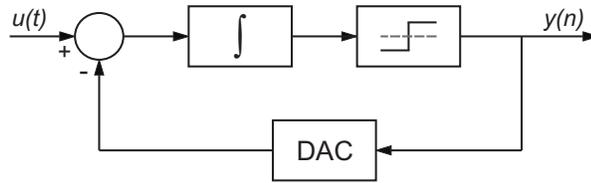


Figura 5.1: Diagrama en bloques de un CT SDM ideal.

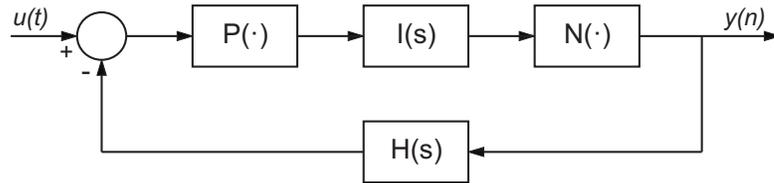


Figura 5.2: Diagrama en bloques equivalente de un CT SDM reemplazando todos los elementos por sus modelos correspondientes.

comportamiento ideal con el objetivo de encontrar un modelo equivalente orientado a bloques como el que se muestra en la Figura 5.2, que representa al SDM no ideal. En el diagrama,  $P(\cdot)$  y  $N(\cdot)$  representan no linealidades estáticas suaves, e  $I(s)$  y  $H(s)$  representan bloques lineales dinámicos (FIR).

### 5.2.1. No linealidades en el integrador

Uno de los principales factores que limitan la SINAD máxima obtenible en un conversor analógico digital tipo sigma-delta es la no linealidad en el integrador [19]. Esta fuente de deterioro en el desempeño del sistema es particularmente significativa en el caso de los SDCs en tiempo continuo, dado que los SDCs en tiempo discreto utilizan circuitos de capacitores conmutados donde los efectos dominantes están determinados por otros factores como la dispersión entre el valor de los distintos capacitores y efectos asociados al comportamiento no ideal de las llaves.

En el caso de los integradores en tiempo continuo, la linealidad del integrador está limitada por el efecto no lineal de la transconductancia del amplificador operacional, y se manifiesta en la corriente de salida del integrador [20]. Desde este punto de vista, los integradores en tiempo continuo pueden aproximarse como la conexión en cascada de un operador no lineal estático y un integrador ideal representado por un sistema lineal dinámico [19]. En el caso de estructuras completamente diferenciales, que son las que usualmente se utilizan en los amplificadores que implementan el integrador, los términos de orden par pueden despreciarse por el rechazo en modo común. Suponiendo este tipo de estructura aquí, el operador no lineal tendrá únicamente términos impares [20][21].

En general, puede considerarse que una no linealidad de tercer orden resulta suficiente para capturar los principales efectos no lineales en el integrador [20] [21]. Ergo, bajo estas condiciones el operador no lineal estático está dado por

$$f(x) = ax - bx^3,$$

donde  $x$  es la señal de entrada al integrador, y  $a$  y  $b$  son constantes que dependen de la transconductancia de los transistores utilizados en el integrador. Un diagrama en bloque del CT SDM incluyendo el integrador no ideal puede obtenerse reemplazando  $P(\cdot)$  por  $f(x)$  en la Figura 5.2.

### 5.2.2. Modelo para el comportamiento no ideal del DAC de realimentación

Cualquier arquitectura de SDC binaria de primer orden incluye un conversor analógico-digital (DAC) en el lazo de realimentación. Este dispositivo introduce efectos no ideales que deben ser tenidos en cuenta cuando se requiere un modelo preciso. A fin de analizar estos efectos, presentamos un modelo basado en los resultados discutidos en [22].

Dada una señal binaria diferencial  $y(n)$  a la entrada de un DAC de un bit, podemos definir su salida como

$$y(t) = \sum_{n=-\infty}^{\infty} y_0(n)h(t - nT) \quad (5.1)$$

donde  $T$  es el período del reloj, e  $y_0(n)$  se define como

$$y_0(n) = \begin{cases} +V_{ref} & \text{if } y(n) \geq 0 \\ -V_{ref} & \text{if } y(n) < 0 \end{cases}$$

con  $V_{ref}$  como la tensión de referencia del DAC, y

$$h(t) = \begin{cases} 1 & \text{if } 0 < t < T \\ 0 & \text{otherwise} \end{cases} \quad (5.2)$$

es un dispositivo de muestreo y retención ideal para el DAC.

Este modelo puede modificarse para incluir efectos adicionales existentes en circuitos reales, como retardos de propagación y cambios no instantáneos entre los valores positivo y negativo de la tensión de referencia. Para este propósito, la función  $h(t)$  en (5.2) puede reemplazarse por la

respuesta de un filtro de primer orden, generando un cambio de tensión exponencial a la salida del DAC, i. e.,

$$h(t) = 1 - e^{-t/\tau} \quad (5.3)$$

que tiene la siguiente transformada de Laplace

$$H(s) = \frac{1}{1 + s\tau} \quad (5.4)$$

donde  $\tau$  es la constante de tiempo del circuito, determinada por el slew rate de los transistores que limitan el tiempo de respuesta del DAC. Nótese que la respuesta del DAC sigue siendo lineal.

### 5.2.3. Sobre la linealización del cuantizador

En un CT SDC de primer orden y cuantización de un bit, el cuantizador (usualmente un comparador) puede modelarse mediante la función signo, que es fuertemente no lineal. Sin embargo, como se discute en esta sección, el moldeo de ruido de cuantización junto con el sobremuestreo y la naturaleza realimentada del SDM linealizan el cuantizador en la banda de la señal [23]. De hecho, el error de cuantización es reducido en la banda de la señal, y el ruido de cuantización en frecuencias superiores es filtrado con el filtro de decimación posterior.

La no linealidad de una función transferencia estática puede ser drásticamente reducida utilizando una señal aditiva tipo dither con oscilaciones de alta frecuencia <sup>1</sup> a la entrada del elemento no lineal [23]. Para que esto ocurra, la señal de dither debe satisfacer la condición de tener una frecuencia fundamental mucho mayor que el ancho de banda de la señal de entrada. Sin embargo, en el caso de sistemas no lineales en tiempo discreto, la salida contiene subarmónicos de la señal de dither que pueden solaparse en la banda de la señal. Este efecto se denomina inyección de ruido de la señal de dither [23].

---

<sup>1</sup>En el campo de procesamiento de señales, una señal de dither aditiva es usualmente una señal de ruido pseudo-aleatorio que se suma a la entrada de un ADC a fin de decorrelacionar el ruido de cuantización de la señal de entrada analógica al mismo [1]. Por otro lado, la misma técnica es utilizada en control de sistemas no lineales pero el objetivo es diferente. En este caso, una señal senoidal de alta frecuencia es utilizada para cambiar el comportamiento de una no linealidad de manera tal que se produce un efecto de promediado. Este efecto se debe a la convolución entre la no linealidad y la distribución de amplitud de la señal senoidal [36]. Puede mostrarse en este caso que el elemento no lineal, generalmente una no linealidad fuerte o discontinua, se comporta como un elemento no lineal más suave en el rango de bajas frecuencias. En esta sección, utilizamos la segunda interpretación de dither.

A lazo abierto, el efecto de la señal de dither es tal que el cuantizador presenta una no linealidad mucho más suave en el ancho de banda de la señal de entrada. Si la señal de dither es una senoidal de amplitud  $A_d$ , y su frecuencia es mucho mayor que el ancho de banda de la señal de entrada, entonces la señal de salida (luego de filtrarla con un pasabajos) puede escribirse como [23]

$$y_{lp} = \frac{2}{\pi} \sin^{-1} \left( \frac{x}{A_d} \right) \approx \frac{2}{\pi A_d} x; \quad x \ll A_d$$

Por lo tanto, la señal de dither linealiza el cuantizador en el ancho de banda de la señal. Si el ruido de inyección de la señal de dither es despreciable, entonces este modelo es un equivalente a lazo abierto de un SDM con cuantización de un bit. Debido a la estructura realimentada, el efecto de inyección de ruido puede reducirse aún más mediante un filtro de alta ganancia en la banda de la señal. El integrador en el camino directo de la señal en un SDM se corresponde con tal descripción.

A fin de generar la señal de dither, se requiere un oscilador compuesto por una alta ganancia dinámica seguida de un elemento no lineal estático. Es el caso del integrador seguido por un comparador en un CT SDM con cuantización de un bit. Ergo, en un SDM, la entrada del cuantizador contiene una señal de dither. Como conclusión general, en este contexto el modelo del cuantizador puede describirse bien mediante un sistema no lineal estático suave. Por lo tanto, si  $x(t)$  es la entrada al comparador, podemos modelar su salida con un polinomio de orden  $p$  de la forma

$$b[x(t)] = x(t) + k_1 x^2(t) + \dots + k_{p-1} x^p(t)$$

donde  $k_i$  ( $i = 1, \dots, p-1$ ) son los coeficientes del polinomio. Como se sugiere en la ecuación (5.5), la salida del comparador es aproximadamente lineal, y entonces  $p \leq 3$  debiera ser suficiente.

En el caso de un SDM con cuantización multibit, la suposición usual consiste en considerar que el ADC multibit en el camino directo de la señal puede reemplazarse por una fuente de ruido aditivo [1] [20] [21]. Además, se considera que es una fuente de ruido blanco de distribución uniforme en el intervalo entre  $-LSB/2$  y  $+LSB/2$ , donde  $LSB$  es el paso de cuantización. Sin embargo, esta es una aproximación para ADCs de alta resolución. Si consideramos un cuantizador multibit de baja resolución, i. e., de hasta 4 bits (que es usualmente el caso en SDMs), entonces debería considerarse otra alternativa para su modelado.

Consideremos ahora un SDM con cuantizador multibit. Si suponemos un cuantizador tipo flash<sup>2</sup> de  $B$  bits con código termométrico, la salida del DAC multibit en la rama de realimentación puede escribirse como

$$y(t) = b_0(t) + b_1(t) + \dots + b_B(t) \quad (5.5)$$

donde  $b_i$  es el  $i$ -ésimo bit correspondiente a la salida del comparador  $i$ , con diferentes tensiones de referencia para cada  $i = 1, 2, \dots, B$ . Como un cuantizador de un bit en un SDM es linealizado en la banda de interés (y por lo tanto puede modelarse como una no linealidad estática suave), cada bit  $b_i$  en (5.5) puede representarse arbitrariamente bien con un polinomio como el de la Ecuación (5.5). Entonces,  $y(t)$  puede representarse como una suma de polinomios, que a su vez resulta en otro polinomio. Por lo tanto, el cuantizador multibit también puede modelarse como un sistema no lineal estático suave.

#### 5.2.4. Modelo de comportamiento completo

Como fue discutido de la Sección 5.2.1, el integrador en el SDM puede reemplazarse por un polinomio de tercer orden  $P(\cdot)$  seguido de un integrador ideal (i. e., un filtro lineal  $I(s)$ ). Además, el DAC en el lazo de realimentación (Sección 5.2.2) puede representarse mediante una versión filtrada de la señal de salida  $y(t)$  utilizando un filtro lineal  $H(s)$ . Además, el cuantizador puede considerarse casi lineal en el ancho de banda de la señal, y por ende podemos modelarlo con una no linealidad estática suave  $N(\cdot)$  (Sección 5.2.3).

Ergo, la inclusión de los efectos no ideales en el diagrama en bloque de la Figura 5.1 conduce al modelo de comportamiento completo ilustrado en la Figura 5.2. Efectos de envejecimiento y derivas térmicas no se consideran en este momento de manera que los parámetros del SDM permanecen constantes. En las secciones siguientes, consideramos el diseño de técnicas de post-compensación de no linealidades eficientes basadas en el modelo de comportamiento obtenido.

### 5.3. Modelo de Volterra para un CT SDM

Es un hecho bien conocido que los sistemas que presentan no linealidades suaves, como el que se ilustra en la Figura 5.2, admiten una representación de Volterra. Además, los sistemas en tiempo discreto con memoria evanescente pueden aproximarse arbitrariamente bien por un

---

<sup>2</sup>Por ejemplo, un conversor analógico digital tipo flash es una elección natural debido a la alta tasa de muestreo del sistema y la baja resolución requerida [37].

modelo de Volterra en tiempo discreto (DTVMT) si se eligen órdenes adecuadamente [35] [11] [38]. En general, la salida de un DTVMT en el instante  $k$  puede expresarse como [11]

$$y(k) = \Phi(y(k-1), \dots, y(k-p), u(k-1), \dots, u(k-q))$$

donde la elección de la función  $\Phi(\cdot)$  y los parámetros  $p$  y  $q$  definen el modelo.

En el caso del sistema ilustrado en la Figura 5.2, puede formularse una representación de Volterra de la siguiente manera. Primero, consideramos que el SDM puede aproximarse arbitrariamente bien por un sistema en tiempo discreto con frecuencia de muestreo suficientemente alta. De hecho, este es el caso de interés, dado que las señales son muestreadas en el comparador con un factor de sobremuestreo (OSR) relativamente alto. Luego consideramos, sin pérdida de generalidad, que  $I(s)$  y  $H(s)$  son sistemas lineales con memoria finita. Esta afirmación está justificada desde el punto de vista que la salida de los sistemas físicos no depende del pasado infinitamente remoto. Entonces, consideramos una memoria de longitud  $M_I$  para  $I(s)$  y una memoria de  $M_H$  para  $H(s)$ .

Además, es posible considerar que las componentes de señal que ya han pasado por el camino de realimentación no entrarán nuevamente al lazo<sup>3</sup>. Esta suposición se basa en dos hechos. Por un lado, la no linealidad  $P(\cdot)$  mezclará algunos de estos componentes hacia frecuencias superiores fuera de la banda de interés. Por otro lado, las componentes restantes estarán tan lejos en el pasado que su efecto puede considerarse despreciable en la muestra de salida presente  $y(n)$ . Por lo tanto, el sistema tendrá también una memoria finita  $M$  tal que  $M \cong M_I + M_H$ . Esto se confirma por el hecho que los sistemas físicos reales no dependen del pasado infinitamente remoto y entonces puede considerarse memoria evanescente. Por otro lado, los efectos no lineales del sistema dependen de la frecuencia y se desvanecen cuando la excitación es removida.

Como este sistema presenta memoria finita, elegimos  $p = 0$  en (5.6), i. e., sistemas FIR no lineales (NFIR) y haciendo foco en la familia de funciones analíticas continuas  $\Phi(\cdot)$  (que pueden expandirse en series de Taylor), es posible definir DTVMTs análogos a los modelos de Volterra en tiempo continuo. En tal caso, las integrales se reemplazan por sumas discretas de convolución y la respuesta del sistema está dada por

$$y(k) = y_1(k) + y_2(k) + y_3(k) + \dots$$

donde el primer término, dado por

---

<sup>3</sup>Un enfoque similar fue utilizado en [23] para modelar las no linealidades dinámicas en un amplificador de potencia de radiofrecuencia (RF PA)

$$y_1(k) = \sum_{i=0}^{\infty} \alpha_1(i)u(k-i)$$

corresponde al modelo lineal de convolución, y los términos de orden superior pueden escribirse como

$$y_2(k) = \sum_{i=0}^{\infty} \sum_{j=0}^{\infty} \alpha_2(i,j)u(k-i)u(k-j), \quad (5.6)$$

$$y_3(k) = \sum_{i=0}^{\infty} \sum_{j=0}^{\infty} \sum_{l=0}^{\infty} \alpha_3(i,j,l)u(k-i)u(k-j)u(k-l), \quad (5.7)$$

y así sucesivamente.

Adicionalmente, toda función no lineal puede aproximarse arbitrariamente bien mediante un polinomio de orden suficientemente alto, dando lugar a los DTVM finitos, que son los más simples entre los modelos de Volterra. Los DTVM finitos están compuestos por un modelo lineal de tipo promediado móvil de orden  $M$  y una no linealidad polinomial de grado  $N$ . Para el caso de una entrada y una salida (SISO), la relación de entrada-salida para estos sistemas está dada por

$$y(k) = y_0 + \sum_{n=1}^N v_M^n(k)$$

donde

$$v_M^n(k) = \sum_{i_1=0}^M \cdots \sum_{i_n=0}^M \alpha_n(i_1, \dots, i_n)u(k-i_1) \cdots u(k-i_n)$$

En este punto, podemos extraer información adicional sobre la representación de Volterra del ADM que se muestra en la Figura 5.2. Como se mencionó previamente, el camino de realimentación genera términos cruzados de la señal de entrada a la salida. Además, el sistema de tipo Hammerstein-Wiener en el camino directo de la señal sugiere que se requiere un modelo más general que cualquiera de ellos para representar las no linealidades en el SDM. Finalmente, la presencia de dos dinámicas lineales distintas, i. e.,  $I(s)$  and  $H(s)$ , ponen en evidencia que el modelo utilizado para representar este sistema debe admitir múltiples dinámicas [28] [27].

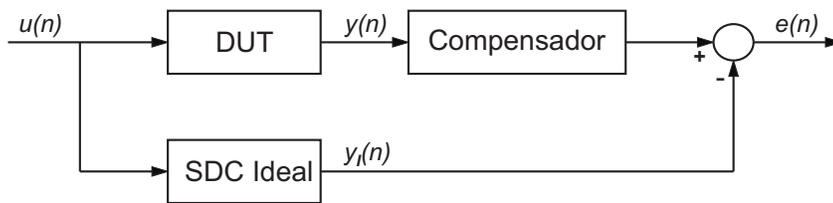


Figura 5.3: Esquema de post-compensación.

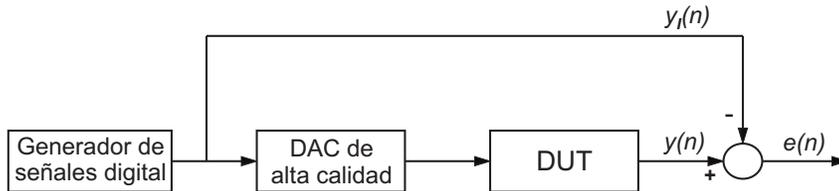


Figura 5.4: Generación de la señal ideal.

## 5.4. Post-compensación de un CT SDC utilizando modelos de Volterra polinomiales eficientes

El esquema de post-compensación propuesto en este trabajo se ilustra en la Figura 6.1, donde el bloque SDC representa el dispositivo de prueba (DUT) y el SDC ideal es el SDM de la Figura 5.1 después de la etapa de filtrado y decimación. La señal  $u(t)$  se aplica a la entrada de ambos, y la salida  $y(n)$  del DUT se aplica a la entrada del post-compensador. Entonces, el post-compensador es un sistema tal que su salida  $\hat{y}_I(n)$  minimiza el error  $e(n)$  para determinado criterio cuando se compara con la salida del SDC ideal. Desde este punto de vista, el compensador debe incluir información sobre la inversa de DUT y sobre el SDC ideal.

La señal  $y_I(n)$  en la Figura 6.1 debe conocerse a priori para realizar el entrenamiento del compensador. Esta información podría obtenerse mediante la simulación de un SDC ideal. De todas formas, también es posible generarla directamente con un generador de señales digitales, y aplicarla a la entrada del DUT mediante un DAC de alta calidad como se muestra en la Figura 5.4. Este procedimiento puede llevarse a cabo fácilmente en una implementación práctica y permite realizar el entrenamiento de forma periódica si fuera necesario. Ambas opciones son equivalentes y han sido ampliamente utilizadas para la corrección de errores en ADCs [15] [32].

Como la dinámica no lineal del DUT puede aproximarse utilizando el SDM de la Figura 5.2, puede representarse por un modelo de Volterra (como se vió en la Sección 3). Ergo, es un hecho conocido que también puede  $p$ -linealizarse con un sistema de Volterra de complejidad similar [35]. Además, del análisis de la Sección 3, sabemos que la representación de Volterra para el SDM es más general que un modelo tipo Hammerstein o Wiener. También sabemos que se

requiere más de una dinámica para representarlo y aparecerán términos cruzados de la entrada a la salida. Por lo tanto, el modelo seleccionado para el compensador debe ser más complejo que los modelos Hammerstein o Wiener y tener en cuenta las características mencionadas.

Como primer paso en la elección de una estructura para el compensador óptimo, examinamos el desempeño en compensación de un polinomio con memoria (MP) como el que se muestra en la Figura 5.5. Este modelo es una generalización del sistema Hammerstein [39], donde se admiten múltiples filtros lineales luego de la no linealidad estática. Si consideramos un polinomio de orden  $N$  y filtros FIR de longitud  $M$ , la salida del compensador está dada por

$$\hat{y}_I^{MP}(k) = \sum_{n=1}^N \left( \sum_{m=0}^{M-1} \alpha_{nm} y^n(k-m) \right), \quad (5.8)$$

donde  $y(k)$  es la salida del SDC,  $\hat{y}_I^{MP}$  es la salida del compensador y  $\alpha_{nm}$  son los parámetros del compensador. Esta estructura tiene como ventaja que la señal de salida es lineal con respecto a los parámetros desconocidos (i. e., los términos  $\alpha_{nm}$ ), y por ende permite una estimación eficiente de los parámetros mediante métodos de mínimos cuadrados [40].

Como alternativa al MP, introducimos el polinomio con memoria generalizado modificado (MGMP). En este caso, puede mostrarse que la relación de entrada-salida del modelo es

$$\hat{y}_I^{MGMP}(k) = \sum_{n=1}^N \left( \sum_{m=0}^{M-1} \alpha_{nm} y(k-m) \right)^n \quad (5.9)$$

Este modelo se muestra en la Figura 5.5 y es la forma transpuesta del diagrama en bloques de la Figura 5.5, donde las potencias se aplican a la salida de los filtros FIR en cada rama en paralelo. Nótese que este modelo incluye términos cruzados entre las muestras  $y(k-m)$ . Esto resulta claro del hecho que para un  $n$  determinado, los términos de potencias en el lado derecho de (6.2) pueden escribirse como

$$\left( \sum_{m=0}^{M-1} \alpha_{nm} y(k-m) \right)^n \propto \sum_{m_1=0}^{M-1} \sum_{m_2=m_1}^{M-1} \cdots \sum_{m_n=m_{n-1}}^{M-1} \alpha_{nm_1} \cdots \alpha_{nm_n} y(k-m_1) \cdots y(k-m_n) \quad (5.10)$$

Tanto el MP como el MGMP son casos especiales de los modelos finitos de Volterra [11] [39]. El modelo descrito por (6.2) es una generalización del modelo de Wiener diferente del GMP desarrollado en [39]. Nótese que el MGMP desarrollado en este trabajo incluye términos cruzados a la salida de la misma manera que el modelo de Volterra para el SDM real, basado en el modelo de comportamiento completo también desarrollado en este trabajo. Ergo, es esperable

que el modelo MGMP tenga un desempeño mayor con respecto al MP como compensador. La expresión (6.2) también puede representarse en forma matricial para estimar conjuntamente los parámetros mediante mínimos cuadrados de forma similar a la hallada en [41] para un modelo de Wiener. Sin embargo, se requiere una sobre-parametrización para forzar linealidad con respecto a los parámetros desconocidos y resolver las ecuaciones en forma matricial.

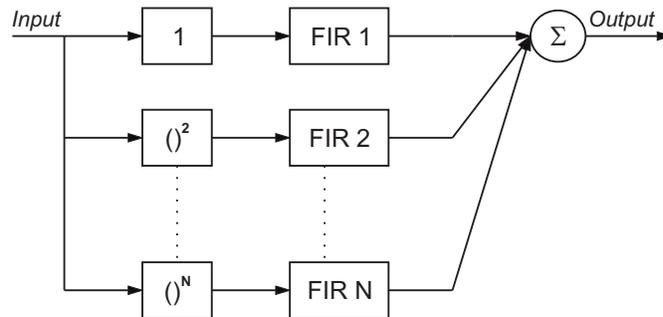


Figura 5.5: Polinomio con memoria (MP) de orden  $N$ .

#### 5.4.1. Estimación de los parámetros de los compensadores

Una vez elejida la estructura del modelo que será utilizado en la post-compensación, surge el problema de la estimación de los parámetros involucrados. Los valores de los parámetros del modelo deben ser estimados de manera tal que se minimice cierto criterio de error.

Podemos distinguir dos fases de operación para cada uno de los dos bloques de compensación propuestos. La primera es el «modo de entrenamiento», donde los parámetros del modelo son estimados mediante la minimización del error entre su salida y un valor de referencia (como se muestra en la Figura ??). La segunda es el «modo de operación», donde los parámetros estimados se utilizan para predecir la salida deseada del modelo.

Definamos entonces el valor de referencia  $y_I(k)$ , que es la salida deseada del compensador. Este valor de referencia es generado de manera separada mediante la simulación de un SDC ideal en MATLAB ante la señal de entrada  $u(t)$  (Fig. 6.1) y puede escribirse en forma vectorial como

$$\mathbf{y}_I = [y_I(M + 1) \ y_I(M + 2) \ \dots \ y_I(L)]^T \tag{5.11}$$

donde se utilizarán  $L$  pares de datos de entrada-salida para el entrenamiento.

En general, la salida del compensador puede escribirse como

$$\hat{\mathbf{y}}_I = \mathbf{Y}_\phi \phi \quad (5.12)$$

donde  $\mathbf{Y}_\phi$  es la matriz de datos de observación para una secuencia de  $L$  pares de datos

$$\mathbf{Y}_\phi = [\mathbf{y}_\phi(M+1) \ \mathbf{y}_\phi(M+2) \ \cdots \ \mathbf{y}_\phi(L)]^T \quad (5.13)$$

compuesta por los regresores vectoriales, y

$$\phi = [\phi_1^T \ \phi_2^T \ \cdots \ \phi_N^T]^T \quad (5.14)$$

son los vectores de parámetros que deben ser estimados.

El regresor y los vectores de parámetros son función de la salida del DUT ( $y(k)$ ) cuando éste es excitado por la señal de entrada  $u(t)$  y dependen de la estructura del modelo. Para el modelo MP

$$\mathbf{y}_\phi(k) = [y(k) \ y(k-1) \ \cdots \ y(k-M) \ \cdots \ y^N(k-M-1)]^T \quad (5.15)$$

y

$$\phi_n = [\hat{\alpha}_{n0} \ \hat{\alpha}_{n1} \ \cdots \ \hat{\alpha}_{nM}]^T. \quad (5.16)$$

Para el modelo MGMP, considerando diferentes parámetros para cada producto de parámetros originales de la forma  $\alpha_{ni}$  para  $n = 1, 2, \dots, N$  e  $i = 0, 1, \dots, M$ , los vectores sobreparametrizados pueden definirse como

$$\mathbf{y}_\phi(k) = [y(k) \ \cdots \ y(k-M-1) \ y^2(k) \ y(k)y(k-1) \ \cdots \ y^2(k-M-1) \ y^2(k)y(k-1) \ \cdots \ y^N(k-M-1)]^T \quad (5.17)$$

y

$$\phi_n = [\alpha_{n0}^n \ \alpha_{n0}^{n-1} \alpha_{n1} \ \cdots \ \alpha_{n0} \alpha_{n1} \ \cdots \ \alpha_{nn} \ \cdots \ \alpha_{nM}^n]^T \quad (5.18)$$

Luego, en la fase de entrenamiento los parámetros pueden estimarse mediante mínimos cuadrados (LS), i. e., minimizando el error cuadrático definido como

$$\hat{\phi} = \arg \min_{\phi} \mathbf{e}^T \mathbf{e} = \arg \min_{\phi} \left( \mathbf{y}_I - \mathbf{Y}_{\phi} \hat{\phi} \right)^T \left( \mathbf{y}_I - \mathbf{Y}_{\phi} \hat{\phi} \right) \quad (5.19)$$

donde la solución está dada por

$$\hat{\phi} = \left( \mathbf{Y}_{\phi}^T \mathbf{Y}_{\phi} \right)^{-1} \mathbf{Y}_{\phi}^T \mathbf{y}_I$$

A fin de asegurar la invertibilidad del término  $\mathbf{Y}_{\phi}^T \mathbf{Y}_{\phi}$ , debe satisfacerse la condición de excitación persistente.

En el modo de operación, la salida predicha por el modelo es

$$\hat{\mathbf{y}}_I = \mathbf{Y}_{\phi} \hat{\phi}. \quad (5.20)$$

En el caso del MGMP, el vector de parámetros involucra  $\sum_{n=1}^N M^n$  términos. Sin embargo, nótese que las permutaciones de los productos de términos cruzados tienen el mismo valor. Por ende, pueden agruparse sin pérdida de generalidad como se sugiere en (6.3) en los índices de las sumatorias. Esto reduce la cantidad de parámetros a  $\sum_{n=1}^N (M+n)! / (M!n!)$ , aunque este valor sigue siendo mayor que la cantidad de parámetros correspondientes al MP (que es  $MN$ ).

De (5.18), vemos que hay elementos en cada  $\phi_n$  tales que  $\phi_n(j) = (\alpha_{ni})^n$ . Entonces, los parámetros  $\alpha_{ni}$  pueden extraerse de  $\hat{\phi}$  de la manera siguiente.  $\phi_1$  son directamente los coeficientes para el primer filtro. En general, para  $n = 2, \dots, N$  e  $i = 0, \dots, M-1$ , podemos obtener los términos  $\alpha_{ni}$  como la  $n$ -ésima raíz de aquellos elementos en  $\hat{\phi}$  tales que  $\phi_n(j) = (\alpha_{ni})^n$ . Nótese que este método da como resultado los coeficientes exactos para el MGMP si el comportamiento del sistema es descrito adecuadamente por el modelo y no está corrompido por ruido. Entonces,  $\phi$  puede construirse a partir de los  $\alpha_{ni}$  obtenidos y compararse con  $\hat{\phi}$  para verificar esta afirmación. Otros métodos de extracción de coeficientes en sistemas sobre-parametrizados puede encontrarse en [41] y en las referencias citadas allí.

Cabe mencionar que el proceso de estimación de parámetros se realiza sólo durante la fase de entrenamiento. Por lo tanto, aunque el modo de entrenamiento tiene asociado un tiempo de cómputo mayor para el MGMP, la complejidad de implementación en el modo de operación es la misma para ambos compensadores (siempre que el orden del polinomio y la longitud de los filtros FIR sean iguales en ambos casos). Nótese que si no se realiza separación de parámetros, entonces  $\phi$  en (5.18) son directamente los coeficientes del DTVM finito más general descrito en (5.8). En tal caso, la complejidad durante ambos modos de operación es similar a la del MGMP en la fase de entrenamiento.

## 5.5. Validación and discusiones

A fin de validar el modelo de comportamiento presentado en la sección 2, se simuló en Spice un modelo circuital de un CT SDM. Este modelo circuital también es utilizado para generar datos de entrada-salida para analizar el desempeño de los compensadores MP y MGMP, y estimar los parámetros correspondientes en cada caso.

### 5.5.1. Modelo circuital de un CT SDM

El método de post-compensación propuesto es calibrado utilizando señales obtenidas de un modelo circuital a nivel transistor simulado en Spice. Esto provee datos de simulación realistas, y conduce a resultados generales y confiables al evaluar el desempeño en compensación. También permite verificar qué modelo de compensador se ajusta mejor a los fenómenos físicos que causan el comportamiento no ideal.

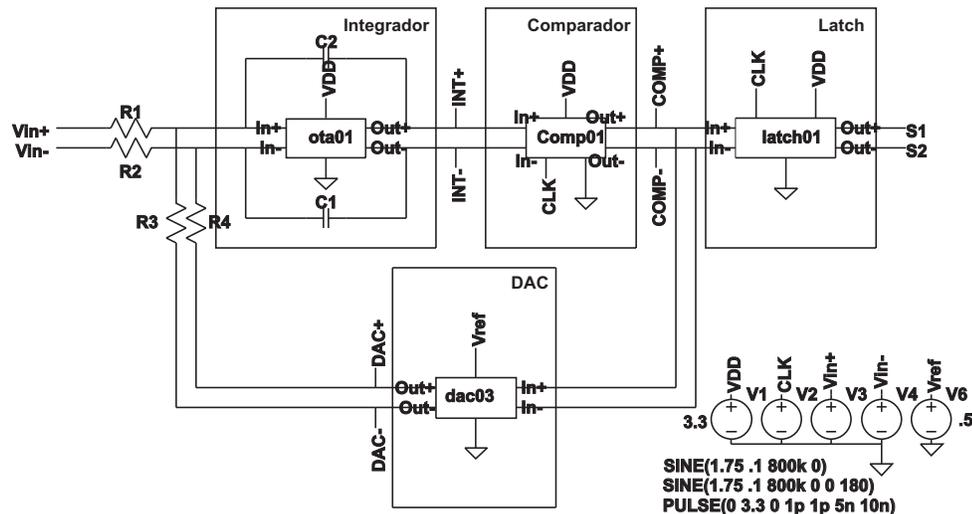


Figura 5.6: Modelo circuital de un CT SDM simulado en Spice. La arquitectura es diferencial y utiliza tecnología CMOS en 180 nm.

El modelo circuital de un CT SDM se muestra en la Figura 5.6. Arquitecturas de orden superior pueden obtenerse combinando varios SDMs de primer orden en una estructura tipo MASH, con la ventaja de preservar la estabilidad inherente de los moduladores de primer orden [1].

Nuestro dispositivo de prueba (DUT) tiene una frecuencia de muestreo de 100 MS/s sobre un ancho de banda de 1 MHz, determinando un factor de sobre-muestreo  $OSR \approx 50$  y una resolución superior a los 7 bits. Se utiliza codificación de retorno a cero (RZ) en el lazo de realimentación,

lo cual es conocido que reduce errores en la modulación [1]. Un registro (latch) fuera del lazo codifica la señal en formato de no retorno a cero (NRZ) para facilitar la extracción de datos. La arquitectura es completamente diferencial y utiliza transistores CMOS en tecnología de 180 nm con el modelo de transistor provisto por el fabricante MOSIS.

En nuestras simulaciones se utilizan diferentes señales de entrada monotonaes para excitar el circuito como se encuentra habitualmente en la literatura sobre el tema [12] [15] [32], y proponemos también el uso de señales multitonaes.

### 5.5.2. Simulación del modelo de comportamiento

La simulación del modelo de comportamiento de un CT SDM presentado en la Sección 2 se basa en la modificación de un SDM ideal. Primero, introducimos el polinomio de tercer orden de (5.1) precediendo el integrador ideal. Luego, se utiliza un filtro FIR para modelar el DAC en el lazo de realimentación. Para es caso, la respuesta impulsiva de un filtro de primer orden en tiempo discreto puede escribirse como

$$v(k) = \sum_{l=0}^{\infty} p^l u(k-l) \tag{5.21}$$

que es claramente un filtro de respuesta infinita al impulso (IIR). Sin embargo, como  $|p| < 1$ , se puede truncar la respuesta impulsiva y se obtiene una buena aproximación mediante un filtro FIR de pocas muestras.

En la Figura 5.7 se muestra el espectro de salida simulado de un SDM ideal (parte superior), la salida del modelo circuital (debajo), y la salida del modelo de comportamiento utilizando un retardo y un filtro FIR de dos muestras para representar el DAC de realimentación (parte inferior). Al comparar los dos espectros de la parte inferior de la figura con la salida del modelo circuital, puede verse claramente que la adición del filtro FIR modela mejor en incremento en el piso de ruido en la zona de bajas frecuencias y algunos picos en frecuencias superiores que no están presentes al utilizar un simple retardo para modelar el DAC.

### 5.5.3. Resultados de simulación

El desempeño del método de compensación fue simulado en MATLAB para difrentes series de señales de entrada-salida provistas por el modelo circuital del SDM. También se simuló un SDM ideal en MATLAB tanto para estimar los parámetros de los compensadores como para medir su desempeño mediante la generación de la señal  $y_I$ . La señal de entrada utilizada para excitar el

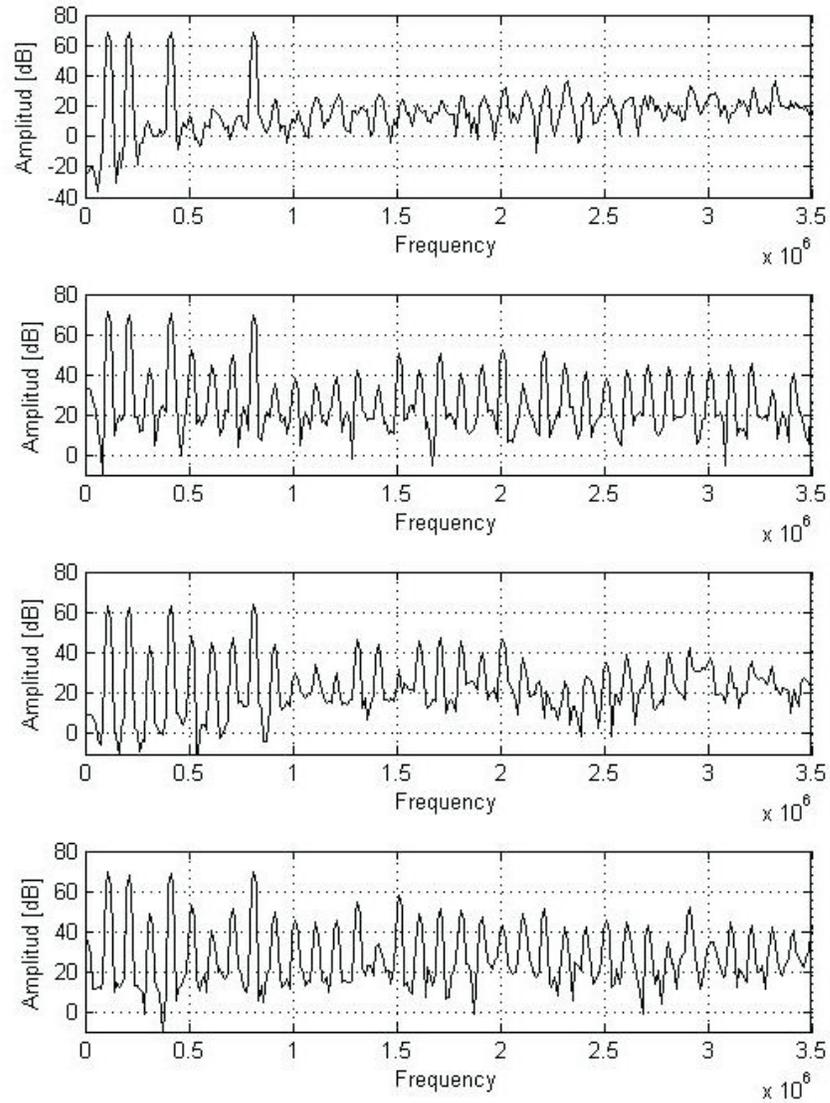


Figura 5.7: Espectro de salida de a) SDM ideal b) Modelo circuital c) Modelo de comportamiento con el DAC representado por un retardo y d) Modelo de comportamiento con el DAC representado por un filtro FIR de dos muestras.

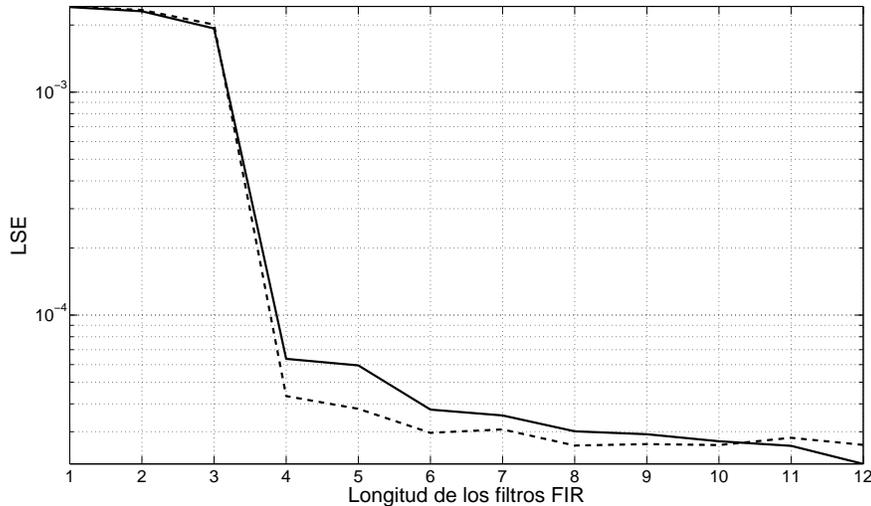


Figura 5.8: LSE en los modos de entrenamiento (línea llena) y operación (línea a trazos) en función de  $M$  para un polinomio de orden 2.

modulador ideal fue importada a MATLAB desde el programa de simulación de circuitos (Spice) de manera que ambos modelos pudieran ser comparados.

La Figura 5.8 muestra la reducción en el error cuadrático (LSE) en función del orden  $M$  de los filtros FIR para el caso de una señal de entrada monotonal (ST) senoidal de 200 kHz utilizando un polinomio de orden 2 en el modelo MP. La identificación del bloque compensador fue realizada primero para distintos órdenes  $N$  para el polinomio manteniendo una longitud fija  $M$  para los filtros, y se analizó el LSE en predicción  $\sum(y_I - \hat{y}_I)^2$  [35].

Al utilizar un modelo MP como compensador, ver (6.1), vemos que la reducción en el LSE para  $N = 2$  es más de un orden de magnitud. Luego se calculó el LSE en función de  $M$  para  $N = 2$ . Puede verse en la Figura 5.8 que se observa una gran reducción en el LSE medido para  $M \geq 5$ . El mismo procedimiento fue realizado para evaluar el desempeño del modelo MGMP descrito en (6.2-6.3). En el caso del MGMP, el desempeño en compensación fue evaluado utilizando el vector de parámetros  $\hat{\phi}$  en (5.36) antes de efectuar la separación de coeficientes. Se realiza una comparación entre ambos modelos en la Tabla 1.

La Figura 5.13 muestra el espectro de la señal de entrada monotonal y la salida del DUT antes y después de compensar utilizando ambos compensadores. Resulta claro que después de la compensación todos los armónicos son reducidos significativamente. Además, se calculó la relación señal a ruido más distorsión (SINAD) para el DUT antes y después de compensar y se comparó con el resultado teórico de la relación señal a ruido (SNR) de un SDC ideal libre de

distorsión, verificándose un comportamiento cercano al ideal para el SDC compensado (Tabla 1).

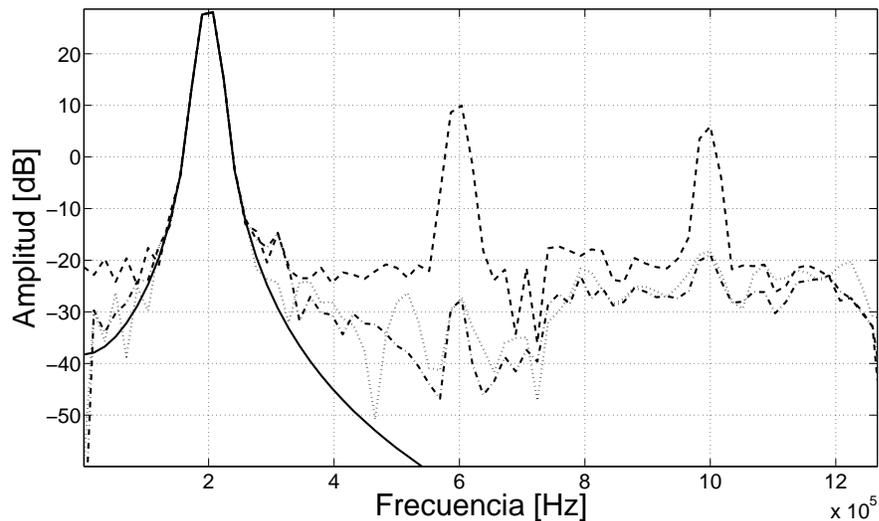


Figura 5.9: ST: Espectro de la señal de entrada (línea llena) y la salida del DUT antes (línea a trazos) y después de compensar (MP:punto-rama, MGMP:puntos).

En todos los casos los parámetros elegidos para comparar el desempeño fueron  $N = 2$  y  $M = 9$ . Consideramos una longitud mayor a 5 para los filtros FIR porque las componentes de señal de mayor frecuencia (por encima de los 200 kHz del tono en el ejemplo anterior) introducen efectos de memoria más largos. Esto resulta en la estimación de  $P_1 = 18$  parámetros para el MP y  $P_2 = 54$  parámetros conjuntos para el MGMP. Ergo, el entrenamiento requiere  $P_1^2 + P_1(L - P_1)$  y  $P_2^2 + P_2(L - P_2)$  multiplicaciones para el MP y el MGMP respectivamente para el cálculo del bloque de post-compensación. Aquí,  $L$  es la longitud de la secuencia de entrenamiento, la cual debe ser mayor que  $P_i$  para que la estimación sea no sesgada. Sin embargo, este procesamiento se realiza fuera de línea por mínimos cuadrados (LS).

Durante el modo de operación, el procesamiento digital extra requerido es  $NM$  multiplicaciones y  $NM - 1$  sumas a fin de calcular la muestra de salida corregida, donde  $M$  es la longitud de los filtros FIR y  $N$  es el orden del polinomio. Sin embargo, esto requiere una carga computacional adicional baja, sobre todo teniendo en cuenta que los SDC ya poseen una etapa de filtrado y decimación luego del modulador

Las pruebas utilizando señales monotonaes muestran que puede obtenerse una gran mejora en el desempeño mediante compensación utilizando ambos modelos, pero no resulta claro cuál de ellos ofrece una mejor representación de la dinámica del sistema. Para ello, debe utilizarse una señal de entrada más general como excitación para el modelo circuital del SDM. Por lo

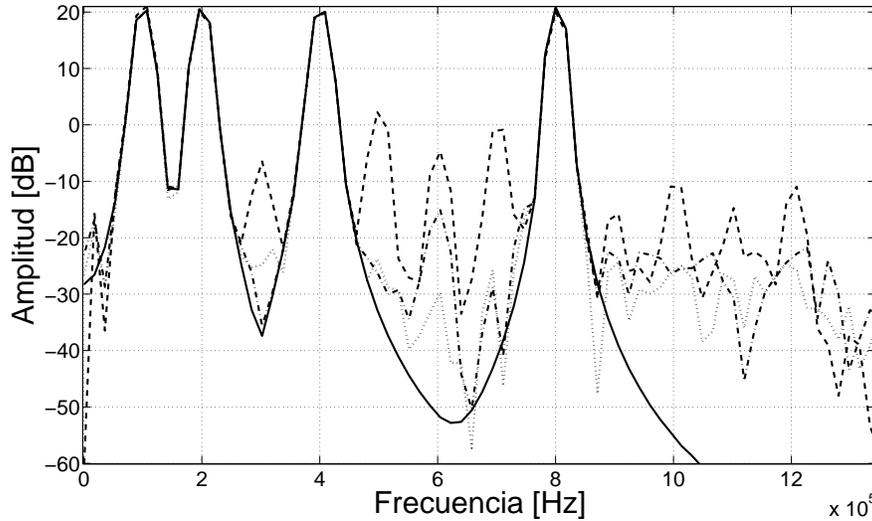


Figura 5.10: MT: Espectro de la señal de entrada (línea llena) y la salida del DUT antes (línea a trazos) y después de compensar (MP:punto-rama, MGMP:puntos).

tanto, elegimos una señal multitonal (MT) compuesta por cuatro tonos en 100, 200, 400 and 800 kHz. Esta señal no sólo cubre la mayor parte del ancho de banda de la señal sino que además las frecuencias fueron elegidas de manera tal que los armónicos debidos a los diferentes componentes frecuenciales no se superpusieran.

En la Figura 5.14 se muestra nuevamente el espectro de la señal de entrada y la salida del DUT antes y después de compensar utilizando ambos modelos, para el caso de la señal de entrada multitonal. Puede verse que con ambos modelos se obtiene una buena cancelación de la distorsión armónica. Sin embargo, el LSE es un orden de magnitud menor para el MGMP (ver Tabla 1). Además, el aumento en el rango dinámico libre de distorsión (SFDR) obtenido para el MGMP es aproximadamente 7 dB mayor al que se obtiene con el MP. Esto tiene su explicación en la pesencia de términos cruzados de la entrada en la salida del MGMP, que permite modelar la dinámica del sistema en mayor detalle. Estos términos cruzados surgen de la linealización de (6.2). El costo asociado a esta mejora en el desempeño consiste en que el número de parámetros que deben ser estimados durante el modo de entrenamiento crece drásticamente debido a la sobre-parametrización (6.3). Ergo, existe una relación de compromiso entre exactitud y complejidad.

Finalmente, se realizaron algunas pruebas adicionales para evaluar la robustez de los post-compensadores al muestrear señales distintas a las utilizadas en la fase de entrenamiento. Para ello, evaluamos el desempeño de los compensadores en términos del SFDR cuando la señal multitonal muestreada tiene un desplazamiento del 5% y del 10% en cada componente frecuencial con

respecto a la señal multitonal utilizada en el entrenamiento. También evaluamos el desempeño de cada compensador al muestrear una señal multitonal distinta (DMS) compuesta por cuatro tonos en 200, 300, 500 and 700 kHz (mientras los tonos utilizados en el entrenamiento fueron 100, 200, 400 and 800 kHz). Los resultados se muestran en la Tabla 2.

De estos resultados se observa que existe una mejora en el desempeño en todos los casos al utilizar un MP como compensador, incluso para el caso en que la señal muestreada y la señal de entrenamiento son completamente distintas. En el caso del MGMP, el incremento en el SFDR es más sensible ante cambios entre la señal muestreada y la señal de entrenamiento. Esto ocurre debido a que el MGMP requiere la estimación de un número mayor de parámetros que el compensador MP, permitiendo cierto grado de sobre-entrenamiento. Sin embargo, no se observa deterioro en el desempeño ni siquiera en el peor de los casos.

Cuadro 5.1: LSE and improvement in SINAD and SFDR for single tone and multi-tone analysis ( $N = 2$ ,  $M = 9$ ).

	ST(MP)	ST(MGMP)	MT(MP)	MT(MGMP)
LSE	$2,2 \times 10^{-5}$	$2 \times 10^{-5}$	$4,5 \times 10^{-4}$	$3,1 \times 10^{-5}$
SNR	69dB	69dB	-	-
SINAD <sub>bc</sub>	34,2dB	34,2dB	-	-
SINAD <sub>ac</sub>	68,5dB	68,3dB	-	-
SFDR <sub>imp</sub>	26dB	26dB	17dB	22dB
Parameters	18	54	18	54

Cuadro 5.2: SFDR improvement when sampled and training signals differ.

Frequency shift	SFDR improvement (MP)	SFDR improvement (MGMP)
0 %	17dB	22dB
5 %	11dB	10dB
10 %	7dB	5dB
DMS	5dB	0dB

## 5.6. Compensación utilizando sistemas PWL dinámicos de baja complejidad

En las secciones precedentes se muestra que los conversores sigma-delta presentan no linealidades suaves y por lo tanto admiten una representación de Volterra [28]. Como consecuencia de esto, también pueden ser  $p$ -linealizados con sistemas de Volterra de complejidad similar a la del modelo obtenido [35]. Se comprobó además que puede obtenerse un buen desempeño en compensación mediante nuevos compensadores polinomiales dinámicos en paralelo pertenecientes a la familia de modelos de Volterra. En esta parte, analizamos la viabilidad de utilizar sistemas lineales a tramos (PWL) dinámicos y proponemos nuevas estructuras eficientes orientadas a mantener una cantidad de parámetros baja logrando un buen desempeño en compensación [29]. Además, mostramos que la mejora en el desempeño en términos de cancelamiento de la distorsión armónica e incremento en la SINAD y el SFDR son significativos y consistentes con los resultados previos.

### 5.6.1. Compensadores propuestos

En esta sección se consideran dos estructuras para el compensador. Las no linealidades se describen mediante funciones lineales a tramos (PWL) como se presentan en [42]. Las funciones PWL se definen en un dominio compacto rectangular  $S$  de la forma

$$S = \{ \mathbf{x} \in \mathfrak{R}^M : a_i \leq x_i \leq a_i + \delta n_{div}, i = 1, 2, \dots, M \}, \quad (5.22)$$

donde  $a_i \in \mathfrak{R}$ ,  $\delta$  es el tamaño de la grilla y  $n_{div}$  (un entero positivo), es el número de divisiones asociado con el eje  $x_i$ . El dominio  $S$  se subdivide utilizando la configuración de borde simplicial  $H$ .

El espacio  $PWL_H[S]$  de todos los mapeos PWL continuos definidos sobre el dominio  $S$  particionado con una configuración de borde simplicial  $H$ , es un espacio vectorial lineal. Según [42], cualquier función no lineal  $f_p \in PWL_H[S]$  puede escribirse como

$$f_p(x) = \mathbf{c}^T \mathbf{\Lambda}(x), \quad (5.23)$$

donde  $\mathbf{c}$  es el vector de parámetros y  $\mathbf{\Lambda}$  es la matriz sobre las funciones base definidas en  $S$ .

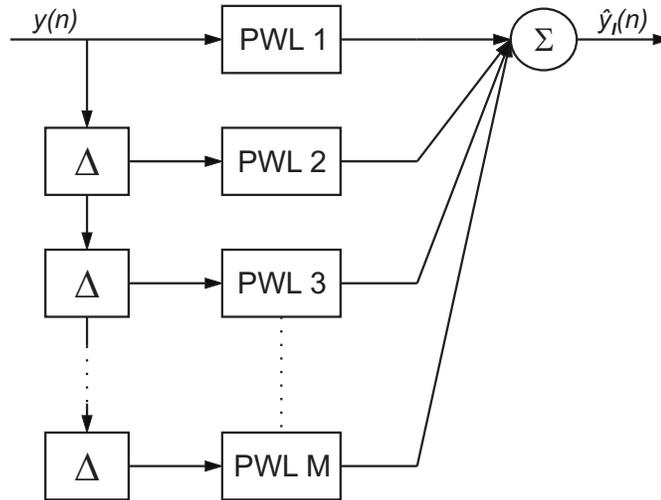


Figura 5.11: Hammerstein paralelo con función estática PWL.

### Hammerstein paralelo con función PWL estática (PHPWL)

La estructura del modelo PHPWL para  $M$  ramas en paralelo formadas por funciones PWL de  $R^1$  en  $R^1$  donde la entrada de cada función PWL es una muestra retrasada distinta de la entrada y cuyas salidas se combinan linealmente (Figure 5.11) puede expresarse como

$$\hat{y}_I(k) = \sum_{j=0}^{M-1} \mathbf{c}_j^T \mathbf{\Lambda}(y(k-j)), \quad (5.24)$$

que puede escribirse en forma de regresor lineal de la siguiente manera,

$$\hat{y}_I(k) = \boldsymbol{\theta}^T \boldsymbol{\phi}(k), \quad (5.25)$$

donde

$$\boldsymbol{\theta}^T = [\mathbf{c}_0^T \quad \mathbf{c}_1^T \quad \cdots \quad \mathbf{c}_{M-1}^T] \quad (5.26)$$

y

$$\boldsymbol{\phi}(k)^T = [\mathbf{\Lambda}(y(k))^T \quad \mathbf{\Lambda}(y(k-1))^T \quad \cdots \quad \mathbf{\Lambda}(y(k-M+1))^T] \quad (5.27)$$

### Wiener paralelo con función estática PWL (PWPWL)

Una estructura natural para el PWPWL (Figure 5.12) es considerar  $M$  muestras retrasadas de entrada a un único PWL de dimensión  $N = M$ . Sin embargo, esta elección involucra un número de parámetros de aproximadamente  $O(N_{div}^M)$ , lo que hace que esta alternativa resulte impráctica. A fin de reducir la complejidad del modelo, consideramos  $M - 1$  funciones PWL en paralelo con dos muestras pasadas consecutivas como entrada a cada una de ellas, i. e.,

$$\hat{y}_I(k) = \sum_{j=0}^{M-2} \mathbf{c}_j^T \mathbf{\Lambda}([y(k-j) \quad y(k-j-1)]^T), \quad (5.28)$$

que también puede expresarse en forma de regresor lineal como,

$$\hat{y}_I(k) = \boldsymbol{\theta}^T \boldsymbol{\phi}(k), \quad (5.29)$$

donde, en este caso

$$\boldsymbol{\theta}^T = [\mathbf{c}_0^T \quad \mathbf{c}_1^T \quad \cdots \quad \mathbf{c}_{M-2}^T] \quad (5.30)$$

y

$$\begin{aligned} \boldsymbol{\phi}^T(k) = & [\mathbf{\Lambda}([y(k); y(k-1)])^T \\ & [\mathbf{\Lambda}([y(k-1); y(k-2)])^T \cdots \\ & \mathbf{\Lambda}([y(k-M+2); y(k-M+1)])^T] \end{aligned} \quad (5.31)$$

#### 5.6.2. Estimación de los parámetros

Nuevamente, una vez elegida la estructura del modelo para el compensador, debe realizarse la estimación de los valores de los parámetros involucrados de manera tal de minimizar algún criterio de error.

Al igual que en el caso de los compensadores polinomiales dinámicos, los parámetros del modelo se estiman minimizando el error entre la salida del DUT y un valor de referencia para la misma entrada durante el modo de entrenamiento. Luego, los parámetros elegidos se utilizan para predecir la salida deseada del modelo durante la fase de operación.

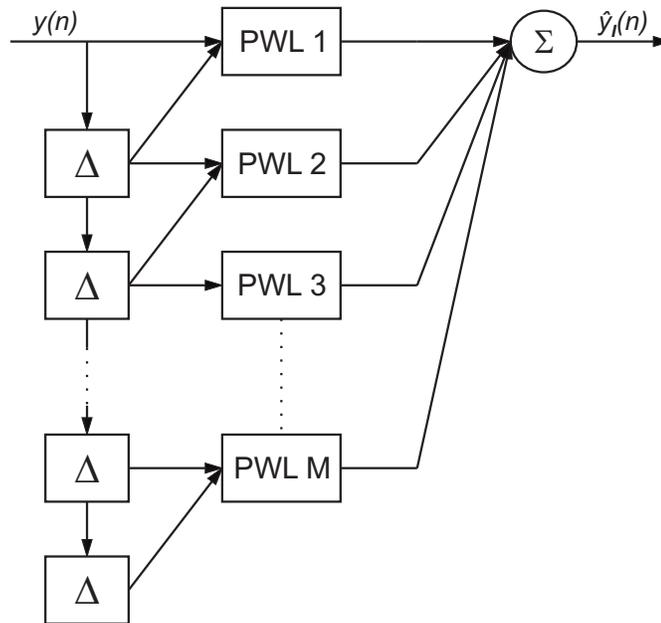


Figura 5.12: Wiener paralelo con función estática PWL.

Definimos entonces el valor de referencia  $y_I(k)$ , es decir a salida deseada del sistema que se genera de manera separada en MATLAB mediante la simulación de un SDC ideal para la señal de entrada  $u(t)$  aplicada también a la entrada del DUT como se muestra en la Figura 6.1. Esta señal puede escribirse en forma vectorial como

$$\mathbf{y}_I = [y_I(1) \ y_I(2) \ \cdots \ y_I(L)]^T \quad (5.32)$$

donde se utilizan  $L$  muestras para el entrenamiento.

Por otro lado, la salida de los compensadores descritos por la ecuaciones (5.25) y (5.29) pueden escribirse como

$$\hat{\mathbf{y}}_I = \mathbf{Y}_\phi \boldsymbol{\theta} \quad (5.33)$$

donde  $\mathbf{Y}_\phi$  es la matriz de datos de mediciones para una secuencia de datos de  $L$  muestras compuesta por los regresores (5.27) y (5.31)

$$\mathbf{Y}_\phi = [\phi(1) \ \phi(2) \ \cdots \ \phi(L)] \quad (5.34)$$

donde  $\boldsymbol{\theta}$  es el vector de los parámetros a estimar.

Los vectores de regresores y el vector de parámetros son función de la salida del DUT ( $y(k)$ ) cuando es excitado por la señal de entrada  $u(t)$  y dependen de la estructura del modelo.

Luego, en la fase de entrenamiento los parámetros pueden ser estimados por mínimos cuadrados (LS), i. e., minimizando el error cuadrático definido como

$$\hat{\phi} = \arg \min_{\phi} \mathbf{e}^T \mathbf{e} = \arg \min_{\phi} \left( \mathbf{y}_I - \mathbf{Y}_{\phi} \hat{\phi} \right)^T \left( \mathbf{y}_I - \mathbf{Y}_{\phi} \hat{\phi} \right) \quad (5.35)$$

donde la solución está dada por

$$\hat{\phi} = \left( \mathbf{Y}_{\phi}^T \mathbf{Y}_{\phi} \right)^{-1} \mathbf{Y}_{\phi}^T \mathbf{y}_I$$

donde nuevamente debe satisfacerse la condición de excitación persistente para asegurar la invertibilidad del término  $\mathbf{Y}_{\phi}^T \mathbf{Y}_{\phi}$ .

En el modo de operación, la salida predicha por el compensador es

$$\hat{\mathbf{y}}_I = \mathbf{Y}_{\phi} \hat{\phi}. \quad (5.36)$$

### 5.6.3. Simulaciones y resultados

El desempeño del método de compensación fue simulado en MATLAB para diferentes series de señales de entrada-salida provistas por el modelo circuital del SDM simulado en Spice. También se simuló en MATLAB un SDC ideal tanto para estimar los parámetros de los compensadores como para medir su desempeño mediante la generación de la señal  $y_I$ . La señal de entrada utilizada para excitar este SDC ideal es importada a MATLAB desde el software de simulación de circuitos de manera que ambos modelos puedan ser comparados.

La Figura 5.13 muestra el espectro de la señal de entrada monotonal y la salida del DUT antes y después de efectuar la compensación utilizando tanto un PHPWL como un PWPWL como compensadores. Resulta claro que después de efectuada la compensación se logra una reducción significativa de todos los armónicos. Además, la relación señal a ruido más distorsión (SINAD) fue calculada antes y después de efectuar la compensación y comparada con el valor teórico de relación señal a ruido (SNR) de un SDC ideal libre de distorsión, donde se observa un comportamiento cercano al ideal para el para el SDC compensado (Tabla 5.3).

Los parámetros estructurales elegidos para el compensador PHPWL son una memoria de  $M = 10$  muestras pasadas de salida del DUT con una partición de  $N_{div} = 10$  sectores para las

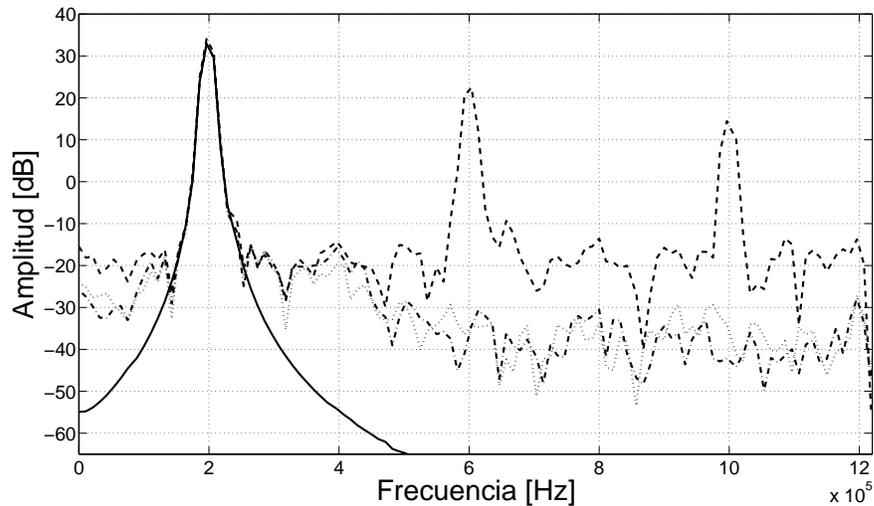


Figura 5.13: PWL-ST: Espectro de la señal de entrada (línea llena) y la salida del DUT antes (línea a trazos) y después de compensar (PH: punto-rama, PW: puntos).

funciones estáticas PWL. Esto resulta en una cantidad total de 110 parámetros a ser estimados. Para el PWPWL también se consideró una memoria de  $M = 10$  muestras pasadas de salida del DUT, pero con una partición de  $N_{div} = 5$  divisiones, lo que determina un total de 324 parámetros. Consideramos nuevamente una memoria de mayor longitud debido a que los componentes de señal de mayor frecuencia (por encima del tono de 200 kHz) introducen efectos de memoria de longitud mayor.

Como se esperaba, las pruebas utilizando señales monotonaes muestran que puede obtenerse una gran mejora en el desempeño del sistema mediante post-compensación utilizando ambos modelos, pero no resulta claro cuál de ellos ofrece una mejor representación de la dinámica del sistema. En este sentido, los resultados son consistentes con los obtenidos previamente para los compensadores polinomiales. Ergo, nuevamente debe utilizarse una señal de entrada más general como excitación para el modelo circuital del SDM. Por lo tanto, analizamos el desempeño para la señal multitonal (MT) con cuatro tonos en 100, 200, 400 y 800 kHz.

La Figura 5.14 muestra el espectro de la señal de entrada y la salida del DUT antes y después de efectuar la compensación utilizando ambos modelos. Puede observarse que ambos compensadores logran una buena cancelación de la distorsión armónica. Sin embargo, el LSE es un orden de magnitud menor para el PWPWL (ver 5.4). Además, el incremento en el SFDR obtenido con el compensador PWPWL es 10 dB mayor que el obtenido mediante el PHPWL. Esto puede explicarse por la presencia de términos cruzados en el PWPWL, que análogamente al caso del MGMP, permite modelar la dinámica del sistema en mayor detalle.

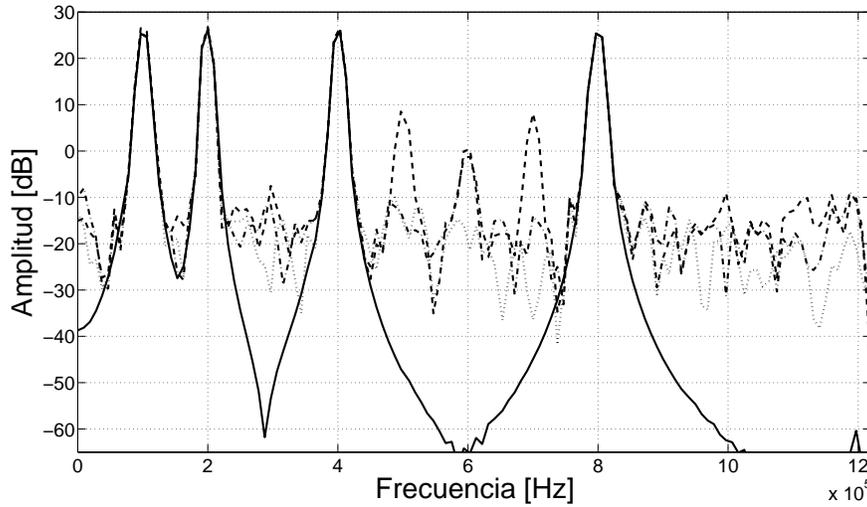


Figura 5.14: PWL-MT: Espectro de la señal de entrada (línea llena) y la salida del DUT antes (línea a trazos) y después de compensar (PH: punto-rama, PW: puntos).

Cuadro 5.3: LSE e incremento en la SINAD y el SFDR para análisis monotonal.

	ST(PH)	ST(PW)
LSE	$2,1 \times 10^{-5}$	$1,8 \times 10^{-5}$
SNR	69dB	69dB
SINAD <sub>bc</sub>	34,2dB	34,2dB
SINAD <sub>ac</sub>	68,5dB	68,3dB
SFDR <sub>imp</sub>	34dB	35dB

## 5.7. Conclusiones

En la primera parte de este capítulo se presenta un modelo de comportamiento completo para un CT SDM de primer orden. Este modelo incluye los principales efectos no lineales y no ideales que deterioran el desempeño del sistema. La validez de este modelo es evaluada comparando su comportamiento con un modelo circuital simulado en Spice, y se observa buena concordancia entre las expresiones matemáticas y la salida del circuito. El modelo dinámico resultante presenta no linealidades suaves, lo cual permite representarlo con un sistema de Volterra. Esto también significa que el sistema puede ser  $p$ -linealizado con un modelo de Volterra de complejidad similar, lo que conduce al desarrollo de post-compensadores pertenecientes a esta familia

Cuadro 5.4: LSE e incremento en la SINAD y el SFDR para analisis multitonal.

	MT(PH)	MT(PW)
LSE	$4,6 \times 10^{-4}$	$3,4 \times 10^{-5}$
SFDR <sub>imp</sub>	9dB	19dB

de modelos. La información adicional provista por el modelo de comportamiento excluye el uso de modelos simples tipo Hammerstein o Wiener para el bloque compensador. Entonces, se desarrollan y evalúan dos compensadores que son generalizaciones de ellos. El desempeño de tales compensadores se evalúa y compara mediante simulaciones en MATLAB, utilizando las métricas de desempeño usuales para ADCs como el SFDR, la SINAD y el LSE. Como se esperaba, con el modelo MGMP se obtiene un mejor cancelamiento de la distorsión cuando se utiliza una señal de entrada más general para excitar el circuito, con el costo de una complejidad mayor en la estimación de los parámetros del modelo y una mayor sensibilidad ante cambios entre la señal muestreada y la señal de entrenamiento. Si bien se requiere de una fase entrenamiento para obtener la estimación de los parámetros del modelo, esta puede realizarse previamente fuera de línea. Esto resulta en una baja complejidad de implementación en línea para el procesamiento digital adicional en el modo de operación, es decir el cálculo de algunos filtros FIR y polinomios de bajo orden que pueden ser codificados en una tabla pequeña.

El modelo de comportamiento desarrollado en la primera parte del capítulo justifica el uso de post-compensadores de tipo Volterra, pero también permite inferir que modelos simples de tipo Hammerstein o Wiener no son adecuados para modelar las dinámicas no lineales complejas involucradas. En este sentido, se presentaron modelos polinomiales que son generalizaciones de ellos y que logran un buen desempeño en compensación, particularmente el MGMP. En la segunda parte del capítulo se presentan dos compensadores tipo Hammerstein y Wiener en paralelo utilizando funciones PWL estáticas, haciendo énfasis en el desarrollo de estructuras eficientes que permitan obtener un buen desempeño y al mismo tiempo mantener acotado el número de parámetros. El desempeño de estos compensadores también se evalúa y compara mediante simulaciones en MATLAB, utilizando las métricas de desempeño usuales para ADCs. Se muestra que es posible obtener un buen desempeño con baja complejidad para este tipo sistemas, y los resultados son consistentes con los obtenidos para el caso anterior.



## Capítulo 6

# Metodología y setup de mediciones para post-compensación de ADCs

### 6.1. Introducción

La tendencia actual de migración hacia sistemas de procesamiento de señales completamente digitales, incluso para aplicaciones que tradicionalmente estaban al menos parcialmente restringidas al dominio analógico debido a su gran ancho de banda y rango dinámico, ha creado una demanda de conversores analógico-digitales (ADCs) de muy alta velocidad y resolución.

En general, los ADCs de alta velocidad presentan efectos no lineales en su función transferencia que causan distorsión en la señal de salida discreta [1]. Estas no linealidades se originan en distintos subsistemas del conversor, y afectan la salida determinando un severo deterioro en el desempeño total. El resultado de esto es la presencia de distorsión armónica que reduce el rango dinámico sobre la banda de frecuencias de interés del conversor, determinando una pérdida en la resolución efectiva. Además, como los ADCs son el nexo entre los dominios analógico y digital, los errores de conversión se propagarán en toda la cadena de procesamiento digital. Ergo, se requiere una compensación de sus no linealidades.

En [14], se presenta una breve descripción de las principales estrategias de compensación halladas en la literatura. Entre estas técnicas se encuentran los métodos basados en tablas de corrección (LUTs), dithering, métodos basados en inversión de modelo, y métodos dependientes de la arquitectura de conversión. Los métodos basados en tablas de corrección son ampliamente conocidos y han probado ser efectivos en la corrección de errores estáticos, pero son altamente costosos especialmente en términos de recursos de memoria cuando se consideran efectos dinámicos y carecen de propiedades de generalización, i. e., sólo pueden corregir errores que hayan sido

medidos y almacenados previamente [15]. En general, los métodos de dithering consisten en aplicar una señal de ruido pseudo-aleatorio a la entrada del ADC para decorrelar el ruido de cuantización de la señal de entrada, pero no se tiene en cuenta el comportamiento no lineal y por lo tanto hay errores que no pueden compensar [1] [14].

Ergo, la inversión de modelo y post-compensación es una opción muy atractiva y motivo de investigación reciente. Por ejemplo, en [12] se introduce un modelo para el comportamiento no lineal del dispositivo de muestreo y retención (S&H) a la entrada de los ADCs. Haciendo foco principalmente en los efectos de inyección de carga y de la resistencia no lineal dependiente de la entrada que presentan las llaves de muestreo, se propone una estrategia de post-compensación que logra remover de manera efectiva la distorsión debida a estos efectos en particular. En [16], se presenta un método de post-compensación basado en un modelo de la no linealidad integral (INL) para convertidores tipo pipeline. Se comparan los resultados con los obtenidos mediante tablas de corrección dinámicas y se observa que puede obtenerse un desempeño similar con menor complejidad, especialmente en términos de recursos de memoria. Sin embargo, la primer alternativa no tiene en cuenta los efectos no lineales en la etapa de conversión del ADC, y la segunda es dependiente de la arquitectura de conversión y no considera los efectos no lineales dinámicos en el S&H. Además, se observa un deterioro en el desempeño en compensación cuando la frecuencia de la señal de entrada difiere de la frecuencia de la señal utilizada durante el entrenamiento del compensador. Por lo tanto, la elección de las señales de entrenamiento debe evaluarse cuidadosamente también.

Otra alternativa consiste en aplicar una compensación externa sin utilizar información detallada sobre la física que gobierna los efectos no lineales presentes en la salida del sistema [8]. Para ello, se mide su comportamiento conjunto y se aplica un circuito externo o post-procesamiento para compensar su efecto en el punto de operación requerido. Como desventaja de esta opción, la solución obtenida también depende fuertemente del punto de trabajo en el cual se utilizará el convertor, i. e., el rango dinámico y la frecuencia de la señal de entrada. Una posible implementación de esta alternativa es el uso de técnicas de post-compensación digital basada en modelos para reducir la distorsión. Estas técnicas se basan generalmente en la aplicación de una distorsión adicional a la salida del convertor que cancele las distorsiones originales presentes en la salida del dispositivo [17], [18]. En general, involucran dos pasos. Primero se entrena el post-compensador (fuera de línea) utilizando datos de mediciones de entrada-salida del convertor. Luego, se implementa en línea el compensador estimado a la salida del ADC. Esta metodología involucra cierto procesamiento digital extra.

A fin de obtener una estructura adecuada para el compensador, es necesario entender primero el comportamiento no ideal del «dispositivo de prueba» (DUT). En este sentido, en [28] dos

alternativas fueron consideradas la estructura del post-compensador para un conversor sigma-delta: un polinomio con memoria (MP) y un polinomio con memoria generalizado modificado (MGMP) que son formas particulares del modelo de Volterra más general. Se probó que estos modelos logran un buen desempeño con menor complejidad de implementación comparados con la serie de Volterra general.

El uso de datos de entrada-salida obtenidos mediante mediciones reales de laboratorio permite una caracterización precisa del dispositivo de prueba (DUT) cuando se utilizan señales de entrada apropiadas para excitar el sistema [30]. En este sentido, consideramos el uso de señales con alta relación señal a ruido más distorsión (SINAD) cuya pureza espectral se mejora utilizando técnicas de filtrado como se sugiere en [31]. Las señales de entrada usualmente utilizadas en la literatura son senoidales monotonaes [1], [15], [32], [33]. Sin embargo, proponemos el uso de señales de entrada compuestas por la concatenación de varias señales monotonaes, y mostramos que las propiedades de generalización del compensador estimado mejoran notablemente cuando se agregan más frecuencias a la secuencia de entrenamiento. El desempeño del método y los compensadores propuestos es evaluado en un ADC comercial de Analog Devices de 16 bits y hasta 130 MSps.

En este sentido, las contribuciones de este capítulo son las siguientes. Se propone un esquema de compensación por post-procesamiento donde todos los efectos no lineales dinámicos son reducidos de manera conjunta logrando una gran mejora en el desempeño total del ADC en términos de aumento en la resolución efectiva. Dos modelos eficientes para el compensador con baja complejidad de implementación son evaluados en un ADC comercial de alta resolución y velocidad de conversión, utilizando datos de entrada-salida obtenidos mediante mediciones reales de laboratorio. Se realizan consideraciones adicionales sobre las señales de entrada utilizadas para entrenar el compensador. En particular, se introduce una nueva secuencia de entrenamiento compuesta por la concatenación serial de varias señales monotonaes. Al utilizar esta señal de entrenamiento para estimar los parámetros del compensador, se comprueba que el método es robusto ante diferencias entre la señal de entrenamiento y la señal muestreada, y se logra una mejora significativa sobre el ancho de banda de Nyquist completo. No se considera información alguna sobre la arquitectura de conversión y por lo tanto la estrategia de compensación puede aplicarse a distintos ADCs.

El presente capítulo está organizado de la siguiente manera. En la Sección 6.2, se introduce una breve descripción al esquema de compensación utilizando los compensadores MP y MGMP presentados en el Capítulo 6. Luego, el set-up de mediciones se describe en la Sección 6.3. El tema de la caracterización del ADC por medio de mediciones y algunas consideraciones preliminares

se introducen en la Sección 6.4, y los resultados en compensación se presentan en la Sección 6.5. Finalmente, se incluyen algunas conclusiones en la Sección 6.6.

## 6.2. Post-compensación de ADCs

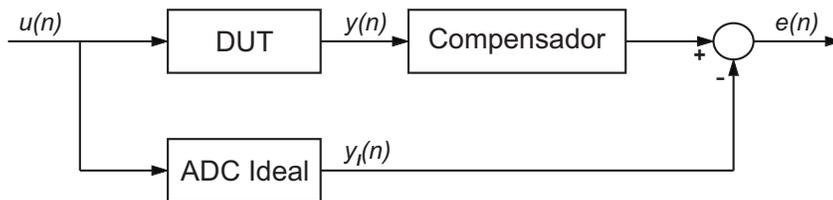


Figura 6.1: Esquema de post compensación.

El esquema de compensación propuesto es el que se muestra en la Figura 6.1, donde el bloque ADC es el DUT y el ADC ideal representa un conversor ideal libre de distorsión. La señal de entrada  $u(t)$  alimenta ambos dispositivos, y la salida  $y(n)$  del DUT se aplica a la entrada del post-compensador. De esta manera, el post-compensador será nuevamente un sistema tal que su salida  $\hat{y}_I(n)$  minimice el error  $e(n)$  según cierto criterio al compararlo con la salida de un ADC ideal ( $y_I(n)$ ).

Este esquema de compensación está basado en el que se presentó en el capítulo anterior para el SDC. Por ende también puede dividirse en las fases de entrenamiento, donde se estiman los parámetros del modelo minimizando el error entre la salida del DUT y un valor de referencia (como se muestra en la Figura 6.1), y la fase de operación en la cual los parámetros estimados se utilizan para predecir la salida deseada del sistema.

Dos posibles estructuras para el compensador que consideraremos en este capítulo son el modelo tipo polinomio con memoria (MP) y el modelo polinomio con memoria modificado generalizado (MGMP) presentados en [28] e incluidos en el Capítulo 6 de esta Tesis. Por comodidad, se repiten las ecuaciones de entrada-salida de ambos modelos en esta sección. Para el caso del MP, considerando un polinomio de orden  $N$  y filtros FIR de longitud  $M$ , la salida del compensador está dada por

$$\hat{y}_I^{MP}(k) = \sum_{n=1}^N \left( \sum_{m=0}^{M-1} \alpha_{nm} y^n(k-m) \right), \quad (6.1)$$

donde  $y(k)$  es la salida del DUT e  $\hat{y}_I^{MP}$  es la salida del compensador. Los términos  $\alpha_{nm}$  son los parámetros del compensador.

La relación de entrada-salida para el modelo MGMP es

$$\hat{y}_I^{MGMP}(k) = \sum_{n=1}^N \left( \sum_{m=0}^{M-1} \alpha_{nm} y(k-m) \right)^n, \quad (6.2)$$

que corresponde al diagrama en bloques que se muestra en la Figura 6.2, con los términos de potencias después de los filtros FIR en cada rama en paralelo. Para un determinado  $n$ , al expandir los términos de potencia entre paréntesis a la derecha de (6.2), aparecerán términos cruzados entre las muestras  $y(k-m)$

$$\left( \sum_{m=0}^{M-1} \alpha_{nm} y(k-m) \right)^n \propto \sum_{m_1=0}^{M-1} \sum_{m_2=m_1}^{M-1} \cdots \sum_{m_n=m_{n-1}}^{M-1} \alpha_{nm_1} \cdots \alpha_{nm_n} y(k-m_1) \cdots y(k-m_n) \quad (6.3)$$

Nótese que el modelo MGMP incluye términos cruzados de la entrada a la salida. Ergo, es esperable que su desempeño sea superior al del MP como compensador. El procedimiento de estimación de los parámetros de los modelos se realiza por mínimos cuadrados minimizando el error cuadrático de la misma manera en que fue presentado en el capítulo anterior y en [28].

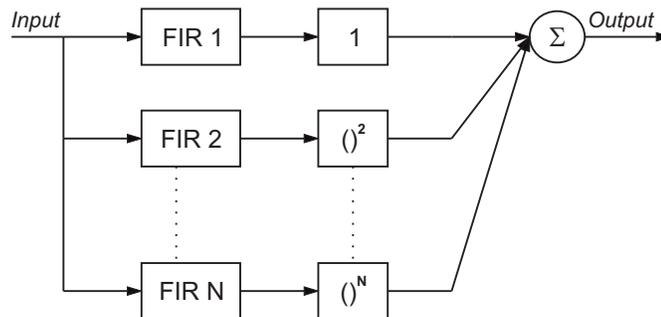


Figura 6.2: Polinomio con memoria generalizado modificado (MGMP) de orden  $N$ .

## 6.3. Set-up de mediciones

### 6.3.1. Conversor analizado

El dispositivo de prueba es el ADC AD9461 de Analog Devices [43]. El kit de prueba se muestra en la Figura 6.3, y está compuesto por dos placas. La placa de la derecha incluye el conversor, los circuitos de acondicionamiento de señal y los circuitos de reloj. La placa de la izquierda es una placa adquisidora de datos FIFO con una memoria de 32 kB, circuitos de sincronismo y temporizado e interfaz USB para comunicación hacia una PC. El ADC es excitado

con un generador de funciones de alta calidad que provee tanto la señal de entrada al dispositivo como la señal de reloj. La salida de la placa adquisidora de datos se conecta a una PC vía USB. En la PC, un software de Analog Devices (ADSim) permite grabar los datos de salida del ADC.

En particular, el AD9461 es un ADC con una resolución de 16 bits y una frecuencia de muestreo máxima de 130 MSps. Sin embargo, la hoja de datos del convertor [43] especifica una no linealidad integral máxima de  $INL = \pm 5 \text{ LSB}$ , que implica una resolución efectiva típica de 11 bits. Además, según el fabricante [43], la SINAD máxima medida (igual a 78 dB) ocurre para una señal de entrada senoidal monotonal de 16 dB de potencia y 10 MHz, que implica un número efectivo de bits (ENOB) de 13 bits en el mejor de los casos. Esta información permite declarar que el desempeño de este convertor puede mejorarse en términos de su resolución efectiva por medio de post-compensación.

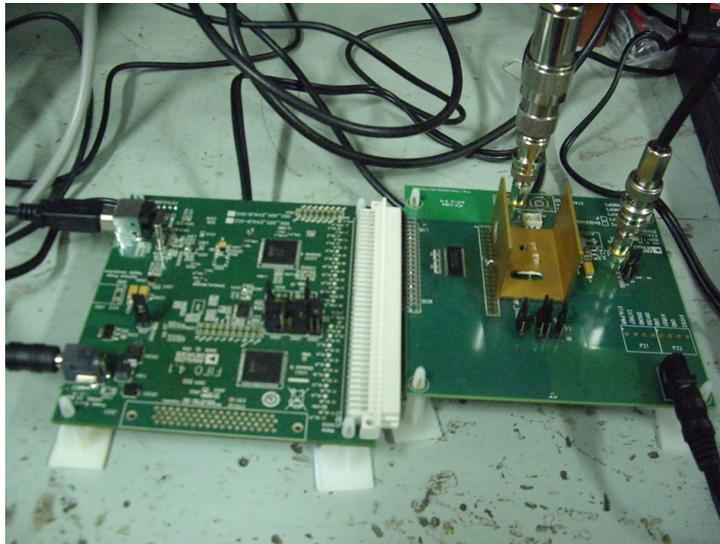


Figura 6.3: Test kit.

### 6.3.2. Instrumentos

Los instrumentos utilizados para realizar las mediciones son:

- Un generador de funciones vectorial de alta calidad Rhode & Schwartz (modelo SMU200A) con un piso de ruido de 70 dB una SINAD mayor a 45 dB para una señal de salida de 0 dB de potencia, con armónicos de segundo y tercer orden. Este generador tiene una dispersión temporal extremadamente baja, lo que permite la generación de señales de reloj de alta calidad. El rango de frecuencias es de 100 kHz hasta 6 GHz.



Figura 6.4: Set-up de mediciones.

- Un generador de funciones de alta calidad HP (Modelo 8640B, no incluido en la Figura 6.4) con un piso de ruido cercano a los 100 dB y armónicos por debajo de los 54 dB para señales de salida de 0 dB de potencia. El rango de frecuencias útil para este generador es entre 500 kHz y 1 GHz.
- Un generador de funciones Agilent (Model 33220A) que permite generar señales monotonales de hasta 20 MHz con aja distorsión.
- Un analizador espectral de alta resolución Agilent (Model E4407B): este instrumento fue utilizado para medir la calidad de las señales a la salida de los generadores de funciones para confirmar las características espectrales de cada uno de ellos descritas en los manuales correspondientes. También se verificó con este instrumento el nivel de distorsión armónica para diferentes condiciones de potencia y frecuencia de las señales generadas. El rango de frecuencias de entrada se extiende desde 9 kHz hasta 26,5 GHz.

### 6.3.3. Secuencias de entrenamiento

A fin de realizar la compensación del ADC, primero es necesario obtener mediciones de entrada-salida para cierto conjunto de señales de entrada tales que se obtenga una excitación completa de la dinámica dl DUT. De esta manera, es posible analizar los efectos no lineales en el ADC para varios rangos de trabajo. También es importante cubrir el rango de frecuencias completo del convertor. En este sentido, en el capítulo precedente se consideraron señales de entrada multitonales como excitación para un CT SDM, generadas mediante simulaciones en

Spice y MATLAB. Se mostró que la utilización de este tipo de señales para el entrenamiento del bloque compensador resulta en una linealización mejor sobre un rango de frecuencias más amplio [28].

Sin embargo, aunque algunos generadores de funciones como el R&S descrito en la sección anterior son capaces de generar señales multitonales, los niveles de SINAD obtenidos están por debajo de los requeridos para el DUT estudiado en este capítulo (superiores a 64 dB). Además, incluso las señales senoidales monotonaes generadas por los generadores de funciones disponibles presentan niveles de SINAD menores que los requeridos por esta aplicación. Una solución posible a este dilema consiste en mejorar la pureza espectral de señales monotonaes utilizando técnicas de filtrado y combinarlas en una nueva secuencia de entrenamiento con componentes espectrales similares a los de una señal multitonal equivalente.

Para este propósito, consideramos primero la expresión de una señal de entrada analógica senoidal monotonal limitada en tiempo:

$$f(t) = \cos(2\pi f_0 t) [u(t - t_i) - u(t - t_f)] = g_1(t)[g_2(t)] \quad (6.4)$$

donde  $u(t)$  es la función escalón de Heavyside,  $t_i$  es el instante inicial, y  $t_f$  es el instante final. En (6.4), la expresión entre corchetes define la ventana de tiempo dentro de la cual la señal toma el valor del coseno, de manera que  $f(t)$  es nula para  $t < t_i$  y  $t > t_f$ .

La transformada de Fourier de la señal temporal  $f(t)$  en (6.4) es la convolución en frecuencia de las transformadas de las funciones  $g_1$  y  $g_2$  que la componen por medio del producto en el dominio temporal. Por un lado, la transformada de  $g_1 = \cos(2 * \pi f t)$  es la siguiente

$$G_1(f) = 1/2[\delta(f - f_0) + \delta(f + f_0)] \quad (6.5)$$

Por otro lado, la expresión entre corchetes en (6.4) es una función rectangular ( $g_3$ ) con un corrimiento temporal  $t_0 = (t_f + t_i)/2$  y de duración  $\Delta t = (t_f - t_i)$ . La transformada de Fourier de la función rectangular es

$$G_3(f) = \text{sinc}(f) \quad (6.6)$$

de manera que la transformada de  $g_2$  toma la forma

$$G_2(f) = e^{-j2\pi t_0 f} \frac{\Delta t}{2} \text{sinc}\left(\frac{\Delta t f}{2}\right) \quad (6.7)$$

donde  $t_0$  determina un desplazamiento de fase en el dominio frecuencial y  $\Delta t$  determina el ancho del lóbulo principal de la función sinc, que será más angosto cuanto mayor sea  $\Delta t$ . Entonces la transformada de fourier de  $f(t)$  en (6.4) es la siguiente

$$F(f) = 1/2[\delta(f - f_0) + \delta(f + f_0)] * e^{-j2\pi t_0 f} \frac{\Delta t}{2} \text{sinc} \left( \frac{\Delta t f}{2} \right) \quad (6.8)$$

Nótese que si  $t_0 = 0$  y  $\Delta t \rightarrow \infty$ , el sinc en (6.8) se convierte en un impulso y (6.8) se reduce a (6.5).

Finalmente, una señal multitonal limitada en tiempo compuesta por N tonos dentro de la misma ventana temporal puede expresarse como

$$f_N(t) = \left[ \sum_{n=1}^N \cos(2\pi f_n t) \right] [u(t - t_i) - u(t - t_f)] \quad (6.9)$$

Cuya transformada de Fourier correspondiente es

$$F_N(f) = \frac{1}{2} \left[ \sum_{n=1}^N [\delta(f - f_n) + \delta(f + f_n)] \right] * e^{-j2\pi t_0 f} \frac{\Delta t}{2} \text{sinc} \left( \frac{\Delta t f}{2} \right) \quad (6.10)$$

Supongamos ahora que tenemos una señal compuesta por varias señales senoidales limitadas en tiempo que no se superponen temporalmente, i. e., cada una de ellas está multiplicada por una ventana temporal rectangular como la descrita en (6.4) que no se superpone con las demás. En este caso, podemos expresar esta señal en el dominio tiempo como

$$\tilde{f}_N(t) = \sum_{n=1}^N \{ \cos(2\pi f_n t) [u(t - t_{in}) - u(t - t_{fn})] \} \quad (6.11)$$

La transformada de Fourier de la función en (6.11) es la siguiente

$$\tilde{F}_N(f) = \frac{1}{2} \sum_{n=1}^N \left\{ [\delta(f - f_n) + \delta(f + f_n)] * e^{-j2\pi t_{on} f} \frac{\Delta t_{on}}{2} \text{sinc} \left( \frac{\Delta t_{on} f}{2} \right) \right\} \quad (6.12)$$

donde  $t_{on} = (t_{fn} + t_{in})/2$  es el corrimiento temporal de la ventana correspondiente al tono  $n$  y  $\Delta t_{on} = (t_{fn} - t_{in})$  es la duración temporal correspondiente a dicha ventana de tiempo.

De (6.11) y (6.12) puede verse que si bien los tonos senoidales no ocurren de manera simultánea en el dominio tiempo, las componentes frecuenciales halladas en el espectro son similares a las componentes obtenidas utilizando la señal multitonal descrita en (6.9).

En la Figura 6.4 se muestra el set up de mediciones completo, con el generador de funciones conectado a la placa del conversor y la PC a la salida de la placa adquisidora. También se muestra el analizador de espectro utilizado para medir las señales de salida del generador.

El procedimiento seguido para obtener los datos de mediciones es el siguiente. Primero, se genera una señal de reloj de alta calidad con el generador de funciones R&S y se aplica a la entrada correspondiente de la placa del ADC. Luego, se especifican en el generador de funciones las características deseadas para la señal de entrada tales como amplitud y frecuencia, y se conecta a la entrada de señal de la placa del DUT. A continuación, la placa adquisidora (previamente conectada con la placa del conversor) se conecta a una PC mediante conexión USB y se inicializa el software del fabricante. Entonces se adquieren y se graban los datos de salida del conversor. Finalmente, el vector de datos se exporta a MATLAB para su procesamiento posterior.

La señal de entrada también es necesaria para efectuar la caracterización y compensación del DUT. Por lo tanto, esta señal es generada de manera separada en MATLAB utilizando la información disponible sobre las características de la señal ajustadas en el generador de funciones, i. e., amplitud y frecuencia. Luego se estiman el corrimiento de frecuencia y la fase inicial de la señal de entrada (en el instante en el cual comienza el muestreo de la señal). Parámetros adicionales como ruido y armónicos con distintos niveles de potencia también pueden agregarse a la señal de entrada simulada en MATLAB utilizando información obtenida con el analizador de espectro sobre la señal de entrada al DUT.

## 6.4. Caracterización del ADC por mediciones

En la Figura 6.4 se muestra el set up de mediciones completo, con el generador de funciones conectado a la placa del conversor y la PC a la salida de la placa adquisidora. También se muestra el analizador de espectro utilizado para medir las señales de salida del generador.

El procedimiento seguido para obtener los datos de mediciones es el siguiente. Primero, se genera una señal de reloj de alta calidad con el generador de funciones R&S y se aplica a la entrada correspondiente de la placa del ADC. Luego, se especifican en el generador de funciones las características deseadas para la señal de entrada tales como amplitud y frecuencia, y se conecta a la entrada de señal de la placa del DUT. A continuación, la placa adquisidora (previamente conectada con la placa del conversor) se conecta a una PC mediante conexión USB y se inicializa el software del fabricante. Entonces se adquieren y se graban los datos de salida del conversor. Finalmente, el vector de datos se exporta a MATLAB para su procesamiento posterior.

La señal de entrada también es necesaria para efectuar la caracterización y compensación del DUT. Por lo tanto, esta señal es generada de manera separada en MATLAB utilizando la información disponible sobre las características de la señal ajustadas en el generador de funciones, i. e., amplitud y frecuencia. Luego se estiman el corrimiento de frecuencia y la fase inicial de la señal de entrada (en el instante en el cual comienza el muestreo de la señal). Parámetros adicionales como ruido y armónicos con distintos niveles de potencia también pueden agregarse a la señal de entrada simulada en MATLAB utilizando información obtenida con el analizador de espectro sobre la señal de entrada al DUT.

Antes de evaluar determinada estrategia de compensación, es necesario contar con el mayor conocimiento posible sobre el comportamiento y el desempeño del ADC en todos los rangos de trabajo.

El ADC permite cambiar la máxima tensión de entrada requerida para obtener el rango completo de códigos discretos en su salida. Esto se utiliza para eliminar efectos de saturación y por ende distorsión a la salida del ADC debidos a una excursión incompleta de la señal de entrada. Estas tensiones de entrada máximas dependen de la tensión de referencia aplicada internamente al ADC. El primer valor posible para la tensión de referencia es 1,7 Volts, lo que permite muestrear y convertir una señal de entrada analógica de hasta 3,4 Volts pico a pico (es decir, 16 dB de potencia) sin efectos de saturación. El segundo valor para la tensión de referencia especificado en la hoja de datos es 0,5 Volts, que determina una señal de entrada con una amplitud máxima de 1 Volt pico a pico y 5 dB de potencia. Finalmente, puede aplicarse una tensión de referencia entre 0,5 y 1,7 volts externamente [43]. Sin embargo, reducir la tensión de referencia del conversor por debajo de 1,7 volts produce un deterioro en la linealidad del DUT, especialmente en términos de la no linealidad diferencial (DNL) [43]. Por lo tanto, el ENOB del DUT será menor que los valores típicos especificados en la hoja de datos.

La Figura 6.5 muestra la relación señal a ruido más distorsión (SINAD) medida a la salida del ADC en función de la frecuencia de una señal de entrada senoidal monotonal de 3,4 volts pico a pico. En esta figura, la línea llena corresponde a la SINAD medida utilizando el generador de funciones R&S para una frecuencia de muestreo de 130 MSps. La SINAD también fue medida en el rango de bajas frecuencias utilizando el generador de funciones Agilent (línea a trazos). En este caso se obtiene una SINAD mayor, y puede verse que sigue la tendencia de la línea llena hacia las bajas frecuencias. La interpretación para este resultado es que el rango de frecuencias útil para el generador de funciones R&S está por encima de los 20 MHz, y por debajo de esta frecuencia el generador introduce mayores componentes espurios en el espectro de la señal generada.

Nótese que los niveles de SINAD que se muestran en la Figura 6.5, medidos a la salida de los generadores de funciones R&S y Agilent corresponden a un ENOB de entre 6 y 9 bits. Estos

valores son menores que la resolución efectiva del ADC en estudio para el peor de los casos. Esto se debe al desempeño de los generadores de señales, dado que aunque el nivel de ruido permanece constante, la distorsión armónica de la señal generada aumenta en función de la potencia de salida requerida. Por ejemplo, para una señal de salida senoidal de 3,4 Vpp (i. e., 16 dB de potencia) el generador de funciones R&S provee una señal cuyo primer armónico está sólo entre 35 y 40 dB por debajo de la potencia correspondiente a la frecuencia fundamental. Este valor determina una SINAD máxima de 35 a 40 dB, equivalente a un ENOB de 5 a 6 bits, como puede verse en la Figura 6.5. Como resultado de esto, como el SINAD propio del ADC se encuentra entre 60 y 78 dB, la distorsión en la salida debida al comportamiento no lineal del ADC queda enmascarada por la distorsión armónica presente en la señal de entrada provista por el generador.

Esto significa que la SINAD de las señales a la salida del generador (i. e., señales de entrada al DUT) debe ser mejorada. De lo contrario, la señal a la salida del DUT será una versión cuantizada de la dinámica del generador y no será capturada información alguna sobre el comportamiento del ADC. Este problema se ilustra en la Figura 6.6.

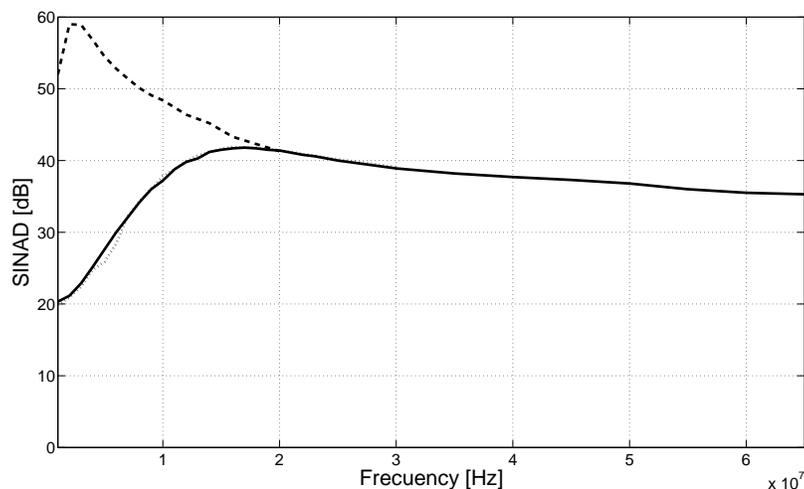


Figura 6.5: SINAD en función de la frecuencia.

La distorsión armónica a la salida del generador de señales puede reducirse cambiando la tensión de referencia del ADC a 0,5 Volts. Sin embargo, en este caso la potencia de salida entregada por el generador R&S es de 5 dB y el primer armónico en la señal generada está entre 45 y 50 dB por debajo de la fundamental. Este valor de SINAD continúa siendo insuficiente para medir los efectos no lineales del DUT a la salida. Por lo tanto, debe buscarse la manera de reducir aún más el nivel de los armónicos a la entrada del ADC. Una solución posible consiste en aplicar un filtro pasabajos pasivo de alto orden a la señal de salida del generador [31]. Por

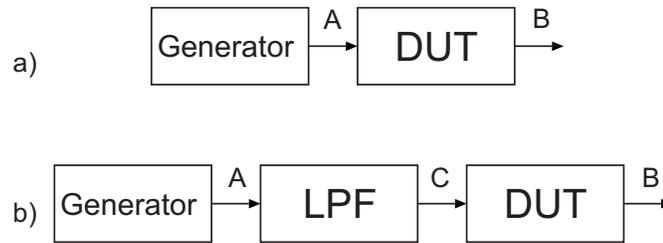


Figura 6.6: a) La SINAD en A es menor que la SINAD en B y por ende no es posible compensar, b) La SINAD en A es mejorada por filtrado de modo que la SINAD en C es mayor que la SINAD en B.

ejemplo, la Figura 6.7 muestra el esquemático de un filtro pasabajos tipo Butterworth de sexto orden con frecuencia de corte en 28 MHz, y la respuesta en frecuencia de dicho filtro se muestra en la Figura 6.8.

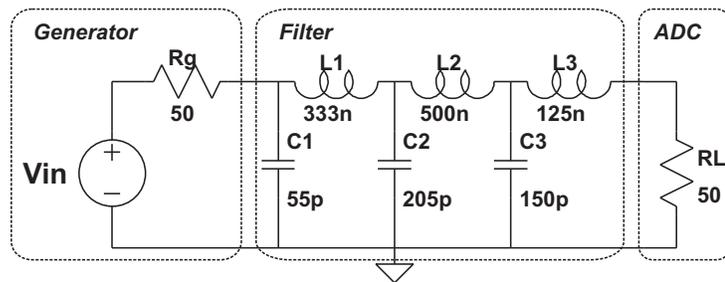


Figura 6.7: Esquemático de un filtro pasabajos Buterworth de sexto orden con frecuencia de corte en 28 MHz.

## 6.5. Resultados en compensación

El mejor escenario posible para la compensación de un ADC en términos de incremento en la resolución efectiva corresponde al caso en el cual se muestrea una señal senoidal monotonal de frecuencia conocida. En este caso, o bien el compensador no modela adecuadamente la dinámica del sistema y por ende no logra linealizar la salida del DUT, o captura correctamente el comportamiento no lineal dinámico del DUT y se obtiene un incremento en el ENOB. En este último caso, es esperable que la mejora obtenida sea mayor que cuando se muestrea una señal de frecuencia desconocida, independientemente de las señales utilizadas durante la fase de entrenamiento.

Ergo, como primer paso en el proceso de post-compensación para el DUT, proponemos evaluar los modelos presentados en la Sección 6.2 para una señal muestreada de 28 MHz. Esta

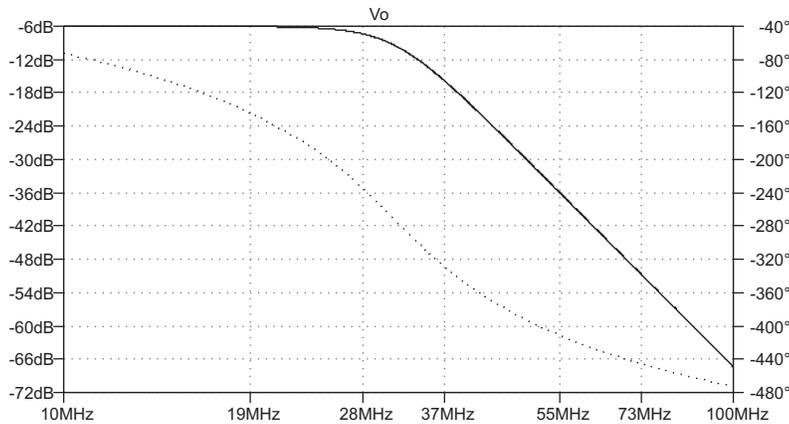


Figura 6.8: Respuesta en frecuencia en amplitud (línea llena) y fase (línea a trazos) para el filtro de la Figura 6.7.

señal fue previamente filtrada con un filtro pasabajos pasivo tipo Butterworth de sexto orden como se sugirió en la Sección 6.4. La SINAD a la salida del filtro, (medida con el analizador espectral) es de 76 dB, y la SINAD a la salida del DUT (medida con el software ADSim de Analog Devices) es de 64 dB. Por lo tanto, puede obtenerse un incremento de 12 dB en la SINAD, equivalente a 2 bits en el ENOB. De los 32000 pares de datos de entrada-salida obtenidos, (siguiendo el procedimiento descrito en la Sección 6.3), los primeros 20000 fueron utilizados para entrenar tanto el compensador MP como el MGMP, y el resto fueron utilizados para validación.

Para la primera prueba, se entrenaron varios compensadores de cada tipo para un polinomio de orden 3 en función de la longitud de los filtros FIR ( $M$ ). El resultado se muestra en la Figura 6.9. Como puede verse en la figura, el compensador MGMP tiene un desempeño superior al MP. Este resultado era esperable, dado que el MGMP es más general en el sentido que se tienen en cuenta términos cruzados entre muestras pasadas al calcular los parámetros del compensador. Entonces, de aquí en adelante se enfocará el análisis en el compensador MGMP.

A fin de estimar el orden del polinomio, se entrenaron varios modelos tipo MGMP para  $N = 2, 3$  y  $4$  variando la cantidad de muestras pasadas  $M$  utilizadas para modelar la memoria del sistema. El incremento obtenido en la SINAD (y el ENOB) se muestran en la Figura 6.10 para datos de validación al muestrear la señal de entrada senoidal de 28 MHz. Puede verse en la figura que el desempeño obtenido utilizando polinomios de orden 3 y 4 es prácticamente el mismo, mientras que el desempeño al utilizar polinomios de orden 2 es menor. También puede verse que sólo aproximadamente 12% de la mejora máxima ocurre para  $M > 8$ . Luego, elegimos  $N = 3$  y  $M = 10$ .

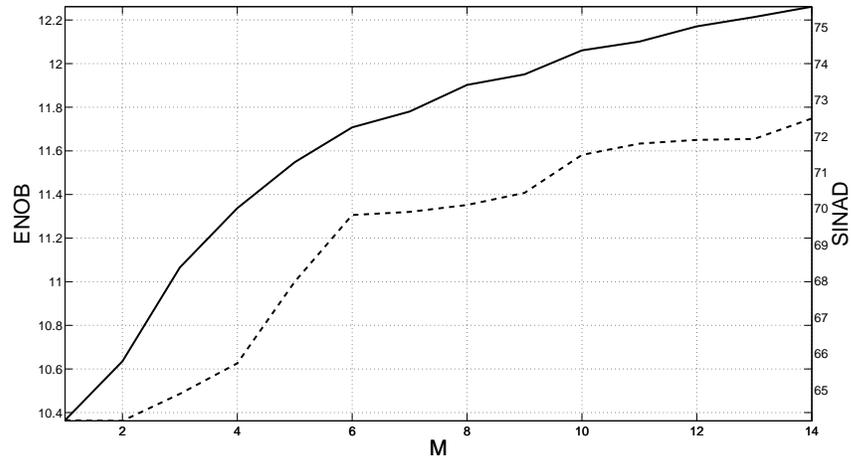


Figura 6.9: ENOB y SINAD vs. M para el compensador MGMP (línea llena) y el MP (línea a trazos) para polinomios de orden 3.

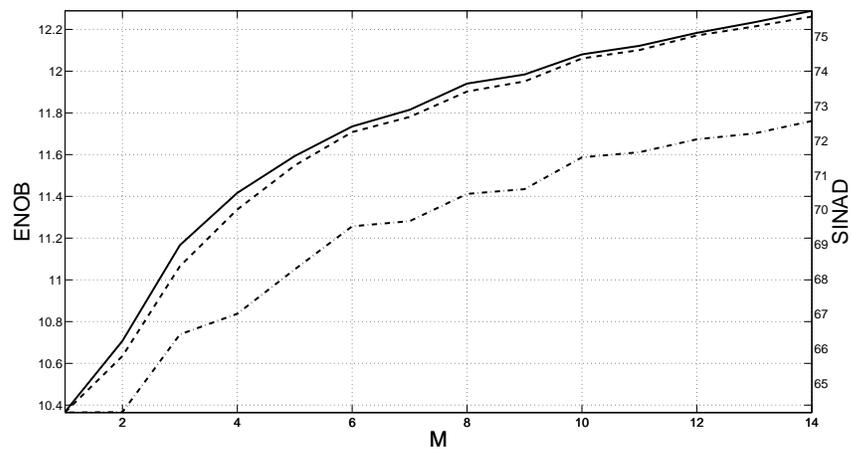


Figura 6.10: ENOB y SINAD vs. M para polinomios de orden 2 (punto y trazo), 3 (línea a trazos) y 4 (línea llena).

Ahora, la idea general tras la estrategia de compensación propuesta consiste en entrenar un compensador utilizando tanta información como sea posible sobre la dinámica del ADC en todas las regiones de operación (i. e., en un amplio rango de frecuencias). De esta manera, el post-compensador debiera ser capaz de mejorar el desempeño en términos de incremento en la resolución efectiva independientemente de la frecuencia de la señal muestreada. Con este propósito, proponemos el uso de una señal de entrenamiento más completa, obtenida mediante la concatenación de datos de entrada-salida de señales senoidales filtradas de distintas frecuencias. La Figura 6.11 muestra el ENOB y SINAD en validación para una senoidal de 36 MHz, donde los

parámetros del compensador fueron estimados utilizando una señal de 4 senoidales de frecuencias distintas y otra de 5 frecuencias monotonales ambas aplicadas secuencialmente durante la fase de entrenamiento. Las frecuencias utilizadas fueron 16, 28, 36 y 48 MHz en el primer caso, añadiendo una senoidal de 40 MHz en la secuencia de entrenamiento para el segundo caso. Aunque no se obtiene mejora alguna para  $M \leq 4$ , puede verse que al agregar la quinta señal de frecuencia distinta durante el entrenamiento, el desempeño mejora significativamente. Sin embargo, como se esperaba, el incremento en la resolución obtenido es menor que para el caso anterior.

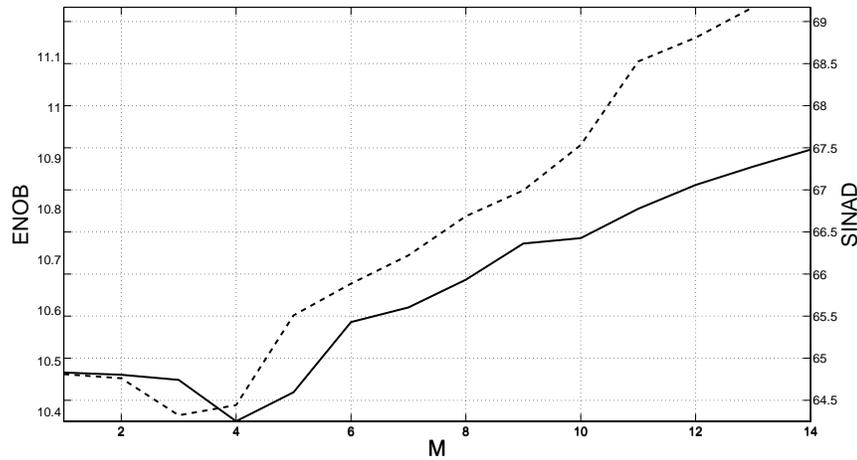


Figura 6.11: ENOB and SINAD vs. M para un polinomio de orden 3 entrenando con 4 (línea llena) y 5 frecuencias (línea a trazos), validando con un tono en 36 MHz.

Cuadro 6.1: SINAD Medido [dB] para compensadores con diferentes señales de entrenamiento. Los espacios completados con “—” significan que no se observó mejora.

Señal de entrenamiento ↓ Frecuencia de validación →	16 MHz	28 MHz	36 MHz	40 MHz	48 MHz
Señal de entrada	75	75	72	75	74
Sin compensar	64,1082	64,1123	64,5708	64,7925	64,2216
Monotonal de 28 MHz	72,7846	72,9431	—	—	—
Monotonal de 36 MHz	—	—	71,3679	—	—
Monotonal de 40 MHz	—	—	—	74,2624	72,0208
5 tonos	74,4136	74,4242	68,5521	72,1126	70,9435

La Tabla 6.1 muestra la SINAD en función de la frecuencia para el DUT sin compensar y

luego de efectuada la compensación para el caso donde los parámetros son estimados utilizando 5 tonos durante la fase de entrenamiento, y utilizando sólo un tono para entrenar el compensador. En la tabla, cada fila corresponde a un compensador cuyo desempeño es evaluado sobre el ancho de banda completo de Nyquist. Puede verse que utilizando la nueva secuencia de entrenamiento con 5 frecuencias distintas se obtiene un incremento de entre 4 y 10 dB en la SINAD sobre todo el rango de frecuencias. Por otro lado, utilizar sólo un tono para entrenar el compensador resulta en una mejora de banda angosta en las cercanías de la frecuencia de la señal de entrenamiento.

## 6.6. Conclusiones

Se presentó una descripción completa del set-up de mediciones y la metodología para la post-compensación de ADCs. Dos post-compensadores utilizando modelos MP y MGMP fueron utilizados para compensar un ADC comercial, lográndose un incremento importante en la resolución efectiva. No se utilizó ningún conocimiento particular sobre la estructura de conversión del DUT en la estrategia de compensación, lo cual implica que la metodología resulta aplicable a cualquier ADC. Como se esperaba, se muestra que el compensador MGMP tiene un desempeño superior frente al MP. Se muestra una mejora significativa en términos de incremento en la resolución efectiva para el caso del compensador MGMP cuando la frecuencia de la señal de entrada es conocida. Caso contrario, se obtiene cierta mejora utilizando una señal más general para entrenar el compensador, y se muestra que es posible obtener un incremento mayor en la resolución al agregar más frecuencias en la señal de entrenamiento. Además, al utilizar esta señal durante el entrenamiento, el incremento obtenido en la resolución efectiva es independiente de la frecuencia y se logra una mejora en el desempeño del ADC sobre el ancho de banda de Nyquist completo. Finalmente, se determina el orden de la no linealidad y la memoria de la dinámica del sistema, lo que permite utilizar esta información en el futuro.



# Capítulo 7

## Conclusiones

En este capítulo se resumen los desarrollos y aportes elaborados a lo largo del trabajo.

En el Capítulo 2 se presentaron cuatro arquitecturas diferentes de conversores AD, definiendo las propiedades y características principales de cada una. Se hizo especial énfasis en el cálculo teórico de la SNR y el ENOB para el caso de conversores sigma-delta en tiempo continuo, siguiendo la hipótesis de ruido blanco aditivo para el error de cuantización. Estos cálculos teóricos fueron desarrollados especialmente para este trabajo ya que no se encuentran en la bibliografía corriente sobre el tema.

En el Capítulo 3, se presentaron los fundamentos teóricos de los amplificadores de S&H, presentes en gran número de arquitecturas de conversión analógico-digital. En particular, se definieron las especificaciones habituales para estos amplificadores y algunos de los efectos que perturban su funcionamiento en desmedro de su desempeño, junto con una arquitectura que tiende a minimizar el efecto de inyección de carga en transistores MOS. Se analizaron también algunos de los efectos no ideales que afectan su desempeño y de qué manera afectan la performance del sistema, en particular la incertidumbre en los instantes de muestreo.

En la primera parte del Capítulo 4 se presenta una breve introducción a los métodos de post-compensación de ADCs más importantes hallados en la literatura i.e. tablas de corrección y post-compensación por inversión de modelo. Se describen también las características y alcances de cada uno de ellos. Sin embargo, antes de pensar en compensar un conversor AD cuyo funcionamiento no es satisfactorio en términos de tasa de error en la conversión, es necesario saber qué efectos se quieren compensar, que parámetros de performance esperamos que mejoren al hacerlo, y cuál es el desempeño ideal. La segunda parte del Capítulo 4 está orientada a contestar estas interrogantes al presentar brevemente las métricas usualmente utilizadas para medir

la no-idealidad en el comportamiento de un conversor AD, así como también las medidas de desempeño más comunmente halladas en la literatura.

Una vez que se dispone de los conocimientos adecuados sobre las distintas arquitecturas de conversión analógico-digital, además de los efectos no-ideales que afectan su funcionamiento junto con los parámetros y medidas de desempeño que describen y cuantifican el deterioro en la performance del sistema, es posible desarrollar y evaluar distintos modelos, compensadores y estrategias de compensación para un ADC en particular. El Capítulo 5 está dedicado a la obtención y desarrollo de estos modelos y compensadores para un CT SDC. En particular, se presentaron dos modelos de Volterra que son generalizaciones de los sistemas tipo Hammerstein y Wiener para el caso del modelado y linealización de un SDC, cuyas características son estudiadas en detalle por medio del desarrollo de un modelo de comportamiento completo. También se presentaron para el mismo caso de SDM dos modelos similares en el sentido que pueden considerarse de tipo Hammerstein o Wiener en paralelo pero utilizando funciones PWL para modelar las no linealidades del sistema. Estos cuatro modelos fueron desarrollados específicamente para el caso del SDM, ya que se cuenta con información adicional sobre la dinámica del sistema basada en el modelo de comportamiento desarrollado. Por ejemplo, sabemos que el sistema debe modelarse con más de una dinámica lineal distinta, y por lo tanto las alternativas de linealización utilizando sistemas tipo Hammerstein o Wiener quedan descartadas.

Finalmente, en el Capítulo 6 se presentó la metodología y los procedimientos requeridos para efectuar la compensación de un ADC comercial de alta resolución y velocidad por medio de mediciones, aplicando las técnicas y modelos desarrollados en los capítulos anteriores. Se describieron brevemente los instrumentos disponibles en el laboratorio y la caracterización del sistema. Se propusieron señales de prueba adecuadas para la obtención de datos de entrada-salida con componentes frecuenciales en todo el rango de trabajo del conversor, de manera tal de capturar la mayor información posible sobre la dinámica del sistema. De esa manera, es posible el entrenamiento de un único post-compensador eficiente y válido en todo el rango de trabajo. Se propone un esquema de filtrado de las señales de los generadores para obtener niveles de SINAD superiores a los propios del ADC, de manera que el compensador linealiza la dinámica no lineal del conversor para obtener un aumento en la resolución efectiva. Además, se obtiene una mejora significativa en el desempeño del ADC en términos de aumento de la resolución efectiva sobre el ancho de banda de Nyquist completo.

Las líneas de investigación para trabajos futuros en base a los desarrollos y resultados obtenidos parecen amplias y numerosas. A corto plazo, se presenta la posibilidad de desarrollar compensadores robustos y eficientes para ADCs comerciales como el descrito en el Capítulo 6. Para este fin se prevé utilizar técnicas de filtrado sobre las señales de salida de los gene-

radores de funciones de manera de obtener una SINAD suficientemente alta a la entrada del ADC. Como se demostró en el Capítulo 6, bajo estas condiciones puede aumentarse la resolución efectiva de conversión mediante post-compensación a niveles cercanos al valor teórico ideal. También está previsto realizar la implementación en tiempo real de los compensadores desarrollados. En este sentido, se cuenta en el laboratorio con los recursos necesarios para efectuar la implementación tanto en FPGA como mediante el diseño de un chip dedicado.

Otra alternativa que resulta sumamente interesante en el campo de compensación eficiente de conversores AD es el estudio y desarrollo de métodos de compensación adaptivos. En este caso se buscaría modelar la variación temporal del sistema ante variables tales como temperatura, así como también desarrollar compensadores que sean capaces de adaptar los parámetros estimados cuando se detecta un deterioro en el desempeño.

El campo de identificación, modelado y compensación de sistemas no lineales es muy amplio, dado que existen infinidad de sistemas que siguen este tipo de comportamiento y requieren compensación para reducir los efectos de la distorsión manteniendo determinadas cualidades como bajo consumo y complejidad acotada. Esto permite pensar en aplicar los conocimientos obtenidos y las técnicas desarrolladas en el modelado y compensación de otros sistemas no lineales dinámicos. En particular, una aplicación importante es la cancelación de distorsión en amplificadores de potencia, donde existe tradicionalmente un compromiso entre linealidad y potencia consumida.



# Bibliografía

- [1] R. V. de Plassche, *CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters*. Dordrecht, The Netherlands: Kluwer Academic Publishers, 2003.
- [2] I. Ryan and H. Mahdi, “An oversampled rate converter using sigma delta noise shaping,” in *IET Irish Signals and Systems Conference*, Dublin, 2009, pp. 1–6.
- [3] E. Bonizzoni, A. Perez, F. Maloberti, and M. Garcia-Andrade, “Third-order  $\Sigma - \Delta$  modulator with 61-dB SNR and 6-MHz bandwidth consuming 6 mW,” in *34th European Solid-State Circuits Conference*, Edinburgh, 2008, pp. 218–221.
- [4] T.-S. Jeong, W. Choi, J. Gi, and C. Yoo, “Low voltage analog digital converter using sigma-delta modulator,” in *International SoC Design Conference*, Busan, 2008, pp. III52–III53.
- [5] W.-L. Yang, W.-H. Hsieh, and C.-C. Hung, “A third-order continuous-time sigma-delta modulator for Bluetooth,” in *International Symposium on VLSI Design, Automation and Test*, Hsinchu, 2009, pp. 247–250.
- [6] A. Morgado, R. del Rio, J. de la Rosa, F. Medeiro, B. Perez-Verdu, F. Fernandez, and A. Rodriguez-Vazquez, “Reconfiguration of cascade sigma delta modulators for multistandard GSM/Bluetooth/UMTS/WLAN transceivers,” in *IEEE International Symposium on Circuits and Systems*, Island of Kos, Greece, 2006, pp. 1884–1887.
- [7] B. Jose, P. Mythili, J. Singh, and J. Mathew, “A triple-mode sigma-delta modulator design for wireless standards,” in *10th International Conference on Information Technology*, Orissa, 2007, pp. 17–20,.
- [8] Y. Oh and B. Nurmman, “System embedded ADC calibration for OFDM receivers,” *IEEE Transactions on Circuits and Systems*, vol. 53, no. 8, pp. 1693–1703, 2006.
- [9] H. Lee, D. Hodges, and P. Gray, “A self calibrating 12b 12us CMOS ADC,” in *ISSCC Digital Technologies Papers*, 1984, pp. 64–65.
- [10] A. Hagenblad, *Aspects of the Identification of Wiener Models*. Sweden: Linköping Studies in Science and Technology, Thesis No 793, 1999.

- [11] F. D. III and R. Pearson, *Identification and Control Using Volterra Models*. London, Great Britain: Springer, 2002.
- [12] P. Nikaeen and B. Murmann, “Digital compensation of dynamic acquisition errors at the front-end of high-performance A/D converters,” *IEEE Journal of Selected Topics in Signal Process*, vol. 3, no. 3, pp. 499–508, 2009.
- [13] L. Dai and R. Harjani, “CMOS switched-op-amp-based sample-and-hold circuit,” *IEEE Journal of Solid-state Circuits*, vol. 35, no. 1, pp. 109–113, 2000.
- [14] E. Balestrieri, P. Daponte, and S. Rapuano, “A state of the art on adc error compensation methods,” *IEEE Transactions on Instrumentation and Measurement*, vol. 54, no. 4, pp. 1388–1394, 2005.
- [15] H. Lundin, *Characterization and Correction of Analog-to-digital Converters*. Stockholm, Sweden: Doctoral Thesis in Signal Processing, 2005.
- [16] S. Medawar, P. Händel, N. Björnsell, and M. Jansson, “Postcorrection of pipelined Analog-Digital converters based on input-dependent integral nonlinearity modeling,” *IEEE Transactions on Instrumentation and Measurement*, vol. 60, no. 10, pp. 3342–3350, 2011.
- [17] L. Vito, H. Lundin, and S. Rapuano, “Bayesian calibration of a lookup table for ADC error correction,” *IEEE Transactions on Instrumentation and Measurement*, vol. 56, no. 3, pp. 873–878, 2007.
- [18] F. Irons, D. Hummels, and S. Kennedy, “Improved compensation for analog-to-digital converters,” *IEEE Transactions on Circuits and Systems*, vol. 38, no. 8, pp. 958–961, 1991.
- [19] A. Leuciuc, “On the nonlinearity of integrators in continuous-time delta-sigma modulators,” in *IEEE Midwest Symp. on Circuits and Systems*, Dayton, OH , USA, 2001, pp. 862–865.
- [20] S. Pavan, “Efficient simulation of weak nonlinearities in continuous-time oversampling converters,” *IEEE Transactions on Circuits and Systems*, vol. 57, no. 8, pp. 1925–1934, 2010.
- [21] P. Sankar and S. Pavan, “Analysis of integrator nonlinearity in a class of continuous-time delta-sigma modulators,” *IEEE Transactions on Circuits and Systems*, vol. 54, no. 12, pp. 1150–1161, 2007.
- [22] T. Karema, T. Ritoniemi, and H. Tenhunen, “Intermodulation in sigma-delta D/A converters,” in *IEEE International Symposium on Circuits and Systems*, Montreal, Canada, 1991, pp. 1625–1628.
- [23] M. Keramat, “Functionality of quantization noise in sigma-delta modulators,” in *IEEE Midwest Symp. on Circuits and Systems*, Lansing, MI, 2000, pp. 912–915.
- [24] C. Schmidt, J. E. Cousseau, and J. L. Figueroa, “Analog to digital converter simulation,” in *XIII Reunión de Procesamiento de la Información y Control RPIC*, 2009.

- [25] C. Schmidt, J. E. Cousseau, O. Agamenonni, and J. L. Figueroa, “ADC nonlinearity compensation based on neural networks,” in *XIII Reunión de Procesamiento de la Información y Control RPIC*, 2009.
- [26] C. Schmidt, J. E. Cousseau, J. L. Figueroa, R. Wichman, and S. Werner, “ADC post-compensation using a Hammerstein model,” in *Escuela Argentina de Microelectrónica, Tecnología y aplicaciones EAMTA*, 2009.
- [27] —, “Characterization and compensation of nonlinearities in a continuous-time first-order  $\Sigma\Delta$  ADC,” in *IEEE international Workshop Series on RF front-ends for software defined and cognitive radio solutions IMWS2010*, 2010.
- [28] C. Schmidt, J. Cousseau, J. Figueroa, R. Wichman, and S. Werner, “Nonlinearities modeling and post-compensation in continuous-time sigma-delta modulators,” *IET Microwaves, Antennas and Propagation*, vol. 5, no. 15, pp. 1796–1804, 2011.
- [29] C. Schmidt, J. E. Cousseau, J. L. Figueroa, R. Wichman, and S. Werner, “Post-compensation of a CT first-order  $\Sigma\Delta$  ADC using PWL dynamic systems,” in *XIV Reunión de Procesamiento de la Información y Control RPIC*, 2011.
- [30] O. Nelles, *Nonlinear System Identification: From Classical Approaches to Neural Networks and Fuzzy Models*. Springer Verlag, 2001.
- [31] AN-835 APPLICATION NOTE, Understanding High Speed ADC Testing and Evaluation, A. Arrants, B. Brannon and R. Reeder, One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106 U.S.A. Analog Devices Inc., 2010.
- [32] N. Björzell, *Modeling Analog to Digital Converters at Radio Frequency*. Stockholm, Sweden: Doctoral Thesis in Telecommunications, 2007.
- [33] J. Tsimbinos, *Identification and Compensation of Nonlinear Distorsion*. University of South Australia: PhD thesis, 1995.
- [34] C. Hammerschmied, “Pipelined A/D converters for telecommunication applications,” in *Workshop on A/D Converters for Telecommunication*, Integrated Systems Laboratory, ETH Zürich, October 2001.
- [35] M. Schetzen, *The Volterra and Wiener theories of Nonlinear Systems*. New York, USA: John Wiley and Sons Inc., 1980.
- [36] L. Iannelli, K. Johansson, U. Jönsson, and F. Vasca, “Averaging of nonsmooth systems using dither,” *Automatica*, vol. 42, no. 4, pp. 669–676, 2006.
- [37] L. Samid and Y. Manoli, “A multibit continuous time sigma delta modulator with successive-approximation quantizer,” in *IEEE International Symposium on Circuits and Systems*, Island of Kos, Greece, 2006, pp. 2965–2968.

- [38] S. Boyd and L. Chua, “Fading memory and the problem of approximating nonlinear operators with Volterra series,” *IEEE Transactions on Circuits and Systems*, vol. 32, no. 11, pp. 1150–1161, 1985.
- [39] D. Morgan, Z. Ma, J. Kim, M. Zierdt, and J. Pastalan, “A generalized memory polynomial model for digital predistortion of RF power amplifiers,” *IEEE Transactions on Circuits and Systems*, vol. 54, no. 10, pp. 3852–3860, 2006.
- [40] J. Gómez and E. Baeyens, “Identification of block-oriented nonlinear systems using orthonormal bases,” *Journal of Process Control*, vol. 14, no. 6, pp. 685–697, 2003.
- [41] S. Lacy and D. Bernstein, “Identification of FIR Wiener systems with unknown, noninvertible, polynomial nonlinearities,” in *American Control Conference*, Anchorage, USA, 2002, pp. 893 – 898.
- [42] P. Julián, A. Desages, and O. Agamennoni, “High level canonical piecewise linear representation using a simplicial partition,” *IEEE Transactions on Circuits and Systems*, vol. CAS-46, pp. 463–480, 1999.
- [43] AD9461, One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106 U.S.A. Analog Devices Inc., 2011.