



UNIVERSIDAD NACIONAL DEL SUR

TESIS DE DOCTOR EN INGENIERÍA ELÉCTRICA

Amplificadores de muy bajo ruido y mínimo
consumo de energía, para aplicaciones médicas
implantables

Autor: Matías Rafael Miguez De Mori

BAHIA BLANCA

ARGENTINA

2016

Prefacio

Esta Tesis se presenta como parte de los requisitos para acceder al grado Académico de Doctor en Ingeniería Eléctrica, de la Universidad Nacional del Sur y no ha sido presentada previamente para la obtención de otro título en esta u otra universidad. La misma contiene los resultados obtenidos de la investigación llevada a cabo en el Departamento de Ingeniería Eléctrica en la Universidad Católica del Uruguay durante el período comprendido entre Junio del 2010 y Setiembre del 2016, bajo la dirección del Dr. Alejandro Oliva, Prof. Adjunto, Área 3, Electrónica y del Dr. Alfredo Arnaud Prof. y Director del DIE en la Universidad Católica del Uruguay.

Matías Rafael Miguez De Mori

	<p>UNIVERSIDAD NACIONAL DEL SUR</p> <p>Secretaría General de Posgrado y Educación Continua</p> <p>La presente tesis ha sido aprobada el / / , mereciendo la calificación de(.....)</p>
---	--

Certifico que fueron incluidos los cambios y correcciones sugeridas por los jurados.

Dr. Alejandro Oliva

Dr. Alfredo Arnaud

Resumen

Este trabajo se centra en los amplificadores de muy bajo ruido y micro-consumo de potencia, tomando como ejemplo la detección de señales nerviosas (ENG) para su aplicación en dispositivos implantables. Si bien el ancho de banda de las señales médicas es reducido, como son en muchos casos de amplitud extremadamente pequeña, la principal dificultad para el diseño de circuitos será el bajo ruido combinado con micro o nano-consumo de potencia. En efecto, existe una relación de compromiso conocida entre ruido a la entrada y consumo de corriente en un amplificador que el diseñador debe optimizar. Este trabajo esencialmente intenta responder la pregunta: ¿cómo aprovechar al máximo la energía disponible en la batería de un implante para alimentar un amplificador de muy bajo ruido?

A lo largo de esta tesis se presentarán técnicas innovadoras de circuito para aprovechar mejor la energía disponible.

En primer lugar, se analiza el uso de los espejos activos como sustitución de los espejos de corriente de dos transistores tradicionales. Se estudiaron analíticamente y mediante simulaciones las ventajas y desventajas; luego se diseñó, fabricó y caracterizó un espejo de corriente activo que funciona como fuente de corriente de $10\mu\text{A}$ con menos de 100mV de caída de voltaje en una tecnología de $0.6\mu\text{m}$.

En segundo lugar, se presenta la idea de reutilización de corriente apilando sucesivos pares diferenciales como forma de aprovechar todo el rango de tensión de la batería en un circuito analógico. Se demuestra en forma analítica y con medidas sobre un circuito fabricado, que la técnica es extremadamente eficiente en el compromiso entre consumo de corriente y ruido. Se diseñó, fabricó, y caracterizó un amplificador para señales ENG que apila doce pares diferenciales de entrada funcionando con una batería de 3.6V (nominales), con un consumo total de $16.5\mu\text{A}$ y una ganancia en la banda pasante de $\approx 80\text{dB}$. Tiene un ancho de banda de 4kHz y el ruido medido a la entrada de $4.5\text{nV}/\text{Hz}^{1/2}@1\text{kHz}$ y $330\text{nV}_{\text{rms}}$ en la banda de interés. El amplificador tiene un NEF medido de 0.84 , incluso considerando el consumo de todos los circuitos auxiliares, lo cual parece ser el primer amplificador reportado con un $\text{NEF}<1$.

Finalmente, se estudia un convertor DC-DC inductivo de microconsumo como otra alternativa para reducir el consumo de corriente de la batería en circuitos analógicos. Se diseñó, fabricó y caracterizó un convertor DC-DC inductivo del tipo step-down, que reduce el voltaje de 3.6V a 0.6V para un consumo de $36\mu\text{W}$. Este convertor podría alimentar un solo par diferencial complementario (un NMOS y un PMOS apilados) con seis veces más corriente, en sustitución de los seis pares diferenciales complementarios apilados previamente.

Abstract

This work focuses on electronic amplifiers with very low noise and micro/nano power consumption. We selected an amplifier for the detection of nerve signals (ENG) in implantable medical devices as a case study. While the bandwidth of medical signals is relatively low, as the signals are generally of extremely low amplitude, the main challenge for the circuit designer is to achieve low noise combined with low power consumption. Indeed, there is a well-known relationship between noise at the amplifier's input and electrical current consumption of the amplifier. In this work, we evaluated how to power a low noise amplifier using the maximum amount of available energy from an implantable device's battery.

Throughout this thesis, we present novel circuit techniques to better utilize the available energy.

Firstly, we analyzed the use of active mirrors instead of traditional two transistor current mirrors. We studied the advantages and disadvantages of active mirrors analytically and with simulations. We designed, fabricated and tested an active mirror that works as a $10\mu\text{A}$ current source with less than 100mV voltage drop in a $0.6\mu\text{m}$ technology.

Secondly, we introduced the idea of reusing current by stacking differential pairs, to better utilize the voltage range of the battery. This topology is shown to be extremely efficient in the trade-off between current consumption and generated noise. We designed, fabricated and tested an amplifier for ENG signals that stacks twelve differential pairs and works with a 3.6V (nominal) battery, consumes $16.5\mu\text{A}$ and has a gain of $\approx 80\text{dB}$ in the passing band. The amplifier has a bandwidth of 4kHz , and a measured noise of $4.5\text{nV}/\text{Hz}^{1/2}$ @ 1kHz and $330\text{nV}_{\text{rms}}$ in the band of interest. The amplifier has a measured NEF of 0.84 even considering the consumption of all the auxiliary circuits, which makes it, to the best of our knowledge, the first amplifier reported with an $\text{NEF} < 1$.

Finally, we studied inductive DC-DC converters with micro-consumption as an alternative way to reduce consumption without introducing extra noise. We designed, fabricated and tested a step-down inductive DC-DC converter, that reduces voltage from 3.6V to 0.6V for a $36\mu\text{W}$ load. This converter could power one complementary differential pair (only one stacked PMOS and NMOS differential pair) with six times the electrical current, and could be used instead of the six complementary differential pairs used previously.

Agradecimientos

En primer lugar, quiero agradecer a la Universidad Nacional del Sur y a la Universidad Católica del Uruguay que me permitieron poder continuar mis estudios y poder completar este trabajo.

A los miembros del tribunal, por prestar generosamente parte de su tiempo, para evaluar este trabajo.

Quiero agradecer a todos los integrantes del DIEC que, en mis varias estancias por Bahía Blanca, me recibieron y me ayudaron en todo momento. A Pedro, Pablo, Martín, Ángel, Santiago, Guillermo, Omar y todos los que estaban ahí, y en particular a Anita, que siempre estuvo para ayudar en todo.

A mis colegas del DIE y del μ Die que me ayudaron con el proyecto y me cubrieron en muchas ocasiones para que pudiera seguir adelante. A Álvaro, Daniel, Enrique, Guillermo, Rafa, Nacho, Bruno, Stephania, Sabrina y muchos más.

A Emilio, por aguantarme como compañero de cursos y encargarse de cocinar todos los días.

A Joel, por estar siempre ahí, y por todas las cosas que hizo, que permitieron que este trabajo finalizara.

A Alejandro y Alfredo, mis tutores, por la paciencia y confianza en mí durante todos estos años.

Y especialmente a mi familia y amigos, que me alentaron a seguir con esta etapa y me ayudaron a terminarla.

Índice General

I.	Introducción	8
I.1.	<i>Aplicaciones Médicas Implantables</i>	8
I.2.	<i>Compromiso entre el Consumo de un Amplificador y el Ruido a la Entrada</i>	9
I.2.1.	Ejemplo de un OTA Clásico	10
I.2.2.	Figuras de Mérito	12
I.3.	<i>Principales áreas de trabajo</i>	12
I.3.1.	Espejos Activos	13
I.3.2.	Reutilización de Corriente	13
I.3.3.	Convertor DC-DC Eficiente	17
I.4.	<i>Modelos de Ruido y Desapareo Utilizados</i>	19
I.5.	<i>Organización del Documento</i>	22
II.	Espejos Activos de Corriente	23
II.1.	<i>Introducción</i>	23
II.2.	<i>Análisis del Espejo Activo</i>	26
II.2.1.	Offset	26
II.2.2.	Impedancia de Salida	27
II.2.3.	Ancho de Banda y Estabilidad	29
II.2.4.	Ruido	30
II.3.	<i>Diseño de un Espejo Activo de 10μA</i>	32
II.4.	<i>Simulaciones</i>	34
II.5.	<i>Layout</i>	37
II.6.	<i>Medidas Realizadas</i>	40
II.7.	<i>Conclusiones</i>	42
III.	Amplificador para Señales Biomédicas con Reutilización de Corriente y un NEF <1	43
III.1.	<i>Introducción</i>	43
III.2.	<i>Reutilización de Corriente y Apilado de Pares Diferenciales</i>	44
III.2.1.	Par Diferencial Complementario	46
III.2.2.	Pares Diferenciales Complementarios Apilados	50
III.2.3.	¿Es Posible Implementar un Amplificador con NEF<1?	51
III.3.	<i>Diseño de un Amplificador de Bajo Ruido y Bajo Consumo para ENG</i>	52
III.3.1.	Diseño de las Etapas 1 y 2	53
III.3.2.	Diseño de la 3ª y 4ª Etapa y Circuitos Auxiliares	60
III.3.3.	Diseño Físico	64
III.4.	<i>Simulaciones y Medidas del Amplificador</i>	65

III.5.	<i>Conclusiones</i>	68
IV.	Un Conversor DC-DC Inductivo Tipo Step-Down para 600mV de Salida y 36μW de Potencia	71
IV.1.	<i>Introducción</i>	72
IV.1.1.	Fuentes DC-DC Inductivas de muy Baja Corriente	74
IV.1.2.	Pérdidas en el Conversor	78
IV.1.3.	Especificaciones para el Conversor DC-DC	80
IV.2.	<i>Diseño del Conversor DC-DC</i>	82
IV.2.1.	Esquema General del DC-DC	82
IV.2.2.	Etapa de Salida	83
IV.2.3.	Detector del Cruce por Cero (ZCD)	83
IV.2.4.	Comparador	84
IV.2.5.	Lógica de Control	85
IV.3.	<i>Simulaciones del Sistema</i>	87
IV.4.	<i>Medidas Realizadas</i>	90
IV.4.1.	Medidas de Eficiencia	92
IV.5.	<i>Conclusiones</i>	94
V.	Conclusiones Globales	96
V.1.	<i>Sobre los Espejos Activos</i>	96
V.2.	<i>Sobre la Reutilización de Corriente</i>	97
V.3.	<i>Sobre las Figuras de Mérito</i>	98
V.4.	<i>Sobre los Conversores DC-DC Inductivos de Micro-Consumo</i>	100
V.5.	<i>Líneas de Investigación Abiertas</i>	101
VI.	Bibliografía	105
VII.	Anexo I – Referencia de Voltaje	112
VII.1.	<i>A Low-Voltage, Low-Power 1.03V Voltage Reference for Implantable Medical Devices</i>	112
VII.1.1.	Abstract	112
VII.1.2.	Introduction	112
VII.1.3.	Voltage Reference Design	113
VII.1.4.	Voltage reference simulation	117
VII.1.5.	Voltage Reference Measurements	119
VII.1.6.	Conclusions	120
VII.1.7.	References	121

I. Introducción

I.1. Aplicaciones Médicas Implantables

En los últimos años ha habido un incremento sostenido en el desarrollo y uso de dispositivos médicos implantables innovadores. El uso de marcapasos y cardio-desfibriladores (ICDs) implantables, e implantes cocleares es habitual desde hace varios años, pero recientemente y cada vez más, nuevas aplicaciones implantables están siendo utilizadas para tratar diversas patologías tales como estimuladores gástricos [1], implantes para la corrección de "foot drop" [2], neuroestimuladores del cerebro profundo para tratar el mal de Parkinson [3] [4] [5], bombas de insulina para tratar la diabetes [6] [7], entre varios otros.

Si bien los dispositivos médicos implantables son muy heterogéneos, para su análisis podemos identificar cinco bloques principales bien definidos como se muestra en el diagrama de la Figura I-1: sensado, estimulación, control, telemetría, y fuente de alimentación. El bloque de sensado obtiene información sobre el estado del paciente a través de la medida de señales biológicas u otras en el entorno, mediante electrodos y/o sensores. Esta información es procesada por el sistema de control (la inteligencia del dispositivo, en general un CPU o circuito digital dedicado de bajo consumo) ya sea con fines de registro o para decidir cuándo es necesario actuar sobre el cuerpo, casi siempre a través de estimular el tejido biológico a través de electrodos. Toda la electrónica es alimentada desde una fuente de energía que puede ser tan sencilla como una batería primaria de grado médico [8], o más compleja incluyendo batería primaria y secundaria con carga inalámbrica [9]; el bloque de alimentación puede incluir también reguladores y convertidores, medida de estado de la batería, etc. Finalmente, el bloque de telemetría realiza la comunicación con dispositivos externos, para monitoreo y configuración del implante. Algunos dispositivos que se comercializan en la actualidad no incluyen todos estos bloques por motivos funcionales, o para ahorrar energía.

Es claro que en las aplicaciones implantables será necesario reducir tanto como se pueda el consumo de corriente desde la batería, ya sea para minimizar el plazo de reemplazo (en el caso de la batería primaria como marcapasos) o el tiempo entre recargas (en el caso de la batería secundaria). En este trabajo nos concentraremos en el bloque de sensado, y algunos aspectos del bloque de alimentación relacionados. Las señales biomédicas a sensar son en general muy pequeñas (de algunos mV a poco μ V) y de baja frecuencia (desde algunos Hz a decenas de kHz) lo cual impone restricciones de diseño específicas para los amplificadores utilizados. En general los amplificadores para dispositivos implantables son de alta ganancia, baja frecuencia, un CMRR (Common Mode Rejection Ratio) relativamente alto, y muy bajo ruido [10].

Si bien el ancho de banda de las señales médicas es reducido, al ser en muchos casos de amplitud extremadamente pequeña, la principal dificultad para el diseño de circuitos será el bajo ruido combinado con micro o nano-consumo de energía. En efecto existe una relación de compromiso conocida, entre ruido a la entrada y consumo de corriente en un amplificador, que el diseñador

trata de optimizar. Nuestro trabajo se centrará en desarrollar amplificadores de sensado de bajo ruido con mínimo consumo; esencialmente trataremos de responder la siguiente pregunta: ¿cómo aprovechar al máximo la energía disponible en la batería para alimentar un amplificador de muy bajo ruido? A lo largo de esta tesis se presentarán técnicas innovadoras de circuito para aprovechar la corriente consumida de la batería, y también se analiza un convertor DC-DC eficiente para alimentar una etapa amplificadora.

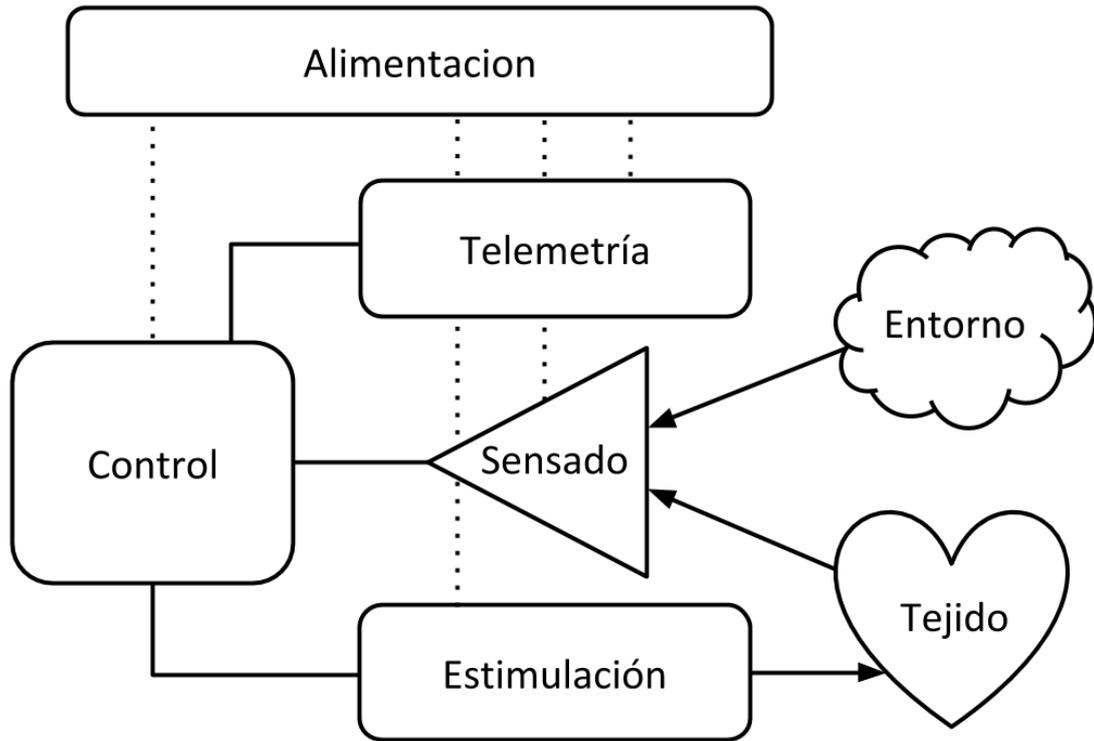


Figura I-1: Diagrama esquemático de los principales bloques según su función, que componen un dispositivo médico implantable activo.

I.2. Compromiso entre el Consumo de un Amplificador y el Ruido a la Entrada

En esta sección se introduce un factor limitante importante de los amplificadores para señales médicas: el compromiso entre el consumo del amplificador y el ruido a la entrada, revisando el caso de un transconductor (OTA) estándar. También se introduce el factor de eficiencia de ruido (NEF por sus siglas en inglés), la figura de mérito más utilizada para comparar amplificadores de bajo ruido en instrumentación biomédica.

Es importante cuidar que el ruido introducido por un amplificador, sea lo suficientemente pequeño como para no enmascarar las señales de muy baja amplitud a detectar. Por otro lado, los dispositivos implantables son alimentados por baterías primarias que deben durar muchos años o por baterías recargables, donde es importante reducir la frecuencia de recarga de las mismas [8]. Por lo tanto, es necesario reducir el consumo.

Sin embargo, ruido y consumo están íntimamente relacionados debido a que el ruido térmico de los transistores visto a la entrada, es inversamente proporcional a la raíz cuadrada de la corriente de polarización de los mismos (ver sección I.4). El ruido térmico generado por cada transistor se puede reducir fácilmente aumentando su corriente de polarización, lo que resulta en un aumento del consumo de corriente desde la batería. Para instrumentación biomédica especialmente a muy baja frecuencia, es necesario también considerar ruido de flicker o $(1/f)$ [11] que es particularmente relevante en el caso de los transistores MOS. Sin embargo, el ruido de flicker se puede reducir aumentando el tamaño de los transistores [12], o incluso eliminar con técnicas de circuito como chopper y autozero [13] por lo que no lo consideramos el límite más duro. Para el ruido térmico en cambio no existen técnicas de circuito de utilidad, sólo aumentando la corriente (o bajando la temperatura lo que no es posible en el caso de implantes) se puede reducir el mismo. A lo largo de este trabajo analizaremos siempre el ruido térmico, y el ruido de flicker sólo en los casos relevantes. También por su utilidad estudiaremos el caso de circuitos CMOS, aunque el análisis se puede extender también para amplificadores con bipolares.

Un amplificador para instrumentación biomédica en general consta de varias etapas en cascada para alcanzar la ganancia muy elevada que se requiere. Pero si la primera etapa tiene una ganancia $\gg 1$ va a ser la única relevante en cuanto a ruido. En una etapa de entrada MOS típica va a haber transistores de entrada que realizan una conversión tensión-corriente, y otros necesarios como la carga activa, pero que no intervienen directamente en la amplificación. Por lo tanto, la topología de un amplificador será más eficiente, cuanto mayor sea la transconductancia de los transistores que se utilizan para amplificar, y cuantos menos transistores adicionales aporten ruido al circuito en la etapa de entrada. A continuación, se estudia el caso de una etapa diferencial clásica.

I.2.1. Ejemplo de un OTA Clásico

El esquemático de la Figura I-2 muestra un transconductor (OTA) clásico que puede ser la entrada de un amplificador, para el cual podemos analizar la relación consumo-ruido en forma cualitativa. El OTA consta de un par diferencial donde se realiza la conversión de voltaje a corriente (M_{1a} y M_{1b}), un espejo de corriente como carga activa (M_{2a} y M_{2b}), y otro espejo para polarizar el par diferencial (M_{3a} y M_{3b}). La salida del circuito es

$$I_{Out} = g_{m1}(V_{IN+} - V_{IN-}), \quad (I-1)$$

donde I_{Out} , g_{m1} , V_{IN+} , V_{IN-} son la corriente de salida, la transconductancia de los transistores M_{1x} , y los voltajes de entrada respectivamente. Para reducir el consumo por la rama del transistor M_{3b} , el espejo M_{3x} realiza una multiplicación de corriente por un valor N , suficientemente grande para poder despreciar el consumo por la rama de M_{3b} . Si la corriente de polarización es fija, se tratará de minimizar V_{DD} para disipar la menor potencia posible.

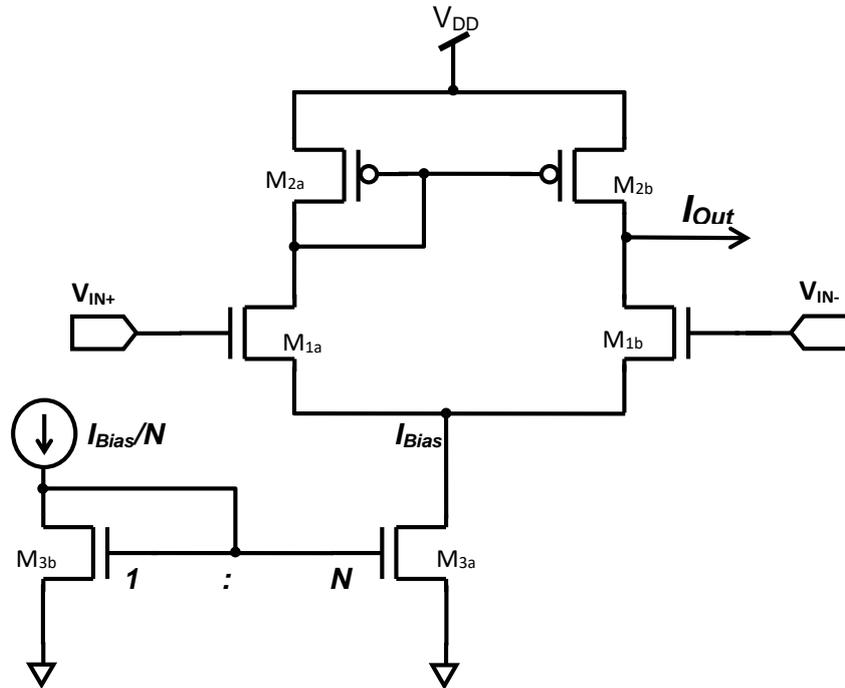


Figura I-2: Esquemático de un transconductor clásico. El par diferencial M_1 es polarizado por el espejo M_{3a} , de modo que el consumo de la rama de M_{3b} sea despreciable.

Es claro que la topología no es muy eficiente: de los 5 transistores con consumo considerable de potencia, solamente dos (M_{1x}) amplifican la señal. Entonces la mayoría de la energía está siendo consumida en transistores que no están amplificando. A su vez para el correcto funcionamiento del espejo M_{2x} , va a existir una caída de tensión relativamente grande en el transistor M_{2a} debido al V_{GS2} necesario (cercano al voltaje de umbral del transistor M_{2a}), lo cual requiere de un voltaje de alimentación bastante mayor que 3 voltajes de saturación para poder funcionar, dando a lugar a un consumo de potencia que no es estrictamente necesario.

Por otro lado, de los 5 transistores hay 4 de ellos (M_{1x} y M_{2x}) que están generando ruido diferencial que se agrega a la señal de entrada (M_{3a} genera ruido, pero en modo común que no se suma a la señal diferencial de entrada). Esto quiere decir que el OTA estándar cuenta con 5 transistores consumiendo, de los cuales 4 agregan ruido, y solamente 2 amplifican. En la sección III.2 se analizará en forma cuantitativa y con mayor detalle el circuito de la Figura I-2.

A lo largo de este trabajo propondremos nuevas topologías de modo de implementar amplificadores más eficientes donde la mayor parte de la potencia se disipa en los transistores que realizan la conversión tensión-corriente.

Pero otro problema práctico del OTA de la Figura I-2 es que tal vez funciona con tan solo 600mV de tensión de alimentación, pero las baterías en el caso de aplicaciones implantables son en general de tensiones mayores en el entorno de $V_{Bat} = 2$ a 4V. Entonces los transistores del OTA estarán bien saturados lejos del mínimo V_{DSsat} , con una performance similar, pero disipando mucha más potencia de la necesaria. Una posible solución a este problema es reducir V_{DD} (es decir hacer $V_{DD} \neq V_{Bat}$ con un convertor DC-DC eficiente) como se planteará en el Capítulo IV para

que los transistores trabajen cerca de V_{DSSat} . Pero otra solución innovadora que veremos en la Sección I.3.2 y el Capítulo III, es apilar sucesivos pares diferenciales que trabajen cerca de V_{DSSat} hasta alcanzar V_{Bat} , es decir reutilizando la corriente.

I.2.2. Figuras de Mérito

Para poder comparar diferentes amplificadores y determinar cuál es más eficiente desde el punto de vista del compromiso consumo-ruido, se han definido en el pasado algunas figuras de mérito, que resuman esta característica en un único número. La más utilizada en trabajos publicados en el área de instrumentación biomédica, es el factor de eficiencia de ruido (NEF por sus siglas en inglés) que fue definido en [14], como la relación entre el ruido rms a la entrada del amplificador, y el ruido térmico a la entrada de un único transistor BJT alimentado por la misma corriente total I_{Tot} que el amplificador y en el mismo ancho de banda:

$$NEF = V_{rms,in} \sqrt{\frac{2 \cdot I_{Tot}}{\pi U_T 4k_B T BW}} \quad (I-2)$$

Donde $V_{rms,in}$ es el ruido total a la entrada, I_{Tot} es el consumo total de corriente del amplificador en su conjunto, $U_T \approx 27\text{mV} @ 37^\circ\text{C}$ es el voltaje térmico, k_B es la constante de Boltzmann, T la temperatura absoluta en grados Kelvin, y BW el ancho de banda del amplificador. Utilizando esta definición, un amplificador formado por un único transistor bipolar tendría entonces un $NEF=1$, y el NEF indica cuanto ruido en exceso al de un único transistor bipolar tiene un amplificador determinado. Muchas veces se ha considerado $NEF=1$ como un límite inferior que no se puede superar, aunque esta afirmación no tiene un sustento cuantitativo válido. En este trabajo de hecho presentaremos un amplificador fabricado y medido, con un NEF inferior a 1, que hasta donde sabemos es el primero amplificador práctico con $NEF < 1$ reportado.

Si bien el NEF ha sido la figura de mérito más utilizada, tiene el problema que compara normalizando en la ecuación I-2 con la corriente, no con la potencia. Se han propuesto otras figuras de mérito como el PEF [15] que compara normalizando en potencia y parece una mejor opción para comparar amplificadores, o el SEF [16] que además incluye el rango dinámico en la figura de mérito. Sin embargo, el rango dinámico no tiene tanto interés práctico en aplicaciones médicas, ya que muchas veces se trata de detectar por ejemplo la presencia o ausencia de pulsos y/o picos y simplemente importa que el ruido no afecte el umbral de comparación, o el amplificador puede ser no-lineal. Sobre las figuras de mérito vamos a profundizar en el capítulo de conclusiones, al discutir brevemente cuál resulta de mayor utilidad práctica a la vista de los resultados de esta tesis.

I.3. Principales áreas de trabajo

En esta sección se plantean las principales áreas donde se trabajó, comentando las ideas que se desarrollarán en los capítulos siguientes.

I.3.1. Espejos Activos

Un espejo activo, es un circuito que funciona de manera equivalente a un espejo de corriente tradicional, pero incluye algún tipo de lazo activo para su funcionamiento, que iguala la corriente a través de resistencias (o podrían ser transistores) como en la Figura I-3. Este espejo podría por ejemplo sustituir los espejos M_2 y M_3 de la Figura I-2 con la ventaja que M_1 de la Figura I-3 puede operar incluso en zona lineal con una caída muy inferior a V_{GS2} e incluso a V_{DSsat} de la Figura I-2. En este trabajo se estudiarán las ventajas y desventajas de utilizar espejos activos en amplificadores para señales médicas. Se estudiará en el Capítulo II la implementación de espejos con consumo de corriente similar al espejo clásico, pero menor voltaje de funcionamiento, mayor impedancia de salida a baja frecuencia, y con un valor similar para el ruido agregado.

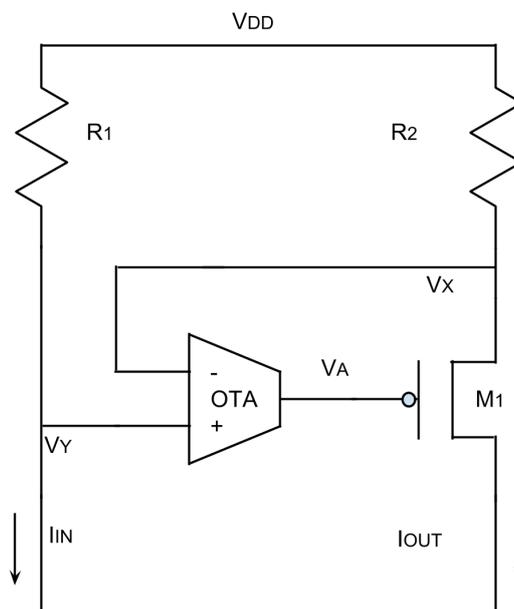


Figura I-3: Espejo Activo. El control fija el voltaje de gate de M_1 para que la corriente que pasa por cada resistencia sea la misma.

I.3.2. Reutilización de Corriente

La principal idea que se explora en este trabajo es la de reutilizar la corriente. Por ejemplo, la corriente que polariza un par diferencial, se puede utilizar para polarizar otro par diferencial y así sucesivamente y, de esta manera, aumentar la proporción de los transistores que están efectivamente amplificando en una etapa de entrada. La Figura I-4 muestra un par diferencial complementario, donde la misma corriente de polarización se utiliza para dos pares diferenciales. Si bien el circuito es simple, para que funcione correctamente hay que cuidar varios detalles, como el modo común a la entrada, si la salida es en corriente o tensión y la transformación a voltaje en el segundo caso, y como fijar el voltaje de modo común a la salida. Un posible circuito que resuelve parcialmente estos problemas se muestra en la Figura I-5: los capacitores se utilizan para desacoplar el Gate de los NMOS y PMOS y el Operacional fija el voltaje de modo común a la salida; aún resta fijar la tensión DC en los Gate.

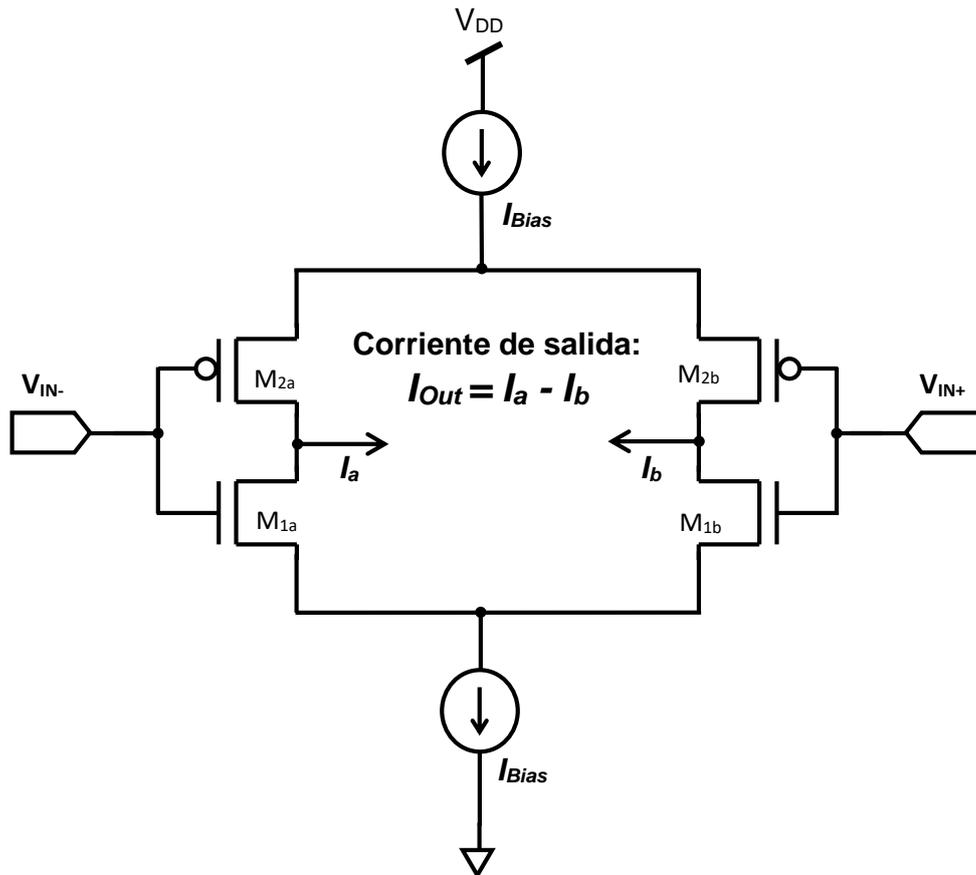


Figura I-4: Par diferencial complementario. Dos pares diferenciales, uno NMOS y otro PMOS, son polarizados con la misma corriente.

Los pares diferenciales complementarios son un primer paso de reutilización de corriente que ya ha sido empleado en varios trabajos previos como por ejemplo [17] [16] [18] [19] [20] [21]. Está claro que en la Figura I-5, en las ramas donde se consume la mayor potencia, hay 4 de los 6 transistores amplificando, siendo por esto más eficiente que el OTA de la Figura I-2.

Pero la idea de reutilizar la corriente puede ser extendida, y se pueden apilar N bloques de pares diferenciales complementarios y que una misma corriente polarice 2N pares diferenciales amplificadores. En la Figura I-6 se muestra un ejemplo con N=3, donde el voltaje de entrada es amplificado por 6 pares diferenciales; la salida de la etapa de entrada son los 3 voltajes V_{Out1} , V_{Out2} y V_{Out3} que eventualmente se pueden sumar en una segunda etapa para lograr una única salida. Está claro que, en un diseño con pares complementarios apilados, la mayoría de la potencia consumida es en los transistores que están amplificando. Todos estos transistores están amplificando en forma cooperativa, pero están generando ruido no correlacionado lo cual resultará en una mejor relación señal a ruido para el mismo consumo de corriente desde la batería. La Figura I-7 ilustra mejor este concepto, mostrando cómo al reutilizar la corriente, se puede disminuir el consumo ya que hay más transistores amplificando.

En el Capítulo III se analiza en detalle el funcionamiento de los amplificadores con pares diferenciales apilados, desde el punto de vista del ruido. Luego se diseña y mide un amplificador con $N=6$ pares complementarios apilados, con un NEF medido menor a 1.

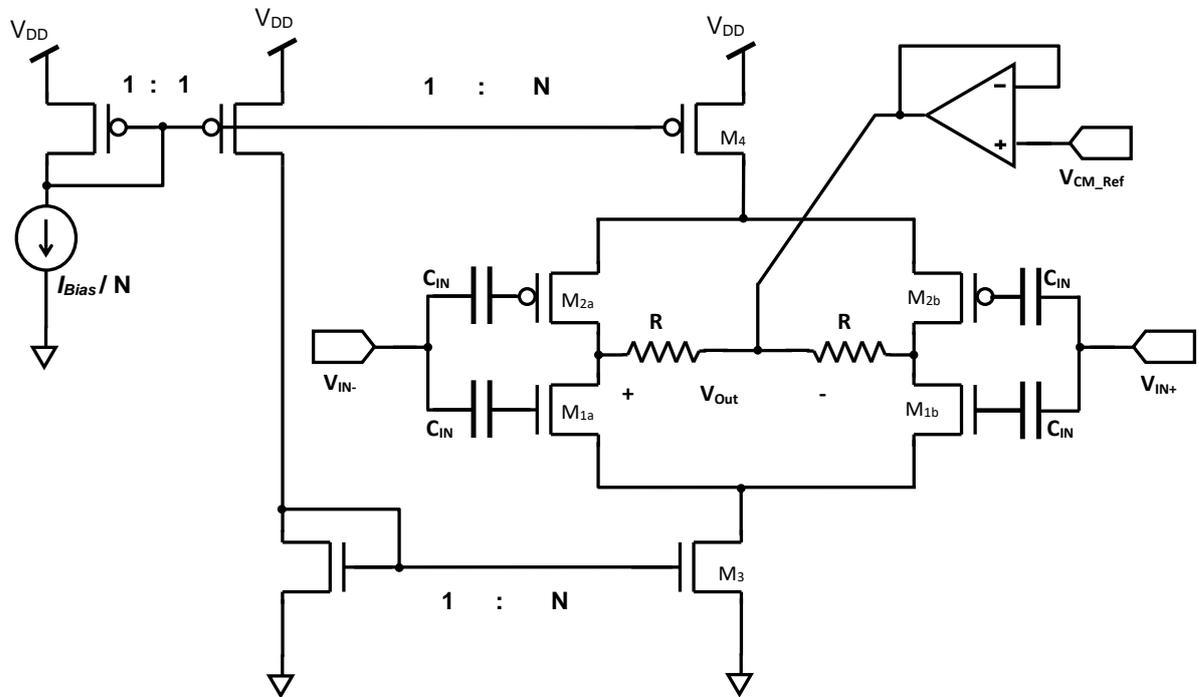


Figura I-5: Posible implementación de un amplificador usando un par diferencial complementario. No se muestran circuitos de polarización de los pares diferenciales.

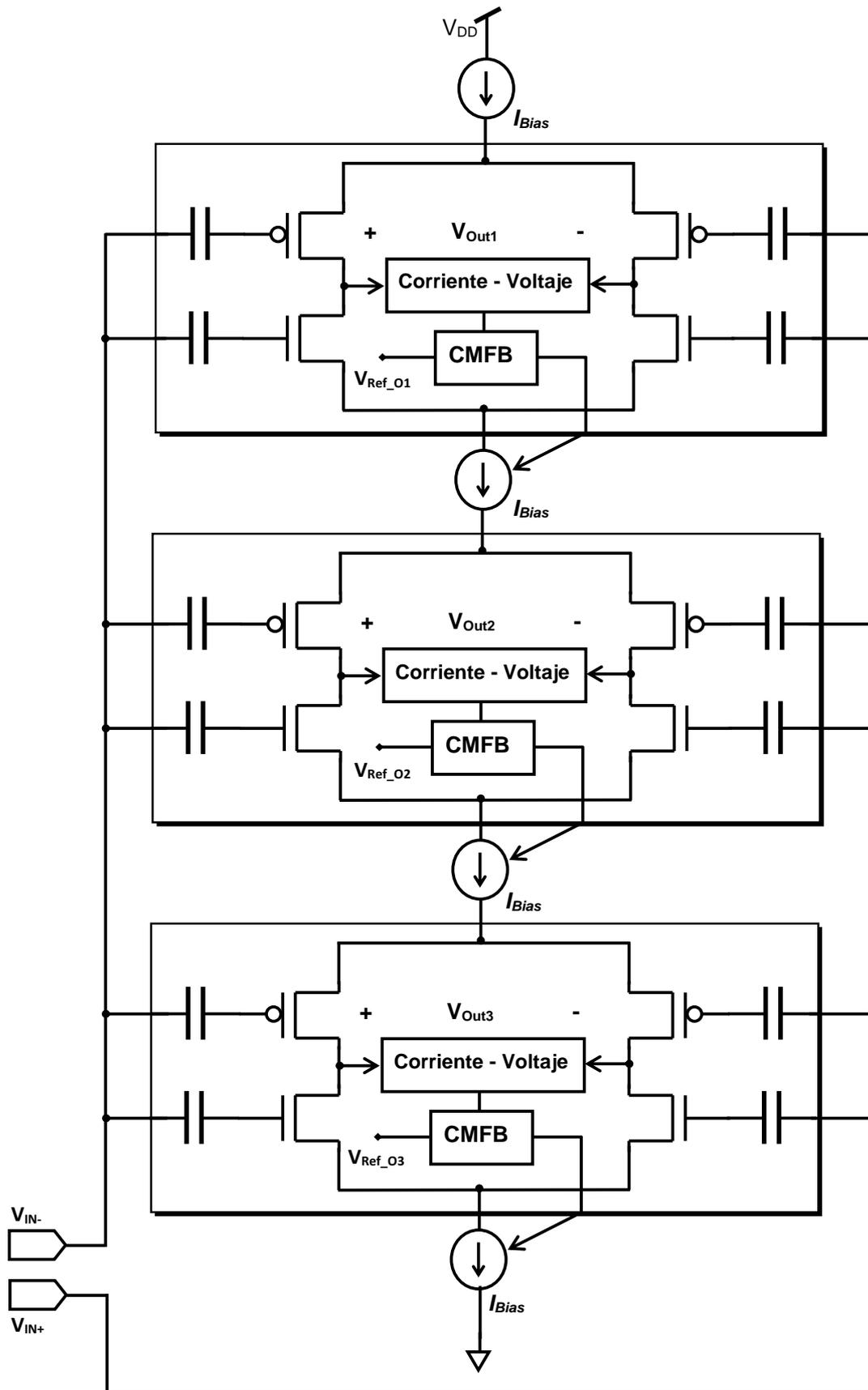


Figura I-6: Reutilización de corriente, con $N=3$ pares diferenciales complementarios apilados.

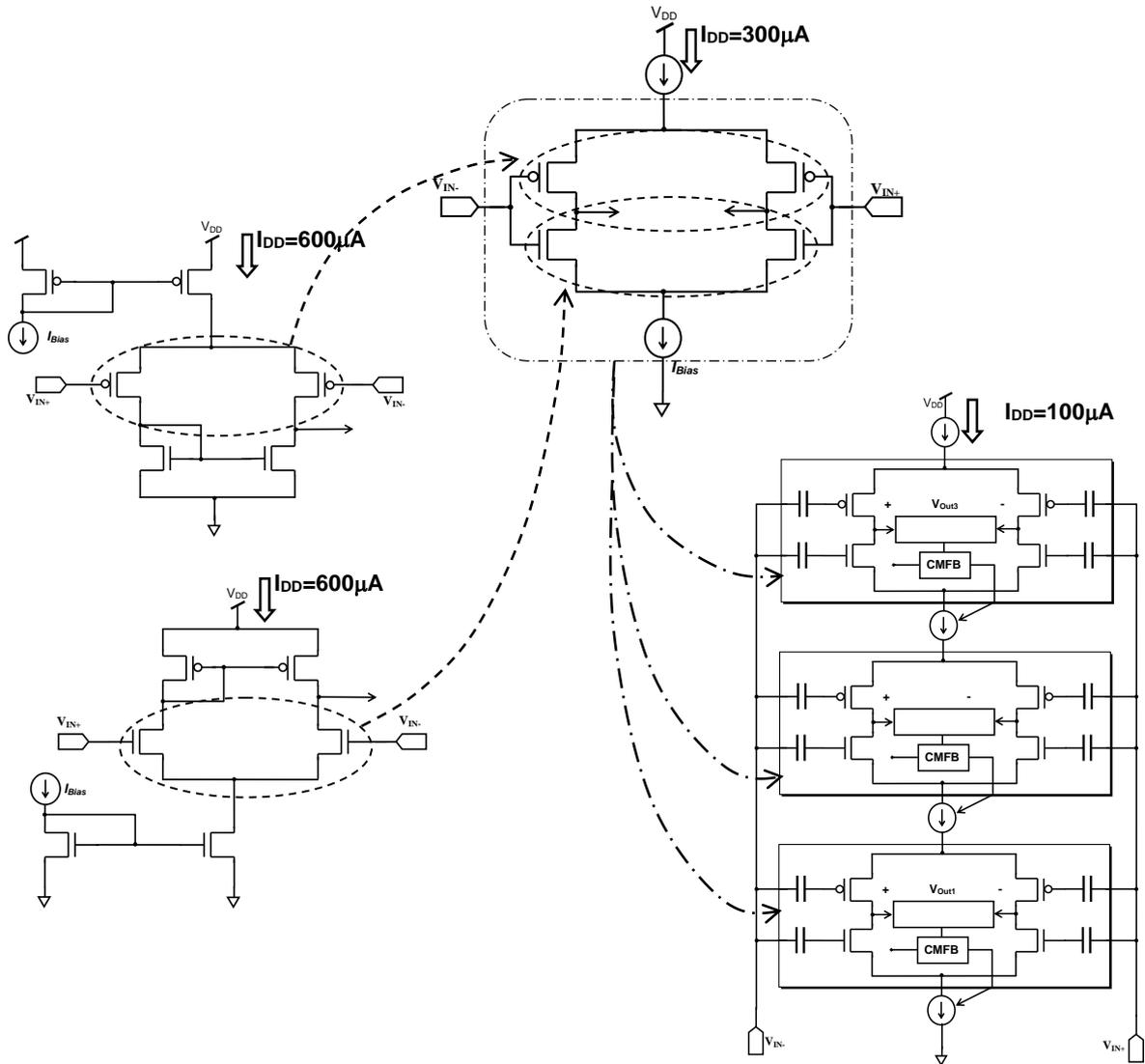


Figura I-7: Esquema de ahorro de consumo con la reutilización de corriente. El mismo ruido a la entrada que tendríamos con un par diferencial sea NMOS o PMOS consumiendo $600\mu\text{A}$ de la batería, se logra con un solo par diferencial complementario polarizado con $300\mu\text{A}$, o con 3 pares complementarios apilados consumiendo tan solo $100\mu\text{A}$ de la batería.

I.3.3. Conversor DC-DC Eficiente

La ventaja de apilar pares complementarios es que todos los transistores trabajan cerca del punto de saturación aprovechando al máximo el rango de $V_{DD} = V_{Bat}$ disponible. Otra opción posible para reducir el consumo de energía, es la disminuir el voltaje de alimentación para alimentar un único par o par complementario con los transistores también levemente saturados. El concepto de reducir tensión mediante un convertor DC-DC eficiente es bien conocido y muy utilizado en el caso de los circuitos digitales, donde el consumo de potencia es:

$$P_{digital} = \alpha \cdot C \cdot f_{clk} \cdot V_{DD}^2, \quad (I-3)$$

donde C es la capacidad media de las compuertas, f_{clk} la frecuencia de conmutación, α es el factor de utilización, y V_{DD} el voltaje de alimentación. Es claro que reducir el voltaje reduce fuertemente el consumo, ya que la dependencia de la potencia es cuadrática con V_{DD} . Para el caso de los circuitos analógicos, el consumo también depende del voltaje de alimentación:

$$P_{analog} = V_{DD} \cdot I_{DD} , \quad (I-4)$$

donde I_{DD} es la corriente que circula por la fuente de alimentación y la podemos asociar a la corriente de polarización de los circuitos analógicos. La mayoría de las propiedades que nos interesan de los circuitos analógicos (ruido, ancho de banda, etc.) dependen de la corriente de polarización de los transistores y por tanto de I_{DD} , pero no de V_{DD} o de la potencia como se verá en la sección III.2. Sin embargo, las baterías son de un voltaje V_{Bat} fijo relativamente alto en comparación con los mínimos voltajes de alimentación posibles en tecnologías modernas (las baterías para implantables están en el rango de 2 a 5V [8] y los circuitos analógicos pueden funcionar con 0.5V o menos [22]). Entonces también será de utilidad obtener un V_{DD} inferior a partir de V_{Bat} por medio de un convertor, para alimentar circuitos analógicos (aunque en este caso la reducción de potencia es lineal con V_{DD} de acuerdo a la ecuación I-4). La Figura I-8 es análoga a la Figura I-7, pero muestra cómo se puede reducir el consumo usando los convertores DC-DC obteniendo ruidos reducidos.

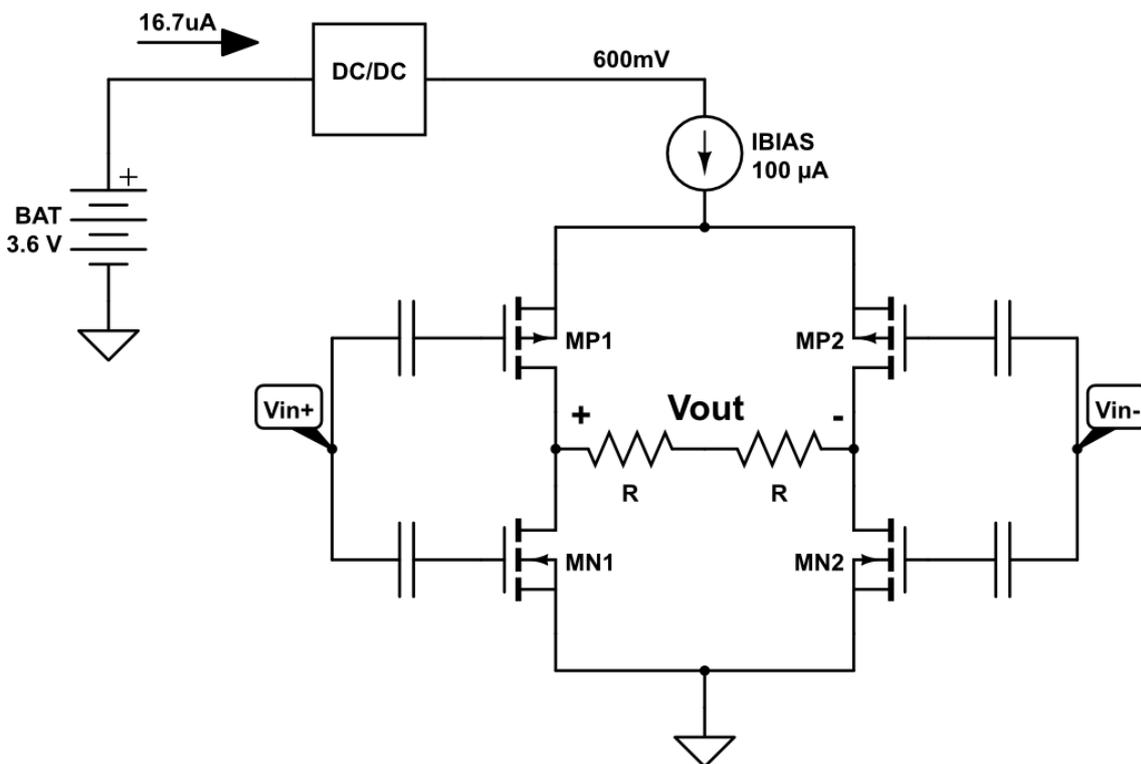


Figura I-8: Esquema para reducir el consumo manteniendo el ruido generado, usando convertores DC-DC. Con un convertor ideal de eficiencia 100% se drenan 100uA de la batería, pero se polariza con 600uA.

Es por eso que en el Capítulo IV se analiza cómo reducir el voltaje de alimentación en forma eficiente usando un convertor DC-DC inductivo para micro-consumo de potencia, lo que es un

área reciente en el desarrollo de circuitos integrados. En general, los convertidores DC-DC para microconsumo son implementados usando bombas de carga, pero en este trabajo se analizará utilizar un convertidor DC-DC de tipo step-down inductivo. Se buscarán alternativas para maximizar la eficiencia y se presenta un convertidor de 3.6V a 0.6V para 36μW de consumo de potencia.

I.4. Modelos de Ruido y Desapareo Utilizados

En el diseño de amplificadores para aplicaciones médicas implantables, es crucial poder estimar en forma precisa el ruido que introducen cada uno de los transistores y resistencias del circuito. Para esto es importante tener buenos modelos de ruido que dependan de los parámetros de diseño, válidos en todas las regiones de inversión puesto que en el caso de muy bajo consumo se trabaja mayormente en inversión moderada y débil. Tanto resistencias como transistores se modelan como un elemento ideal sin ruido, en paralelo con una fuente de corriente de ruido (o de voltaje en serie), como se ve en la Figura I-9. El modelo de ruido se refiere a la ecuación que determina la densidad espectral de potencia (PSD por sus siglas en inglés) de la corriente de ruido, en función de parámetros de la tecnología, la corriente de polarización, y largo y ancho en el caso del transistor MOS.

En el caso de la resistencia, la fuente de ruido relevante es el ruido térmico, originado en el movimiento aleatorio de las cargas, causado por las colisiones con los átomos vibrando debido a la agitación térmica. Aplicando el teorema de equipartición a una línea de transmisión sin pérdidas [23] a un circuito sintonizado [24] se puede demostrar que la PSD es independiente de la frecuencia y su valor es:

$$S_{iR}(f) = \frac{4k_B T}{R}. \quad (I-5)$$

Donde $S_{iR}(f)$ es la PSD del ruido térmico de la resistencia, k_B es la constante de Boltzmann, T es la temperatura absoluta y R el valor de la resistencia.

Para el caso del transistor existen dos fuentes principales de ruido a las frecuencias de interés de las aplicaciones médicas: el ruido térmico y el ruido de flicker. El ruido térmico es ocasionado también por el movimiento aleatorio debido a la agitación térmica en este caso de las cargas en el canal, y es proporcional a la carga total del canal [25]. Una ecuación más útil para el diseño es [12]:

$$S_{iT}(f) = \gamma n k_B T g_m. \quad (I-6)$$

Donde $S_{iT}(f)$ es la PSD del ruido térmico, $n \approx 1-1.5$ es el factor de pendiente [26], g_m es la transconductancia del transistor y $\gamma = 2$ o $8/3$ en inversión fuerte y débil respectivamente [12].

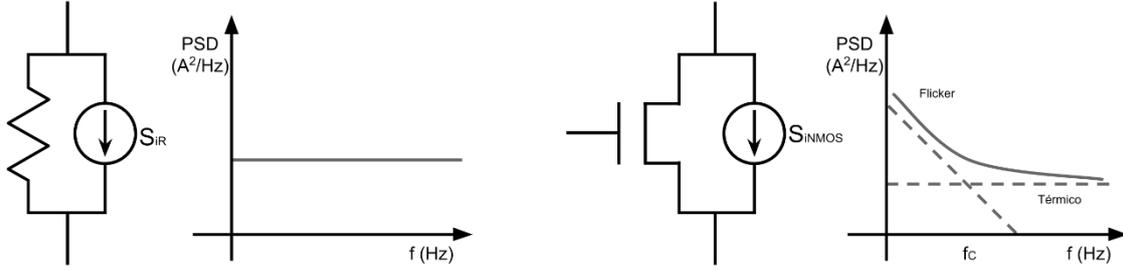


Figura I-9: Circuito equivalente y gráfica de la PSD, para resistencia y transistor. En el transistor se puede apreciar la mayor importancia del ruido de flicker a baja frecuencia y del térmico a altas frecuencias. La frecuencia donde ambos son iguales se llama f_c .

El ruido de flicker o ruido de $1/f$ es tal que su PSD varía de la forma $S_{iF}(f) = K/f^\delta$, donde K y δ son constantes con $\delta \approx 1$. El origen del ruido de flicker en el transistor MOS, son las fluctuaciones de la movilidad y el número de portadores, causados por los saltos aleatorios de los portadores en el canal, desde y hacia a las denominadas “trampas” en el óxido cerca de la superficie del semiconductor [27] [28] [29] [30]. Las trampas son estados localizados debido a dislocaciones (imperfecciones) en el óxido donde puede quedar momentáneamente atrapado un electrón, pero no viaja hacia el Gate sino que va y viene desde el canal. Para el diseño a mano e incluso simulaciones, un modelo muy utilizado del ruido de flicker es el llamado modelo empírico:

$$S_{iF}(f) = \frac{K_F \cdot g_m^2}{C'_{ox} WL} \cdot \frac{1}{f^\delta} \quad (I-7)$$

Donde K_F y δ son parámetros del proceso a ajustar, y C'_{ox} es la capacidad del óxido de compuerta por unidad de área. En [12] se muestra que este modelo no es consistente con la asociación serie o paralelo de transistores, pero igual es una muy buena aproximación de un modelo físico que sí lo es [27] y el modelo BSIM [11]. La ecuación I-7 representa correctamente el ruido de flicker en todas las regiones de inversión. En los simuladores SPICE, el modelo más usado, y para el cual los fabricantes reportan los parámetros, es el modelo BSIM3v3 [31]. Sin embargo, el modelo de ruido de flicker de BSIM es muy complejo para explorar el espacio de diseño en forma analítica, incluso interpola entre inversión débil y fuerte. En este trabajo utilizaremos por simplicidad el modelo de la ecuación I-7 ajustando si es necesario las constantes desde el modelo BSIM3v3 provisto por la foundry siguiendo el mismo procedimiento que en [32]. El efecto del ruido de flicker es más importante a bajas frecuencias mientras que, a altas frecuencias, es más importante el ruido térmico. La frecuencia de corte o f_c se define como la frecuencia a la que las componentes de ruido de flicker y térmico son iguales,

$$\gamma n k_B T g_m = \frac{K_F \cdot g_m^2}{C'_{ox} WL} \cdot \frac{1}{f_c^\delta} \Rightarrow f_c = \sqrt[\delta]{\frac{K_F \cdot g_m}{C'_{ox} WL \gamma n k_B T}} \quad (I-8)$$

El valor de la f_c depende del punto de operación (que define el g_m) y del área del transistor y puede ser fijado durante el diseño para cada transistor.

En la Figura I-10 se muestra una medida en nuestro laboratorio del ruido para un transistor NMOS. Se puede apreciar a bajas frecuencias el efecto del ruido de flicker y a altas frecuencias el ruido térmico.

Otro efecto que puede degradar el funcionamiento de un circuito analógico es el desapareo entre transistores [33]. El desapareo es causado por las pequeñas diferencias aleatorias en las concentraciones de impurezas, tamaños, etc. que existen entre transistores que fueron dibujados iguales, pero en la realidad no lo son.

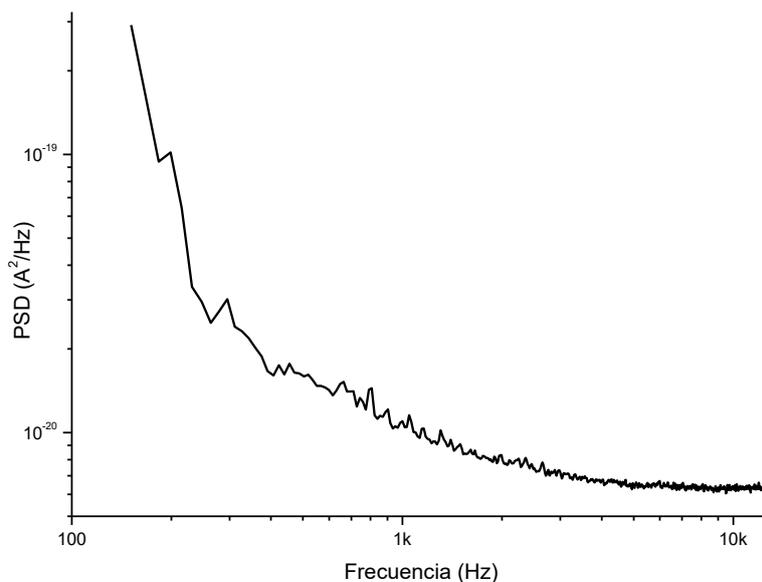


Figura I-10: Medición del ruido de un transistor.

Si bien existen diferentes modelos para el desapareo de transistores en [33] se propone un modelo válido para todas las regiones de operación, y que muestra que el efecto del desapareo es inversamente proporcional al área del transistor ($W \cdot L$). También se muestra que el modelado del desapareo es análogo al ruido de flicker, y por tanto tal como la ecuación I-7 es una buena aproximación del modelo físico de ruido de flicker, el modelo empírico de Pelgrom [34]:

$$\sigma(\Delta V_{T0}) = \frac{A_{V_{T0}}}{\sqrt{WL}} \quad \text{y} \quad \sigma\left(\frac{\Delta\beta}{\beta}\right) = \frac{A_{\beta}}{\sqrt{WL}}, \quad (\text{I-9})$$

es una buena aproximación del modelo físico de desapareo. En la ecuación I-9, $A_{V_{T0}}$ y A_{β} son constantes de la tecnología, y los fabricantes en general indican valores típicos para estos parámetros. Desde hace décadas el modelo de la ecuación I-9 es el más utilizado para estimar el desapareo entre transistores, y el que hemos utilizado a lo largo de esta tesis para evaluar el impacto del desapareo en los circuitos. En este trabajo, para poder minimizar el efecto del desapareo donde es crítico, se implementaron transistores grandes y se tomó cuidado de utilizar buenas técnicas de layout para aparear pares diferenciales, espejos, etc. En el Capítulo II, se comentarán las técnicas de layout utilizadas.

En los amplificadores, el desapareo se traduce en un offset aleatorio a la entrada, pero también impacta en el CMRR y PSRR del circuito, por ejemplo. Si bien en este trabajo no se utilizaron, se pueden utilizar técnicas de autozero o chopper para reducir o anular tanto el offset como el ruido de flicker [13]. Todos los circuitos que se verán en este trabajo son compatibles con estas técnicas sin demasiados cambios.

I.5. Organización del Documento

En este primer capítulo a modo de introducción se presentaron los requerimientos y compromisos de las aplicaciones implantables para la detección de las señales biomédicas. Seguidamente se planteó el problema central a resolver: el compromiso entre el consumo de corriente de un amplificador y el ruido que genera y cómo optimizar el uso de la energía disponible en la batería. Se delinearon en forma cualitativa las soluciones propuestas: espejos activos, reutilización de corriente, conversor DCDC. Se repasó el NEF, la principal figura de mérito utilizada para comparar amplificadores de instrumentación biomédicos. Finalmente se mostraron los modelos de ruido y desapareo empleados.

En el Capítulo II, se realiza un análisis del uso de espejos activos para bajar el voltaje de operación de los espejos de corriente y tener una alta impedancia a baja frecuencia. Se realiza un estudio sobre las características de estos espejos, para luego realizar el diseño de un espejo activo que funcione como fuente de corriente de $10\mu\text{A}$. Se presentan simulaciones y medidas de este circuito y se analizan las ventajas y desventajas del mismo.

En el Capítulo III, se presenta la idea de reutilización de corriente para amplificar señales con bajo ruido y mínimo consumo de potencia de la batería. Se realiza un análisis de las características de los amplificadores con reutilización de corriente, con particular énfasis en el ruido. Luego se muestra el diseño y medidas de un amplificador para señales nerviosas (ENG), con el que se obtuvo un NEF medido inferior al límite clásico de 1.

En el Capítulo IV, se analiza otra opción para minimizar el consumo, la reducción del voltaje de alimentación. Como las aplicaciones médicas son alimentadas por baterías con voltajes relativamente altos, se plantea el diseño de un conversor DC-DC de alta eficiencia para microconsumo. Se presentan y discuten los resultados de su implementación.

Finalmente, en el Capítulo V se resumen las principales conclusiones que se puede extraer de este trabajo, así como posibles líneas de trabajo futuro donde continuar.

Al final del documento se anexa un trabajo presentado en la CAMTA 2012, donde se describe una referencia de voltaje tipo bandgap de 1.024V y un consumo inferior a 200nA que se diseñó como bloque auxiliar para los circuitos de los Capítulos II y III. Se incluye como anexo ya que es un circuito medido, con resultados interesantes, pero auxiliar y que no sigue el hilo conductor de este trabajo.

II. Espejos Activos de Corriente

En este capítulo se analizará desde el punto de vista de ruido y consumo de corriente entre otros aspectos, las ventajas y desventajas del uso de espejos activos de corriente con resistencias [35], en lugar de los espejos de corriente tradicionales de dos transistores. En este trabajo llamaremos espejo activo de corriente, a un circuito con dos resistencias, un transistor de paso, y un amplificador de realimentación que impone la misma caída en las resistencias, igualando por tanto la corriente. Esta estructura no es nueva [36] [37] [38], y a veces se la ha nombrado como espejo “gain-boosted”, aunque con la misma denominación también existen otros circuitos bastante diferentes. Por ese motivo utilizaremos la denominación de espejo activo, aunque la decisión es arbitraria. Existen muy pocas referencias a circuitos que utilicen estos espejos activos dentro de amplificadores, menos aún de bajo ruido.

Una característica de estos espejos es que pueden trabajar con alta impedancia de salida a muy baja tensión, con caída tan baja como 50 o 100mV lo que puede ser muy práctico para el objetivo de esta tesis, eliminando la potencia disipada en espejos y fuentes de corriente como se discutió en el capítulo anterior. En este capítulo en primer lugar, se estudiará en forma analítica las principales características de los espejos activos de corriente tales como offset, ruido, o impedancia de salida, y también se delinearán algunos criterios de diseño. Como prueba de concepto a continuación se presenta el diseño de un espejo de corriente activo, para una corriente nominal de 10 μ A, el circuito fue fabricado y medido, cumpliendo con las expectativas de precisión, alta impedancia de salida, y muy bajo voltaje de operación. Se incluye también un detalle de los cuidados que se tomaron cuando se realizó el layout, los cuales son generales para todos los circuitos presentados en este trabajo. Finalmente se presentan medidas y conclusiones preliminares. Al comienzo de este trabajo se esperaba darles mayor utilidad a los espejos activos, pero finalmente la técnica de apilar transistores discutida en el capítulo anterior resultó más eficiente. De todos modos, el espejo activo diseñado, será utilizado como fuente de corriente para el amplificador con reutilización de corriente del Capítulo III, lo que permitió reducir al mínimo la tensión de alimentación.

II.1. Introducción

Los espejos de corriente son uno de los bloques fundamentales de cualquier circuito analógico, pero como se comentó en el Capítulo I, los espejos clásicos requieren en general algunos cientos de mV para funcionar correctamente. Como se observa en la Figura II-1, para el correcto funcionamiento del espejo, el transistor M_2 debe estar saturado, para lo que son necesarios aproximadamente unos 200-300mV mínimo de tensión V_{DS2} . Peor aún, el transistor M_1 , debe garantizar una caída en general aún mayor debido al V_{GS} . Esta caída puede ser cercana a 1V en tecnologías de uso habitual para aplicaciones implantables, lo cual limita el bajo voltaje de alimentación.

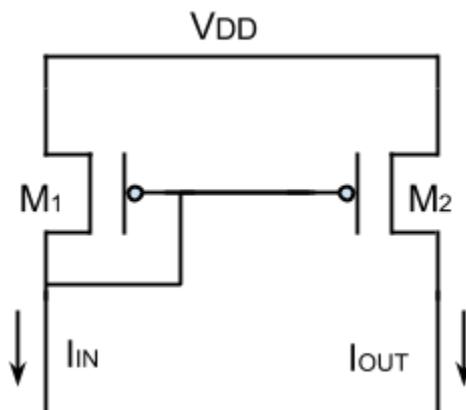


Figura II-1: Espejo de corriente tradicional.

Como se discutió en el Capítulo I, en referencia a la Figura I-2, esta caída de voltaje implica una pérdida de potencia importante en un amplificador implementado con un par diferencial con carga activa. Siendo nuestro objetivo principal reducir al mínimo el consumo de potencia de un amplificador de bajo ruido, un primer abordaje que se intentó para minimizar la caída de tensión en un amplificador, fue sustituir los espejos y fuentes de corriente de la etapa de entrada del circuito de la Figura I-2, por espejos activos como en la Figura II-2. La idea es simple: en vez de poner dos transistores iguales, saturados, en configuración espejo, se colocan dos resistencias iguales, y un transistor de paso en serie con una de ellas, junto con un lazo de realimentación. En el ejemplo de la Figura II-2 el lazo es simplemente un OTA que ajusta la tensión de gate V_{G1} de M_1 de manera que la corriente por ambas resistencias sea exactamente la misma. La tensión en las resistencias puede ser muy baja, de hasta algunas decenas de mV, pero lo que hace a este espejo muy atractivo para bajo voltaje es que el transistor M_1 no tiene por qué estar saturado y podrá trabajar también tan solo con caída de algunas decenas de mV. La idea no es nueva, sin embargo, la estructura se utiliza poco. En [35] se propone un espejo activo para controlar la corriente por una resistencia; en [36] se propone utilizar varias topologías similares para incrementar la impedancia de salida y mantener un bajo voltaje de alimentación. Por otro lado, en [37] se propone un espejo activo para aumentar la velocidad de un decodificador analógico y en [38] se discuten varias maneras de implementar espejos, incluyendo el espejo activo.

Por un lado, es claro que el área ocupada por el circuito de la Figura II-2 va a ser mucho mayor en comparación con el caso de un espejo simple, se tiene el consumo extra de energía del lazo de control, y es necesario investigar qué problemas puede introducir el espejo activo al circuito como inestabilidad, ruido, degradación del CMRR, offset, o pérdida de ancho de banda. Pero ninguno de estos problemas aparece como inherente al propio espejo activo, y será necesario estudiar caso a caso. Finalmente cabe mencionar que, aunque el espejo opera con una caída de tan solo digamos 100mV por las ramas de I_{IN} e I_{OUT} , el OTA va a requerir una fuente de alimentación mayor. Sin embargo, como se demostrará, el OTA de realimentación puede ser alimentado con una corriente de uno o dos órdenes de magnitud menor sin degradar la performance del espejo en forma significativa. De modo que en su conjunto puede ser un bloque de utilidad para reducir el consumo de potencia en comparación con un espejo clásico.

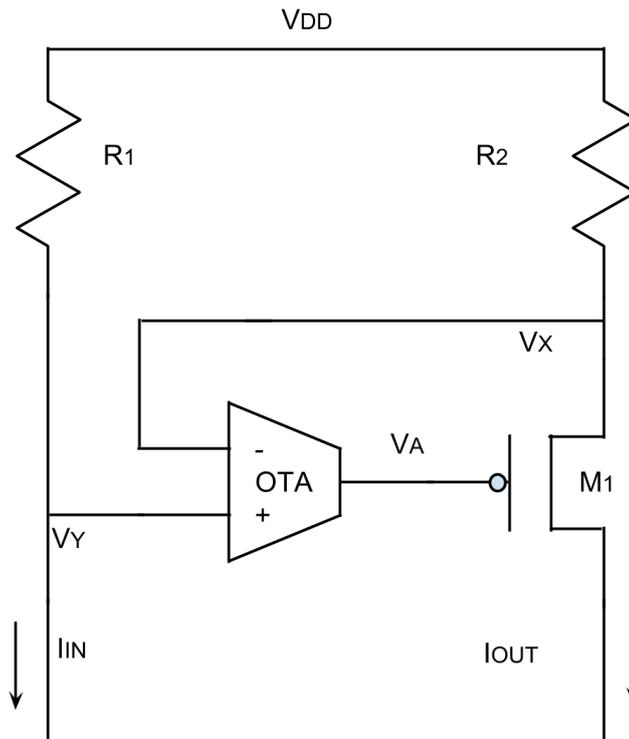


Figura II-2: Espejo de corriente activo.

El circuito de la Figura II-2 muestra un espejo conectado a la alimentación V_{DD} , y es fácil imaginarse un espejo análogo conectado a GND, donde M_1 sería un transistor NMOS. Para el caso de una etapa amplificadora, el equivalente al circuito de la Figura I-2, se muestra en la Figura II-3, donde se sustituyeron todos los espejos de corriente por espejos de corrientes activos. Se puede observar que el espejo activo superior, realiza una copia multiplicada por 20, mientras que el inferior realiza una copia 1:1. El factor $\times 20$ es para evitar consumo significativo por la rama de R_1 .

Es claro que en DC la impedancia de salida del espejo activo es muy grande, pero para señales AC esta impedancia disminuye debido al ancho de banda limitado del OTA de realimentación y la capacidad de gate de M_1 . Para aplicaciones médicas, las señales de interés son todas de baja frecuencia y el incremento en área no es crítico, por lo que los espejos activos son aplicables.

En las siguientes secciones del Capítulo II, primero se analizarán las características del espejo activo incluyendo offset, ruido, estabilidad, etc., luego se muestra como prueba de concepto el diseño y medidas de un espejo activo para $10\mu A$, que será utilizado como fuente de corriente en el amplificador del Capítulo III.

$\Delta I = I_{OUT} - I_{IN}$ entre la corriente de salida I_{OUT} y la corriente de entrada I_{IN} de la Figura II-2.

Esta diferencia se puede expresar:

$$\Delta I = \frac{V_{off}}{R} + \frac{\Delta R \cdot I}{R + \Delta R} \approx \frac{V_{off}}{R} + \frac{\Delta R \cdot I}{R}. \quad (II-1)$$

Donde V_{off} es el voltaje de offset del OTA, ΔR es la diferencia entre las dos resistencias R , e $I = I_{IN} \approx I_{OUT}$. Con un diseño cuidadoso el offset sistemático del OTA puede ser anulado, pero siempre va a existir un offset aleatorio, al igual que un desapareo aleatorio de las resistencias. Para determinar la variación de la corriente, calculamos la varianza sobre la ecuación II-1:

$$\frac{\sigma_{I_{Out}}}{I_{Out}} = \sqrt{\left(\frac{\sigma_{V_{off}}}{R \cdot I_{Out}}\right)^2 + \left(\frac{\sigma_R}{R}\right)^2} = \sqrt{\left(\frac{\sigma_{V_{off}}}{V_{Drop}}\right)^2 + \left(\frac{\sigma_R}{R}\right)^2}. \quad (II-2)$$

Donde $\frac{\sigma_R}{R}$ es un dato de la tecnología a utilizar, que depende en general del área total de la resistencia y V_{Drop} es la caída de voltaje DC en la resistencia. Para la tecnología utilizada, se puede determinar $\frac{\sigma_R}{R} = \frac{A_R}{\sqrt{W \cdot L}}$, con $A_R = 4.57\% \mu m$. Nuestra experiencia indica que realizando un diseño y layout cuidadoso y utilizando tamaños razonables de transistores, aún sin utilizar técnicas de circuitos avanzadas como autozero, $\sigma_{V_{off}}$ puede ser cercano a 1mV o menos [39] [40]. La ecuación II-2 permite diseñar el espejo para un determinado error aceptable en la copia de corriente en función del área disponible para R y la caída V_{Drop} .

II.2.2. Impedancia de Salida

La Figura II-4 muestra el circuito equivalente de pequeña señal del espejo activo de la Figura II-2, el cual será utilizado para determinar su impedancia de salida. Si bien se espera que el transistor M_1 en la aplicación deseada funcione en zona lineal, se realizó el análisis en forma genérica, ya que también podría estar saturado según el punto de operación. Cuando el transistor está saturado, la fuente de corriente del modelo pequeña señal de M_1 es predominante, mientras que la resistencia es relativamente grande. Cuando funciona en zona lineal, la resistencia reduce mucho su valor y pasa a ser la predominante, pero el modelo de pequeña señal es válido en todos los casos. Para los parámetros de pequeña señal es posible utilizar las ecuaciones del modelo ACM [26], por ejemplo, que permiten obtener ecuaciones válidas para todo punto de operación.

Mirando la Figura II-4, se pueden determinar los voltajes:

$$\begin{aligned} V_Y &= 0 ; V_X = R \cdot I_{IN} ; V_A = V_X \cdot g_m \cdot \left(R_o \parallel \frac{1}{C_{GS}} \right) \\ &= \frac{V_X \cdot g_m \cdot R_o}{1 + R_o C_{GS}}, \end{aligned} \quad (II-3)$$

y la corriente:

$$I_{IN} = -g_{m1}(V_A - V_X) + \frac{(V_{IN} - V_X)}{R_{DS}}. \quad (II-4)$$

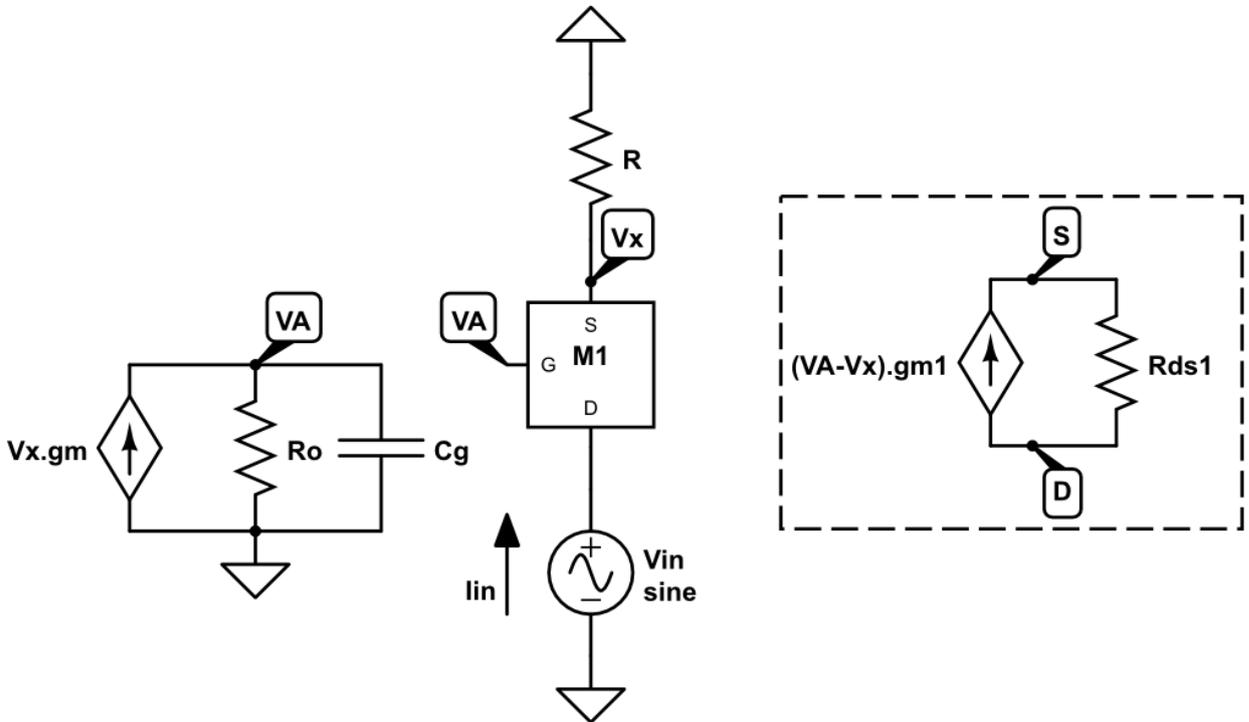


Figura II-4: Análisis en pequeña señal del espejo activo. El modelo es válido para todos los puntos de funcionamiento, con diferentes valores de g_{m1} y R_{DS1} .

Sustituyendo en la ecuación II-4 las ecuaciones II-2 se determina:

$$Z = \frac{V_{IN}}{I_{IN}} = R + R_{DS} + R \cdot R_{DS} \cdot g_{m1} \cdot \left(\frac{g_m \cdot R_o}{1 + R_o C_{GS}} - 1 \right). \quad (II-5)$$

Donde el término final de la multiplicación puede ser escrito como $\left(\frac{g_m \cdot R_o}{1 + R_o C_{GS}} - 1 \right) = (A - 1)$, donde A es la ganancia del sistema de realimentación.

Está claro que, a baja frecuencia, se puede aumentar la impedancia de salida en comparación con el espejo tradicional (R_{DS}).

En caso que el sistema funcione en zona lineal, la resistencia equivalente $R_{DS1}=R_{ON}$ es:

$$R_{ON} = \frac{1}{\beta(V_{GS} - V_T)} \approx R_o \left(1 - \frac{\Delta V_{GS}}{V_{GS} - V_T} \right) = R_o \left(1 - \frac{\Delta V_{GS}}{K} \right). \quad (II-6)$$

Donde R_o es la resistencia en el punto de equilibrio, ΔV_{GS} es la variación en pequeña señal del voltaje y K es una constante en el punto de operación. En este caso se puede tomar como que el $g_{m1} \approx 0$ y la ecuación II-4 se transforma en:

$$I_{IN} = \frac{V_{IN} - V_X}{R_0 \left(1 - \frac{V_A - V_X}{K}\right)} \quad (II-7)$$

Sustituyendo II-3 en II-7 y operando:

$$Z = \frac{V_{IN}}{I_{IN}} = R + R_0 + \frac{R \cdot R_0 \cdot I_{IN}}{K} \cdot \left(\frac{g_m \cdot R_0}{1 + R_0 C_{GS}} - 1\right) \quad (II-8)$$

El problema de utilizar la ecuación II-8 es que la impedancia depende de la corriente en señal I_{IN} por lo cual no es útil para realizar un diseño. Son muchos los posibles puntos de operación y casos de estudio, por lo cual se decidió simular la impedancia de salida. En la Figura II-10 se pueden ver simulaciones de la impedancia de salida para diversos casos, correspondientes al ejemplo de diseño que se desarrollará en este capítulo.

II.2.3. Ancho de Banda y Estabilidad

De manera similar a la de la sección anterior, se estudió el ancho de banda del espejo de corriente. Para esto se muestra el circuito de análisis en pequeña señal en la Figura II-5. Operando en el circuito podemos obtener que:

$$\frac{I_{OUT}}{I_{IN}} = \frac{R \cdot g_{m1} \cdot A}{1 + \frac{R}{R_{DS}} + R \cdot g_{m1} \cdot (A + 1)} \quad (II-9)$$

Donde $A = \frac{g_m \cdot R_0}{1 + R_0 C_{GS}}$ es la ganancia del lazo de realimentación. El producto $g_m \cdot R_0$ es en general muy grande y a baja frecuencia $I_{OUT} = I_{IN}$.

Nuevamente debido a la gran cantidad de posibles puntos de operación, se simuló finalmente el ancho de banda en el caso de estudio, como se ve en la Figura II-12. También se estudió la estabilidad, abriendo el lazo de realimentación y el sistema resultó estable para todos los puntos de operación verificados, con margen de fase amplio.

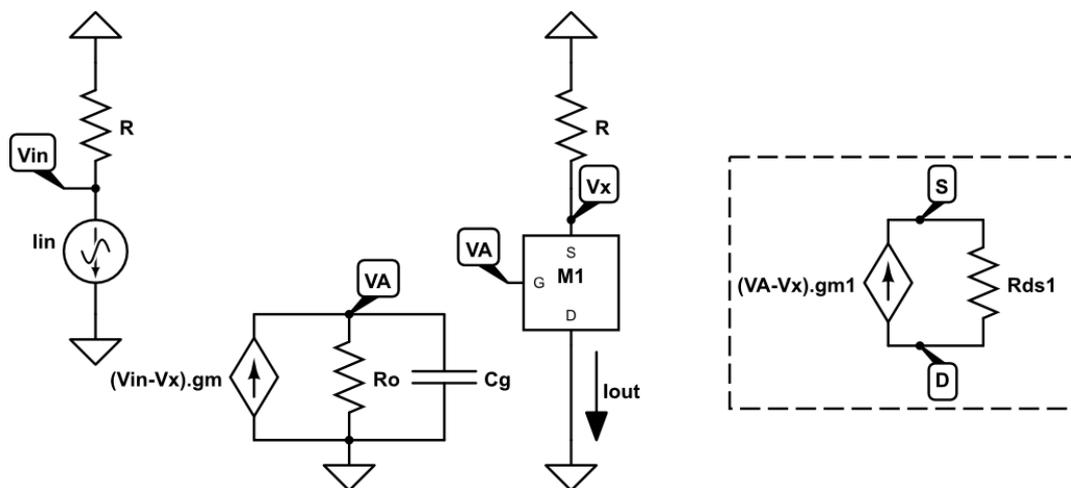


Figura II-5: Análisis de pequeña señal para el estudio del ancho de banda del espejo.

II.2.4. Ruido

Finalmente es importante calcular cual es el ruido introducido por el espejo. En este caso se realizará el análisis únicamente para ruido blanco, pero se puede extender fácilmente al ruido de flicker.

Podemos identificar 3 fuentes de ruido: las dos resistencias y el OTA; la Figura II-6 muestra el esquemático del espejo activo incluyendo las fuentes de ruido. La PSD del ruido en corriente generado por una resistencia es:

$$S_{IR} = \frac{4k_B T}{R} . \quad (\text{II-10})$$

Donde k_B es la constante de Boltzmann, T es la temperatura en grados Kelvin. En un OTA estándar como el de la Figura I-2, podemos considerar que hay 4 transistores que introducen ruido. Si todos están en inversión débil para poder funcionar con muy baja corriente de polarización, el ruido a la entrada del OTA se puede calcular como [12]:

$$S_{VOTA} = \frac{4\gamma n k_B T}{G_m} . \quad (\text{II-11})$$

Donde $\gamma n \approx 4$ para los transistores operando en inversión débil, y G_m es la transconductancia del OTA.

El ruido de la resistencia R_1 , genera una variación en el voltaje de entrada del OTA V_y , al igual que el ruido a la entrada del OTA. Esta diferencia de voltaje se traslada a una variación en el voltaje V_x , que luego la resistencia R_2 convierte en ruido en corriente a la salida. La resistencia R_2 , ya está generando ruido en corriente a la salida. Entonces el ruido en corriente S_{IOut} a la salida del espejo activo de la Fig.II-5 se puede modelar con la siguiente ecuación:

$$S_{IOut} = \frac{4k_B T}{R_2} + \frac{4k_B T R_1}{R_2^2} + \frac{4\gamma n k_B T}{G_m R_2^2} = \frac{8k_B T}{R} + \frac{4\gamma n k_B T}{G_m R^2} . \quad (\text{II-12})$$

Donde la segunda igualdad corresponde al caso en que ambas resistencias sean iguales. Para poder determinar si el ruido producido por el espejo activo es importante al implementar una etapa amplificadora como en la Figura II-3, podemos compararlo con el ruido del par diferencial de entrada de la misma Figura, que se asume operando en inversión débil. La PSD de corriente de ruido del par de entrada es:

$$S_{IPD} = 2\gamma n k_B T g_m . \quad (\text{II-13})$$

Si consideramos el circuito de la Figura II-3, vemos que tenemos dos espejos activos; por la inferior pasa una corriente I_D igual a la que pasa por cada transistor del par diferencial, mientras que por el superior circula un corriente $I_{BIAS} = 2.I_D$.

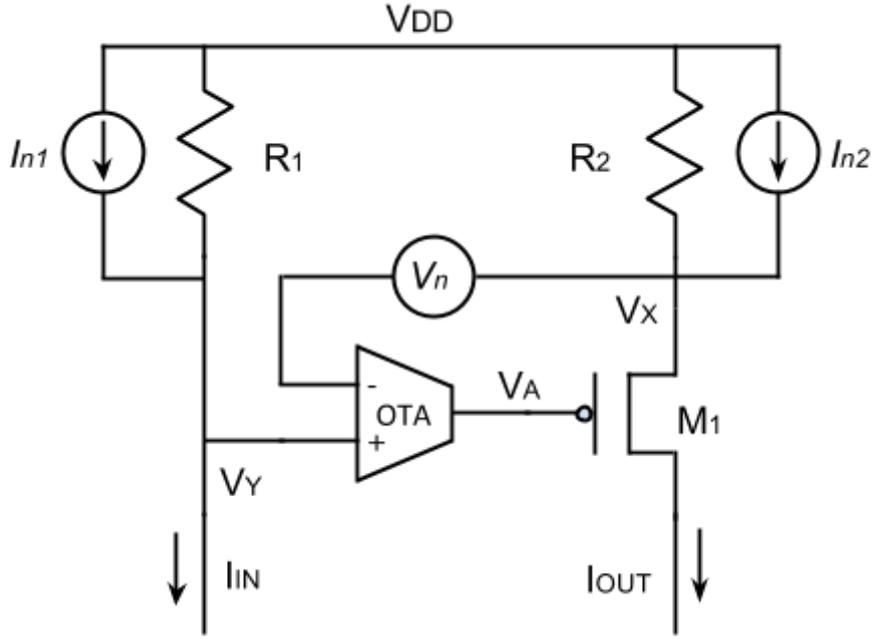


Figura II-6: Esquemático del espejo activo con las fuentes de ruido incluidas.

Analizaremos el ruido en el primer caso, ya que el ruido del espejo que funciona como fuente de polarización (el superior) no contribuye al ruido del OTA. Se analizará cada una de las dos componentes de ruido de SI de la ecuación II-12 por separado. Comenzando por el ruido de las resistencias:

$$\frac{S_{IR}}{S_{IPD}} = \frac{8k_B T/R}{2\gamma n k_B T g_m} \approx \frac{1}{R g_m} = \frac{1}{R I_D (g_m/I_D)} \approx \frac{1}{V_{Drop} \times 25}. \quad (\text{II-14})$$

Donde V_{Drop} es la caída en la resistencia, y se tomó g_m/I_D en inversión débil aproximadamente igual a 25. Por otro lado, si miramos el ruido del OTA:

$$\begin{aligned} \frac{S_{IOTA}}{S_{IPD}} &= \frac{4\gamma n k_B T}{G_m R^2} / 2\gamma n k_B T g_m = \frac{2}{G_m R^2 g_m} = \\ &= \frac{2}{R^2 I_D (g_m/I_D) I_{POL} (G_m/I_{POL})}. \end{aligned} \quad (\text{II-15})$$

Si tomamos $I_D = N \cdot I_{POL}$, siendo I_{POL} la corriente de polarización del OTA, y N será un número mayor que 1 para reducir el consumo de corriente (N es una elección durante el diseño); y considerando que todos los pares funcionan en inversión débil:

$$\frac{S_{IOTA}}{S_{IPD}} \approx \frac{2N}{R^2 I_D^2 25^2} = \frac{2N}{(V_{Drop} \times 25)^2}. \quad (\text{II-16})$$

Por lo tanto, combinando las ecuaciones II-15 y II-16, podemos determinar:

$$\frac{S_I}{S_{IPD}} = \frac{1}{V_{Drop} \times 25} + \frac{2N}{(V_{Drop} \times 25)^2}. \quad (II-17)$$

De la ecuación II-17, se desprende que cuanto menor sea la caída en el espejo (V_C) mayor va ser el ruido y mientras menor sea el consumo del OTA de realimentación mayor será el ruido. Como ejemplo si se elige una caída $V_C=200\text{mV}$ y un $N=10$, el ruido generado por el espejo de corriente activo es igual al generado por el par diferencial. Y en general uno querría reducir V_{Drop} incluso más, lo que resultaría en ruido cada vez mayor del espejo. Por esta razón, si bien en algún caso eligiendo V_{Drop} y N de manera adecuada puede ser útil usar estos espejos activos como la carga activa del par diferencial (espejo de abajo en la Figura II-3, transistor de paso M_2) en general no son una opción ideal para bajo ruido y bajo consumo. Sin embargo, para el espejo que actúa como fuente de polarización (espejo de arriba en la Figura II-3, transistor de paso M_1) donde el ruido no es importante, sí pueden ser utilizados.

II.3. Diseño de un Espejo Activo de $10\mu\text{A}$

Como prueba de concepto en esta sección se presenta el diseño de un espejo activo que conduce una corriente nominal de $10\mu\text{A}$, el que será utilizado en el Capítulo III para polarizar un amplificador para señales ENG. Las especificaciones del espejo se resumen en la Tabla II-A.

El criterio del consumo del OTA es arbitrario, tan sólo se intentó demostrar que se podían lograr buenos resultados con un consumo de corriente insignificante del lazo de realimentación. La Figura II-7 muestra un esquemático del circuito implementado. Para reducir el consumo por la rama derecha, se tomó una relación de 200:1 entre las dos resistencias, utilizando de esta manera una corriente de entrada de solamente 50nA .

Tabla II-A: Especificaciones del espejo activo de corriente.

Característica	Especificación inicial
Voltaje de alimentación: V_{DD}	Nominal: 3.6V Variable de 3.4V a 4.2V
Corriente de salida: I_{OUT}	$10\mu\text{A}$
Caída de Voltaje $V_{Drop}=V_{DD}-V_{OUT}$	100mV o menos
Consumo en corriente del OTA	$<1\% I_{Out}$

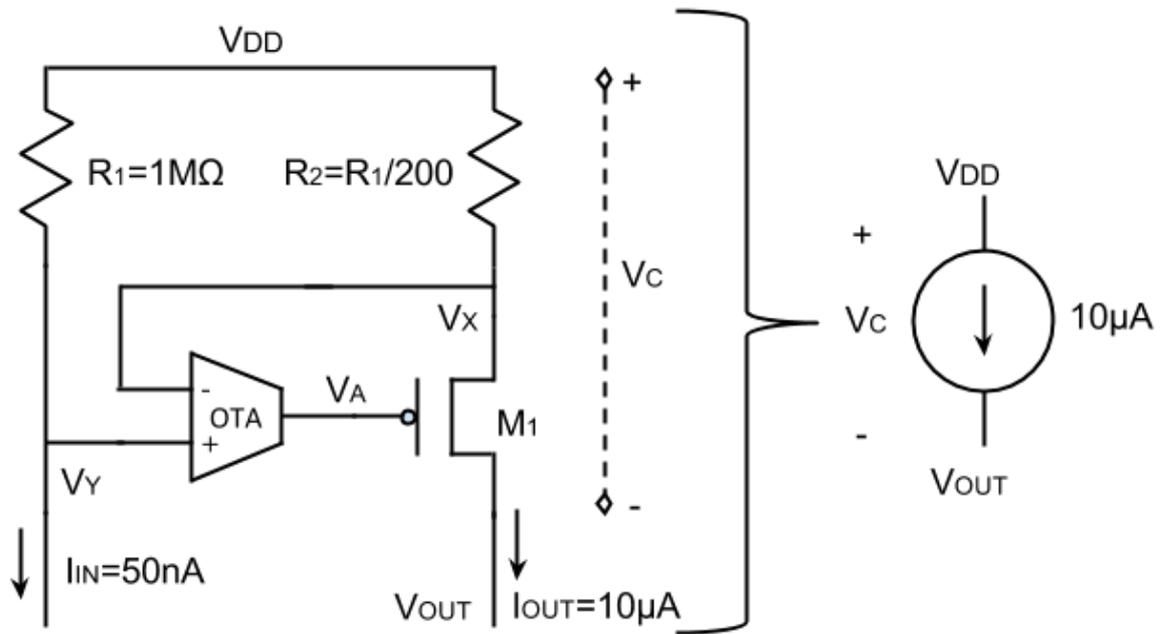


Figura II-7: Esquemático del espejo activo funcionando como fuente de corriente de $10\mu\text{A}$.

Al tomar una resistencia $R_1=1\text{M}\Omega$, la caída de voltaje en las resistencias es $V_{DD}-V_Y=50\text{mV}$. Este valor se eligió como un compromiso razonable con el error en la copia de corriente, según la ecuación II-2. Para dimensionar M_1 , se consideró cuál sería su resistencia en zona lineal (ecuación II-6) para que la caída en el mismo sea del entorno de 50mV si pasan $10\mu\text{A}$. Para el tamaño elegido de $W=100\mu\text{m}$ y $L=4\mu\text{m}$, la resistencia para un valor de $V_A=V_{DD}/2$ es de $R_{ON}=1.2\text{k}\Omega$. Para este tamaño se puede determinar la capacidad de gate $C_{G1}=1\text{pF}$. Luego se determinó, utilizando simulaciones los valores del g_m del OTA adecuados para la aplicación. En la Figura II-8 se muestra un esquemático del OTA implementado, y en la Tabla II-B se ven los tamaños de los transistores. El OTA tiene entrada NMOS para no tener problemas de modo común, trabajando tan cerca de V_{DD} . El consumo total del transconductor es de 20nA , y el de la resistencia de entrada es 50nA . Por lo que el consumo extra total es 70nA , cumpliendo con los requerimientos iniciales. Este diseño muestra que incluso con un consumo extra menor al 1%, se puede implementar un espejo activo.

Tabla II-B: Tamaño de los transistores del OTA de realimentación.

Nombre	W / L
M_1 (W/L)	5/40
M_2 (W/L)	20/10
M_3 (W/L)	20/10
M_4 (W/L)	20/10
M_5 (W/L)	20/10
M_6 (W/L)	20/10
I_{Bias}	10nA

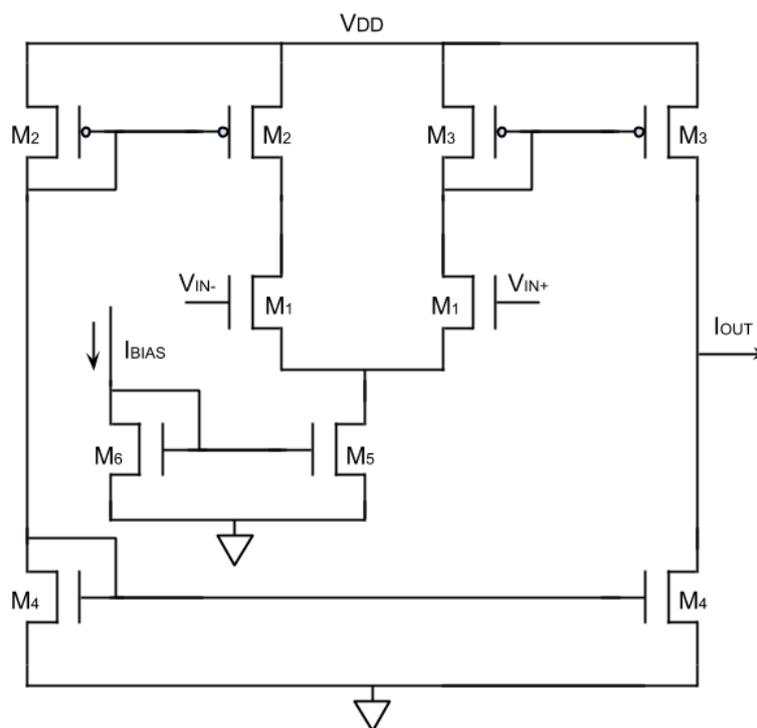


Figura II-8: Esquemático del OTA de realimentación implementado. $I_{BIAS} = 10nA$.

II.4. Simulaciones

En esta sección se presentarán los resultados obtenidos mediante simulaciones de la fuente de corriente diseñada. En primer lugar, se simuló cuál es la mínima diferencia de voltaje requerida para que la fuente de corriente funcione correctamente. La Figura II-9 muestra que el espejo funciona correctamente hasta con una diferencia de tan sólo 65mV, cumpliendo con el objetivo principal de diseño de reducir el voltaje de alimentación. En la Figura II-10 se muestra la impedancia de salida del espejo activo (EA), y la de un espejo tradicional (ET) como en la Figura II-1 con un transistor de salida igual al transistor de salida del espejo activo, aunque esta elección es arbitraria. Claramente a bajas frecuencias, el espejo activo es superior para voltajes de salida V_{OUT} iguales. Este efecto es aún más notorio cuando se reduce la diferencia $V_{DD}-V_{OUT}$, donde la impedancia de salida de los espejos tradicionales es muy baja. Si se quiere aumentar la impedancia a frecuencias medias y altas de la fuente activa, la opción más sencilla es aumentar el valor (corriente de polarización) de la transconductancia de realimentación. La Figura II-11 muestra el comportamiento de la impedancia de salida al variar la fuente de corriente de polarización del OTA, implementado entre 5nA y 100nA. Hay que destacar que, para estas simulaciones, el OTA no fue rediseñado para operar en condiciones óptimas con esta nueva fuente de polarización, por lo cual el efecto de aumento de impedancia de salida a frecuencias superiores puede ser aún mayor con un diseño cuidadoso. La Figura II-12 muestra el ancho de banda de la fuente de corriente para distintas corrientes de polarización. Se eligió alimentar con $I_{Bias}=10nA$ (5nA por cada transistor) el OTA de realimentación porque es la menor corriente para la cual la ganancia se reduce en menos del 5% para 5kHz.

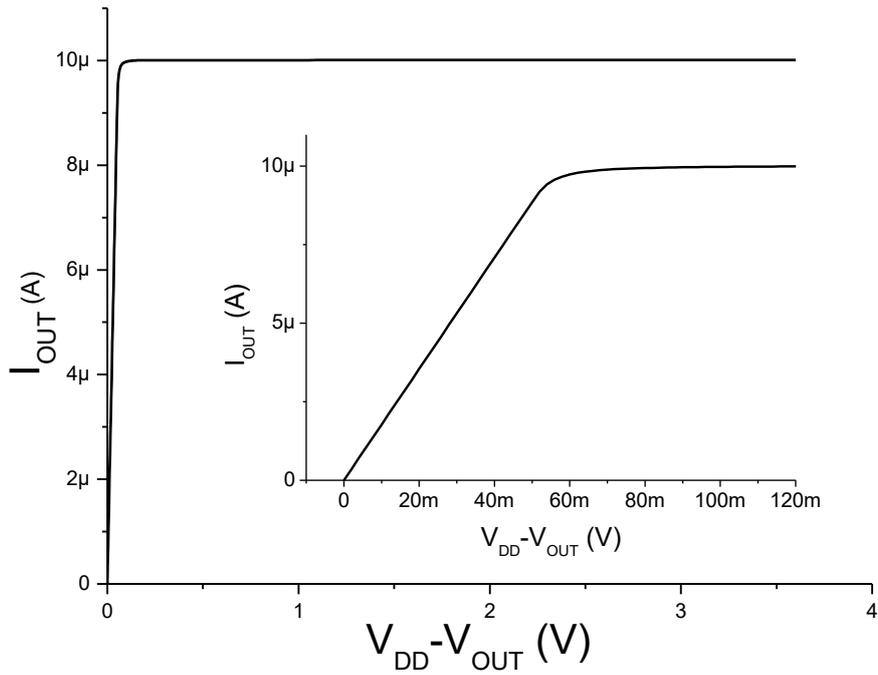


Figura II-9: Funcionamiento de la fuente de corriente diseñada para distintos voltajes de salida.

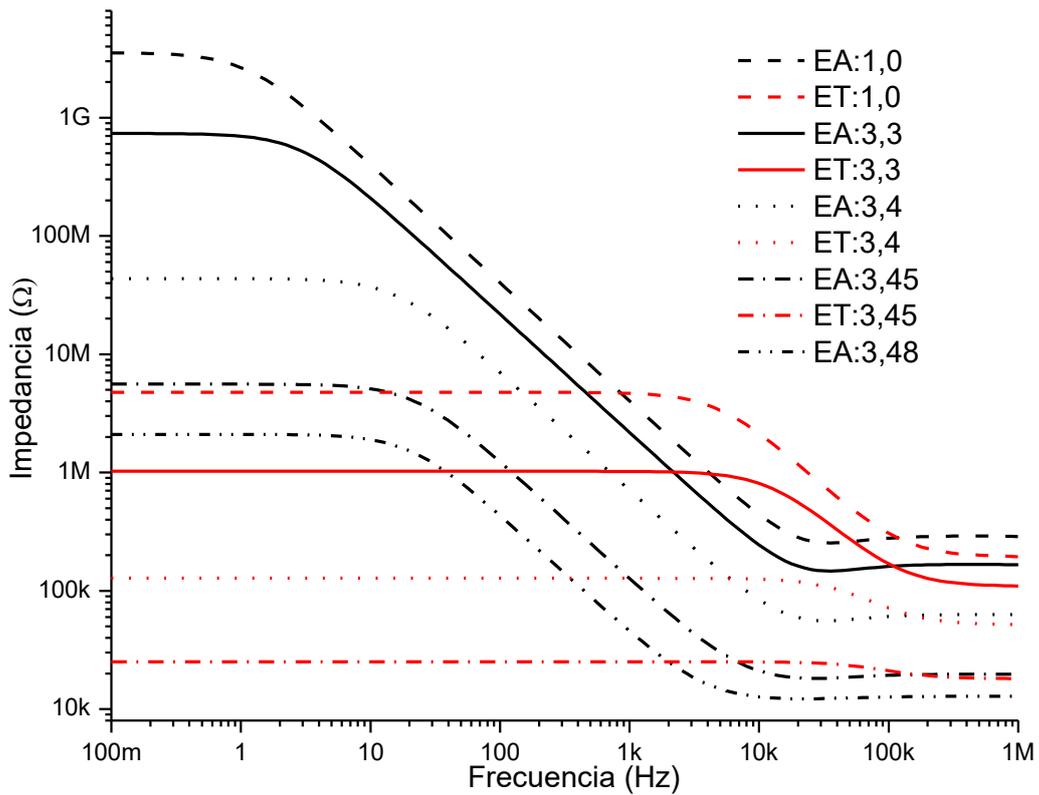


Figura II-10: Impedancia de salida en función de la frecuencia. Se puede ver que para un mismo V_{OUT} a baja frecuencia, la impedancia del espejo activo es mayor.

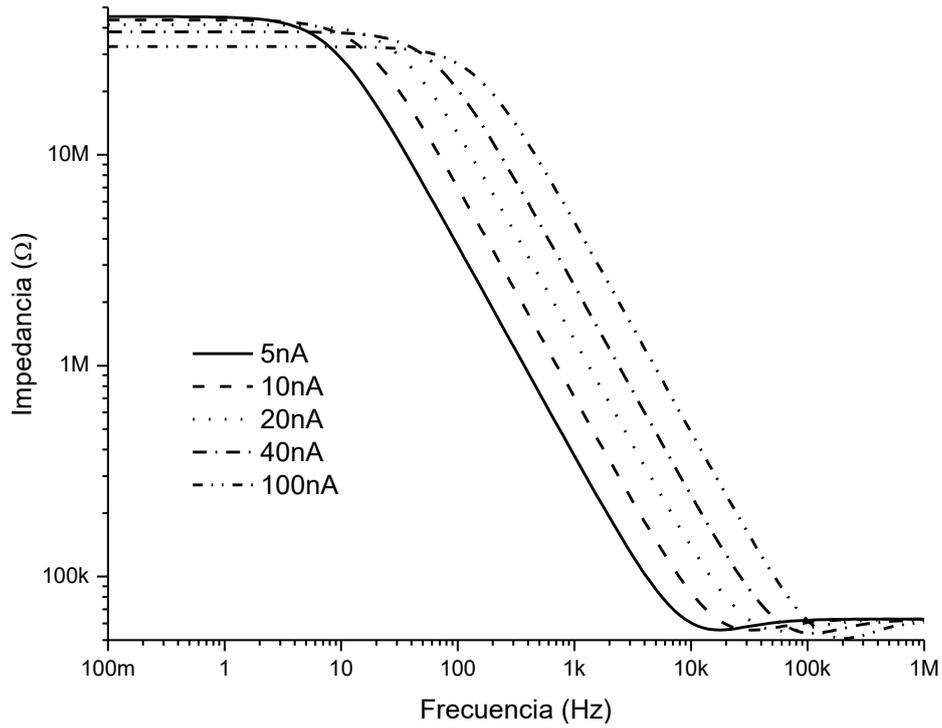


Figura II-11: Variación de impedancia de la fuente de corriente para un $V_{DD}-V_{OUT}=200mV$ y para distintas corrientes de polarización del OTA de realimentación (I_{Bias}).

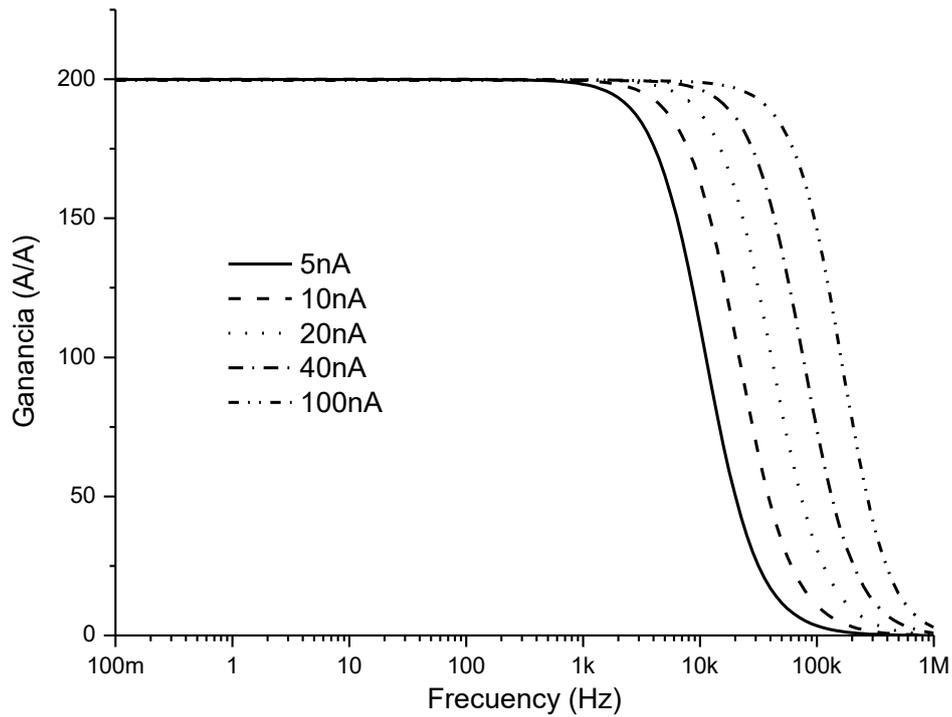


Figura II-12: Ancho de Banda de la fuente diseñada para distintas corrientes de polarización del OTA de realimentación (I_{Bias}).

II.5. Layout

En esta sección se muestra el layout físico de la fuente diseñada, así como también las técnicas de layout utilizadas al hacer el diseño físico. Estas técnicas son comunes en general a todo el trabajo, pero se explicarán en esta sección únicamente. Se utilizó la tecnología XT-06 de Xfab [41] para todos los circuitos diseñados y fabricados en este trabajo.

En la Figura II-13 se muestra una imagen del layout de la fuente de corriente. El mismo tiene forma alargada para poder encajar mejor con el resto del circuito del Capítulo III. El área ocupada es aproximadamente 0.1mm^2 . El 65% de esta área corresponde al OTA de realimentación con transistores de área considerable para reducir el offset, y la mitad del 35% restante se reparte entre las resistencias y el transistor de paso.

En el diseño de circuitos analógicos, es importante tener mucho cuidado con el plano físico o layout, ya que muchos circuitos incluso simples como el espejo activo, se basan en transistores y resistencias que deben ser lo más iguales posible o mantener una relación de aspecto fija. En la mayoría de los casos para aparear transistores y resistencias, se utilizó una matriz o simplemente una fila de elementos unitarios (transistores o resistencias) como se describe en [39], que luego se conectan intercalados, en serie o paralelo para lograr la relación de aspecto deseada.

En el caso de las resistencias R_1 de la Figura II-7, para poder lograr el factor de 1:200, se implementaron ambas usando una única resistencia de tamaño unitario ($W=3\mu\text{m}$, $L=86\mu\text{m}$, $R=50\text{k}\Omega$) que se conecta en asociación serie y paralelo. R_1 fue implementada con 20 resistencias en serie, mientras que R_2 por 10 resistencias en paralelo.

Utilizando [39] donde se determina el desajuste entre asociaciones de serie y paralelo de transistores para espejos y adaptándolo al caso de resistencias, podemos calcular:

$$\left(\frac{\sigma_R}{R}\right)^2 = \left(\frac{1}{10} + \frac{1}{20}\right) \left(\frac{4.57\%}{\sqrt{W \cdot L}}\right)^2 = 0.00000125. \quad (\text{II-18})$$

Para el caso del OTA y dejando 50mV de caída en la resistencia del espejo activo:

$$\left(\frac{\sigma_{V_{off}}}{V_{Drop}}\right)^2 = \left(\frac{1\text{mV}}{50\text{mV}}\right)^2 = 0.0004. \quad (\text{II-19})$$

Y por lo tanto podemos calcular cuánto es la varianza esperada del espejo de corriente:

$$\frac{\sigma_{I_{out}}}{I_{out}} = \sqrt{0.0004 + 0.00000125} = 0.02 = 2\%. \quad (\text{II-20})$$

En la ecuación II-20 domina claramente el término debido al offset del OTA. En la Figura II-14 se ven las 32 resistencias implementadas, ya que se agregaron 2 en los bordes como “dummys”. Todas las resistencias están cubiertas por líneas de metal 1 (Met1) formando aproximadamente

el mismo patrón, para tratar de que sean lo más iguales posible. Tan sólo se diferencia el layout en pequeños cortes para permitir la conexión entre resistencias unitarias. Incluso se agregaron conexiones al metal 2 (Met2) no utilizadas en algunos casos, para que lo que ve cada resistencia unitaria a su alrededor, sea lo más parecido en todos los casos.

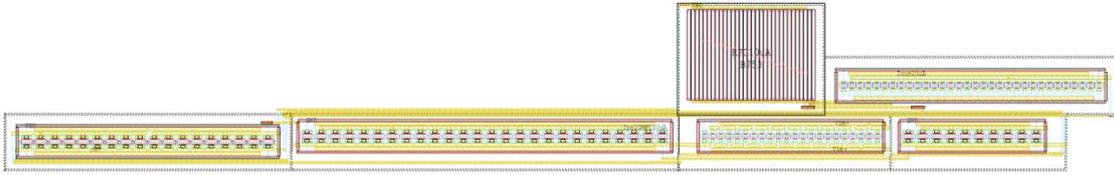


Figura II-13: Layout de la fuente de corriente activa de $10\mu\text{A}$ con un área de 0.1mm^2 . La forma alargada permite reducir el tamaño del circuito completo del Capítulo III. Abajo el OTA de realimentación, arriba a la derecha el transistor de paso y el cuadrado más central son las resistencias apareadas.

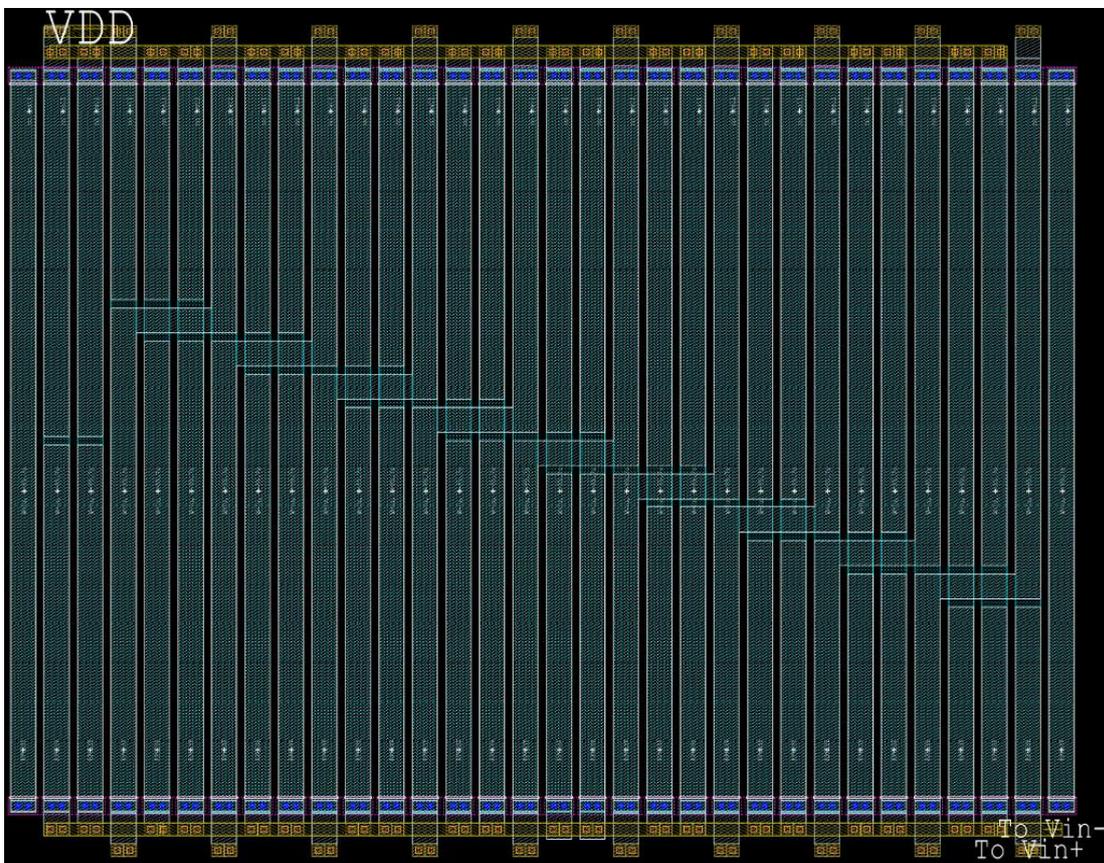


Figura II-14: Detalle del layout de las resistencias apareadas ($130\mu\text{m} \times 95\mu\text{m}$).

Al implementar espejos de corriente, cada transistor se puede implementar utilizando muchos transistores unitarios de menor tamaño conectados en serie/paralelo. Una técnica muy utilizada es la de gate común, donde una única tira de polisilicio se utiliza para implementar el gate de todos los transistores (rectángulo gris claro en la Figura II-15). Cada una de los rectángulos verticales gris oscuro representa las difusiones de los transistores. En un espejo tradicional, el source también es común y en la Figura II-15 esto se puede observar en la parte inferior, donde todas las difusiones se conectan entre sí mediante el metal 1 (negro). La entrada del espejo de

corriente puede ser reconocida por la presencia del “codo” que conecta el drain de la mitad de los transistores con el gate. Para conectar la salida I_{OUT} , se utiliza el metal 2 (gris muy oscuro). El utilizar transistores pequeños intercalados, permite minimizar los efectos de gradientes espaciales en las concentraciones de impurezas u otro tipo de variables aproximando de esta forma la técnica de centroide común. Es importante que la corriente fluya en la misma dirección en todos los transistores, ya que la orientación del cristal puede variar la corriente total de otra manera. En los extremos se colocan dos transistores cortocircuitados (dummies) que permiten disminuir las variaciones en los bordes.

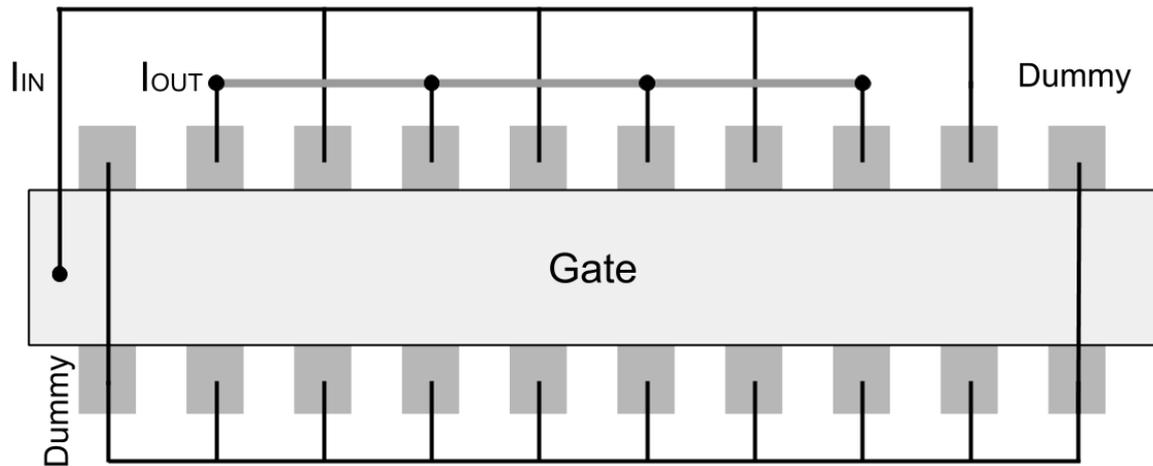


Figura II-15: Layout de un espejo de corriente apareado, con gate común.

En la Figura II-16 se muestra el layout para un par diferencial. En este caso los gates están conectados a puntos diferentes, por lo que se debe cambiar la topología. En este caso se utilizan las mismas consideraciones, pero el cableado resulta un poco más complicado.

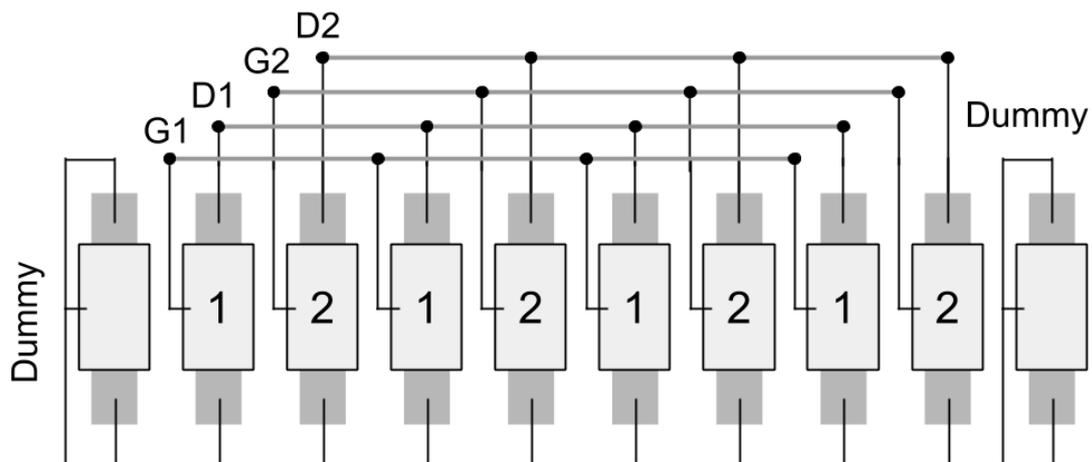


Figura II-16: Layout de un par diferencial.

Para el caso del espejo, si es necesario que los tamaños sean diferentes, se puede lograr distribuyendo los transistores unitarios en diferentes arreglos serie-paralelo.

II.6. Medidas Realizadas

El circuito fue fabricado en una tecnología de $0.6\mu\text{m}$ en formato MPW por lo que se dispuso de sólo 5 muestras. Para comprobar el buen funcionamiento del espejo en primer lugar se ingresaron corrientes entre 20nA y 100nA y se midió la corriente de salida. La Figura II-17 muestra las medidas en una de las muestras y la recta que mejor ajusta. En los 5 casos se obtuvo una recta de ajuste con $R^2 > 0.99$.

Una de las ventajas de la fuente de corriente es que sigue funcionando para pequeños valores de voltaje ($V_{\text{DD}} - V_{\text{OUT}}$). La Figura II-18 muestra las medidas de la corriente de salida en función de dicha diferencia. En este caso se midió para la corriente nominal de $10\mu\text{A}$ y con una alimentación de $V_{\text{DD}} = 4.055\text{V}$. Se puede observar una gran concordancia con la simulación presentada en la Figura II-9, ya que el espejo funciona correctamente desde voltajes de 80mV en adelante.

Finalmente, se midió la impedancia de salida para distintas frecuencias, de manera de comprobar que es correcto el funcionamiento para el rango de frecuencias requeridas, tal como se muestra en la Figura II-19. Esta gráfica fue tomada para un $V_{\text{DD}} - V_{\text{OUT}} = 125\text{mV}$, y tiene buena concordancia con el modelo computacional de la Figura II-10.

La fuente de corriente tiene un aumento de consumo de corriente menor al 1% de la corriente de salida siendo, por lo tanto, despreciable el aumento en consumo.

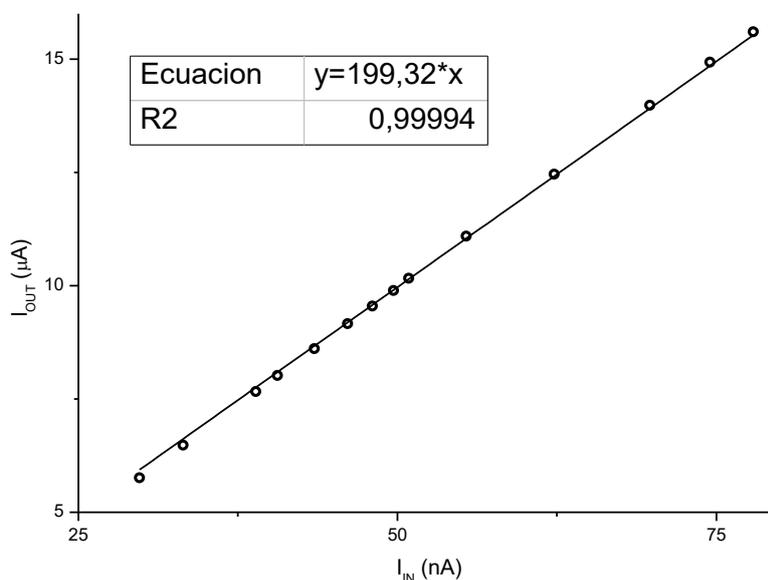


Figura II-17: Corriente de salida en función de la corriente de entrada. Corresponde a una relación de 199.3 muy cercano al valor de 200 diseñado.

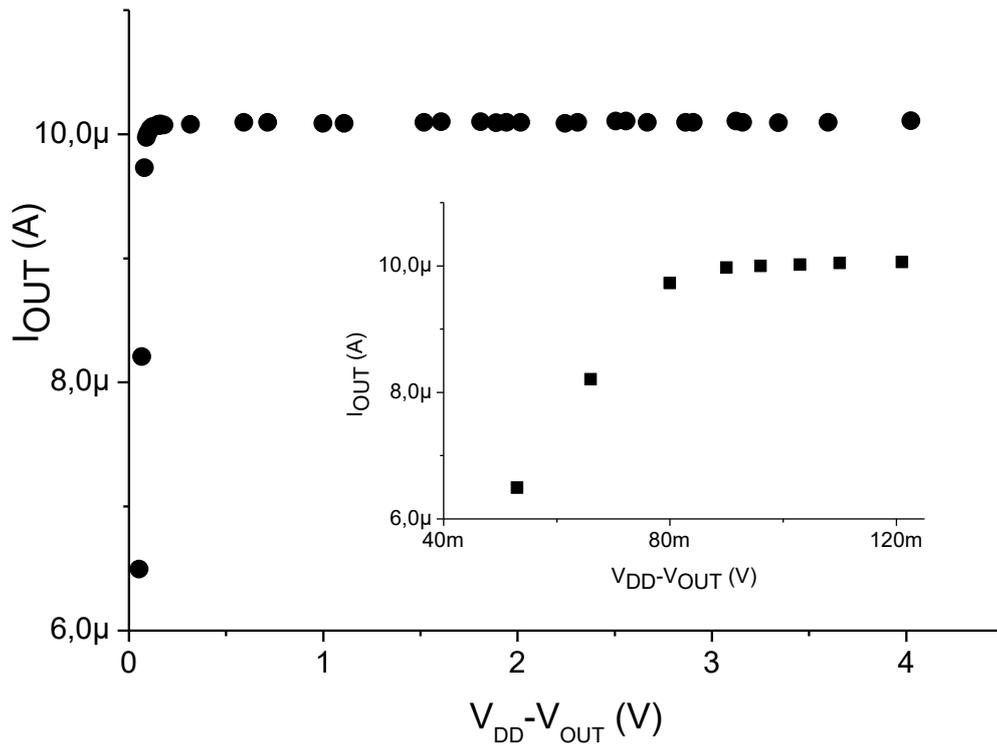


Figura II-18: Corriente de salida para distintos voltajes ($V_{DD} - V_{OUT}$). Se puede apreciar un zoom en la zona donde deja de funcionar, entre los 80mV y 90mV aproximadamente.

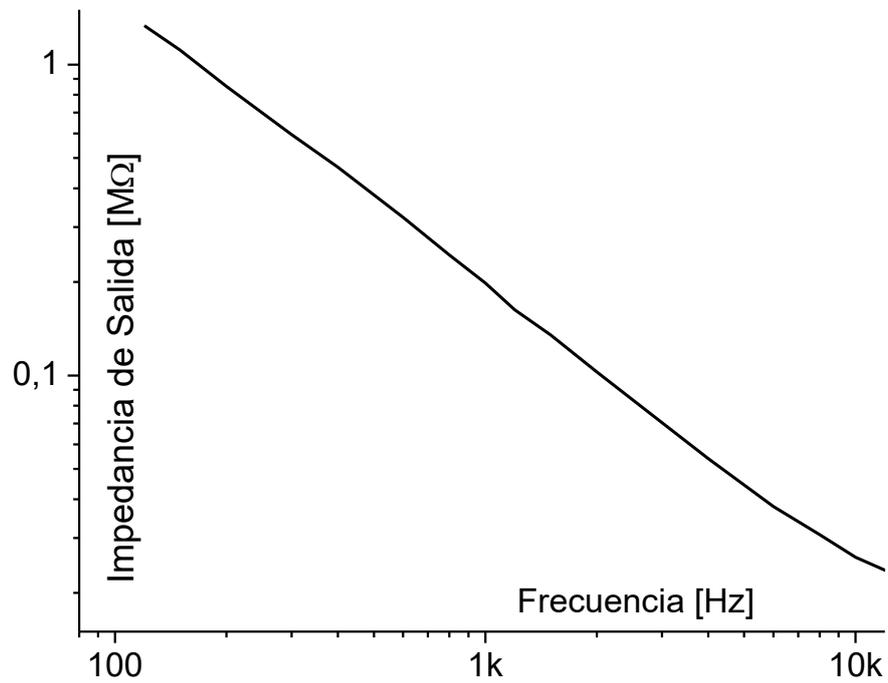


Figura II-19: Impedancia de salida de la fuente de corriente de $10\mu\text{A}$.

II.7. Conclusiones

En este capítulo se realizó un análisis del uso de espejos activos en lugar de espejos clásicos para el diseño analógico de bajo consumo y bajo ruido. Se demostró que el voltaje mínimo de funcionamiento del mismo se puede reducir hasta valores muy pequeños. Además, se mostró que la impedancia a baja frecuencia es mucho mayor para los espejos activos, aunque para alta frecuencia la brecha se reduce. Para aumentar la impedancia a alta frecuencia, es necesario aumentar el consumo del OTA de realimentación.

Por otro lado, si bien el reducir el voltaje mínimo de funcionamiento es muy útil para aplicaciones de bajo voltaje, el ruido introducido por los espejos activos crece al reducir dicha caída, por lo que su utilidad es limitada si se desea bajo ruido. Para el transconductor de la Figura II-3, por ejemplo, es recomendable el uso del espejo activo superior, que funciona como fuente de corriente, pero no el espejo inferior que actúa como carga activa, e introduce ruido diferencial significativo.

Para estudiar un caso de ejemplo, se diseñó, simuló y midió un espejo activo que permite multiplicar una corriente de entrada por 200 funcionando, así como una fuente de corriente de $10\mu\text{A}$, la cual formará parte del circuito presentado en el Capítulo III.

El circuito medido, cumple con los parámetros iniciales de diseño e ilustra las ventajas asociadas al uso de espejos activos en el diseño de circuitos analógicos de bajo ruido y bajo voltaje.

III. Amplificador para Señales Biomédicas con Reutilización de Corriente y un NEF <1

En este capítulo se detalla el diseño, implementación y ensayo de un amplificador que aplica la técnica propuesta en el Capítulo I de reutilizar la corriente, apilando sucesivos pares diferenciales desde la misma fuente. Esta técnica, que permite mejorar el factor de eficiencia de ruido NEF, será validada mediante simulaciones y medidas. En primera instancia se revisará incluyendo ecuaciones de ruido y NEF, nuevamente el concepto de reutilización de corriente. Se analizará desde el par diferencial con carga activa, el par diferencial complementario, hasta sucesivos pares apilados. Se presentará luego el diseño, simulación, y medidas de un amplificador para señales de Electro-neurografía (ENG), con reutilización de corriente apilando 12 pares diferenciales, que permitirá alcanzar un NEF = 0.84. El amplificador es alimentado por una batería secundaria estándar para dispositivos médicos de 3.6V (nominales), con una ganancia medida de $\approx 80\text{dB}$ y un ancho de banda de 4kHz. El ruido medido a la entrada es de $4.5\text{nV}/\text{Hz}^{1/2}@1\text{kHz}$, y de $330\text{nV}_{\text{rms}}$ en la banda de interés, con un consumo total de $16.5\mu\text{A}$. Buena parte de los resultados de este capítulo han sido incluidos en el artículo [41].

III.1. Introducción

Las señales biomédicas se registran mediante electrodos y sensores, y en general son de muy baja amplitud y baja frecuencia, de algunas decenas de Hz hasta algunos pocos kHz. Los amplificadores para señales nerviosas (ENG) procesan señales de entrada de baja amplitud, en el rango de $1\mu\text{V}$ y hasta unas pocas centenas de μV . En ellos es necesario tener especial cuidado con la reducción del ruido blanco y ruido flicker, manteniendo el bajo consumo de energía requerido por los dispositivos médicos implantables. El ruido flicker se puede reducir utilizando transistores grandes a la entrada, o usando técnicas de amplificación especiales como chopper o autozero [12] [42] [43]; pero la única opción para reducir el ruido térmico es aumentar la corriente de alimentación (I_{DD}) [12]. Debido a que el ruido térmico depende del consumo de corriente I_{DD} , pero no necesariamente del consumo de energía o el voltaje de alimentación V_{DD} , el estado del arte en amplificadores de bajo consumo y bajo ruido tiende a utilizar una muy baja tensión de alimentación [43] [44] [17] [16] reduciendo así el consumo de potencia sin implicar un aumento del ruido. Sin embargo, los implantes médicos activos son dispositivos operados siempre con baterías cuya tensión V_{Bat} es en general relativamente grande en comparación con la mínima tensión de alimentación posible en tecnologías modernas. Por ejemplo, para un marcapasos estándar se utiliza una batería de litio-yodo con un voltaje de batería nominal de $V_{\text{Bat}}=2.8\text{V}$, mientras que la mayoría de productos y prototipos de neuroprótesis están siendo alimentados con baterías recargables de ion-litio con $V_{\text{Bat}}=4.1\text{V}$ (nominal) y funcionando hasta $V_{\text{Bat}}=3.4\text{V}$ o menos.

En los circuitos analógicos y en los digitales el voltaje de alimentación puede ser reducido usando convertidores DC-DC eficientes, aumentando la vida de la batería como en [43]. Sin embargo, el

uso de DC-DC en el rango de los μWatts requiere en general componentes externos, la eficiencia se aleja del teórico 100%, y el conmutador opera a bajas frecuencias que pueden acoplarse a las señales biomédicas de interés¹. Como alternativa para aprovechar al máximo la energía de la batería, en este capítulo estudiaremos la reutilización de corriente para mejorar la relación ruido/consumo.

La reutilización de corriente [45] [46] es una técnica de circuitos para aprovechar todo el rango de voltaje de alimentación (V_{DD}) disponible sin desperdiciar potencia. La idea es simple: reutilizar la corriente que pasa por un transistor amplificador, para polarizar otro transistor amplificador. En este capítulo, se presentará un amplificador para ENG con 12 pares diferenciales apilados para maximizar la reutilización de la corriente de la batería (3.6V).

El circuito desarrollado es para registro de señales nerviosas en una aplicación específica de un solo canal, a modo de prueba de concepto de la reutilización de corriente. Pero la misma idea puede ser utilizada para diversas aplicaciones desde bioinstrumentación a RF. Se diseñó un amplificador para señales de ENG, para que funcione dentro de un dispositivo implantable alimentado con una batería de 3.6V. Los requisitos iniciales son los siguientes: una ganancia próxima a $G=80\text{dB}$, ancho de banda de 200Hz a 4kHz, tensión de alimentación $3.4\text{V} < V_{DD} < 4.2\text{V}$ (desde carga completa hasta fin de la vida útil de una batería de Li-ion), un ruido referido a la entrada por debajo de $5\text{nV}/\text{Hz}^{1/2}$, $\text{CMRR} > 60\text{dB}$, y minimizar el consumo de energía. Todos los circuitos auxiliares necesarios (referencias de corriente y de tensión, por ejemplo) deben ser incluidos en el circuito integrado de aplicación específica (ASIC) diseñado.

El circuito fue fabricado en una tecnología de $0.6\mu\text{m}$ y medido, cumpliendo con las especificaciones. Hasta donde hemos podido verificar el circuito es entre referencias reportadas, el que apila más pares diferenciales (12) desde una única fuente, y el primero en bajar del límite teórico de $\text{NEF} = 1$.

III.2. Reutilización de Corriente y Apilado de Pares Diferenciales

La Figura III-1 muestra una etapa de entrada clásica con par diferencial con carga activa. Tiene dos transistores de entrada $M_{1a(b)}$ que realizan la conversión de voltaje a corriente, un espejo de corriente $M_{2a(b)}$ que copia la corriente por M_{1a} hacia la salida y un transistor que implementa la fuente de corriente de polarización M_3 . La corriente de salida es:

$$i_{out} = g_{m1}(v_{In+} - v_{In-}), \quad (\text{III-1})$$

donde i_{out} , g_{m1} , v_{In+} , v_{In-} son la corriente de salida, la transconductancia de los transistores de entrada, y las entradas diferenciales, respectivamente. El circuito de la figura es muy ineficiente

¹ En el Capítulo IV, se mostrará el diseño de un conversor DC-DC para este tipo de aplicación como alternativa a reutilizar la corriente.

Para facilitar la lectura, en este trabajo se desarrollará en detalle el estudio para el ruido blanco y luego se puede extender para el ruido flicker. La PSD del ruido referido a la entrada del circuito en la Figura III-1 vale:

$$S_{Vin}(f) = \frac{2\gamma nk_B T}{g_{m1}} + \frac{2\gamma nk_B T g_{m2}}{g_{m1}^2} = \frac{2\gamma nk_B T}{I_D} \cdot \left(\frac{I_D}{g_{m1}}\right) \cdot \left(1 + \frac{g_{m2}}{g_{m1}}\right), \quad (\text{III-4})$$

donde $I_D = I_{Bias}/2$ es la corriente de polarización (DC) de los transistores M_{1x} y M_{2x} . Basado en III-4, los transistores M_{1x} de la Figura III-1 deberían ser polarizados en inversión débil (WI) para alcanzar el mayor g_{m1}/I_D posible [12] [47]. Una relación de g_{m1}/I_D mayor permite mejorar, para el mismo consumo de corriente, el ruido referido a la entrada y otras propiedades del circuito. En un diseño clásico, los transistores M_{2x} son polarizados en inversión moderada (MI) a fuerte (SI), para poder despreciar g_{m2}/g_{m1} de la ecuación III-4. Pero esta decisión de diseño aumenta significativamente el mínimo V_{DD} admisible de acuerdo a III-2 (ya que aumenta mucho V_{GS2}), por lo que, en un circuito de bajo voltaje de alimentación, g_{m2}/g_{m1} es cercano a uno. Por ende, es usual aproximar la PSD del ruido térmico referido a la entrada como:

$$S_{Vin}(f) \approx \frac{4\gamma nk_B T}{g_{m1}}. \quad (\text{III-5})$$

III.2.1. Par Diferencial Complementario

En la Figura III-2, se muestra el esquemático de un bloque amplificador mucho más eficiente. El amplificador tiene dos entradas V_{In+} y V_{In-} , y está compuesta por dos pares diferenciales MOS, apilados, uno PMOS constituido por M_{1a} y M_{1b} y otro par NMOS constituido por M_{2a} y M_{2b} . A esta estructura la llamaremos un par diferencial complementario.

La salida del amplificador es la corriente diferencial: $i_{out} = i_a - i_b$, que puede ser fácilmente convertida a voltaje mediante una resistencia o directamente conectada a una segunda etapa. La señal de salida en pequeña señal es:

$$i_{out} = (g_{m1} + g_{m2}) \cdot (v_{In+} - v_{In-}) \cong 2g_m(v_{In+} - v_{In-}). \quad (\text{III-6})$$

En la ecuación III-6 se asume por simplicidad que $g_{m1} \cong g_{m2} \cong g_m$. En este caso, de los 6 transistores (M_{1x} , M_{2x} , M_3 , M_4) que están consumiendo potencia, hay 4 transistores (M_{1x} , M_{2x}) que amplifican e introducen ruido.

El circuito es muy eficiente, porque los 4 transistores amplifican en forma cooperativa, pero introducen ruido no-correlacionado al circuito. El ruido referido a la entrada del circuito de la Figura III-2 se determina sumando el efecto de los 4 transistores:

$$S_{Vin}(f) = \frac{\sum S_{Ix}(f)}{(g_{m1} + g_{m2})^2} \approx \frac{4S_{Ix}(f)}{(2g_m)^2} \approx \frac{\gamma nk_B T}{g_m}, \quad (\text{III-7})$$

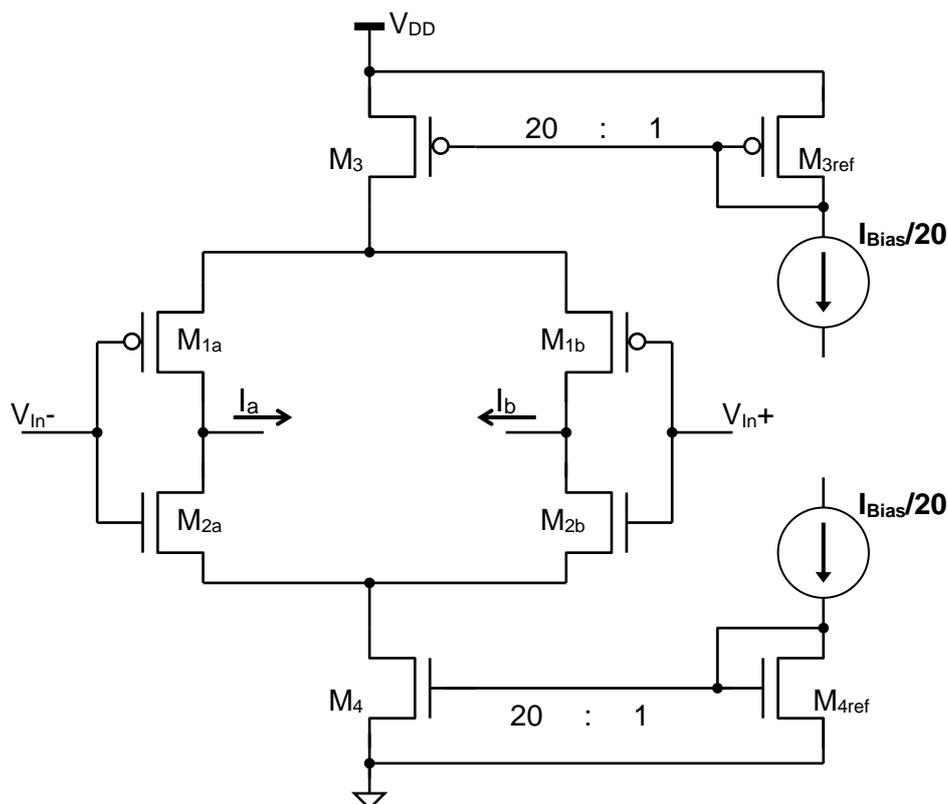


Figura III-2: Esquemático de una etapa amplificadora, conformada por un par diferencial complementario. Consta de un par diferencial NMOS polarizado por una fuente de corriente y un par diferencial PMOS, también polarizado por una fuente de corriente. Ambos pares están apilados para aprovechar la corriente que circula por la rama principal. La corriente de salida la definimos como: $I_{out} = I_a - I_b$.

donde $S_{I_x}(f)$ es la PSD de la corriente de ruido introducida por cada transistor M_x (M_{1a} , M_{1b} , M_{2a} , M_{2b}), que en una primera aproximación puede considerarse como igual para los 4 transistores. Comparando con el ruido térmico del circuito de la Figura III-1 en las ecuaciones III-4 y III-5, vemos que se reduce por un factor de entre 4 a 2 (cuanto más cercano a 1 es g_{m2}/g_{m1} , más cercano a 4 es el factor de reducción). $S_{I_x}(f)$ no asume originalmente ningún tipo de ruido en particular (sólo la última aproximación en III-7) es válida únicamente para ruido térmico), de manera que el circuito de la Figura III-2 resulta eficiente no sólo para el ruido térmico, sino que también para el ruido flicker. Incluso, una ecuación similar a III-7 puede ser escrita para el offset referido a la entrada, producto del desajuste aleatorio entre los transistores. Las ventajas del circuito de la Figura III-2 son el resultado de la elevada relación entre la transconductancia equivalente sobre la corriente de polarización, para el par diferencial complementario: $\frac{G_m}{I_D} \approx 2 \frac{g_m}{I_D} \approx 50$, donde G_m es la transconductancia efectiva del par complementario.

El circuito de la Figura III-2 es un caso ideal, que presenta problemas debido al modo común de la entrada según se ajuste para los PMOS o NMOS, o si las corrientes por M_3 y M_4 no son exactamente iguales. Estos inconvenientes son corregidos en el circuito de la Figura III-3, que muestra un amplificador práctico utilizando un par diferencial complementario [48]; se incluyen circuitos de polarización y ajuste del modo común, que permiten el correcto funcionamiento del

amplificador. En la parte inferior de la figura se muestra el modelo de pequeña señal del bloque. Se utilizan capacitores (C_{INx}) y resistencias (R_{Gx}) grandes que fijan un voltaje DC para polarizar la compuerta de los transistores y para desacoplar la entrada, ya que el rango de voltaje de modo común a la entrada tiende a hacerse nulo para V_{DD} bajos si la compuerta de los transistores NMOS y PMOS están conectadas al mismo nodo. Además, dos resistencias $R_{(x)J}$ se conectan a la salida para obtener un voltaje de salida y como parte de un simple sistema de realimentación para fijar el modo común a la salida (CMFB). Algún tipo de CMFB siempre va a ser necesario en el par complementario para balancear la corriente por los pares NMOS y PMOS.

Los capacitores de entrada C_{INx} tienen que ser grandes comparados con las capacidades parásitas del gate-source (C_{GS}) y gate-drain (C_{GD}). El problema es que el sistema formado por los 3 capacitores es un divisor capacitivo, y causará que las pequeñas fluctuaciones del voltaje de entrada aparezcan disminuidas en el gate de los transistores de entrada M_1 y M_2 . C_{GD} es particularmente importante, debido al efecto Miller, como se muestra en la ecuación III-8 y se aprecia en la Figura III-4.

$$v_{Gx} = v_{In+(-)} \cdot \frac{C_{IN}}{C_{IN} + C_{GSx} + (G_{int} - 1)C_{GDx}}, \quad (III-8)$$

donde $G_{int} = \frac{v_{out}}{v_{Gx}}$ es la ganancia de la etapa amplificadora desde el voltaje de gate (que es la misma que la del amplificador si no tomamos en cuenta el efecto de los capacitores). Por ende, los capacitores C_{IN} serán elegidos lo más grande posibles para reducir el efecto de divisor capacitivo.

La ganancia sin considerar el efecto de división de capacitores es determinada a partir del análisis de pequeña señal de la Figura III-3:

$$\frac{v_{out}}{v_{Gx}} = 2g_m R_J. \quad (III-9)$$

Por lo que la transferencia completa para un bloque es:

$$G_{Bloque} = \frac{v_{out}}{v_{In}} = 2g_m R_J \cdot \frac{C_{IN}}{C_{IN} + C_{GS} + (2g_m R_J - 1)C_{GD}}. \quad (III-10)$$

Donde se tomaron valores promedios de transconductancia y capacidades para simplificar la notación.

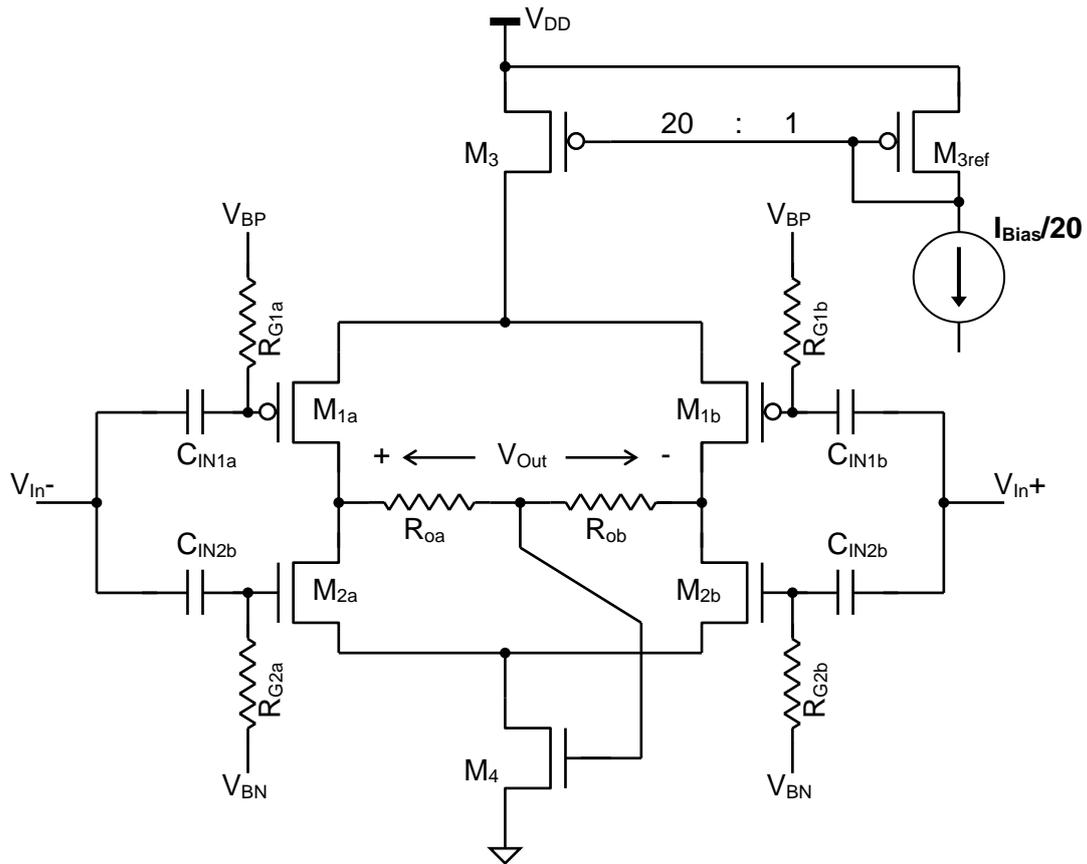


Figura III-3: Implementación de un amplificador usando un par diferencial complementario [48]. Se agregan resistencias a la salida, 4 capacitores de desacople a la entrada, referencias de voltaje y resistencias para fijar el punto de operación, y un simple sistema de realimentación para el modo común de salida.

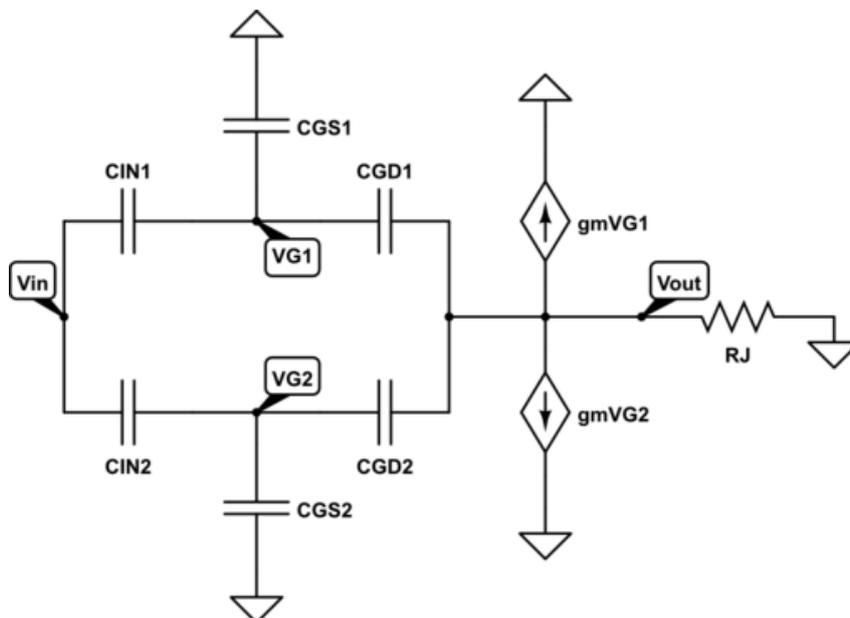


Figura III-4: Modelo de pequeña señal de la mitad del par diferencial complementario.

III.2.2. Pares Diferenciales Complementarios Apilados

Los circuitos de las Figura III-2 y la Figura III-3 son muy eficientes porque la corriente que se usa en el par diferencial PMOS es reutilizada para amplificar nuevamente por el par NMOS. Para maximizar la reutilización de corriente, hasta el límite impuesto por la fuente de alimentación V_{DD} , se pueden apilar pares diferenciales complementarios sucesivos. En la Figura III-5, $N=6$ pares diferenciales complementarios son apilados, todos con el mismo voltaje de entrada ($V_{in+} - V_{in-}$) desacoplado a través de capacitores idénticos ($C_{1x}, C_{2x}, C_{3x}, C_{4x}$), y una única corriente de polarización $I_{Bias}=10\mu A$.

El esquemático de la figura corresponde al circuito que finalmente fue fabricado (apilando un total de 12 pares diferenciales), los detalles del mismo se discutirán en la Sección III.3. El número de pares diferenciales complementarios N , puede ser arbitrariamente grande, mientras V_{DD} permita garantizar que todos los $2N$ pares diferenciales estén saturados. En este caso los seis pares complementarios los llamaremos A – F. Para cada uno de estos pares, el voltaje de salida se puede definir como $v_{outJ} = (v_{o1J+} - v_{o1J-})$, donde $J = A \cdots F$ (el subíndice 1 es porque es una primera etapa y así sucesivamente). Para obtener una única salida del amplificador de la Figura III-5, los voltajes de salidas individuales V_{outJ} (o las corrientes de salida) tienen que ser sumadas en una segunda etapa posterior. El amplificador es extremadamente eficiente, porque los $4N$ transistores de entrada amplifican la señal de entrada en forma cooperativa, pero el ruido que introducen es no correlacionado. Por ende, el ruido referido a la entrada se reduce cuando se divide entre la ganancia total. La PSD del ruido térmico referido a la entrada se obtiene sumando el ruido de todos los transistores:

$$S_{Vin}(f) = \frac{\sum S_{Ix}(f)}{(\sum g_{mx}/2)^2} \approx \frac{4N \cdot S_{Ix}(f)}{(2N \cdot g_m)^2} \approx \frac{\gamma n k_B T}{N g_m}, \quad (III-11)$$

donde g_m es nuevamente una transconductancia promedio, y $S_{Ix}(f)$ es la PSD de la corriente de ruido introducido por cada transistor de entrada (que en una primera aproximación puede considerarse como igual para los $4N$ transistores). Nuevamente $S_{Ix}(f)$ no asume ningún tipo específico de ruido en III-11 (salvo la última aproximación), por lo que el circuito de la Figura III-5 resulta eficiente para reducir tanto el ruido térmico como de flicker. Las ventajas de este amplificador se deben principalmente a la elevada relación entre la transconductancia equivalente y la corriente de polarización que presenta:

$$\frac{G_m}{I_D} \approx 2N \frac{g_m}{I_D} \quad y \quad G_m = 2N g_m . \quad (III-12)$$

Para el caso de la Figura III-5, con $N=6$, una relación de $\frac{G_m}{I_D} \approx 300$ se consigue si todos los transistores de los pares diferenciales operan en inversión débil (WI).

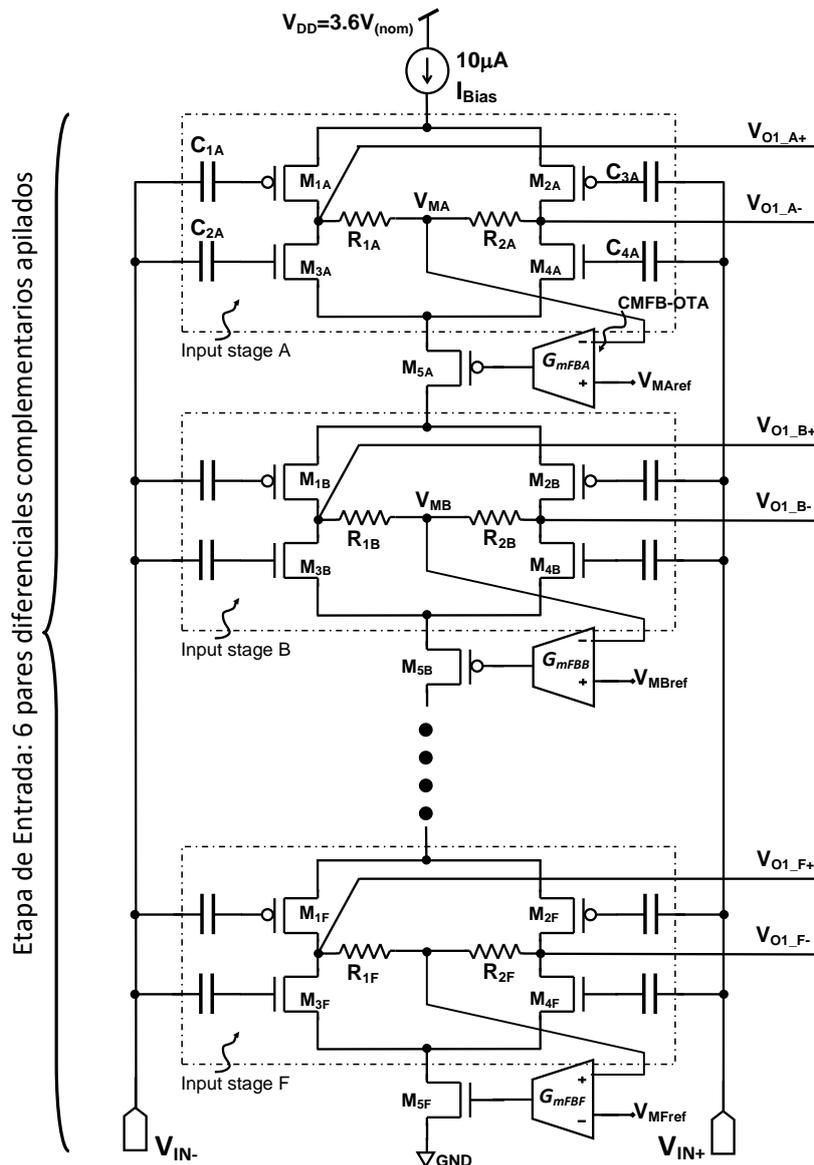


Figura III-5: Amplificador que maximiza la reutilización de corriente, utilizando 12 pares diferenciales alimentados con una corriente de $10\mu\text{A}$. Los pares diferenciales están agrupados en $N=6$ pares diferenciales complementarios que llamamos A - F.

III.2.3. ¿Es Posible Implementar un Amplificador con $\text{NEF} < 1$?

El par diferencial complementario es un simple circuito de reutilización de corriente que ha sido utilizado en amplificadores para potenciales biológicos, bloques RF, sensores de memoria entre otros [17] [16] [18] [19] [20] [21]. Hay muy pocas referencias de circuitos donde se intente reutilizar la corriente en circuitos más complejos, como por ejemplo en [49] donde se apilan diferentes funciones, o en [46] [50] donde se apilan transistores. En las últimas dos referencias la topología es bien diferente a la Figura III-5, ya que la corriente por cada transistor de entrada en [46] [50] se divide en dos para polarizar un nuevo par diferencial, incluso hasta 4 niveles. En nuestro caso los pares diferenciales se apilan directamente. Por la reutilización de corriente, estos amplificadores tienen

valores de NEF muy bajos, pero no se encontraron reportes de amplificadores con un $NEF < 1$.

En el Capítulo I se definió el factor de eficiencia de ruido NEF, que es la figura de mérito más popular para comparar amplificadores biomédicos. Tradicionalmente se consideró $NEF = 1$ como un límite que no se puede superar, correspondiente al ruido de un circuito amplificador de un solo transistor BJT. Sin embargo, la técnica de apilar transistores como en la Figura III-5 permitirá alcanzar valores realmente bajos de NEF. Para ello el problema se reduce a diseñar los circuitos de polarización y siguientes etapas de amplificación, necesarias para poder implementar un circuito con varios pares apilados, sin que estos circuitos auxiliares tengan un consumo excesivo. Por ejemplo, si nos limitamos exclusivamente a los pares apilados de la Figura III-5, con $N=6$ e $I_{Bias}=10\mu A$, y si asumimos un $\frac{g_m}{I_D} \approx 25$ podemos calcular el ruido térmico referido a la entrada usando III-11 como $3.3nV/\sqrt{Hz}$. El NEF se puede calcular usando la definición en la ecuación I-2 [14] [51]:

$$NEF = V_{rms,in} \sqrt{\frac{2 \cdot I_{Tot}}{\pi U_T 4k_B TBW}} = \sqrt{\frac{\gamma n}{\pi N U_T} \cdot \frac{I_D}{g_m}} \approx 0.57, \quad (III-13)$$

donde $U_T \approx 26mV$ es el voltaje térmico, I_{Tot} , es la corriente total consumida, que es igual a I_{Bias} en un caso ideal. El resultado de la ecuación III-13 es un valor mínimo del NEF, para un caso ideal. En un circuito real este valor va a ser mayor debido al mayor ruido, causado por el ruido de flicker de los transistores, el ruido de las resistencias, el ruido de las siguientes etapas, y también debido al consumo de los circuitos de polarización, circuitos de CMFB, y consumo de las etapas siguientes. Pero es importante mencionar desde el momento que se reutiliza la corriente, $NEF = 1$ es simplemente un mojón a superar, pero no un límite teórico con fundamento. En el resto de esta sección, se presentará el diseño cuidadoso de un amplificador de pares complementarios apilados, incluyendo todos los circuitos auxiliares para obtener un amplificador con un NEF medido inferior a 1.

III.3. Diseño de un Amplificador de Bajo Ruido y Bajo Consumo para ENG

Como prueba de concepto de la reutilización de corriente se eligió diseñar un amplificador de micro-consumo con muy bajo ruido, $NEF < 1$, apto para detección de señales nerviosas (ENG) de un dispositivo médico implantable. El diseño responde a las especificaciones planteadas en la Sección II.1, que se resumen en la Tabla III-A. El circuito fue fabricado en una tecnología CMOS de $0.6\mu m$ y posteriormente medido.

El amplificador propuesto consta de 4 etapas en cascada para alcanzar una ganancia de 80dB. Como la primera etapa es la más crítica frente al ruido, será la única implementada mediante

reutilización de corriente. La etapa de entrada es la que se muestra en la Figura III-5 apilando $N=6$ pares diferenciales complementarios. La mayoría de la corriente consumida (I_{DD}) es asignada a la primera etapa para minimizar el ruido térmico. La segunda etapa se muestra en la Figura III-8; suma las 6 salidas de la primera etapa en una única salida en modo común, mientras que las últimas dos etapas sólo aportan ganancia para alcanzar los $G \approx 80\text{dB}$ requeridos y filtrar el ruido fuera de banda. Si bien muchas etapas diferenciales son apiladas, a diferencia de [46], no se divide la corriente, y se apilan 2 etapas más, lo cual hace del circuito diseñado una topología muy eficiente.

Tabla III-A: Especificaciones del Amplificador implementado.

Característica	Especificación inicial
Voltaje de alimentación: V_{DD}	Nominal: 3.6V Variable de 3.4V a 4.2V
Ganancia: G	$\sim 80\text{dB}$
Ancho de Banda: BW	200Hz – 4kHz
Ruido total referido a la entrada: $S_{V_{in}}(f)$	$\sim 5\text{nV}/\sqrt{\text{Hz}}$
CMRR	$> 60\text{dB}$
NEF	< 1

III.3.1. Diseño de las Etapas 1 y 2

La Figura III-5 muestra la etapa de entrada del amplificador. La misma tiene una única entrada diferencial ($V_{In+} - V_{In-}$), pero 6 salidas diferenciales ($V_{O1,J+} - V_{O1,J-}$) (con J variando entre A-F). Los 6 pares complementarios apilados, todos comparten la corriente de polarización $I_{Bias}=10\mu\text{A}$. Por cada uno de los 24 transistores amplificadores, circula una corriente $I_D=5\mu\text{A}$. El tamaño de los transistores de entrada es de $W/L=2000\mu\text{m}/4\mu\text{m}$ (área total = $8000\mu\text{m}^2$). Siendo los transistores de entrada los más importantes del circuito, se detalla a continuación el dimensionado.

La estimación primaria resulta en que serán de muy gran tamaño (área) para minimizar ruido de flicker, con L pequeño y W muy grande para una relación de aspecto muy grande, necesaria para que trabajen en inversión débil (WI). Los pares de entrada deben trabajar en WI para minimizar el ruido térmico. Se eligieron transistores de área grande para evitar la necesidad de utilizar técnicas de circuitos más complejas como chopper o autozero, aunque estas técnicas son compatibles y se podrían haber utilizado.

En primer lugar, se eligió la corriente de polarización de $5\mu\text{A}$ para cada transistor del par diferencial ($10\mu\text{A}$ de polarización para la etapa). Esta corriente corresponde a la máxima que según especificaciones podemos asignar para esta aplicación.

- Luego, se eligió un largo de transistor (L) un poco más grande del mínimo de $0.6\mu\text{m}$ para evitar los efectos de canal corto. Pero el motivo principal para llegar a un valor de $4\mu\text{m}$, casi 7 veces mayor, es un motivo de layout físico. Si uno implementa estos grandes transistores usando “fingers” intercalados (para minimizar desapareo), es necesario incluir difusiones de S, D, y contactos entre los mismos. Estos generan un incremento del área total de los transistores que es proporcional al ancho, pero independiente del largo del transistor. La Figura III-6 representa el porcentaje del área del transistor que efectivamente ocupa su gate en un layout real. Si el largo L del transistor es mínimo, únicamente un 27% del área de silicio corresponderá efectivamente al gate. Aunque el valor de $L = 4\mu\text{m}$ es un poco arbitrario, resulta un buen compromiso.
- Luego se seleccionó el ancho del transistor (W) de manera de fijar la frecuencia de “corner” de la ecuación I-8, para la cual el ruido blanco y el de flicker son iguales. Esta se fija en $f_c = 200\text{Hz}$ correspondiente a la mínima frecuencia de interés.
- Con este resultado de W/L (que es muy grande), se verificó el nivel de inversión en el que está operando el transistor para garantizar que se encuentra en inversión débil, como puede verse en la Figura III-7.

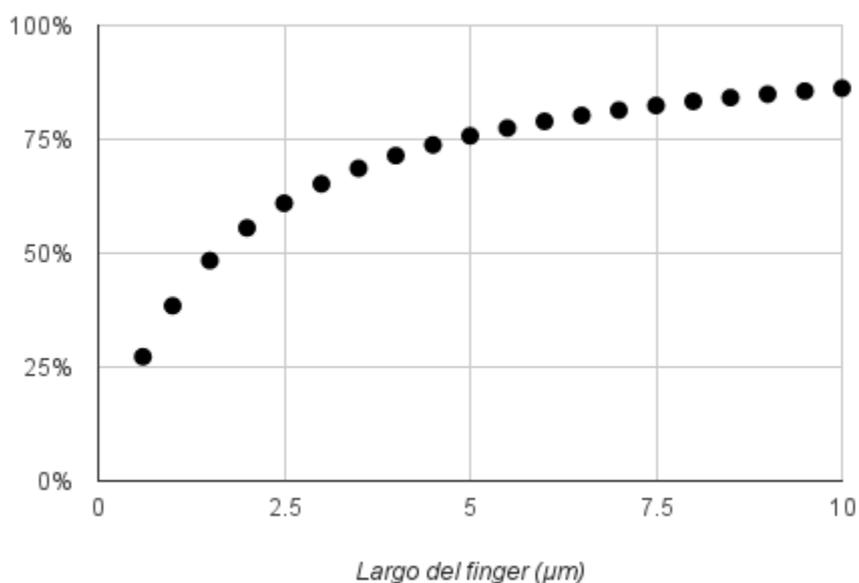


Figura III-6: Porcentaje del área real del transistor ocupada por su gate. Se eligió un valor de compromiso, $L = 4\mu\text{m}$.

Si bien los tamaños de los transistores PMOS y NMOS podrían haber sido ajustados un poco diferentes entre sí, se decidió mantener ambos iguales para simplificar el layout. En la Tabla III-B se muestran algunas características de los transistores de entrada.

Las capacidades de los transistores de entrada fueron determinadas, $C_{GD} \approx 0.7\text{pF}$ y $C_{GS} = 1.0\text{pF}$ (Tabla III-B), por lo cual se decidió implementar unos capacitores de desacople muy grandes (C_{1-4}) de 70pF lineales de poly-poly. El valor de 70pF es un compromiso, entre la reducción de la señal de entrada debido al divisor capacitivo de III-10 y el área que ocuparán los 24 capacitores necesarios. Se utilizaron resistencias de poly para implementar las $R_{11} = R_{21} = 100\text{k}\Omega$ que se

conectan a la salida para determinar la ganancia y para proveer de un voltaje de realimentación para los circuitos de CMFB de cada uno de los bloques. La ganancia de cada uno de los bloques apilados es de acuerdo a III-10:

$$G_{Bloque} \approx 18 V/V . \quad (III-14)$$

El voltaje del punto medio V_{MJ} en la Figura III-5 conecta a la entrada de un OTA (G_{mFBj}) encargado de implementar la realimentación de modo común CMFB. El OTA ajusta el voltaje de gate del transistor M_{5j} para asegurarse que la corriente por los pares diferenciales NMOS y PMOS sea la misma. De acuerdo a la ecuación III-11, si apilamos 12 pares diferenciales (6 pares complementarios), la PSD del ruido a la entrada se verá reducida entre $1/12^a$ y $1/24^a$ parte en comparación a III-4 o III-5, sin aumentar el consumo de corriente por esa rama. Si consideramos el ruido extra que agregan las resistencias de salida, pero despreciando el efecto del divisor capacitivo el ruido a la entrada es:

$$S_{Vin}(f) \approx \frac{\gamma n k_B T}{N g_m} + \frac{2 k_B T}{N R_0 g_m^2} = 4.7 \frac{nV}{\sqrt{Hz}} , \quad (III-15)$$

donde $g_m = 110\mu S$ es la transconductancia simulada promedio de los transistores NMOS y PMOS de entrada. Como la tecnología elegida para la fabricación permite transistores aislados, tanto los transistores NMOS como los PMOS se encuentran con sus bulk cortocircuitados al source, de manera de evitar los problemas del efecto body en los pares apilados.

Un aspecto que requirió un diseño muy cuidadoso es la polarización DC de cada una de las etapas apiladas, de modo de fijar los sucesivos puntos de operación tanto de entrada como de salida. En la Figura III-9 se muestra un detalle de uno de los 6 bloques genéricos (i) apilados. Se utilizan dos diodos flotantes opuestos, conectados a M_{biasN} y M_{biasP} , para fijar el voltaje adecuado para los Gates ($G_{(1-4)i}$) de los transistores de entrada del bloque i. Los voltajes deseados para los puntos V_{Ui} y V_{Li} son V_{Urefi} y V_{Lrefi} , que se derivan de un divisor resistivo de 19 resistencias entre V_{DD} y GND. Los transistores M_{biasN} y M_{biasP} tienen una relación de tamaño de $1/200$ con respecto a los transistores de entrada y conducen una corriente de $25nA$ ($5\mu A/200$), ellos permiten estimar el voltaje $G_{(1-4)i}$ adecuado para el correcto funcionamiento del par diferencial (al tener una corriente 200 veces más chica y un ancho 200 veces menor, el V_{GS} es aproximadamente igual). Se utiliza un divisor resistivo de aproximadamente $10M\Omega$, donde aproximadamente $V_{DD}/6$ del voltaje es asignado a cada bloque. El usar un divisor resistivo conectado a la alimentación en lugar de a un voltaje de referencia fijo, permite que el sistema se adapte a medida que el voltaje de la batería va disminuyendo.

Para sumar las 6 salidas diferenciales de la primera etapa, se implementó una segunda etapa sumadora, como se muestra en la Figura III-8. La misma tiene dos capacitores del tipo poly-poly $C_{s(+,-)} = 35pF$ por cada entrada diferencial, que se conectan entre las salidas de la primera etapa y las entradas del operacional OA2. Las dos resistencias $R_{2u(l)} = 30M\Omega$ fueron implementadas usando poly de alta resistividad, y los capacitores $C_{2u(l)} = 35pF$ son idénticos a los capacitores de desacople (los capacitores de desacople se forman de dos de $35pF$ en paralelo). OA2 es un

amplificador de Miller de bajo ruido estándar, que consume una corriente de $1\mu\text{A}$ directamente de la batería como se muestra en la Figura III-16. Los tamaños de los transistores se presentan en la Tabla III-C.

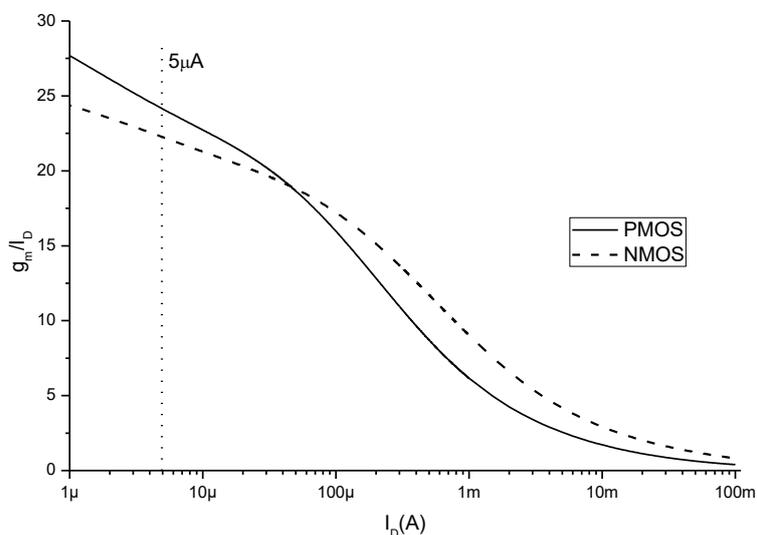


Figura III-7: Relación g_m/I_D en función de I_D para los transistores de $W/L=2000\mu\text{m}/4\mu\text{m}$. En $5\mu\text{A}$ ya se encuentran ambos en W/L .

Tabla III-B: Características de los transistores amplificadores de la primera etapa.

	NMOS	PMOS
Ancho (W)	$2000\mu\text{m}$	$2000\mu\text{m}$
Largo (L)	$4\mu\text{m}$	$4\mu\text{m}$
Transconductancia (g_m)	$105\mu\text{S}$	$115\mu\text{S}$
Relación g_m/I_D	21	23
Capacidad Gate Source (C_{GS})	0.95pf	1.02pF
Capacidad Gate Drain (C_{GD})	0.75pF	0.60pF

La componente alterna del voltaje de salida es entonces $v_{o2} = \sum(v_{o1_{J+}} - v_{o1_{J-}})$. La función de transferencia de esta segunda etapa, para cada uno de las 6 entradas es:

$$H_2(s) = \frac{sC_S R_2}{1 + sC_2 R_2}. \quad (\text{III-16})$$

Segunda etapa para sumar las salidas diferenciales A,B,C,D,E,F.

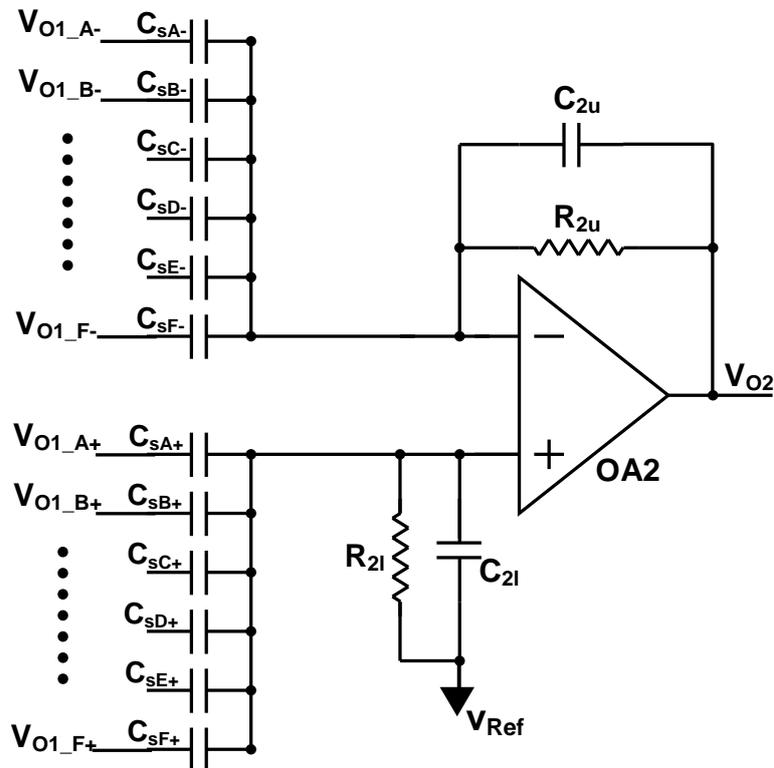


Figura III-8: Segunda etapa del amplificador. Esta etapa suma las 6 salidas de la primera etapa y filtra las señales fuera de las frecuencias de interés. V_{Ref} es derivado a partir de una fuente de referencia integrada.

Esto es un filtro pasa alto de primer orden, con un polo a 150Hz y ganancia 1V/V a alta frecuencia. El ancho de banda finito de OA2 por su parte, va a imponer una característica pasa bajos.

El voltaje del punto medio de la salida V_{Mxi} , es fijado por el CMFB (ver Figura III-9). El voltaje V_{Mrefi} se obtiene del mismo divisor resistivo y se conecta a su correspondiente G_{mFBi} CMFB OTA. Cada G_{mFBi} es un OTA simétrico, que consume 125nA en total. El CMFB OTA modifica el gate del transistor M_{Si} de manera que el voltaje del punto medio V_{Mxi} es idéntico a V_{Mrefi} . Este voltaje garantiza que $I_{DSi} \approx I_{Bias}$. Pero el transistor M_{Si} no tiene por qué estar saturado, y cuando el voltaje asignado a cada bloque es pequeño, el mismo puede operar en zona lineal (algo similar a la fuente de corriente del Capítulo II). Por lo tanto, el V_{DS5} puede ser muy pequeño (por ejemplo, 50mV) por lo que cada bloque puede operar con un presupuesto de voltaje pequeño, de unos 500mV o incluso menor. Los transistores M_{Si} y los OTA G_{mFBi} son ligeramente diferentes entre los primeros 3 bloques (A,B,C) y los 3 finales (D,E,F); los M_{Si} son NMOS en los bloques A,B,C Y PMOS en los bloques D,E,F. Además, los transistores de entrada de los G_{mFBi} son implementados con PMOS (A,B,C) o NMOS (D,E,F), para que las entradas de los mismos funcionen correctamente con los voltajes de modo común en cada caso.

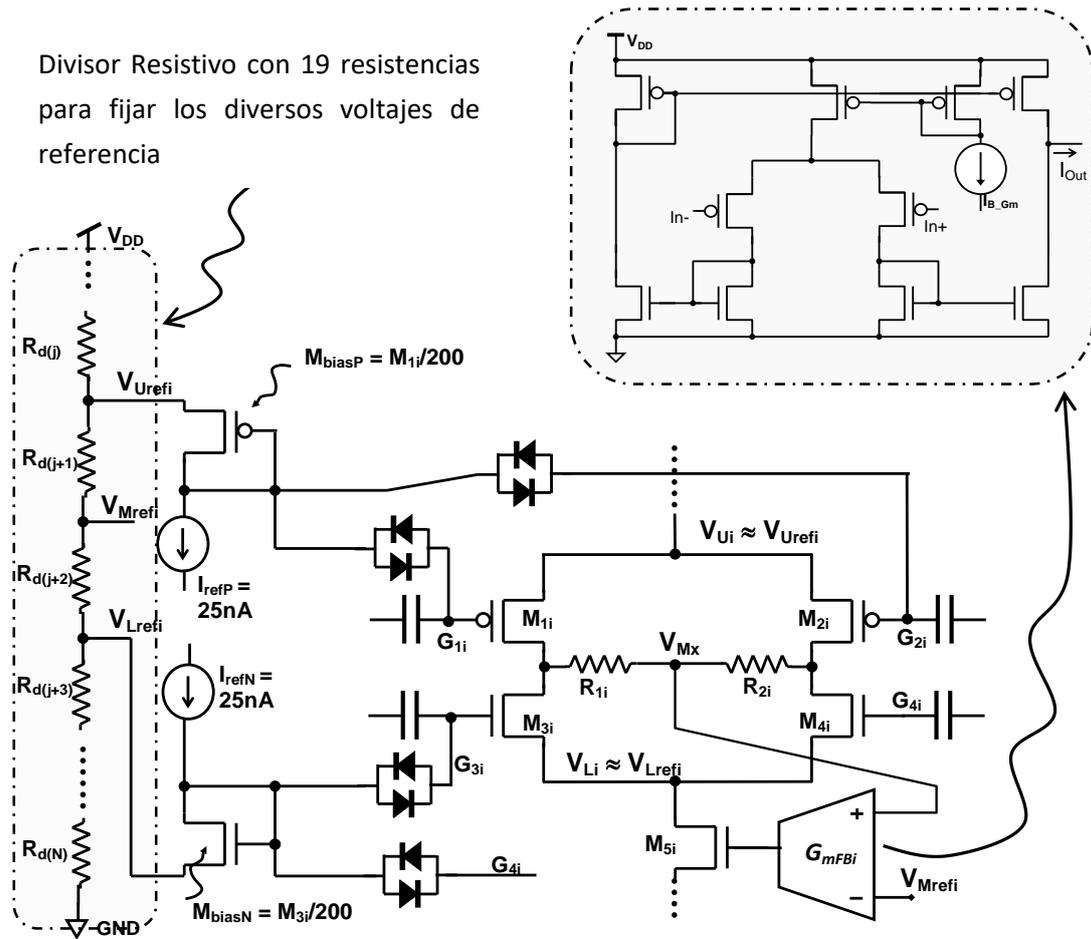


Figura III-9: Detalle de un bloque genérico i , de la etapa de entrada, donde se puede ver los circuitos de polarización y OTA de la realimentación del modo común (CMFB).

Para disminuir los requerimientos de voltaje, la fuente de corriente de $10\mu A$ de la Figura III-5 es una fuente activa de corriente como la que se describió en el Capítulo II. La Figura III-10 muestra el diseño de la fuente de corriente implementada. Por la resistencia de referencia $R_{ref} = 1M\Omega$, pasa una corriente de referencia de $50nA$, produciendo una caída de $50mV$. El OTA simétrico G_{mlb} fija el voltaje de gate del transistor M_{sp} adecuado para que en la resistencia R_p haya una caída de potencial de $50mV$, lo cual implica una corriente $I_{bias} = 10\mu A$. Si se eligen adecuadamente los tamaños de M_{sp} , este puede funcionar en zona lineal y la fuente de corriente puede necesitar del orden de $100mV$ para funcionar correctamente.

En la Figura III-11 se puede ver la función de transferencia simulada de las 6 etapas en forma independiente a la izquierda, y de las primeras dos etapas juntas a la derecha, simuladas usando los diferentes modelos provistos por el fabricante (TM, WP, WS). Se puede observar que las 6 son aproximadamente iguales y tienen una ganancia de $G_j = 17$ en la zona de interés. En la Figura III-12 a la derecha se puede observar que si bien la ganancia varía entre 75-112, el comportamiento en todos los casos es el esperado.

La Figura III-12 muestra una simulación de una señal sinusoidal de $1kHz$ y $100\mu V$ de amplitud conectada a la entrada. La ganancia de las dos primeras etapas es aproximadamente $100 V/V$.

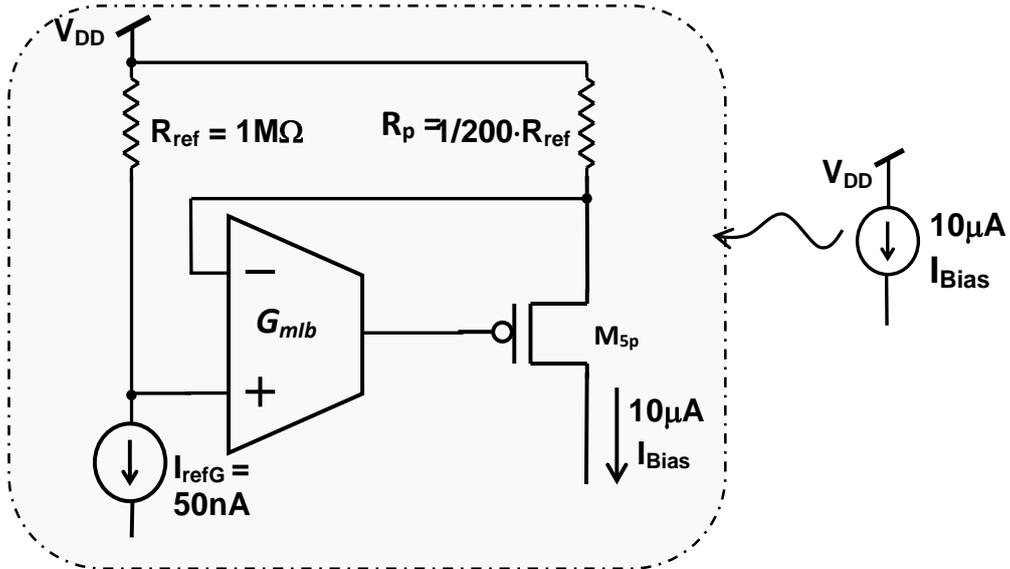


Figura III-10: Una fuente activa de $10\mu\text{A}$. G_{mlb} es un OTA simétrico estándar.

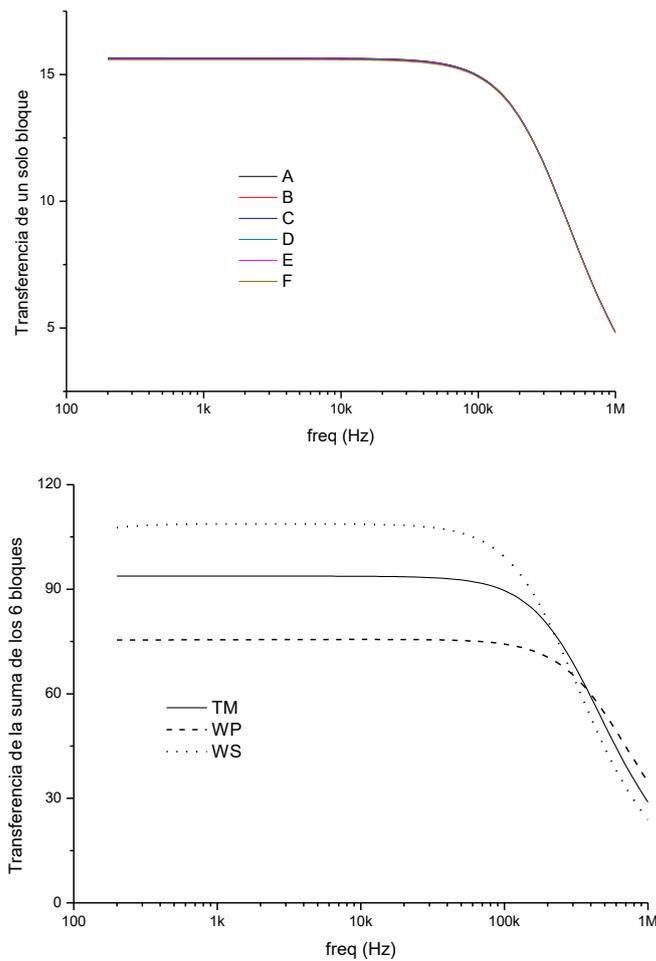


Figura III-11: Función de transferencia de cada uno de los bloques apilados que conforman la primera etapa. Función de transferencia de las primeras dos etapas juntas, simulado con los 3 modelos.

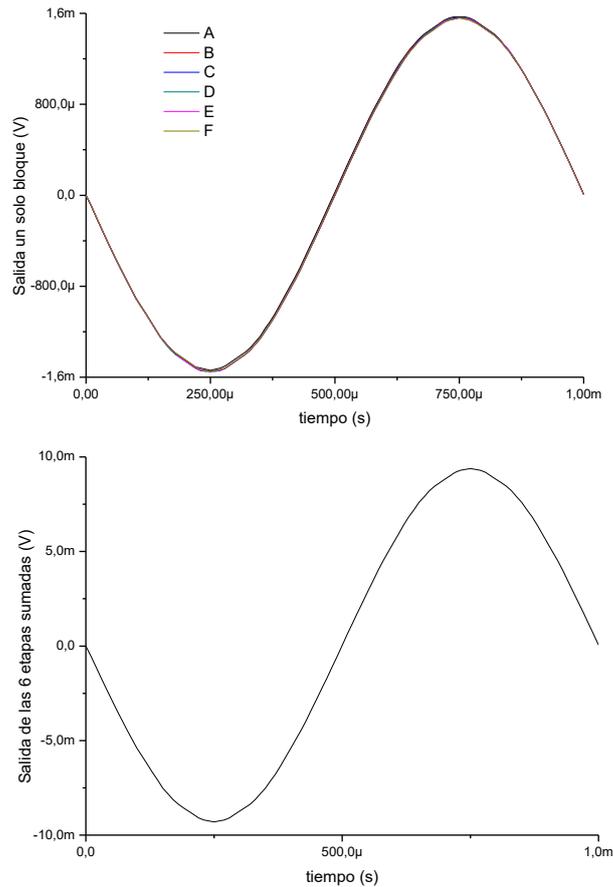


Figura III-12: Simulación transitoria de las dos primeras etapas. La señal de entrada es una sinusoidal de 1kHz y 100μV de amplitud.

III.3.2. Diseño de la 3ª y 4ª Etapa y Circuitos Auxiliares

Las etapas 3 y 4 son incluidas para proveer una mayor ganancia de tensión que eleve la salida a niveles compatibles con un ADC que se conecte a continuación; adicionalmente, estas etapas aportan filtrado que contribuye a remover aún más el ruido fuera de las frecuencias de interés. En la Figura III-13 se muestra el esquemático de ambas etapas. Se utilizaron resistencias de poly de alta resistividad apareadas para implementar las resistencias $R_3 = 300\text{k}\Omega$, $R_4 = 3\text{M}\Omega$, $R_5 = 30\text{k}\Omega$ y $R_6 = 30\text{M}\Omega$. Los capacitores son de poly-poly $C_4 = 2\text{pF}$, $C_5 = 340\text{pF}$, $C_6 = 35\text{pF}$, y los amplificadores OA3 y OA4 también son operaciones de Miller similares a OA2 (ver Figura III-16). La función de transferencia de la tercera etapa es:

$$H_3(s) = \frac{-R_4/R_3}{1 + sC_4R_4} . \quad (\text{III-17})$$

La tercera etapa es entonces un filtro pasa bajos con polo a 26.5kHz y ganancia 10 en la banda pasante. La Figura III-14 muestra la función de transferencia simulada de las etapas 2 y 3 juntas. Se conectó una señal unitaria a las 6 entradas de la etapa 2 y se muestra la salida de la etapa 3, usando los 3 modelos de simulación. En este caso, como la ganancia depende de un cociente

entre resistencias, el valor de ganancia no varía significativamente, aunque sí lo hacen los polos que dependen de relación entre resistencias y capacitores.

La función transferencia de la cuarta etapa es:

$$H_4(s) = \frac{-sC_5R_6}{(1 + sC_5R_5) \cdot (1 + sC_6R_6)} \quad (\text{III-18})$$

Esta etapa es un filtro pasa banda con polos en 150Hz y 15.6kHz y ganancia $C_6/C_5=9.7$. La combinación de las 3 últimas etapas resulta en un filtro pasa banda con caídas de 40dB por década en ambos sentidos. La función transferencia completa es:

$$H_{234}(s) = 6 \frac{sC_5R_2 \cdot R_4 \cdot sC_5R_6}{R_3(1 + sC_2R_2)(1 + sC_4R_4)(1 + sC_5R_5)(1 + sC_6R_6)} \quad (\text{III-19})$$

El 6 aparece multiplicando en III-19 debido a que la segunda etapa suma las salidas de los 6 bloques de la primera etapa. La ganancia en la banda pasante es aproximadamente:

$$G_{234} = 6 \cdot \frac{R_4C_5C_5}{R_3C_2C_6} \approx 600 \quad (\text{III-20})$$

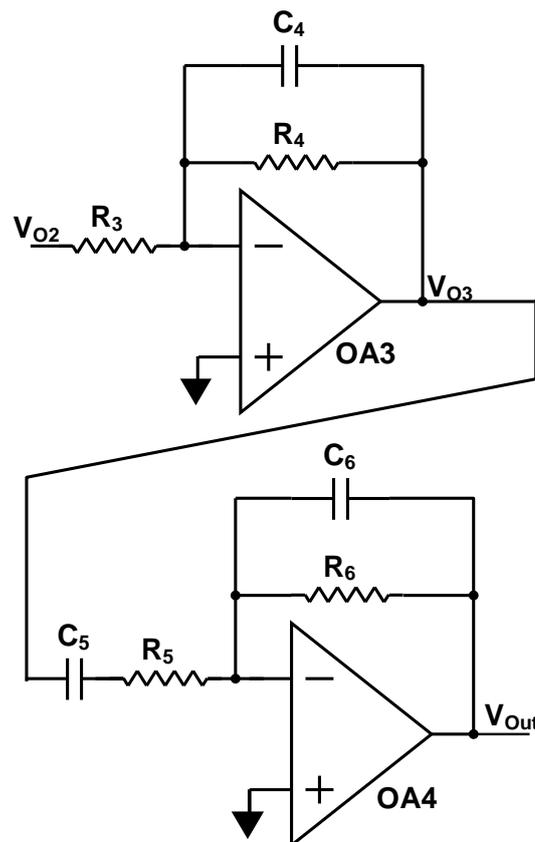


Figura III-13: Tercera y cuarta etapa del amplificador. Estas dos últimas etapas aumentan la ganancia total hasta aproximadamente 80dB y filtran las frecuencias no deseadas. Las entradas no inversoras de los dos operacionales (OA) se conectan a la misma referencia V_{ref} que la 2ª etapa.

La Figura III-15 muestra la función de transferencia de las etapas 2-3-4 todas juntas. Finalmente, en la Figura III-16 se muestra un esquemático de los operacionales de Miller utilizados, mientras que en la Tabla III-C se detallan los tamaños de los transistores. El circuito necesita referencias de voltaje y de corriente, para lo cual se utilizaron circuitos similares a los documentados en [52] [53] que fueron adaptados para este caso. Además, se diseñó un distribuidor de corriente que genera y reparte todas las corrientes de polarización necesarias.

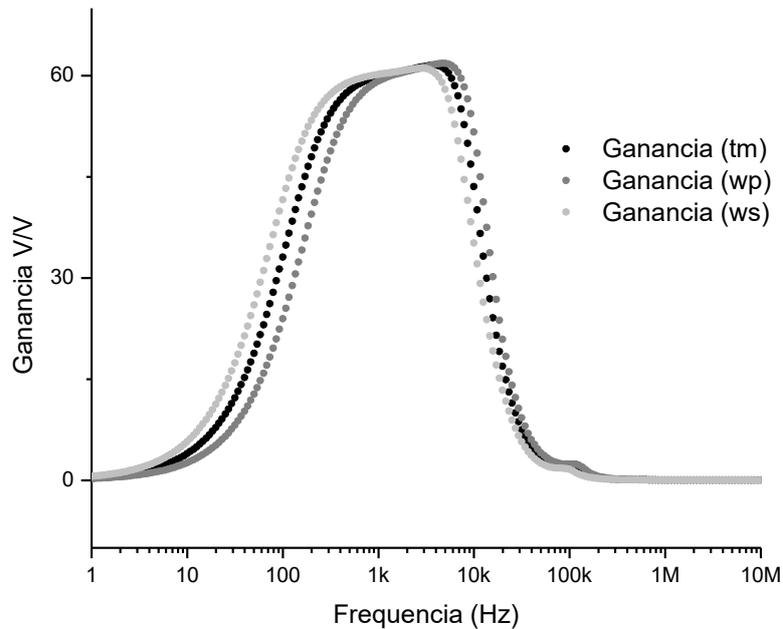


Figura III-14: Simulación de la función de transferencia de las etapas dos y tres juntas. Se coloca la misma entrada unitaria a las 6 entradas de la etapa 2. La ganancia nominal es $6 \cdot 10 = 60$ V/V.

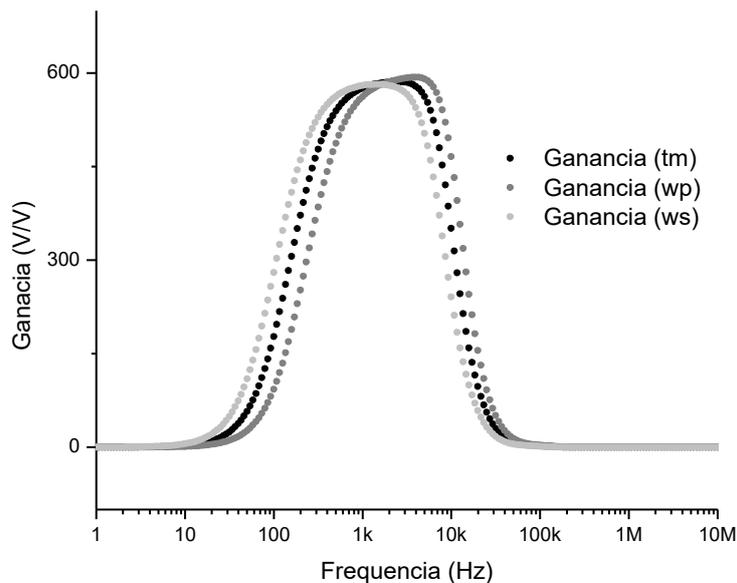


Figura III-15: Simulación de la Función de Transferencia de las etapas dos, tres y cuatro juntas. Se coloca la misma entrada unitaria a las 6 entradas de la etapa 2. La ganancia nominal es $6 \cdot 10 \cdot 10 = 600$ V/V.

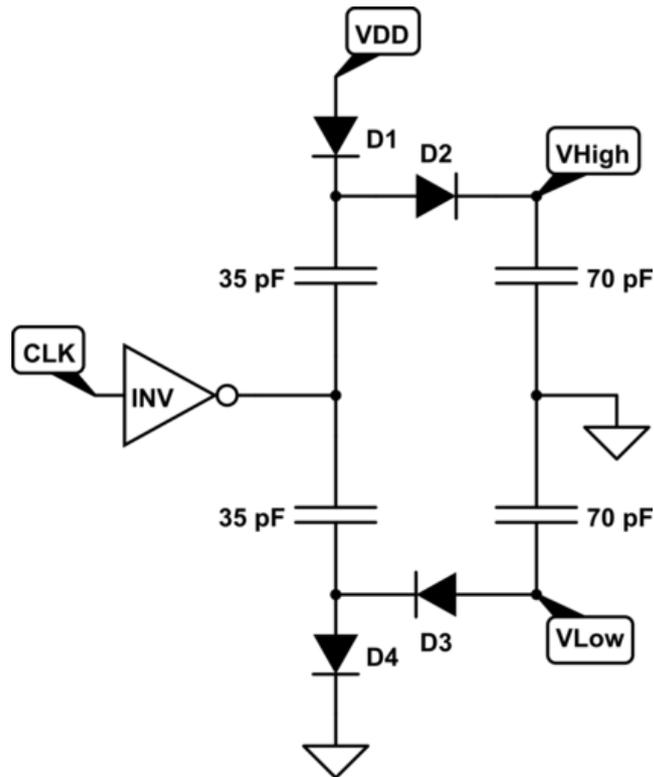


Figura III-17: Simple generador de voltajes superior a V_{DD} e inferior a GND . Utiliza una señal de CLK de 32 kHz ya disponible.

III.3.3. Diseño Físico

El diseño físico (o layout) del circuito fue realizado utilizando técnicas para minimizar los efectos de desapareo entre los transistores. Si bien el circuito es de tipo pasa banda, con transferencia nula en DC, en un amplificador con tanta ganancia el offset por desapareo puede hacer saturar una segunda etapa (en este caso no porque están desacopladas). Además, el desapareo entre transistores es responsable en un desarrollo de segundo orden, del CMRR y PSRR finito del amplificador. Los grandes transistores de entrada, fueron todos implementados utilizando un arreglo de transistores unitarios más pequeños entrelazados y conectados en paralelo.

En la Figura III-18 se puede ver el layout de un único bloque donde se puede apreciar los tamaños de los capacitores de desacople (arriba) en comparación con los transistores de entrada (los dos bloques amarillos grandes). La resistencia de salida se encuentra entre los dos transistores y en el extremo inferior está ubicado el OTA CMFB.

En la Figura III-19 se puede ver una microfotografía del circuito completo. El circuito ocupa 6mm^2 en su totalidad, donde como se aprecia en la Figura III-19 la gran mayoría del área está ocupada por los transistores de entrada y los capacitores de desacople de la primera etapa. El recuadro blanco de la Figura II-19 es uno de los 6 pares diferenciales complementarios cuyo layout se muestra en la Figura II-18.

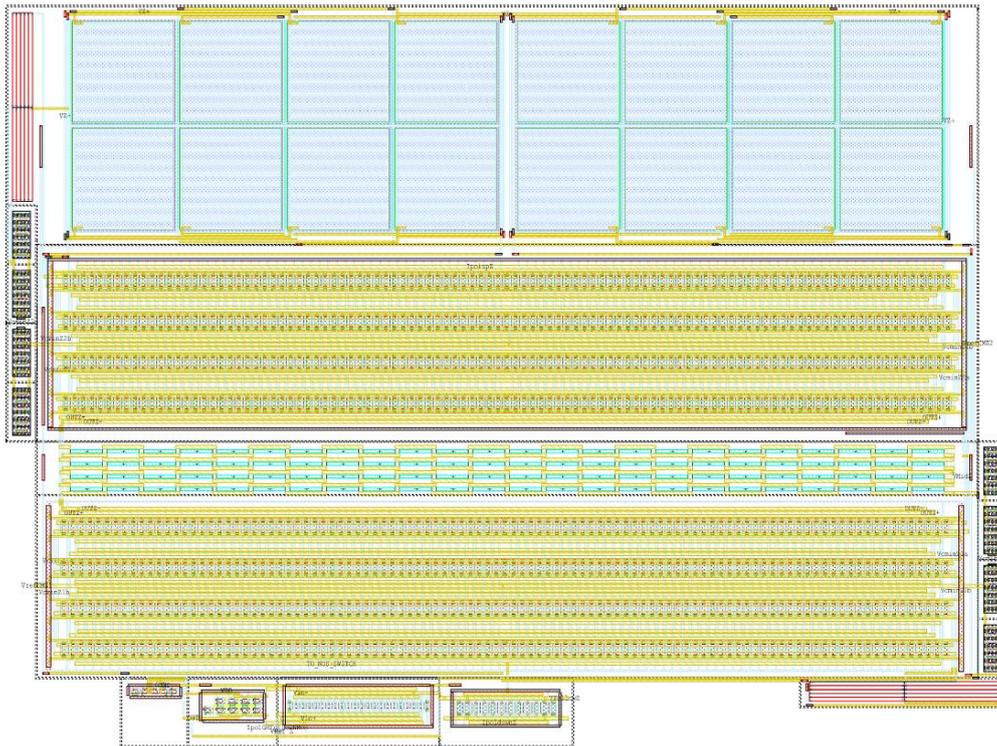


Figura III-18: Detalle del layout de un bloque amplificador de la primera etapa.

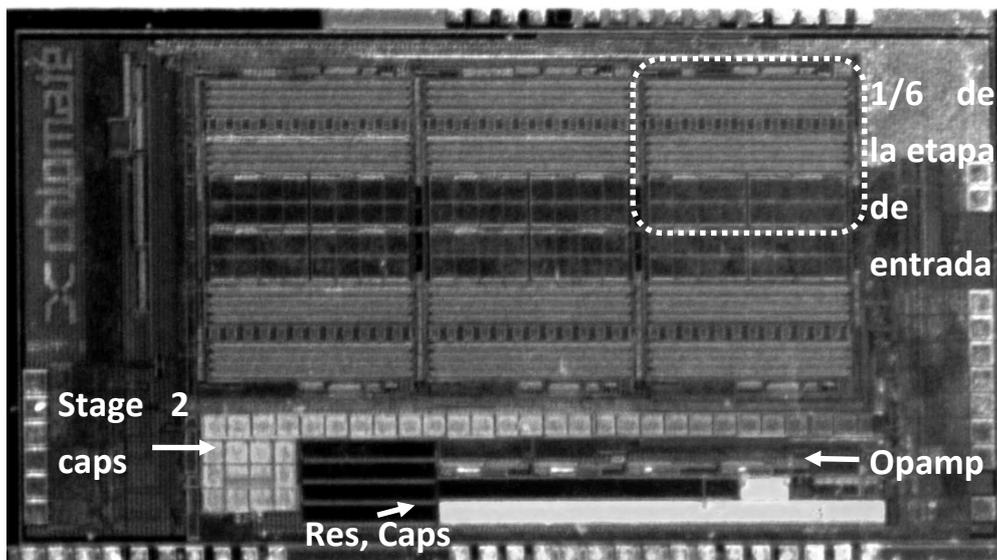


Figura III-19: Microfotografía del circuito completo.

III.4. Simulaciones y Medidas del Amplificador

En esta sección se muestran algunas de las simulaciones de circuito completo y medidas del circuito en funcionamiento. En la Figura III-20 se muestra la función de transferencia total simulada, mientras que en la Figura III-21 se muestra simulaciones Montecarlo donde se puede ver la función de transferencia global. La mayoría de los casos muestran una ganancia cercana a los 10kV/V. El sistema tiene un tiempo de estabilización grande incluso de decenas de segundos,

debido principalmente al sistema de ajuste de los voltajes de gate de los transistores de entrada que están fijados por los diodos.

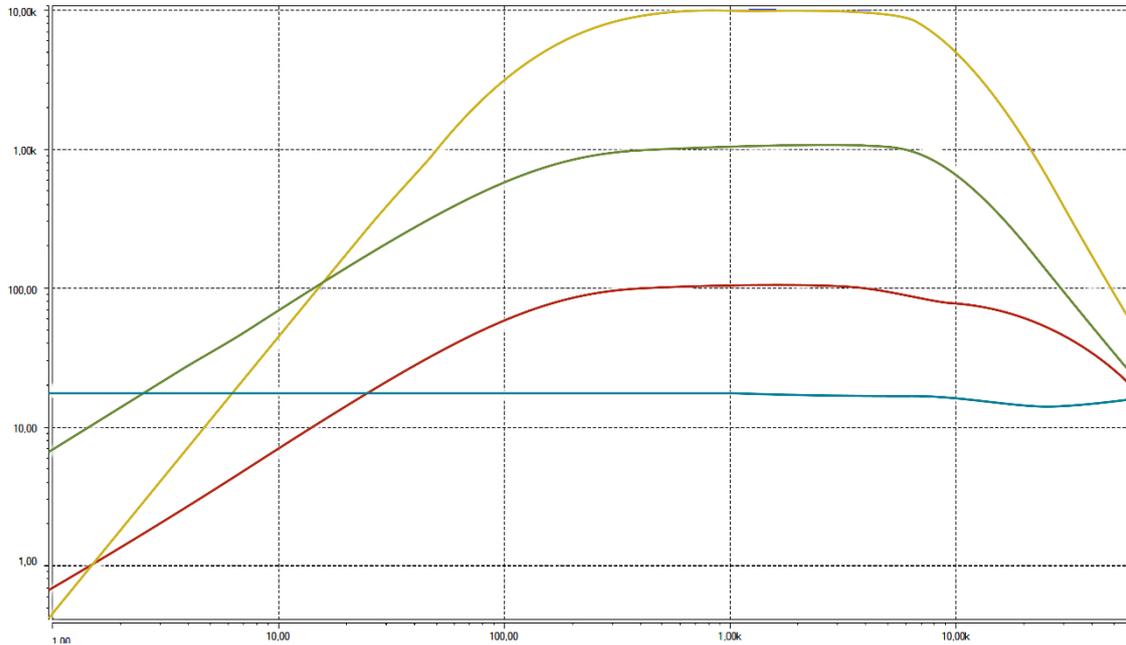


Figura III-20: Función de Transferencia simulada del circuito completo extraído. En amarillo la salida global, en verde la salida de la etapa 3, en rojo la salida de la etapa 2 y celeste las salidas de los 6 bloques de la etapa 1.

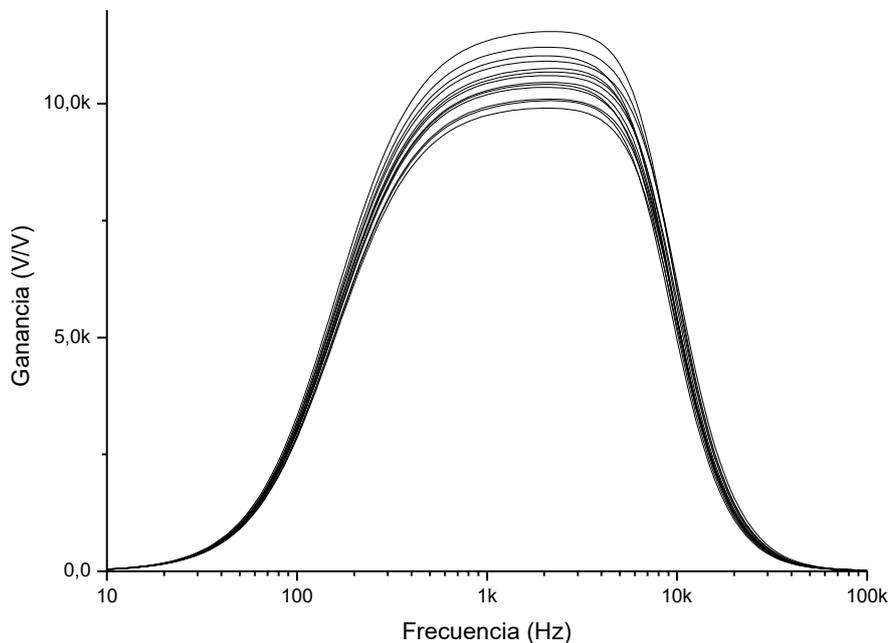


Figura III-21: Simulación de Montecarlo de la transferencia del circuito completo.

El circuito fue fabricado en tecnología XFab XT06 [54], la cual es una tecnología MOS aislada donde los transistores se fabrican en un wafer SOI (incluso se pueden especificar zanjas o ‘trenches’ de óxido aislando zonas completas del die) que permite transistores de alto voltaje. Esta tecnología fue elegida por varias razones: (a) en primer lugar se tenía experiencia previa y

algunos circuitos auxiliares ya diseñados, (b) además el hecho que permita transistores completamente aislados permite evitar problemas de efecto body y facilita los temas de seguridad ante fallas requeridos por aplicaciones médicas y finalmente (c) el hecho que permita implementar transistores de alto voltaje la hace una tecnología apta para equipos médicos (altos voltajes son necesarios muchas veces para la estimulación) lo cual puede facilitar una posible transferencia tecnológica. Se fabricó en modalidad MPW y se recibieron 5 muestras encapsuladas en formato DIP24, que fueron caracterizadas con el equipamiento disponible. En la Figura III-22 se muestra el circuito siendo testeado. El mismo fue medido dentro de una caja de metal para reducir el ruido electromagnético inducido, se usaron amplificadores de instrumentación alimentados con baterías (que se incluyeron dentro de la caja) para salir en baja impedancia hacia un analizador de espectros SR785.

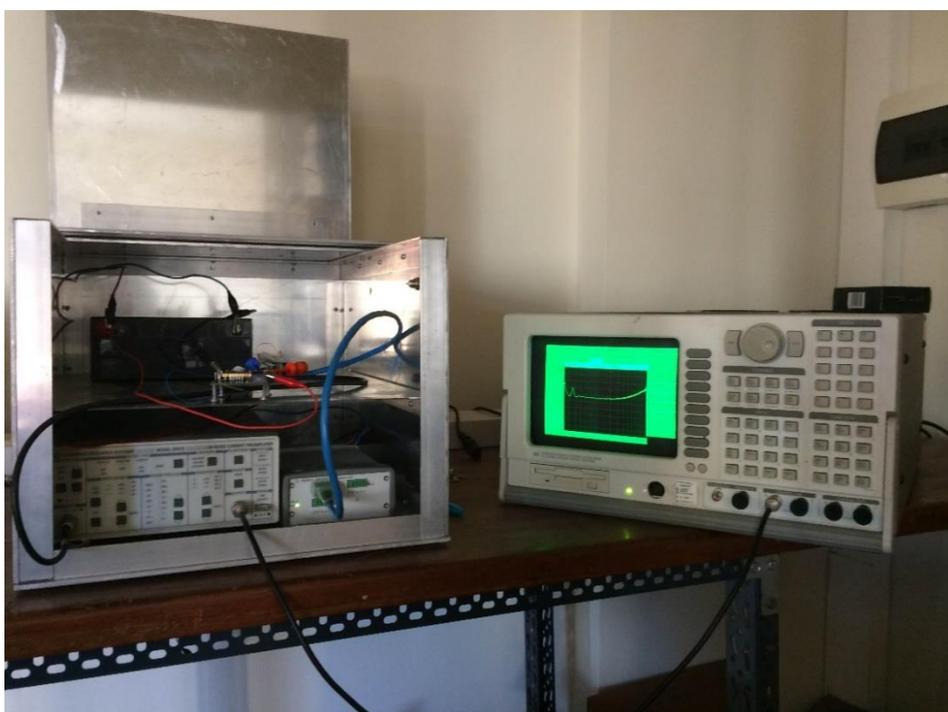


Figura III-22: Setup de medidas del amplificador.

El consumo medido de todo el circuito, incluyendo las cuatro etapas, referencias y todos los circuitos auxiliares necesarios, fue de $16.5\mu\text{A}$ (promedio entre cinco muestras medidas). En la Figura III-23 se presenta la ganancia medida para el circuito fabricado. Además, se muestra el ruido referido a la entrada, tanto calculado (línea punteada) como medido (línea continua). Se puede observar que hay una muy buena coincidencia entre el ruido medido y el estimado.

Es necesario mencionar que si bien todas las medidas se tomaron correctamente, de tanto en tanto el amplificador se mostraba inestable, funcionando correctamente sin causa aparente la salida se volvía ruidosa y oscilatoria. En este caso era necesario reiniciar el sistema para que continúe funcionando correctamente. Esta situación se mostró como aleatoria, y se dedicó mucho tiempo a encontrar el origen pero no se pudo sacar conclusiones apoyadas por medidas. Se cree que el problema son los tiempos muy largos de estabilización, junto con la operación en

lazo abierto. Este problema no afectó la caracterización del amplificador que proveyó de resultados muy buenos en operación normal, pero el circuito de polarización debe ser revisado para su utilización en circuitos reales.

Debido a que el amplificador está a lazo abierto y que la ganancia depende de una fuente de corriente sin ajustar, la ganancia medida varía entre 8000 y 10000 V/V entre las diferentes muestras del circuito. Los puntos de caída de 3dB promedio medidos son de 200Hz y 4.2kHz, que resultan cercanos a los simulados. En la Figura III-23 también se puede observar el efecto del ruido flicker. Para la estimación de ruido (línea punteada) se consideró el ruido térmico de los transistores de entrada y de las resistencias de salida de la etapa 1, pero también agregándole a la ecuación III-15 el ruido flicker usando la ecuación III-3 y ajustando las constantes a partir de los parámetros SPICE provistos por el fabricante. Integrando el ruido medido a la entrada (línea continua en Figura III-23) se llega a un valor de $330\text{nV}_{\text{rms}}$, que con el consumo medido equivale a un NEF de 0.84, siendo esta la característica que más resalta de este trabajo.

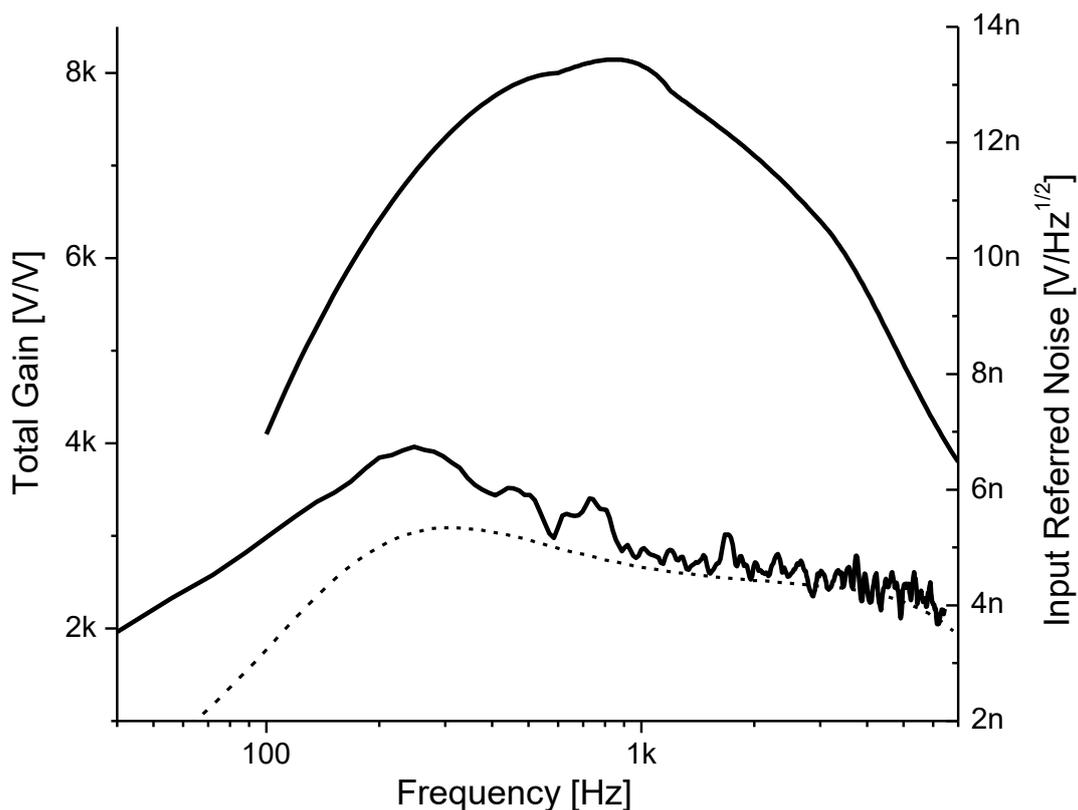


Figura III-23: Ganancia y ruido referido a la entrada medidos (líneas continuas) y el ruido referido a la entrada calculado (línea punteada).

III.5. Conclusiones

En este capítulo se presentó la técnica de reutilización de corriente aplicada al diseño de amplificadores que son eficientes para amplificar con bajo consumo y bajo ruido. A modo de

ejemplo, se diseñó, simuló, fabricó, y midió un amplificador para señales nerviosas (ENG) para aplicaciones médicas implantables. El mismo es hasta donde se tiene conocimiento, el primer amplificador presentado con un valor medido de NEF inferior al límite clásico de 1, incluso considerando el consumo de las 4 etapas de amplificación y los circuitos auxiliares de polarización. Por otro lado, el circuito ocupa un área de silicio relativamente grande, además la estrategia de polarización de los gate de los transistores de entrada es un poco compleja y lleva a largos tiempos de estabilización. Sin embargo, la técnica de apilado de pares diferenciales complementarios es compatible con diferentes formas de polarización y/o el uso de chopper o autozero para obtener la estabilización. Más aun, el uso de técnicas de chopper puede reducir el área ocupada significativamente, aun manteniendo un ruido flicker relativamente bajo. Si se observa la Figura III-19 se puede ver que la mayor ocupación de área está dada por los transistores de entrada y los capacitores de desacople, que deben ser grandes para minimizar el efecto de las capacidades parasitas (ver ecuación III-8). Si fuera posible reducir el tamaño de los transistores sin agregar ruido flicker, también se podría reducir el tamaño de los capacitores, reduciendo el área considerablemente.

En la Tabla III-D se resumen las principales características del amplificador y se lo compara con algunos otros amplificadores con bajo NEF publicados recientemente.

Esta versión del amplificador se fabricó en una tecnología de $0.6\mu\text{m}$ porque era la tecnología disponible, pero combinando las ideas de reutilización de corriente, chopper y una tecnología más moderna, es posible la implementación de amplificadores eficientes de múltiples canales en áreas relativamente chicas. Estos son amplificadores que se podrían utilizar en neuroprotesis donde se busca sensar múltiples señales nerviosas. Además, este tipo de amplificadores puede ser usado para otras aplicaciones donde sea necesario detectar señales con muy bajo ruido y muy bajo consumo, como por ejemplo en redes de sensores.

Respecto al NEF, quedó demostrado que una vez que introducimos la idea de la reutilización de corriente, el límite de $\text{NEF} \geq 1$ es un hito únicamente, sin soporte teórico. Algunos autores han introducido algunas nuevas figuras de mérito, como el PEF o el SEF [16], para tomar en cuenta la potencia consumida, el rango dinámico, etc., pero es casi imposible encontrar un único número que sea aplicable a todos los casos. Para el caso de las aplicaciones médicas, el voltaje de alimentación en general está fijo (por ser una batería la alimentación) y bastante superior al mínimo voltaje de alimentación aceptado por las tecnologías modernas. Por esta razón, es conveniente que el voltaje de alimentación V_{DD} , sea uno de los factores que sea incluido en la figura de mérito para comparar amplificadores de este tipo.

Parte del trabajo presentado en este capítulo se está publicando en [41].

Tabla III-D: Comparación con amplificadores de muy bajo NEF.

	[43]	[44]	[17]	[16]	[46]	Este Trabajo
Comentario	DC-DC para reducir el voltaje	OTA con entrada basada en inversor ²	RC-PDC ³	V _{DD} muy bajo y RC-PDC	Reutilización de corriente - división de corriente	6 PDC apilados y reutilización de corriente
Tecnología [μm]	1.5	.065	0.18	0.18	0.13	0.6
Alimentación V _{DD} [V]	5	1.0	1.8	0.45	1.5	3.4 – 5
Corriente I _{DD} [μA]	75	2.8	6.5	1.6	9 (4 canales)	16
Ganancia [dB]	36	52	61	52	40	79
Ancho de Banda [Hz]	100 - 5k	1k – 8.2k	0.25 – 5.1k	1 - 10k	20k	200 – 4.2k
Ruido a la entrada [μV _{rms}]	0.54	4.13	4.0	3.2	3.7	0.34
NEF	2.5	2.93	1.9	1.57	1.64	0.84
CMRR [dB]	59	> 80	> 60	73	78	> 60
Área por canal [mm ²]	0.85	0.042	.282	< 0.25	.125 (4 canales)	6

² Una entrada de inversor es una forma de reutilización de corriente

³ RC-PDC – Reutilización de corriente usando pares diferenciales complementarios.

IV. Un Conversor DC-DC Inductivo Tipo Step-Down para 600mV de Salida y 36 μ W de Potencia

En el Capítulo I se definieron el NEF y el PEF, que son figuras de mérito que relacionan el ruido de un amplificador con el consumo de corriente o potencia del mismo y luego se analizó la forma de mejorarlos. En el Capítulo III se presentó un amplificador para señales biomédicas que reutiliza la corriente de una batería recargable de 3.6 a 4.2V, haciéndola alimentar sucesivamente 6 pares diferenciales complementarios (12 pares en total) para mejorar el NEF. Esta técnica es de utilidad ya que las baterías poseen voltaje relativamente alto para la electrónica moderna, en la que un par complementario se puede alimentar con 500mV o menos. Una opción alternativa a la reutilización de corriente (que como se demostró en el Capítulo III implica circuitos de polarización complejos), sería utilizar un único par diferencial complementario polarizado con mucha corriente, y reducir el voltaje de alimentación mediante un conversor de corriente continua a corriente continua (DC-DC, por sus siglas en inglés) eficiente para drenar una corriente mucho menor de la batería, como se indica en la Figura IV-1. Este par diferencial puede verse como colocar en paralelo los 6 pares complementarios de la Figura III-5. En esta sección se presenta un conversor DC-DC utilizando un inductor conmutado, que permitiría reducir la tensión de alimentación de una batería secundaria para alimentar un amplificador con especificaciones similares al del Capítulo III, pero implementado con un único par diferencial complementario, alimentado con 600mV y corriente nominal de 60 μ A. De acuerdo a la ecuación III-7 el resultado será un ruido a la entrada de 5nV/ $\sqrt{\text{Hz}}$, similar al medido en la Figura III-23.

Primero se hará una breve introducción a los convertidores DC-DC. Se hará énfasis en las fuentes inductivas, y en particular en cómo aumentar la eficiencia de las mismas cuando la corriente de salida es de algunos μ A. Luego se presenta el diseño de un conversor DC-DC inductivo tipo step-down de $V_{\text{Out}} = 600\text{mV}_{\text{nom}}$ de salida (V_{Out} es programable entre 200mV y 1.5V), voltaje de entrada V_{In} entre $1.9 < V_{\text{In}} < 5.5\text{V}$, corriente nominal de salida de 60 μ A (puede variar hasta 200 μ A), adecuado para alimentar un amplificador implementado con un único par complementario y ruido térmico similar al del Capítulo III. El circuito fue fabricado en una tecnología de 0.6 μm y fue incorporado a un circuito para su ensayo. Finalmente se muestran resultados experimentales y se proponen posibles mejoras para aumentar la eficiencia lograda, ya que la eficiencia medida es razonable pero menor a la esperada. El circuito se comporta adecuadamente en un amplio rango de situaciones, regulando la salida con menos de 3% de error y 5% de ripple. Buena parte de este capítulo ha sido resumida en el trabajo presentado en [55].

aplicaciones será valioso reducir V_{DD} mediante fuentes DC-DC eficientes, incluso con corrientes de carga entre $1\mu A$ hasta algunos mA, de forma de aumentar la vida útil o tiempo entre cargas de la batería. Históricamente la opción más frecuente para fuentes DC-DC de consumo de microwatts, especialmente en el caso de electrónica implantable, ha sido utilizar fuentes del tipo “bomba de carga” [60] [43] [61]. Las bombas de carga permiten aumentar o reducir el voltaje, mediante la carga y descarga de capacitores conectados en serie y paralelo alternativamente. En la Figura IV-2 se muestra un ejemplo de fuente DC-DC que reduce el voltaje de alimentación en un tercio, similar a la implementada en [43]. Las llaves SW_i cambian de estado periódicamente. Cuando están en la posición opuesta a la que se muestra en la figura, los 3 capacitores C_1 , C_2 , C_3 son conectados en serie con la fuente de alimentación y se cargan con un voltaje de $V_{in}/3$. Al cambiar el estado de todas las llaves, los capacitores se conectan en paralelo y cargan el capacitor de salida C_T (o tanque), de modo que $V_{out}=V_{in}/3$. El capacitor de salida C_T , es generalmente mucho mayor que los C_i y alimenta la carga en la fase siguiente. Cuando se conectan dos capacitores C_1 y C_2 en paralelo la energía que se pierde depende de la diferencia de potencial que hay entre ambos y se puede expresar con la ecuación:

$$E_{perd} = \frac{C_1 \cdot C_2 \cdot \Delta V^2}{2(C_1 + C_2)} \quad (IV-1)$$

Si la frecuencia de conmutación es suficientemente rápida, el capacitor C_T se descarga muy poco y la diferencia de potencial es chica, resultado en pérdidas muy pequeñas. Las bombas de carga utilizando capacitores externos como en [60] [43] alcanzan eficiencias bien por encima del 90%, pero tienen dos problemas. En primer lugar, la eficiencia superior al 90% sólo se alcanza para reducciones a fracciones del voltaje de alimentación (por ejemplo, a $\frac{1}{3}$ o $\frac{1}{4}$). En segundo lugar, la condición de micro-consumo fuerza a mantener la frecuencia de conmutación relativamente baja; esto hace que los capacitores no puedan ser integrados por la alta capacidad necesaria y entonces deben ser conectados externamente al circuito integrado. Este hecho genera la necesidad de mayor cantidad de PADS en el circuito integrado y puntos de soldadura en la plaqueta, lo cual es problemático para los dispositivos médicos implantables. Si se aumenta la frecuencia de conmutación para usar capacitores integrados, aumenta mucho el consumo propio de la bomba de carga, y por tanto, baja la eficiencia además de las pérdidas por las capacidades parásitas contra el sustrato. Recientemente se han publicado trabajos con bombas de carga eficientes y baja corriente de salida utilizando capacitores integrados; pero incluso reciclando carga de capacidades parásitas como en [61] es necesario ser cuidados con la eficiencia para corrientes de carga de pocos μA .

En este trabajo en cambio se optó por una fuente DC-DC inductiva para micro-consumo que, aunque es un tema reciente de investigación y desarrollo de productos, se pudo encontrar alguna referencia cercana a las necesidades de nuestro circuito [22]. Esta fuente inductiva utiliza sólo dos componentes externos (capacitor de salida e inductor) y sólo dos PADS del circuito integrado. Requiere, por lo tanto, menos PADS y componentes externos en comparación con una bomba de carga que utiliza capacitores externos y similar frecuencia. También se debe

mencionar que existen referencias recientes de bombas de carga integradas cercanas a las necesidades de nuestra aplicación [61] [43]. Sin embargo, aquí se decidió utilizar una fuente inductiva; este trabajo no pretende realizar una comparación frente a la opción de una bomba de carga para la misma tarea.

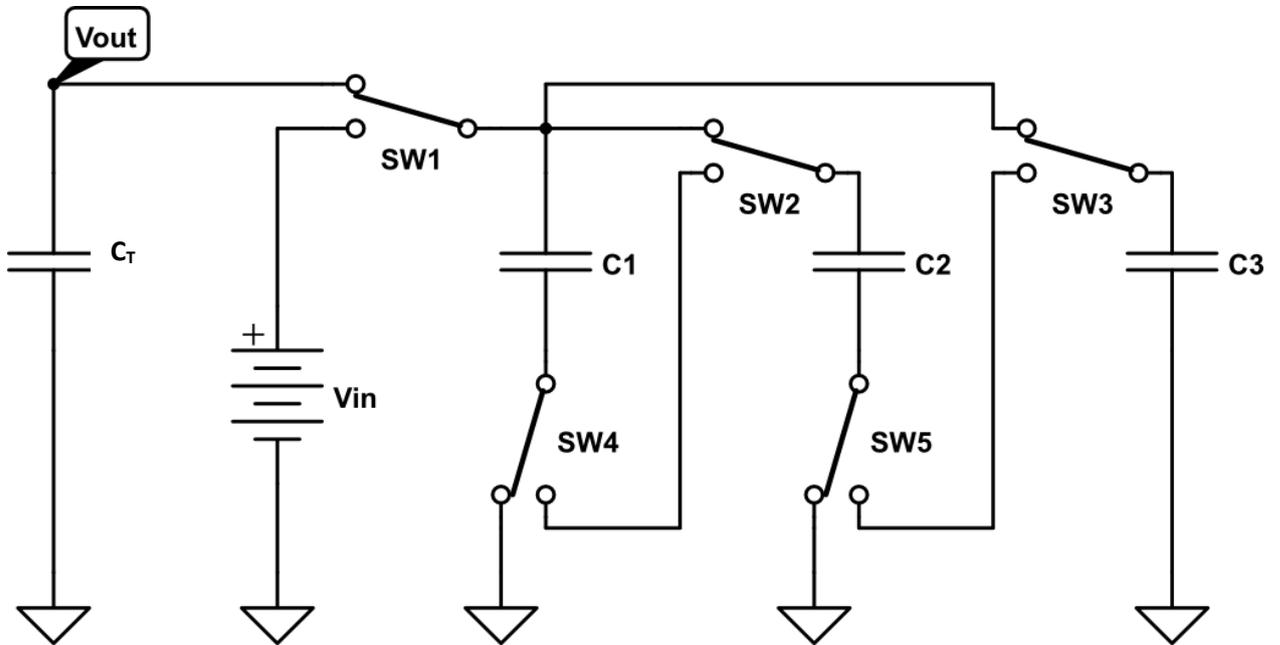


Figura IV-2: Esquemático de un convertidor DC-DC de bomba de carga. $V_{out}=V_{in}/3$.

IV.1.1. Fuentes DC-DC Inductivas de muy Baja Corriente

Las fuentes conmutadas en base a inductores, generalmente tienen alta eficiencia para cargas de consumo elevado, pero la misma se reduce drásticamente para consumos por debajo del mA. Existe gran cantidad de circuitos integrados comerciales o módulos completos con el convertidor DC-DC para corrientes de salida de unos pocos mA hasta decenas de Amperios que surgen en una simple búsqueda en un distribuidor de electrónica [62]. Incluso la mayoría de los SOCs (System on a Chip) modernos incluyen varias fuentes DC-DC. Sin embargo, es muy reciente que algunos trabajos académicos [63] [64] y muy pocos productos comerciales [65] [66] proponen convertidores DC-DC eficientes basados en inductores para consumos de decenas o pocos cientos de μW a la salida. Respecto a los productos comerciales, Texas Instruments lanzó en los últimos 3 años la serie TPS6274x, que es el único step-down cercano a los requerimientos de nuestro circuito. Alcanza una alta eficiencia, incluso para corriente de carga tan baja como los $60\mu A$ necesarios en nuestra aplicación; pero el voltaje de salida mínimo es 1.8V, muy por encima de los 600mV requeridos (es un circuito pensado para alimentar microcontroladores o bloques RF de baja potencia). EL LTC3620 de Linear Technology, permite llegar a voltajes de salida cercanos a 1V, pero con eficiencias menores al 50% para corrientes de $100\mu A$, mientras que la serie MAX856x de Maxim Integrated, permite voltajes de hasta 0.9V, pero con eficiencias menores a 40% para $100\mu A$, según se desprende de su hoja de datos.

La Figura IV-3 muestra un convertidor DC-DC inductivo tipo step-down con topología buck. Está formado por un par de llaves, encargadas de generar una onda cuadrada con el valor medio deseado y un filtro LC para suavizar la tensión de salida. La llave SW_2 se conecta en paralelo con el diodo D para disminuir las pérdidas por la caída en el diodo en conducción.

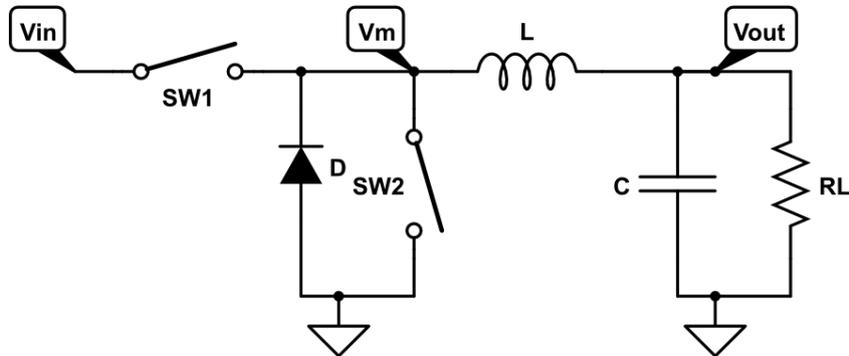


Figura IV-3: Esquemático de un convertidor DC-DC inductivo básico del tipo step-down.

La modulación implementada se describe a continuación. Cuando la corriente de salida es elevada el convertidor trabaja en modo continuo, simplemente se alternan las llaves SW_1 - SW_2 en un esquema rectificación sincrónica de dos estados o fases. Pero cuando la corriente de salida es muy baja se agrega un tercer estado con ambas llaves abiertas para que trabaje en modo discontinuo, y así evitar que la corriente por la inductancia cambie de sentido [67]. Durante el funcionamiento en modo discontinuo se pueden identificar 3 fases de operación:

- En la fase A (o de carga de la inductancia), ilustrada en la Figura IV-4, se cierra la llave SW_1 mientras que SW_2 permanece abierta. La inductancia se conecta a la fuente de alimentación a través de SW_1 ; esto genera una corriente con pendiente positiva por la inductancia que carga el capacitor de salida, además de proveer la corriente a la carga. En esta fase la fuente V_{IN} transfiere energía que se almacena principalmente en la inductancia L , otra parte también se almacena en el capacitor de salida, C , y el resto se disipa en R_L . Debido a la conducción discontinua, la corriente I_L en la bobina arranca en 0 y crece con pendiente constante hasta que se abre la llave SW_1 .
- La fase B (o de descarga de la inductancia) comienza cuando en la Figura IV-4, donde se abre SW_1 y se cierra SW_2 que conecta a tierra la inductancia, como se muestra en la Figura IV-4. El inductor mantiene el sentido de circulación de la corriente hacia C y R_L , aunque la misma va reduciendo su valor a medida que se agota la energía almacenada en el inductor. En esta fase la inductancia L transfiere toda su energía almacenada a C y R_L . La corriente I_L arranca en un máximo I_M y decae durante un tiempo t_B con pendiente constante hasta llegar a 0.
- Finalmente, en la fase C (o de mantenimiento), ambas llaves están abiertas y no circula corriente por la inductancia ni por la fuente (ver Figura IV-4). En esta fase el capacitor de salida es el encargado de alimentar la carga R_L .

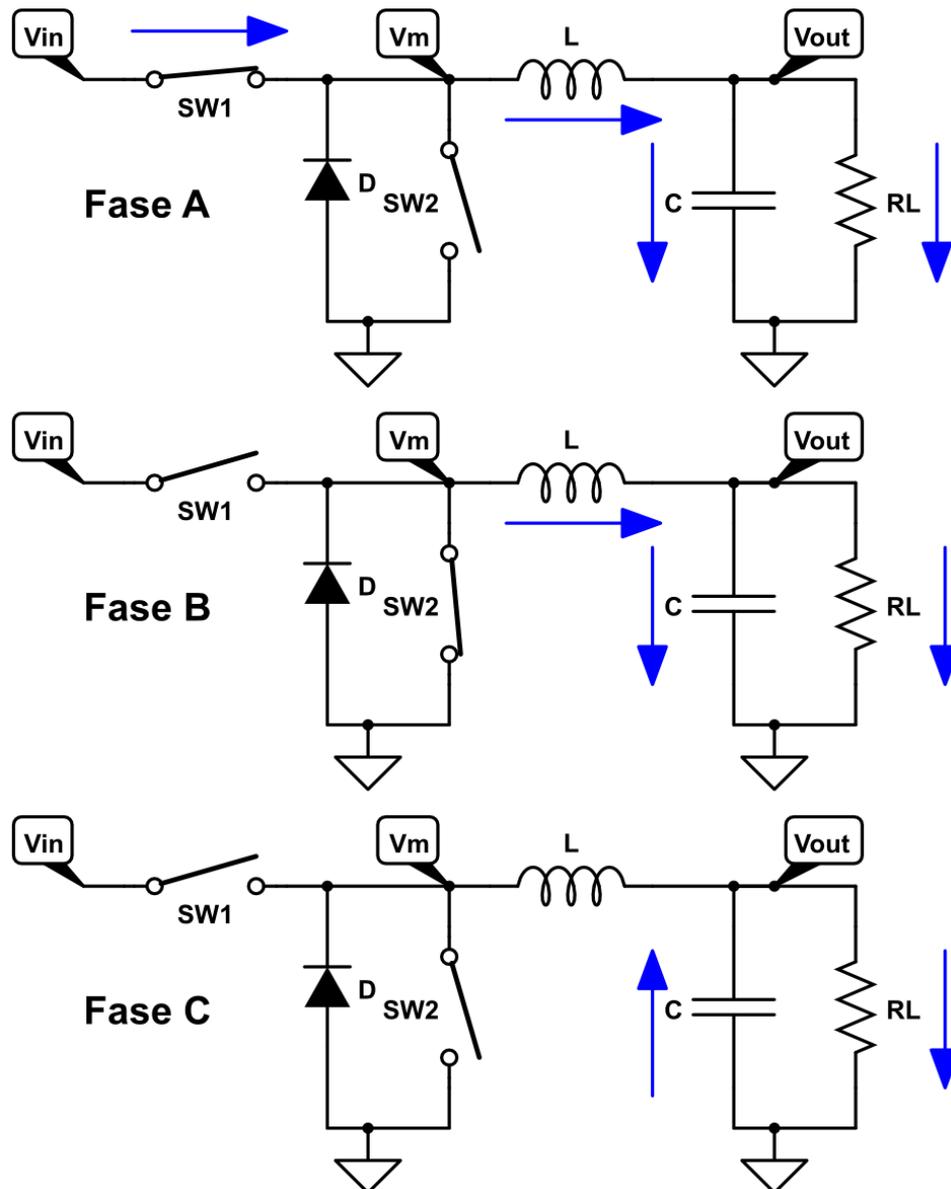


Figura IV-4: Fases de un convertidor DC-DC inductivo.

Idealmente, la corriente por la inductancia forma un triángulo (Figura IV-5) que alcanza un máximo I_M , si consideramos que el voltaje de salida no varía entre fases. Las 3 fases deben ser cicladas periódicamente, siempre la A antes que la B, para garantizar la carga adecuada de L. Además, idealmente para el inicio de la fase C, deberá existir un detector de cruce por cero o ZCD (por sus siglas en inglés) que determina el instante cuando $I_L=0$ y abre SW_1 - SW_2 , de modo de evitar el cambio de polaridad en la corriente que circula por la inductancia.

Si se desprecian las pérdidas en el convertidor, la energía que suministra la batería V_{IN} en la fase A es transferida en su totalidad a la carga R_L al final de un período de conmutación T . La frecuencia de conmutación $f_{SW} = 1/T$ a la que se conmutan las llaves, y la duración de cada fase $t_A, t_B, t_C = (T-t_A-t_B)$, dependen del voltaje de salida deseado y la carga. Un circuito de control se debe encargar de ajustar estos tiempos para regular la tensión de salida ante variaciones de carga, de la tensión de entrada, u otras perturbaciones.

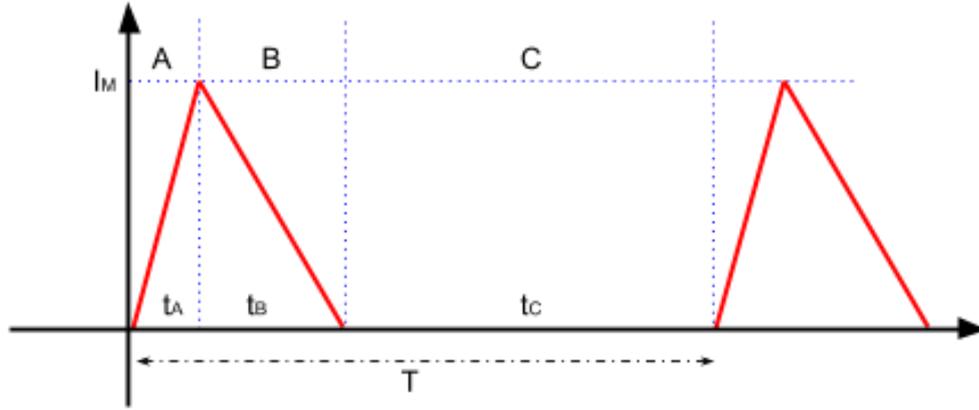


Figura IV-5: Corriente a través del inductor L en un convertidor DC-DC. A- SW₁ cerrado SW₂ abierto; B – SW₁ abierto SW₂ cerrado; C- SW₁ y SW₂ abiertos.

En base a los circuitos equivalentes mostrados en la Figura IV-4 y las formas de onda de la Figura IV-5 se deducirán las ecuaciones que permitirán calcular los parámetros del circuito.

Sea $I_L(t)$ la corriente por la bobina e $I'_L(t)$ su derivada. En la fase A, durante un tiempo t_A , SW₁ conduce y SW₂ permanece abierta, entonces:

$$V_{In} - L \cdot I'_L = V_{Out} \quad \Rightarrow \quad I'_{LA} = \frac{V_{In} - V_{Out}}{L} . \quad (IV-2)$$

La fase B dura un tiempo t_B en el que SW₁ está abierta mientras que SW₂ conduce, entonces:

$$-L \cdot I'_L = V_{Out} \quad \Rightarrow \quad I'_{LB} = \frac{-V_{Out}}{L} . \quad (IV-3)$$

En la fase C, la corriente $I_L=0$. Durante t_A la corriente crece desde cero hasta alcanzar su valor de pico I_M , para luego disminuir hasta cero durante t_B :

$$I_M = t_A \cdot \frac{V_{In} - V_{Out}}{L} \quad y \quad t_B = t_A \cdot \frac{V_{In} - V_{Out}}{V_{Out}} . \quad (IV-4)$$

Como en estado estacionario la corriente media que circula por el capacitor es cero, entonces la corriente media que circula por L es igual a la corriente media que circula por la carga

$$\langle I_L \rangle = \frac{1}{T} \int_0^{(t_A+t_B)} I_L(t) \cdot dt = \frac{I_M(t_A + t_B)}{2T} = I_{Out} , \quad (IV-5)$$

donde I_{Out} denota la corriente de salida que se asume constante en el periodo.

En cada periodo T, la fuente V_{In} entrega una energía E_A sólo durante la fase A, de acuerdo con:

$$E_A = \int_0^{t_A} P_{In}(t) \cdot dt = \int_0^{t_A} V_{In}(t) \cdot \frac{V_{In} - V_{Out}}{L} \cdot t \cdot dt =$$

$$= \frac{V_{In}(V_{In} - V_{Out})t_A^2}{2L}. \quad (IV-6)$$

Si no hay pérdidas en el circuito esa misma energía termina siendo entregada a la carga. La potencia media entregada a la carga, P_{RL} , es:

$$\langle P_{RL} \rangle = \frac{E_A}{T} = \frac{V_{In}(V_{In} - V_{Out})t_A^2}{2L} \cdot f_{SW}. \quad (IV-7)$$

El ripple de la tensión de salida se puede calcular considerando la variación ΔV_C del voltaje en el capacitor provocada por la carga introducida durante las fases A y B. Como una primera aproximación, se supone que solamente la corriente que circula por la inductancia es la causa de la variación de tensión en el capacitor, entonces

$$\Delta V_C = \frac{1}{C} \cdot \int_0^{(t_A+t_B)} (I_L(t) - I_{Out}) \cdot dt = \frac{(t_A + t_B) \cdot (I_M - 2I_{Out})}{2C}. \quad (IV-8)$$

IV.1.2. Pérdidas en el Conversor

Las ecuaciones IV-2 a IV-8 son aproximaciones en el caso ideal sin pérdidas, en el que la eficiencia sería $\eta = 100\%$. Una implementación real del conversor tendrá pérdidas de potencia que reducirán η . A continuación, se detallarán las principales pérdidas y cómo pueden ser reducidas. En primer lugar, al implementar las llaves con transistores MOS las mismas tendrán una resistencia R_{on} cuando están cerradas y una corriente de fuga cuando están abiertas. Si bien la última en general es muy pequeña y puede ser despreciada, la primera requiere un diseño cuidadoso del tamaño de SW_1 y SW_2 .

Las pérdidas de conducción de las llaves se pueden estimar con las ecuaciones IV-9 y IV-10 para el PMOS y el NMOS, respectivamente.

$$\langle P_{SW1} \rangle = \frac{1}{T} \int_0^{t_A} R_{on1} \cdot I_L(t)^2 \cdot dt = \frac{R_{on1} \cdot I_M^2 \cdot t_A}{3T}. \quad (IV-9)$$

$$\langle P_{SW2} \rangle = \frac{1}{T} \int_0^{t_B} R_{on2} \cdot I_L(t)^2 \cdot dt = \frac{R_{on2} \cdot I_M^2 \cdot t_B}{3T}. \quad (IV-10)$$

También es necesario considerar las pérdidas por conmutación que puede ser estimada usando la ecuación IV-11 donde C_{sw} es la capacidad del transistor que actúa como llave y f es la frecuencia de conmutación.

$$P_{Co} = C_{SW} \cdot V_{IN}^2 \cdot f. \quad (IV-11)$$

Otras fuentes de pérdidas son las fugas del capacitor tanque C_T , eventualmente su resistencia interna, y la resistencia de la inductancia r_{IND} . La pérdida de fuga en el capacitor se puede estimar como

$$P_{FC} = I_{leak} \cdot V_{Out} , \quad (IV-12)$$

donde I_{leak} es la corriente de fuga, para la que se puede estimar una cota de la hoja de datos del fabricante. Se desprecia el efecto de la resistencia serie del capacitor r_C cuyo valor estándar es de pocos $m\Omega$ resultando en pérdidas despreciables para las corrientes pequeñas que se usan.

La pérdida causada por la resistencia de la inductancia se puede calcular integrando:

$$\begin{aligned} P_L &= \frac{1}{T} \int_0^{(t_A+t_B)} r_{IND} I_L(t)^2 \cdot dt = \frac{r_{IND} \cdot I_M^2 \cdot (t_A + t_B)}{3T} = \\ &= \frac{r_{IND} \cdot I_M^2 \cdot t_A}{3T} \cdot \frac{V_{In}}{V_{Out}} . \end{aligned} \quad (IV-13)$$

De las ecuaciones IV-12 y IV-13 se infiere que se debe elegir un capacitor con baja corriente de fuga, y un inductor con baja resistencia serie. La Figura IV-6 muestra un circuito que incluye estas pérdidas.

Existen además otras pérdidas asociadas al circuito. Se debe incluir un tiempo muerto entre el apagado de una llave y el encendido de la otra para evitar la conducción simultánea de ambas llaves. Caso contrario, la corriente de cortocircuito de V_{IN} a tierra puede llegar a ocasionar una pérdida de energía muy significativa. Se debe diseñar el circuito dejando un tiempo t_D , entre que se abre la llave PMOS (MSW_1) y se cierra la llave NMOS (MSW_2) y viceversa, suficiente para evitar que se solape la conducción. Durante este tiempo, la corriente por la inductancia debe seguir circulando, por lo que el diodo D entra en conducción. D simplemente puede ser el diodo parásito que existe en el transistor NMOS. Si durante el tiempo t_D podemos asumir que la corriente es prácticamente constante e igual a I_M , la potencia que se pierde en el diodo se puede estimar como:

$$\langle P_D \rangle = \frac{V_D \cdot I_M \cdot t_D}{T} . \quad (IV-14)$$

Otra fuente de pérdidas, es la abertura de la llave NMOS en un momento incorrecto. Es preferible que el apagado del NMOS sea lo más cercano posible al cruce por cero de la corriente para reducir las pérdidas de apagado (zero current switching) y los transitorios de tensión inductivos. Si la llave es abierta más tarde, la corriente que circula por la inductancia cambiará de signo, extrayendo energía del capacitor. Por otro lado, si la llave es abierta demasiado pronto, la corriente circulará por más tiempo que el deseado por el diodo parásito, disipando más potencia que con la conducción de la llave. En general es preferible que se abra la llave antes de tiempo, ya que en este caso sólo se incrementan las pérdidas de conducción en el diodo;

mientras que, en el otro caso, se transfiere energía del capacitor hacia el inductor produciendo pérdidas en la llave y la resistencia del inductor.

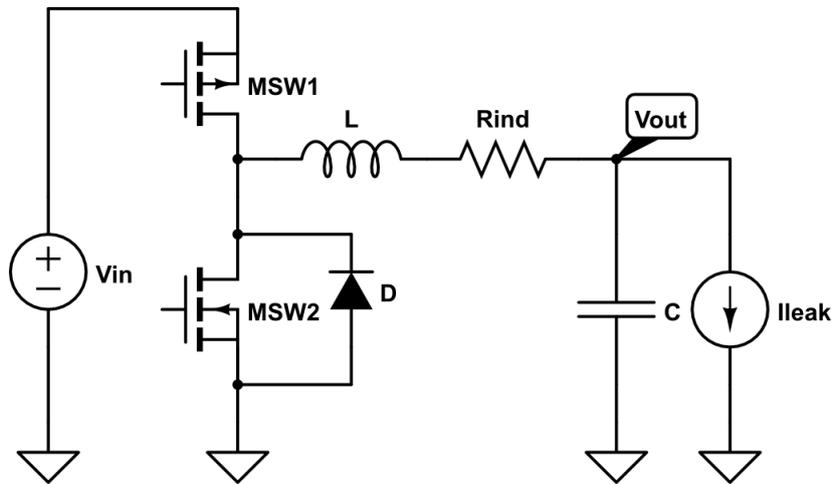


Figura IV-6: Fuente DC-DC inductiva con algunas no idealidades incluidas. Se agrega la corriente de fuga del capacitor (I_{leak}), la resistencia de la inductancia (R_{ind}) y las llaves implementadas con transistores (MSW_1 y MSW_2).

Finalmente existe una pérdida debido al circuito de control. El circuito de control deberá ajustar (como en este caso) la frecuencia f_{sw} , o el tiempo t_A , o ambos, para regular V_{out} . A su vez para determinar el momento que se abre SW_2 será necesario implementar un circuito de ZCD. Como la operación del convertor depende del voltaje de salida y de la carga conectada, es necesario implementar algún circuito de control automático. Estos circuitos tendrán un consumo que mediante un diseño cuidadoso debe ser reducido, e idealmente llevar a que sea despreciable en el punto de operación, frente a la potencia de la carga.

IV.1.3. Especificaciones para el Convertor DC-DC

Se desea diseñar una fuente DC-DC capaz de alimentar 6 etapas simples (como las diseñadas en el Capítulo III) conectadas en paralelo, con un voltaje de 600mV. Para evitar introducir ruido en el rango de frecuencias de interés, se elige la frecuencia de conmutación, f_{sw} , de modo que sea mayor que el ancho de banda de las señales de interés biológico. La Tabla IV-A resume las especificaciones del circuito.

Para el caso nominal, el convertor DC-DC, reduce el voltaje de entrada a aproximadamente $\frac{1}{6}$, reduciendo en un caso ideal el consumo de corriente de la batería a un 16,7%. Por esta razón cualquier eficiencia superior a 16,7% resulta en una mejora del consumo final, pero se propone una eficiencia mínima de 70%. Para no introducir ruido en las señales biológicas de interés, el convertor debe funcionar a una frecuencia superior a los 10kHz. El DC-DC alimenta un amplificador que como en el Capítulo III, filtrará el ruido fuera del rango de interés. A su vez se trata de un amplificador analógico polarizado en corriente, el cual tiene un PSRR relativamente alto a esta frecuencia; por lo tanto, no es necesario especificar un ripple muy pequeño.

En la Tabla IV-B, se presenta un resumen de las ecuaciones necesarias para el diseño.

Tabla IV-A: Especificaciones del convertor DC-DC.

Característica	Especificación inicial
V_{In}	Nominal: 3.6V Variable de 2V a 5V
V_{Out}	Nominal: 600mV Programable de 0.4V a 1.8V
I_{Out}	Nominal: 60 μ A Variable de 0 a 200 μ A
V_{ripple}	<5% correspondiente a 30mV
Eficiencia η	>70%
Frecuencia f_{sw}	>10kHz

Tabla IV-B: Ecuaciones del convertor DC-DC.

Nombre	Símbolo	Ecuación
Tiempo fase B	t_B	$t_B = t_A \cdot \frac{V_{In} - V_{Out}}{V_{Out}}$
Corriente Máxima	I_M	$I_M = t_A \cdot \frac{V_{In} - V_{Out}}{L}$
Potencia Entregada por la batería	P_{In}	$P_{In} = \frac{V_{In} \cdot I_M \cdot t_A}{2}$
V_{ripple}	ΔV_C	$\Delta V_C = \frac{(t_A + t_B) \cdot (I_M - 2I_{Out})}{2C}$
Pérdidas		
Resistencia Llave PMOS	P_{SW1}	$P_{SW1} = \frac{R_{on1} \cdot I_M^2 \cdot t_A}{3} \cdot f_{sw}$
Resistencia Llave NMOS	P_{SW2}	$P_{SW2} = \frac{R_{on2} \cdot I_M^2 \cdot t_B}{3} \cdot f_{sw}$
Perdidas de conmutación	P_{Co}	$P_{Co} = C_{sw} \cdot V_{IN}^2 \cdot f$

Nombre	Símbolo	Ecuación
Fugas Capacitor	P_{FC}	$P_{FC} = I_{leak} \cdot V_{Out}$
Resistencia Inductancia	P_L	$P_L = \frac{r_{IND} I_M^2 t_A}{3} \cdot \frac{V_{In}}{V_{Out}} \cdot f_{SW}$
Ambas llaves abiertas	P_D	$P_D = V_D \cdot I_M \cdot t_D \cdot f_{SW}$

IV.2. Diseño del Conversor DC-DC

IV.2.1. Esquema General del DC-DC

El conversor implementado consta de cuatro bloques básicos, como se ve en la Figura IV-7: Llaves de salida, Comparador de V_{Out} de bajo consumo, Control, y detector de cruce por cero ZCD. Si bien en un caso práctico la alimentación de los circuitos sería probablemente V_{IN} para todos, para este primer diseño se implementó una alimentación separada V_{DD} . Esto permite estudiar los consumos de los distintos bloques de los circuitos de manera independiente y caracterizar mejor el diseño.

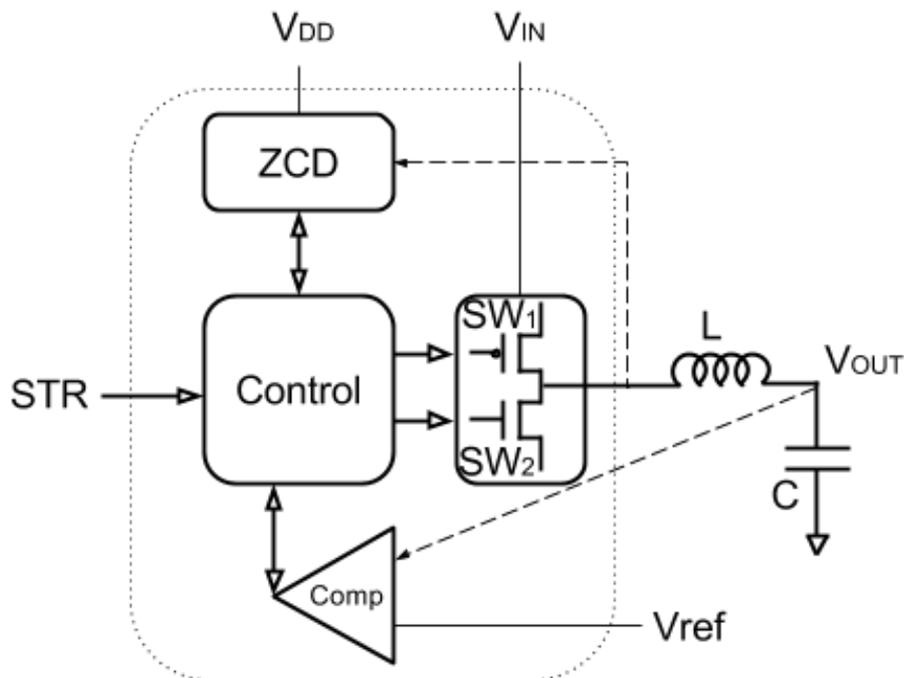


Figura IV-7: Diagrama completo del conversor implementado.

Se diseñó un bloque lógico simple para controlar el funcionamiento del sistema completo ajustando la salida a un valor deseado. Es importante mencionar que en este trabajo no se hizo énfasis en el controlador, ya que la fuente DC-DC está destinada a una carga fija (el amplificador analógico) y nos interesan los aspectos de conversión de energía, sin entrar en detalle de la velocidad de respuesta o estabilidad del controlador en un rango amplio de cargas y voltaje de salida. A continuación, se detalla el diseño de los bloques.

IV.2.2. Etapa de Salida

En primer lugar, se realizó una estimación del tamaño del capacitor de salida y la inductancia, para determinar la factibilidad de integrarlos y se llegó a la conclusión que los mismos debían ser externos, por lo menos en una primera iteración. Se seleccionó una inductancia de $L=100\mu\text{H}$, $R_L=1.4\Omega$ y corriente de saturación de 270mA (código: CBC3225T101KR) perteneciente a la familia de inductancias de Taiyo Yuden [68], de baja resistencia y que permiten corrientes relativamente altas sin saturar. Se seleccionó un capacitor de 100nF con baja corriente de fuga.

Para dimensionar los transistores de las llaves SW_1 y SW_2 (en la Figura IV-7) hay que considerar su resistencia de encendido, su capacidad de conducción de corriente y su área total, que determinará la velocidad de apertura y cierre debido a la capacidad de compuerta. Revisando la aproximación clásica para la resistencia de la llave y su capacidad de compuerta, resulta:

$$R_{on} = \frac{L_{MOS}}{W \cdot \mu \cdot C'_{ox} \cdot (V_{GS} - V_T)} \quad y \quad C_G = W \cdot L_{MOS} \cdot C'_{ox} \cdot (IV-15)$$

Es claro que debe tener la menor longitud posible. Para estos transistores $L_{MOS}=1\mu\text{m}$. Luego se hizo un barrido en el ancho, simulando la resistencia (sin utilizar IV-14) buscando que las pérdidas en las llaves, estimadas en las condiciones nominales de operación, sean menores al 10% del consumo total de manera de no implementar llaves demasiado grandes. El ancho final, fue de $100\mu\text{m}$ para ambos SW_1 y SW_2 (si bien la resistencia del PMOS es mayor, conduce por menos tiempo). Para este ancho la resistencia $R_{on}\approx 50\Omega$ y $C_G\approx 100\text{fF}$.

IV.2.3. Detector del Cruce por Cero (ZCD)

Al implementar el ZCD se buscó diseñar un circuito de bajo consumo que detecte cuando la corriente por la inductancia cambia de signo. Incluir una resistencia para medir esta corriente no es posible, ya que si se elige una resistencia suficientemente grande como para que la diferencia de potencial en sus extremos sea detectable disiparía mucha potencia, reduciendo drásticamente la eficiencia. Es por esta razón que se utiliza un método indirecto, determinando cuando el voltaje en el nodo V_m de la Figura IV-3 cruza por cero (de valores negativos a positivos). El ZCD se basó en el circuito propuesto en [63], el cual fue adaptado para este caso. En la Figura IV-8 se muestra el esquemático del ZCD, junto al del comparador.

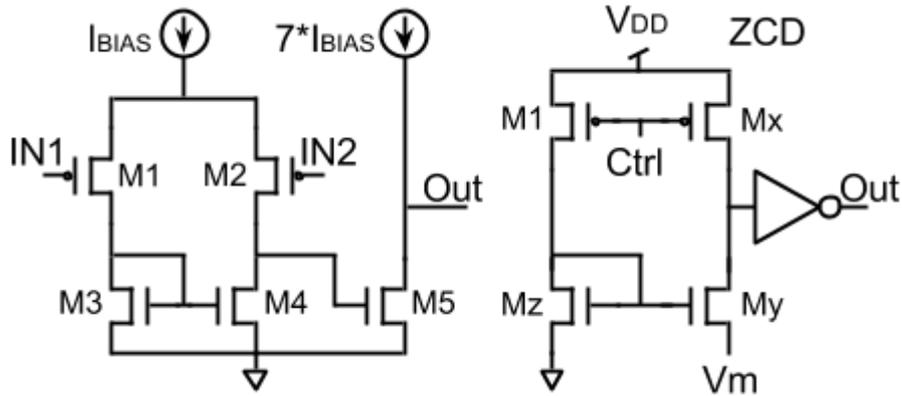


Figura IV-8: Esquemático Comparador a la izquierda y ZCD a la derecha.

El circuito compara la corriente de los transistores M_x y M_y , que son iguales cuando $V_m=0V$. Cuando V_m cambia de signo, el valor lógico de V_{OUT} también cambia. El cambio no es instantáneo, ya que se debe cargar/descargar la capacidad de salida. Por esto, los transistores M_y y M_z se hacen ligeramente diferentes. De esta manera, el cambio se realiza un poco antes de que V_x alcance los $0V$. Los tamaños finales pueden verse en la Tabla IV-C. Se le agregó una entrada extra al ZCD (Ctrl) que permite apagarlo. El ZCD solamente estará prendido durante la fase B para ahorrar energía. El inversor de salida no es un inversor estándar de librería. Fue diseñado con el objetivo de mejorar la detección, ajustando el umbral de manera de funcionar correctamente con el circuito del ZCD. Luego de encontrar valores primarios, el sistema fue simulado usando todos los modelos y simulaciones de Montecarlo. Algunos de los tamaños de los transistores fueron modificados a partir de los resultados de estas simulaciones, hasta que el sistema funcionara correctamente. El consumo del ZCD es menor a $10\mu A$ cuando está encendido.

IV.2.4. Comparador

Al implementar el comparador, el mayor compromiso a tener en cuenta es entre la velocidad de reacción y el consumo. Se decidió utilizar un amplificador de Miller sin compensar, cuyo esquemático se muestra en la Figura IV-8.

La corriente de polarización I_{Bias} es de $50nA$, lo que permite un consumo menor a $4\mu W$. Este consumo es suficientemente chico como para no impactar significativamente en la eficiencia total del convertidor, pero al bajar tanto el consumo, el comparador reacciona lentamente. Los tiempos necesarios cuando el voltaje de salida va bajando en la fase C son largos (decenas de μs) y no ocasionan problemas, pero cuando C_T se está cargando, los tiempos involucrados son muy cortos (centenas de ns) y el voltaje de rizado puede aumentar demasiado. Para solucionar este problema se agregaron modificaciones a la lógica de control, que se detallan en la próxima subsección. No se entrará en detalle del dimensionado de los transistores; el comparador utilizado es una modificación de trabajos previos (verificado en silicio), lo cual permitió la reutilización del layout físico ya implementado. También se realizó un diseño alternativo de otro comprador que fuera lo suficientemente rápido como para seguir los cambios de voltaje en

cualquier situación, pero el consumo resultó excesivo. Tanto para la fuente de corriente como la fuente de referencia se pueden utilizar circuitos previamente desarrollados en trabajos previos [52].

Tabla IV-C: Tamaños Transistores ZCD y Comparador.

Comparador		
Nombre y tipo	Ancho (μm)	Largo (μm)
M1 / PMOS	10	6
M2 / PMOS	10	6
M3 / NMOS	25	3
M4 / NMOS	25	3
M5 / NMOS	30	3
Detector Cruce por Cero (ZCD)		
M1 / PMOS	2.0	30
Mx / PMOS	1.65	30
My / NMOS	0.80	9.0
Mz / NMOS	0.80	9.0
INV / PMOS	0.80	2.0
INV / NMOS	2.0	0.80

IV.2.5. Lógica de Control

La lógica de control es la encargada de generar los comandos de disparo de las llaves para regular la salida al valor deseado. La Figura IV-9 muestra el esquemático del controlador, de funcionamiento sencillo a pesar de su aparente complejidad. Se implementó un sistema asincrónico que no dependa de un reloj externo. Esto complica la lógica de control, pero reduce el consumo. Se decidió trabajar con un esquema de frecuencia variable, fijando el tiempo de la fase A ($t_A = 180\text{ns}$), para lo cual se implementó un circuito (DELAY 1) que genera un desfase entre la entrada y la salida de aproximadamente 180ns. Este tiempo fue elegido para que en funcionamiento correcto las frecuencias de conmutación fueran siempre mayores a los 10kHz y no introdujeran ruido en la banda de interés (la misma del amplificador del Capítulo III). Además, este tiempo garantiza que la corriente máxima no sature la inductancia elegida y que la caída de voltaje de una batería del tipo médico sea despreciable. La entrada STR enciende la lógica ante un flanco descendente y permite que el sistema arranque. Una vez en marcha, el comparador

(CMP) detecta que el voltaje de salida es menor al deseado, por lo que se cierra SW_1 , iniciando la fase A, poniendo en '0' la señal CTRL_P. El bloque DELAY1 implementa un retraso de unos 180ns (este es el tiempo t_A). Luego de este tiempo, se abre la llave SW_1 y se cierra la llave SW_2 , poniendo en '1' la señal CTRL_N y entonces comienza la fase B. Las compuertas lógicas en la parte superior del esquemático garantizan que en ningún momento ambas llaves estén conduciendo simultáneamente. El sistema seguirá en la fase B hasta que el detector de cruce por cero (ZCD) determine que es tiempo de abrir la llave SW_2 .

Cuando se cierra la llave SW_2 , también se prende el ZCD (para estar listo a detectar el cruce por cero al final de esta fase), lo que puede generar un falso positivo. Para que esto no traiga problemas de funcionamiento, se incluyó un nuevo retardo y la lógica necesaria para que se inhabilite momentáneamente el efecto del ZCD. Finalmente se decidió agregar un tiempo de fase C mínimo, ya que al ser lento el comparador, varios pulsos de energía serían entregados antes de que el sistema corte. Para eso se agregó el último retardo que no permite que la entrada del comparador reinicie el FF y arranque la fase A nuevamente durante un tiempo fijo de 500ns. De no incluir este tiempo el voltaje de rizado aumentaría considerablemente con componentes de frecuencia más baja, que podría llegar a las frecuencias de interés para el amplificador. Por otro lado, si se alarga mucho el tiempo de fase C mínimo, el sistema demoraría más en llegar al equilibrio. Se llegó a un compromiso en el que el sistema entrega entre 4 y 6 pulsos de energía, los cuales se repiten a una frecuencia siempre mayor a los 10kHz.

Todos los retardos (delay) fueron implementados utilizando inversores asimétricos [69], ya que el valor exacto del tiempo de cada uno no es crítico y el método es simple y de bajo consumo. Todas las compuertas y flip-flops utilizados fueron tomadas de la librería de bajo consumo que provee el fabricante.

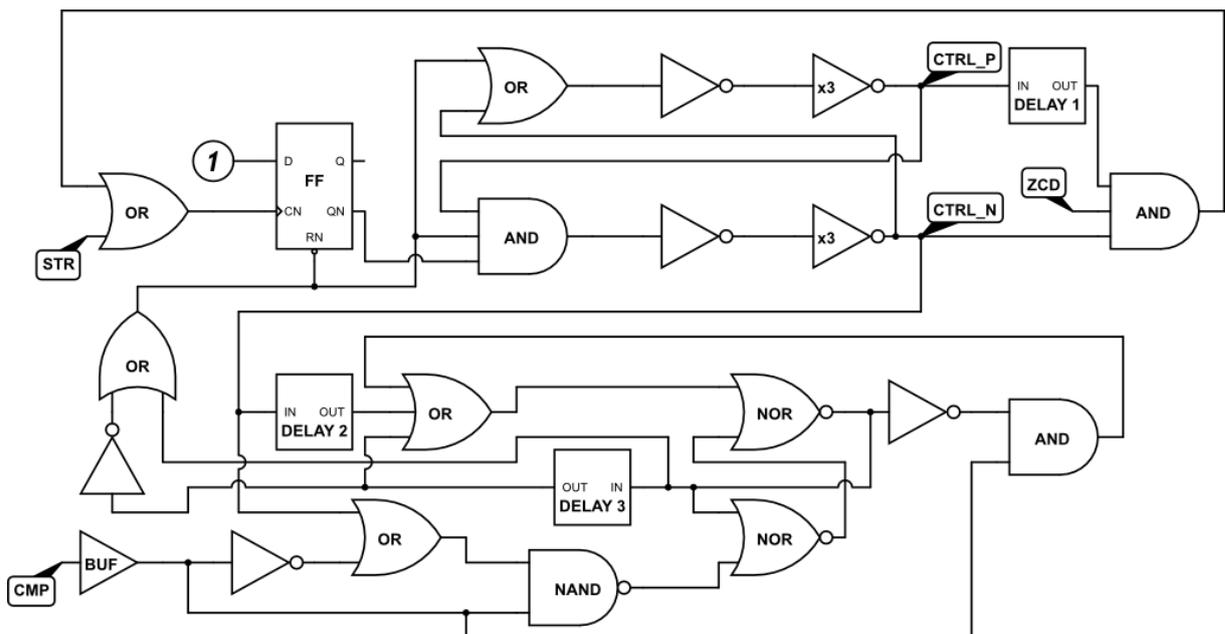


Figura IV-9: Esquemático de la Lógica de Control.

El sistema de control utilizado es muy sencillo y pretende ser una prueba de concepto, ya que la finalidad del sistema es entregar potencia a una carga constante, que no tiene saltos de consumo a seguir.

IV.3. Simulaciones del Sistema

Luego de ser diseñado, el sistema fue simulado para diversas condiciones de operación y con los diferentes modelos provistos por la foundry (tm, ws, wp) para caracterizar y garantizar su funcionamiento. En primer lugar, utilizando las ecuaciones de la tabla 4.2 se estimó la eficiencia del sistema, para un caso en particular. Los datos se muestran en la tabla 4.4.

Tabla IV-D: Datos del convertor DC-DC implementado.

Nombre	Símbolo	Valor	Comentario
Inductancia	L	100 μ H	
Capacitor	C	100nF	
Tiempo fase A	t _A	160ns	
Resistencia de salida	R _L	6.49 k Ω	
Voltaje de entrada	V _{IN}	3.6V	
Voltaje de Salida	V _{OUT}	600mV	
Tiempo conduce diodo	t _D	2ns	
Frecuencia de conmutación	f _{sw}	50kHz	En realidad, son 5 pulsos cada 1/10 kHz
Resistencia SW ₁	R _{SW1}	86 Ω	
Resistencia SW ₂	R _{SW2}	30 Ω	
Capacitor Gate	C _{SW}	250fF	
Resistencia Inductancia	R _{IND}	1.4 Ω	
Corriente fuga Capacitor	I _{leak}	106nA	
Voltaje diodo SW ₂	V _{DSW2}	0.6V	
Corriente Máxima	I _M	4.3 mA	
Potencia Entregada a la carga	P _{Out}	57.3 μ W	

Nombre	Símbolo	Valor	Comentario
Voltaje de rizado	ΔV_C	19 mV	3%
Pérdidas			
Resistencia Llave SW ₁	P _{R1}	4.3μW	
Resistencia Llave SW ₂	P _{R2}	6.7μW	
Perdidas Conmutación	P _{Co}	325nW	Las dos llaves
Fugas Capacitor	P _{FC}	6nW	
Resistencia Inductancia	P _L	380nW	
Ambas llaves abiertas	P _D	260nW	
Pérdidas totales	P _T	12μW	
Eficiencia	η	80%	Falta considerar consumo de circuitos extras

El resultado del análisis de eficiencias muestra que el sistema está dentro del rango de especificaciones deseado. Sólo falta agregar el consumo del comparador, ZCD y la lógica para completar el análisis. En la Figura IV-10 se muestra un gráfico circular, donde se puede apreciar que el consumo de todas las otras partes es menor a las pérdidas de la etapa de salida y que la eficiencia es mayor a 70%.

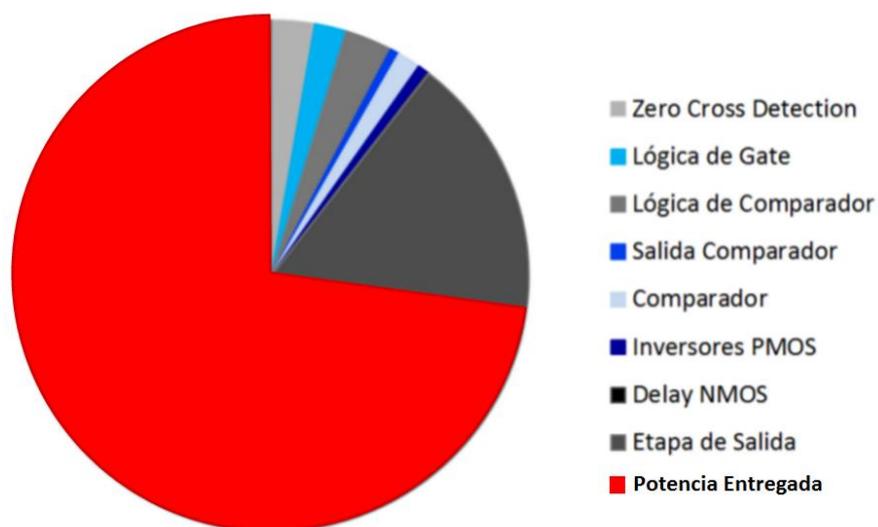


Figura IV-10: Diagrama de donde se consume la energía que viene de la fuente V_{IN} . La mayoría termina entregada a la carga (72%).

En la Figura IV-11, se muestra un transitorio del arranque del sistema, con un detalle donde se ven los 4 pulsos de carga. En la Figura IV-12 se puede ver cómo varía la eficiencia al variar el

voltaje de entrada (V_{IN}). Todas estas simulaciones son post-layout. El circuito fue fabricado en tecnología X-Fab XC06 de $0.6\ \mu\text{m}$. El circuito ocupa un área total de silicio de $150\ \mu\text{m} \times 250\ \mu\text{m}$ sin incluir los PADS (Figura IV-13), y un área total de silicio de $1000\ \mu\text{m} \times 650\ \mu\text{m}$ incluyendo PADS y todas las protecciones de ESD. Se utilizaron protecciones ESD estándar de la librería del fabricante. En la Figura IV-14 se muestra una captura del layout del circuito que fue fabricado sobre una esquina de un MPW. Desafortunadamente no disponemos de fotografía al microscopio del circuito debido al tipo de encapsulado recibido en el MPW.

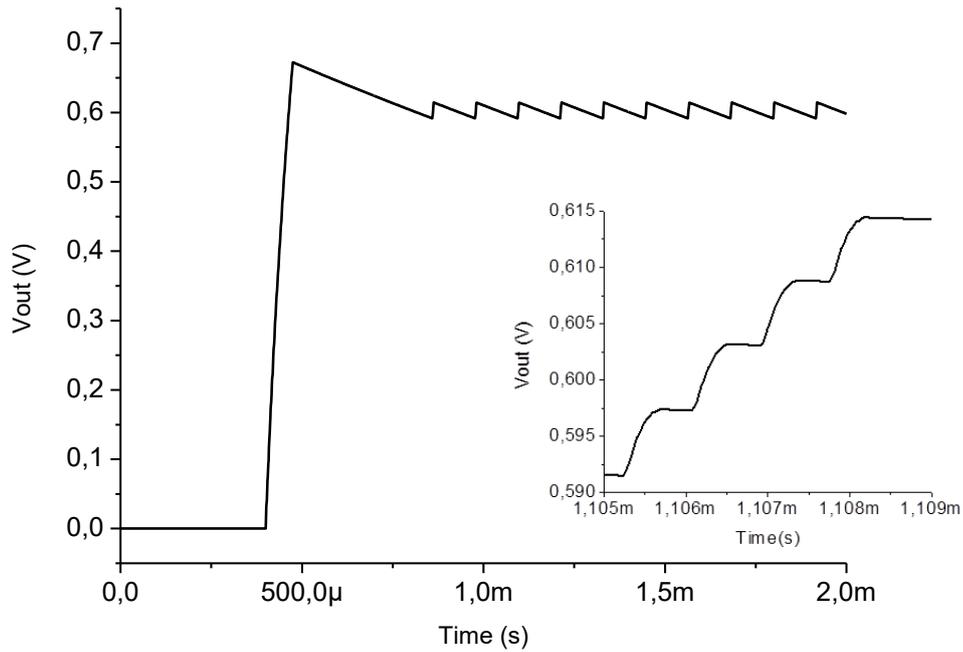


Figura IV-11: Transitorio de arranque del convertidor DC-DC. Se puede apreciar el detalle de uno de los golpes de carga donde se dan 4 pulsos.

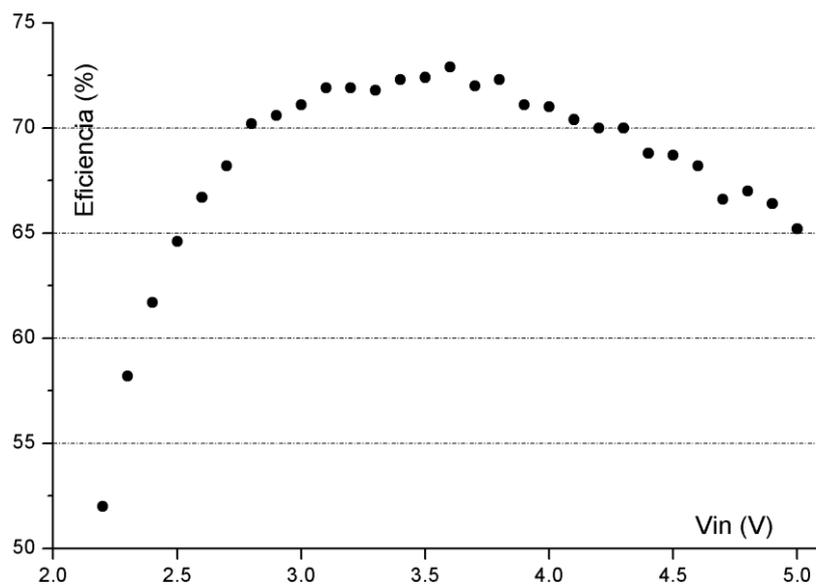


Figura IV-12: Eficiencia de salida en función del voltaje de entrada. Simulación para un consumo de $72\ \mu\text{W}$.

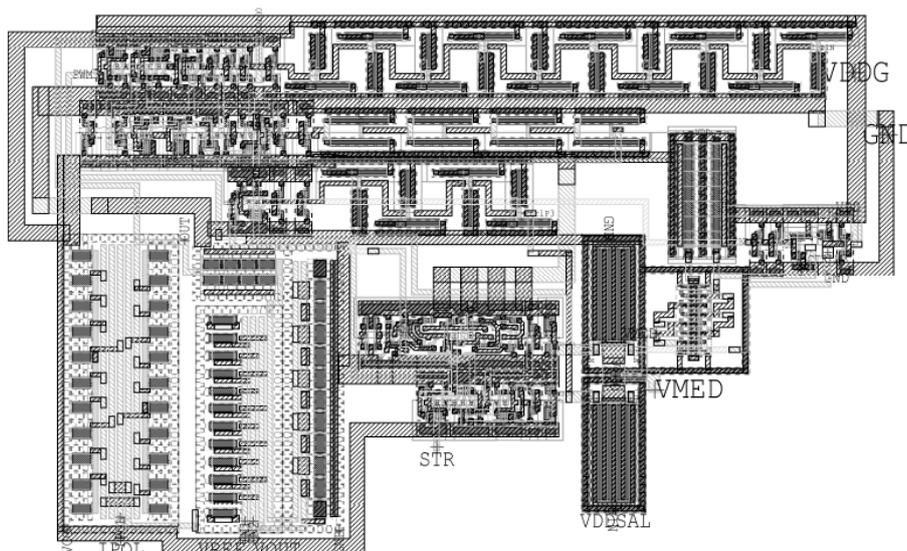


Figura IV-13: Layout del circuito implementado. El tamaño total es $150\mu\text{m} \times 250\mu\text{m}$.

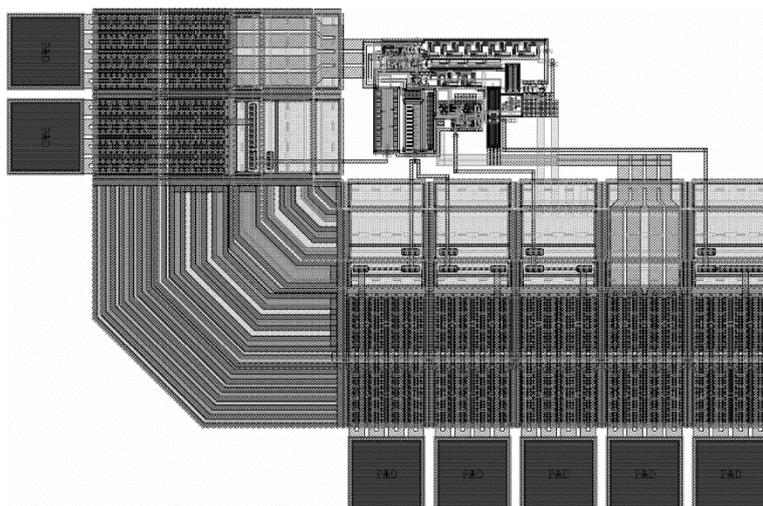


Figura IV-14: Layout de la esquina de un chip multi-proyecto donde se encuentra el convertidor.

IV.4. Medidas Realizadas

Un inductor eficiente ($L=100\mu\text{H}$) y un capacitor de baja corriente de fuga ($C_T = 100\text{nF}$) fueron utilizados durante las pruebas. Varias medidas fueron obtenidas para V_{IN} variando entre 1.8V a 5V, cubriendo un amplio rango de tipos de batería y condición de carga. El límite superior de 5V está dado por la máxima tensión V_{GS} que soportan los transistores en esta tecnología. También se midieron varias tensiones de salida variando entre 200mV a 1.5V. La salida en todos los casos siguió a la referencia V_{Ref} con menos de 10mV de error. De todos modos, a menos que se indique específicamente, las gráficas que se muestran corresponden a una condición típica de test con $V_{\text{In}} = 3.3\text{V}$, $V_{\text{Out}} = 0.6\text{V}$, y una carga resistiva de $6.5\text{k}\Omega$ a la salida.

En la Figura IV-15 se muestra la curva característica de la regulación de línea del convertidor para un voltaje de referencia $V_{Ref} = 0.62V$ (línea gris) a la vez que se varía el voltaje de entrada entre 1.8V a 5V. La tensión de salida muestra una variación menor de 5mV en todo el rango de variación de la tensión de entrada. En la Figura IV-16 se muestra la diferencia entre el voltaje de salida V_{Out} y el voltaje de referencia V_{Ref} que se hace variar entre 200mV y 1.5V, manteniendo el voltaje de entrada constante $V_{in} = 3.3V$. En todos los casos el error es de menos de 10mV. Las medidas de las Figura IV-15 y Figura IV-16 están expresadas en valor medio y no se tiene en cuenta el ripple.

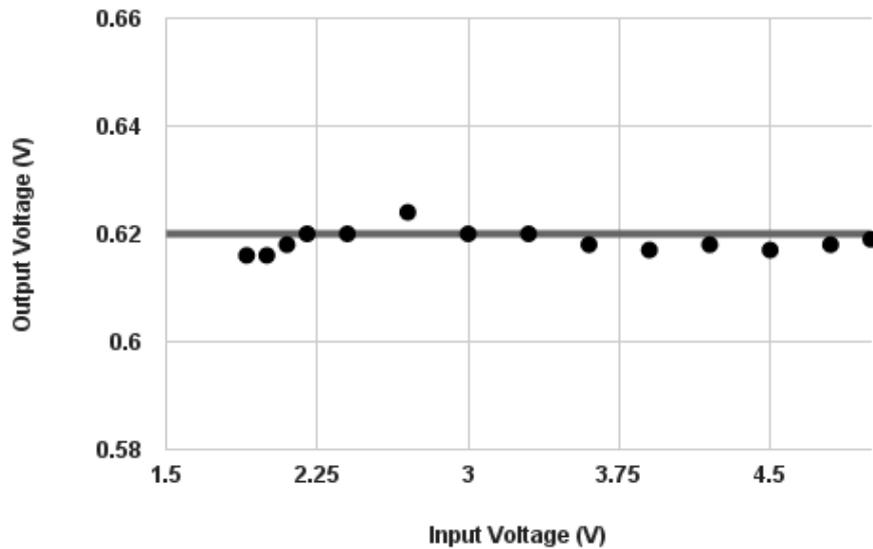


Figura IV-15: Voltaje de salida en función del voltaje de entrada. La salida es casi independiente de la entrada.

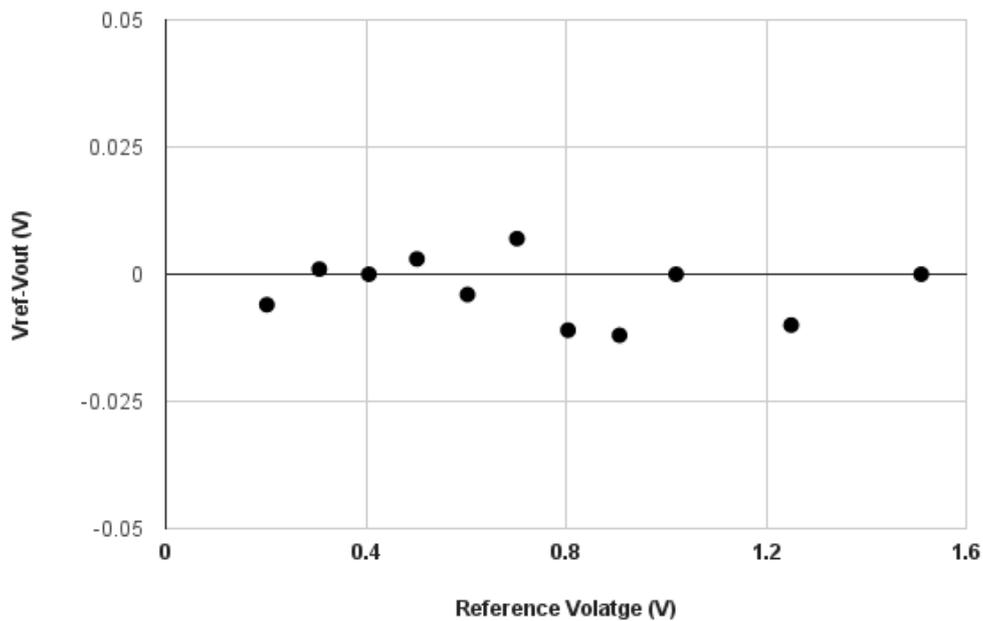


Figura IV-16: Diferencia entre el voltaje de referencia y el voltaje de salida, en función del voltaje de referencia con voltaje de entrada y carga constante.

La Figura IV-17 en cambio, muestra un acercamiento del ripple, con un voltaje de referencia $V_{Ref} = 1.03V$ de modo que sea bien visible el efecto. Se identifican dos zonas, en la pendiente positiva el capacitor tanque está siendo cargado por una ráfaga de pulsos, la pendiente negativa corresponde a la descarga del mismo a través de R_L . El voltaje de ripple es de $50mV_{pp}$, alrededor del 5% esperado, y el armónico principal es de aproximadamente 20kHz. Esta frecuencia está bien por encima del ancho de banda especificado del amplificador de 4kHz de modo de minimizar el efecto de ruido acoplado desde la fuente.

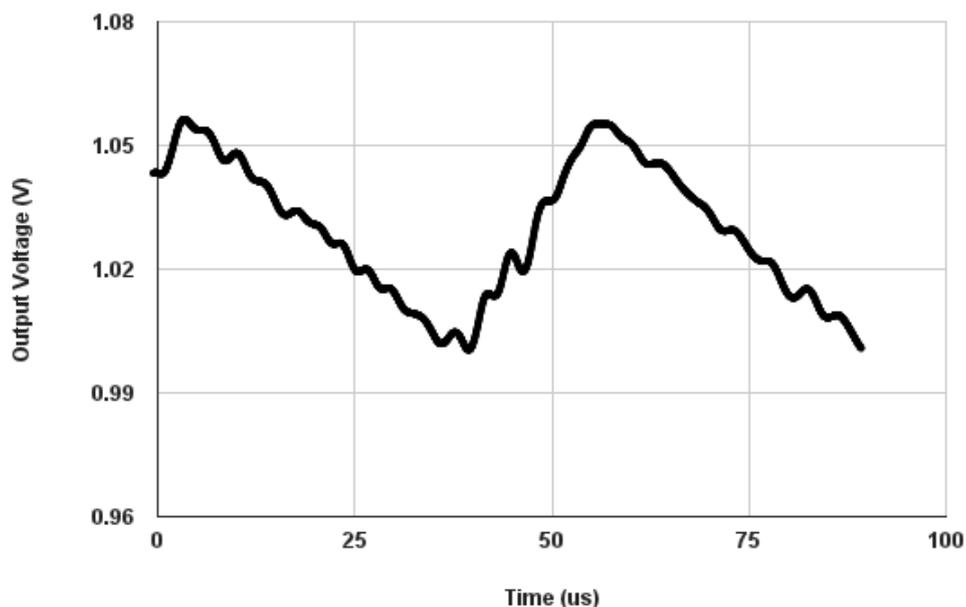


Figura IV-17: Detalle del voltaje de salida, apreciándose un rizado de $50mV @ 19kHz$.

IV.4.1. Medidas de Eficiencia

La eficiencia medida fue cercana al 40% en la mayoría de los casos, por debajo de la simulada del 60-75%. Siendo las únicas medidas que no concuerdan con los resultados simulados, se realizará un análisis en detalle. En la Figura IV-18 se muestra el setup utilizado para la medida de la eficiencia. Una SMU Agilent U2722A se usó para generar la corriente de polarización $I_{pol}=50nA$ para todo el circuito y el voltaje de entrada V_{in} . Se utilizó un multímetro de precisión para medir el voltaje de salida V_{out} y un osciloscopio para el nodo interno V_m . La eficiencia del sistema fue medida para varios valores de V_{in} , V_{Ref} , y cargas, resultando siempre en un $\eta \approx 40\%$.

Con un voltaje de entrada 3.3V un voltaje de salida de 0.64V, y una carga resistiva de $6.5k\Omega$, la eficiencia simulada fue del 70%. En las mismas condiciones de prueba, el consumo total de potencia medido del lazo de control incluyendo todos los bloques excepto la etapa de salida, fue de $21\mu W$, lo que es similar al valor simulado de $19\mu W$. El consumo de la carga fue de $63\mu W$, pero la potencia medida a través de la etapa de salida fue de $135\mu W$. Estas medidas fueron posibles porque se incluyeron PADS separados de alimentación para el lazo de control y la etapa de salida. El resultado fue una eficiencia medida de tan sólo 40%. A pesar que este resultado es

mejor que haber utilizado un regulador lineal para la misma tarea, es todavía mucho menor que lo esperado y lo que seguramente se puede lograr.

Siendo que la energía faltante se pierde en las llaves, el problema tiene que ser o bien que existe una corriente del cortocircuito a través de los MOSFETs, o que el detector de cruce por cero ZCD no está funcionando correctamente. En la Figura IV-19, se muestra un detalle del valor medido V_m durante la fase A, la fase B y el comienzo de la fase C.

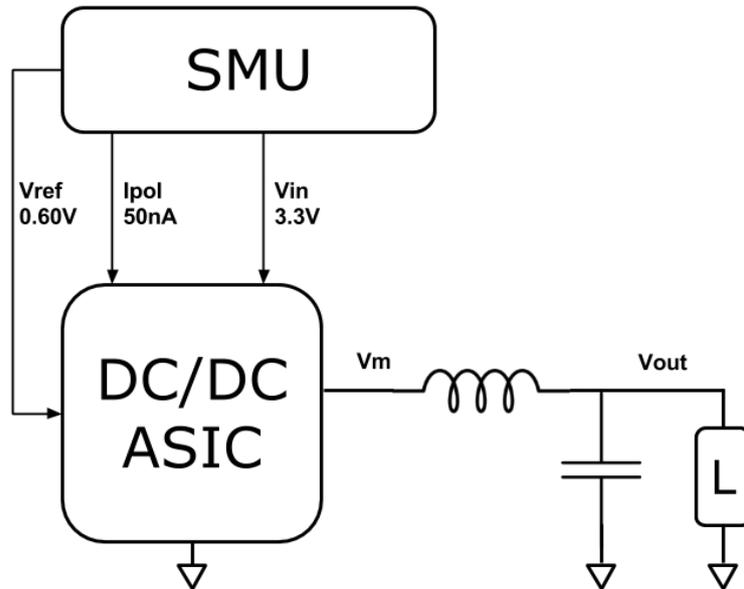


Figura IV-18: Un SMU fue utilizado para polarizar el circuito y para genera el voltaje de entrada, mientras se medía el consumo. Tanto V_m como V_{out} fueron medidos con un osciloscopio.

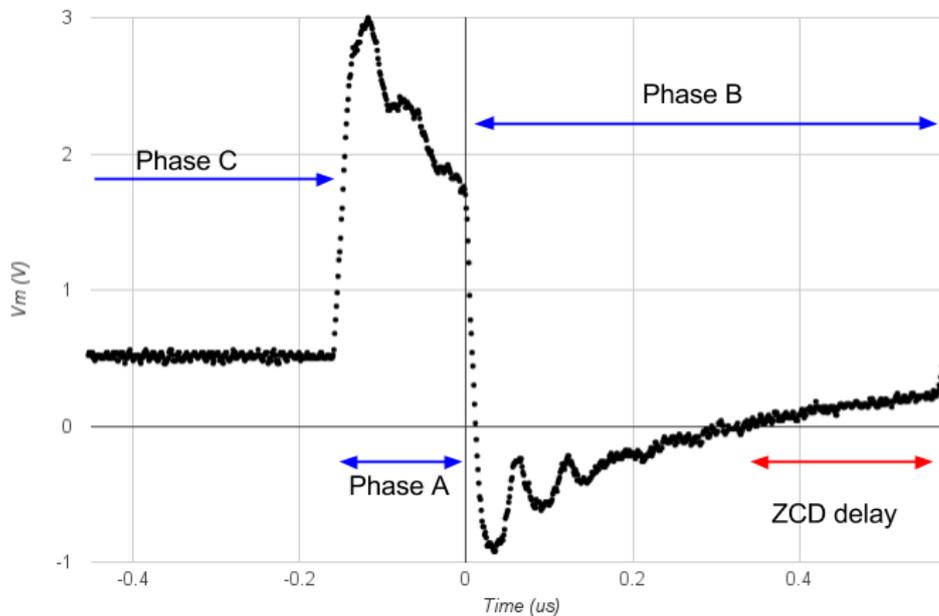


Figura IV-19: Detalle del voltaje V_m durante el momento de cambio de fases. Los 200ns de atraso en el cambio de fase son el principal factor de reducción de eficiencia.

Como se explicó anteriormente, la fase B debe terminar cuando el ZCD detecta el cambio de signo en V_m , sin embargo, está culminando aproximadamente 200ns más tarde. En este periodo de tiempo, parte de la energía ya entregada al capacitor es devuelta hacia la entrada y se disipa esencialmente en SW_2 . El total de energía consumida en este periodo fue estimado integrando los valores medidos y usando la resistencia R_{SW2} simulada, resultando en un consumo medio de potencia de $56\mu W$. Sin esta pérdida estimada, el total consumido en la etapa sería de $79\mu W$, y la eficiencia subiría a $\eta = 63\%$, mucho más cerca de los resultados simulados. Más aún, esta potencia había sido entregada ya al capacitor con una eficiencia cercana al 80%, lo cual implica que en realidad $70\mu W$ de potencia fueron retirados del sistema y la eficiencia sería de 73%. Este resultado permite inferir que la principal causa en la baja de la eficiencia, es la reacción más lenta a lo esperado del detector de cruce por cero. Este problema no pudo ser detectado en las simulaciones a pesar que se realizaron simulaciones incluyendo desapareo, y peores casos (corners). En la actualidad se están considerando nuevos circuitos para determinar el instante correcto de conmutación de la llave NMOS.

IV.5. Conclusiones

En este capítulo se presentó el diseño y resultados experimentales de un convertor DC-DC inductivo tipo buck para aplicaciones de micro-consumo de energía, fabricado en una tecnología de $0.6\mu m$. Esta clase de convertidores para consumos de pocos a decenas de μW son un tema reciente de investigación y apenas hay algunas aplicaciones comerciales. El circuito cumplió con la mayoría de los requerimientos iniciales. Puede operar para una tensión de entrada entre 1.8V y 5.0V y puede generar un voltaje de salida entre 0.2V y 1.5V. En esta tesis se pensó como una alternativa para alimentar, a partir de una batería primaria o secundaria, un amplificador analógico funcionando a tan sólo 600mV y $60\mu A$ de corriente (sólo la etapa de entrada), en un dispositivo implantable. Los circuitos analógicos en principio pueden trabajar a muy bajo voltaje de alimentación incluso por debajo de ese valor [16] [58] [59] [22] por lo que el convertor desarrollado puede ser valioso para alimentar circuitos muy eficientes sin drenar una corriente importante de la batería.

El convertor DC-DC fue diseñado siguiendo el esquema de algunos trabajos previos. Como técnica específica de circuito se introdujo un control que da un tren de pulsos de carga sobre el capacitor tanque, lo que empuja el espectro de posibles acoples bien por encima de los 4kHz del ancho de banda del amplificador a alimentar.

La eficiencia medida del circuito fue 40%, que está por debajo del valor esperado y simulado de 70% en promedio. Se realizó un conjunto extensivo de medidas para determinar la causa de la caída en la eficiencia, concluyendo que el detector de cruce por cero (ZCD) que forma parte del lazo de control está funcionando en forma más lenta de lo esperado y es el responsable de la mayor parte de la pérdida de energía.

Este trabajo complementa algunas referencias previas en el campo de convertidores para micro-consumo de corriente. A pesar que el aspecto de la eficiencia debe ser mejorado, el voltaje de salida demostró ser estable y preciso en un rango amplio de tensiones de entrada y salida, en particular en casos con una diferencia grande entre la tensión de entrada y de salida donde algunos convertidores fallan.

En comparación con convertidores DC-DC con capacitores conmutados, se puede inferir que los convertidores DC-DC inductivos resultan una buena solución de compromiso, aun cuando la comparación de estas arquitecturas no ha formado parte de este trabajo.

Los convertidores DC-DC inductivos resultan por tanto una forma eficiente de reducir el consumo de potencia de la batería en el caso de aplicaciones de muy bajo consumo como las médicas implantables entre otras. La topología presentada es apta además para implementar convertidores con múltiples voltajes de salida (SIMO) con un único inductor (por ejemplo, solo sería necesario dirigir pulsos de carga a múltiples capacitores de salida con un sistema de control más complejo) permitiendo reducir al mínimo la cuenta de componentes externos. En un sistema implantable se podrían mantener varios dominios de alimentación, por ejemplo, 1V para los circuitos digitales, 0.5V para circuitos analógicos críticos y 1.8V para telemetría de RF.

Parte del trabajo presentado en este capítulo se publicó en [55].

V. Conclusiones Globales

A lo largo de este trabajo se ha revisado el compromiso entre potencia y ruido en amplificadores, y planteado diferentes técnicas para aprovechar al máximo la energía disponible en una batería para amplificar señales con muy bajo ruido. La principal contribución de esta tesis fue la demostración de la técnica de reutilización de corriente apilando varios pares diferenciales. Cabe destacar el resultado de lograr por primera vez un amplificador medido con un NEF (factor de eficiencia de ruido) inferior a 1.

Como alternativa obvia a la reutilización de corriente se estudió la implementación de convertidores DC-DC eficientes para reducir la tensión de alimentación; como ejemplo se diseñó y midió un convertidor inductivo para reducir la tensión. También se estudiaron los espejos activos como forma de reducir la tensión de alimentación de bloques analógicos.

La aplicación que motivó este trabajo, fue el diseño de amplificadores óptimos de bajo ruido para señales biomédicas en implantes activos, donde la energía disponible es limitada. En el caso de las señales biológicas el ancho de banda de las señales es acotado a unos pocos kHz, y su amplitud tan baja como μVolts . Sin embargo, las técnicas desarrolladas especialmente la reutilización de corriente, pueden ser aplicada también en instrumentación para sensores con “energy harvesting” o redes de sensores, en circuitos óptimos para RF, en registradores alimentados a batería, entre muchas otras aplicaciones donde la energía que utilizan los circuitos analógicos es una limitante.

A continuación, se resumen las principales conclusiones de este trabajo, algunas de las cuales ya fueron presentadas en los capítulos respectivos. Se presenta también algunas posibles líneas futuras de investigación que quedaron abiertas donde nos gustaría continuar trabajando

V.1. Sobre los Espejos Activos

En el Capítulo II, se analizó el uso de los espejos activos (Figura II-2) en lugar de espejos clásicos de dos transistores (Figura II-1), para el diseño analógico de bajo consumo y bajo ruido. El objetivo era reducir la potencia disipada en el circuito analógico al operar los espejos activos con una caída muy pequeña de tensión. Los espejos activos mostraron una mayor impedancia a baja frecuencia y permiten el funcionamiento con muy bajos voltajes (V_{Drop}) con un consumo extra mínimo. Se analizó como afecta el despareo de transistores y resistencias en el offset introducido por el espejo activo, encontrando que existe un compromiso con la caída V_{Drop} . Se estableció una ecuación que permite cuantificar este efecto para diseñar el espejo de forma adecuada según las especificaciones. Se demostró también que el ruido introducido por los espejos activos crece al reducir la caída mínima V_{Drop} de funcionamiento, por lo que el uso de espejos activos debe ser cuidadosamente evaluado si se desea aprovechar para implementar amplificadores de muy baja tensión y bajo ruido. Para un transconductor OTA como el de la Figura I-2, puede ser de utilidad cambiar el espejo que polariza el par diferencial por un espejo

activo, reduciendo la potencia consumida pero el espejo que actúa como carga activa introduce ruido al circuito y ahí no siempre ayudará el uso de un espejo activo. En nuestro caso el espejo activo fue utilizado en el Capítulo III como fuente de corriente de polarización (en modo común que no introduce ruido), pero no como carga activa de los pares diferenciales.

Se realizó el diseño completo de un espejo de corriente activo que multiplica una corriente de 50nA por 200, para obtener una fuente de corriente de 10 μ A la cual fue utilizada en el amplificador que reutiliza corriente en el Capítulo III. Un espejo activo consta de resistencias (u otro elemento de circuito), un transistor de paso, y un circuito activo de realimentación que a su vez consume potencia. Sobre el espejo medido podemos destacar que se demostró en forma experimental, que a pesar que el circuito de realimentación consume menos del 1% de la corriente nominal del espejo, se alcanza una excelente performance y un buen ancho de banda. El diseño fue validado con medidas de 5 muestras del multiplicador de corriente.

V.2. Sobre la Reutilización de Corriente

En el Capítulo III se desarrolló la técnica de reutilización de corriente para el diseño de amplificadores eficientes de bajo consumo y bajo ruido.

En primer lugar, se discute el uso de los pares diferenciales complementarios (Figura III-2) los cuales son una encarnación simple y muy práctica de la reutilización de corriente. Los pares diferenciales complementarios o circuitos equivalentes, se han utilizado desde hace tiempo en circuitos eficientes como amplificadores de memoria, osciladores diferenciales de RF, o amplificadores de instrumentación biomédica, entre muchos otros. Aunque la mayoría de las veces se identifican los beneficios de esta topología frente al ruido, no siempre la reducción de ruido se la asocia a la reutilización de corriente. En el Capítulo III se generaliza luego la idea para presentar un amplificador con 6 pares diferenciales complementarios apilados como en la Figura III-5. Apilar sucesivos pares diferenciales es una idea con muy pocos antecedentes, hasta donde pudimos revisar es la primera vez que se plantea apilar en forma directa sucesivos pares complementarios, es el circuito reportado con mayor número de etapas apiladas, y donde se logra el NEF más bajo.

Se implementó un amplificador para señales nerviosas (ENG) en varias etapas, donde en la primera etapa se utilizó la técnica de reutilización de corriente apilando 12 pares diferenciales (6 complementarios). Las siguientes 3 etapas consumen mucho menos potencia y proveen del filtrado y ganancia necesarios para cumplir con las especificaciones del circuito. El amplificador completo, es el primer amplificador publicado con un NEF medido inferior al límite clásico de uno, incluso considerando todos los consumos de los circuitos auxiliares de polarización. El NEF hasta ahora es la figura de mérito más utilizada para comparar ruido en amplificadores de instrumentación biomédica.

El amplificador medido, funciona con una batería de 3.6V y un consumo total de 16.5 μ A. Tiene un ancho de banda de 4kHz, ruido medido a la entrada de 4.5nV/Hz^{1/2}@1kHz y 330nV_{rms} en la

banda de interés. El CMRR medido es de aproximadamente 60dB y una ganancia en la banda pasante de ≈ 80 dB.

El circuito, sin embargo, ocupa un área de silicio muy grande y el método de polarización de la compuerta de los 24 transistores de entrada es un poco complejo y lento en estabilizarse. Para reducir estos inconvenientes, hay que destacar que el uso de la reutilización de corriente es compatible con otras técnicas de polarización para reducir el tiempo de estabilización, y/o el uso de autozero o chopper para reducir ruido de flicker. Reducir el ruido de flicker permitirá reducir el tamaño de los transistores de entrada uno o dos órdenes de magnitud. Si se reducen los transistores de entrada se reducirá también el efecto de las capacidades parasitas (ecuación III-8) y por lo tanto el tamaño de los capacitores de desacople que en este circuito son muy grandes.

A continuación, se reproduce la Tabla III-D (Tabla V-A) donde se comparan las medidas del amplificador diseñado con otros amplificadores con bajo NEF publicados recientemente. Se puede observar que el amplificador presentado en este trabajo tiene un NEF mínimo que incluso es aproximadamente la mitad, del mínimo reportado previamente.

Combinando las ideas de reutilización de corriente, chopper y utilizando una tecnología más moderna, parece razonable imaginarse la implementación de amplificadores eficientes con múltiples canales de sensado en un único circuito integrado, permitiendo neuroprótesis más avanzadas, con múltiples electrodos.

V.3. Sobre las Figuras de Mérito

Finalmente, si bien el factor de mérito más utilizado (NEF) sigue siendo un buen número para comparar distintos circuitos, una vez que introducimos la idea de la reutilización de corriente el límite de $NEF \geq 1$ no es más que un hito, sin soporte teórico alguno. No pretendemos decir que nuestro amplificador es el doble de eficiente que el mejor previamente reportado. Tan solo tiene un NEF que es la mitad, y es el primero con un NEF inferior a uno, lo cual merece ser destacado. Con anterioridad se han propuesto otras figuras de mérito o podemos definir nuevas; el PEF (power efficiency factor, por sus siglas en inglés) [15] que considera la potencia consumida en vez de la corriente parece una primera opción para balancear diferentes tensiones de alimentación. En cualquier caso, es casi imposible encontrar un único número como figura de mérito que sea aplicable a todos los casos para los cuales se utilizan amplificadores.

Para el caso particular de las aplicaciones médicas implantables, al ser alimentados por una batería y ser el voltaje de alimentación algo que está fijo y mucho mayor al mínimo voltaje de alimentación aceptado por las tecnologías modernas, es conveniente que este voltaje (V_{DD}), sea uno de los factores que sea incluido en la figura de mérito.

Como se comentó anteriormente, una primera opción es usar el PEF, que corresponde al ratio al cuadrado, entre el ruido del circuito y el ruido de un solo transistor bipolar que consume la

misma potencia y cuyo $V_{CE} = 1$ V, siendo este último un valor arbitrario. Se puede demostrar utilizando la ecuación (I-2) que:

$$PEF = NEF^2 \cdot V_{DD} = \frac{V_{TOT,rms}^2 P_{TOT}}{V_{BJT,rms}^2 P_{BJT}}. \quad (V-1)$$

Donde $V_{TOT,rms}$ es el voltaje de ruido del circuito propuesto, P_{TOT} la potencia consumida por el mismo, $V_{BJT,rms}$ es el voltaje de ruido del amplificador con un solo BJT y P_{BJT} la potencia del BJT si se lo alimenta con la el mismo V_{DD} que el circuito.

Tabla V-A: Comparación con amplificadores de muy bajo NEF.

	[43]	[44]	[17]	[16]	[46]	Este Trabajo
Comentario	DC-DC para reducir el voltaje	OTA con entrada basada en inversor ⁴	RC-PDC ⁵	V_{DD} muy bajo y RC-PDC	Reutilización de corriente - división de corriente	6 PDC apilados y reutilización de corriente
Tecnología [μm]	1.5	.065	0.18	0.18	0.13	0.6
Alimentación V_{DD} [V]	5	1.0	1.8	0.45	1.5	3.4 – 5
Corriente I_{DD} [μA]	75	2.8	6.5	1.6	9 (4 canales)	16
Ganancia [dB]	36	52	61	52	40	79
Ancho de Banda [Hz]	100 - 5k	1k – 8.2k	0.25 – 5.1k	1 - 10k	20k	200 – 4.2k
Ruido a la entrada [μV_{rms}]	0.54	4.13	4.0	3.2	3.7	0.34
NEF	2.5	2.93	1.9	1.57	1.64	0.84
CMRR [dB]	59	> 80	> 60	73	78	> 60
Área por canal [mm^2]	0.85	0.042	.282	< 0.25	.125 (4 canales)	6

⁴ Una entrada de inversor es una forma de reutilización de corriente

⁵ RC-PDC – Reutilización de corriente usando pares diferenciales complementarios.

Si bien este factor permite comparar amplificadores con distintos voltajes de alimentación, la comparación no es del todo certera para los amplificadores para dispositivos implantables, ya que los mismos deben ser alimentados por una batería de V_{DD} fijo.

Se debería para estos casos corregir la figura de mérito PEF, donde se considere que el sistema debe ser alimentado con un único valor de V_{DD} y se debe incluir la eficiencia del conversor DC-DC en caso de utilizarlo. En la Tabla V-B se comparan para los mismos amplificadores de la Tabla V-A pero con el PEF y un PEF' corregido con un DC-DC de eficiencia 75%, lo cual es un valor arbitrario, aunque realista. Hay que tener en cuenta que la eficiencia del conversor es muy dependiente de los voltajes de entrada y salida, así como del consumo.

Cabe resaltar que el circuito del Capítulo III se destaca también con un PEF y PEF' muy bajos, solo el trabajo en [16] parece más eficiente en términos de potencia.

Tabla V-B: Comparación con amplificadores usando diferentes figuras de mérito.

	NEF	PEF	PEF'
[43]	2.5	31.25	31.25
[44]	2.93	8.53	11.37
[17]	1.9	6.5	8.67
[16]	1.57	1.11	1.48
[46]	1.64	4.03	5.37
Este Trabajo	0.84	2.54	2.54

V.4. Sobre los Conversores DC-DC Inductivos de Micro-Consumo

En el Capítulo IV se presentó el diseño y resultados experimentales de un conversor DC-DC inductivo tipo buck para aplicaciones de micro-consumo de energía, fabricado en una tecnología de $0.6\mu\text{m}$. Si bien el uso de conversores inductivos DC-DC es algo estándar en la industria para potencias desde decenas de mW hasta decenas de W, el uso para consumos de algunos pocos μW es un tema reciente de investigación y apenas hay algunas pocas aplicaciones comerciales.

Es importante mencionar que un conversor DC-DC para bajar la tensión de alimentación, es la alternativa natural a la reutilización de corriente planteada en el Capítulo III. En el último caso se apilan bloques de circuito de bajo voltaje, alimentados por la misma corriente en un tótem hasta V_{Bat} . En el primer caso se reduce el voltaje V_{Bat} en forma eficiente hasta el mínimo V_{DD} necesario para que funcione un solo bloque de circuito.

El conversor DC-DC diseñado se especificó para alimentar un solo par diferencial complementario, con 6 veces más corriente que los apilados del Capítulo III de modo de alcanzar el mismo ruido blanco a la entrada y comparar la solución más eficiente.

El convertor diseñado cumplió con la mayoría de los requerimientos iniciales. Opera para una tensión de entrada entre 1.8V y 5.0V, generando voltajes de salida entre 0.2V y 1.5V para alimentar circuitos analógicos de muy bajo voltaje de alimentación.

Para diseñar el convertor DC-DC, se siguió el esquema de algunos trabajos previos, adaptándolos a la aplicación a circuitos analógicos. La eficiencia simulada del convertor fue de un 70% pero la eficiencia medida del circuito fue 40%, que está muy por debajo del valor esperado. Luego de un conjunto extensivo de medidas, se pudo determinar que la causa de la caída en la eficiencia es el detector de cruce por cero (ZCD) que forma parte del lazo de control. Este funciona en forma más lenta de lo esperado y es el principal responsable de la de la pérdida de energía que reduce la eficiencia del convertor.

Si bien la eficiencia debe ser mejorada, el voltaje de salida probó ser estable y preciso en un rango amplio de tensiones de entrada y salida, en particular en casos con una diferencia grande entre la tensión de entrada y de salida donde algunos convertidores fallan.

Podemos concluir entonces, que los convertidores DC-DC inductivos pueden ser utilizados en aplicaciones médicas implantables, entre otras de muy bajo consumo, y son una forma eficiente de reducir el consumo de potencia de la batería.

Es importante mencionar una vez más que en este trabajo, utilizar convertidores inductivos fue una especificación y no el resultado de comparar esta alternativa con convertidores DC-DC a capacitores conmutados. Los convertidores a capacitores conmutados completamente integrados y de micro-consumo son también un tema moderno de investigación, y una alternativa de circuito valida, con sus ventajas y desventajas. Escapa a este trabajo comparar la eficiencia de ambas alternativas en el punto de operación del Capítulo IV.

V.5. Líneas de Investigación Abiertas

Tal vez la principal contribución de esta tesis es la reutilización de corriente con múltiples pares apilados, y siendo esta un área con muy poco trabajo previo es donde existe más oportunidad de continuar explorando nuevas contribuciones.

En primer lugar, si bien se utilizó exclusivamente tecnología CMOS, todas las técnicas y topologías planteadas en el Capítulo II y en el Capítulo III son aplicables a transistores bipolares. En la Figura V-1 se muestra un par complementario en tecnología BiCMOS que puede ser de utilidad, ya que con los BJT a la entrada en general se obtienen mejores resultados en cuanto a ruido. Queda abierto entonces el desarrollo de métodos de polarización alternativos para un amplificador con pares BJT complementarios donde se debe solucionar el problema de la corriente de polarización DC a la entrada que no es cero como en los transistores MOS.

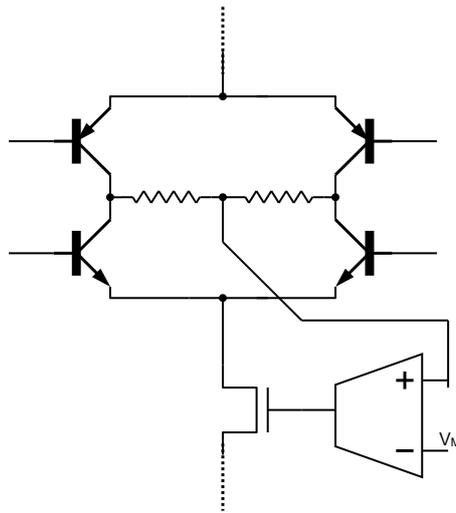


Figura V-1: Par complementario con tecnología BiCMOS.

El circuito de polarización de Gate fue una de las principales dificultades del amplificador del Capítulo III. La solución hallada es compleja, tiene dificultades para estabilizarse, y es costosa en área, incluso fue necesario generar voltajes por encima de la tensión de alimentación para compensar V_T . Una de las técnicas más prometedoras que planteamos para implementar circuitos de reutilización de corriente es usar transistores tipo Floating-Gate como en la Figura V-2. Existen incluso transistores con V_T programable en forma precisa [70] que permitirían juntar la entrada de todos los transistores en un único nodo evitando tanto los capacitores de desacople, como un circuito de polarización (de todos modos el rango de V_T es limitado para apilar muchos transistores).

Otro posible uso de la reutilización de corriente, es para apilar no etapas en paralelo (cooperativas de un mismo amplificador) sino sucesivas etapas de un amplificador o de un filtro de forma de optimizar el consumo de corriente. También se pueden implementar amplificadores Chopper o con Autozero. A modo de ejemplo en la Figura V-3 se muestra una posible implementación de Autozero en un bloque de par diferencial complementario. Además del OTA de realimentación, existen OTAs que ajustan la carga en los capacitores de entrada para cancelar la salida en una etapa de Autozero (llaves 2,3,4,5 cerradas).

Respecto a los convertidores, el desarrollo de un convertidor DC-DC inductivo de micro-consumo, mostró su viabilidad, pero se necesita corregir el problema del detector de cruce por cero para mejorar la eficiencia, y buscar alternativas de control más eficientes y adecuadas si se quiere utilizar para alimentar otros circuitos analógicos y/o digitales. La topología utilizada en el Capítulo IV para los convertidores es además adaptable para poder implementar convertidores con múltiples voltajes de salida (SIMO) utilizando un único inductor (es posible dirigir pulsos de carga a múltiples capacitores de salida, debiéndose para ello implementar un sistema de control más complejo). Esto resultaría en convertidores SIMO DC-DC con muy pocos componentes externos. En un dispositivo implantable, esto permitiría mantener varios voltajes de alimentación, por ejemplo, 1V para los circuitos digitales, 0.5V para circuitos analógicos críticos y 1.8V para telemetría de RF.

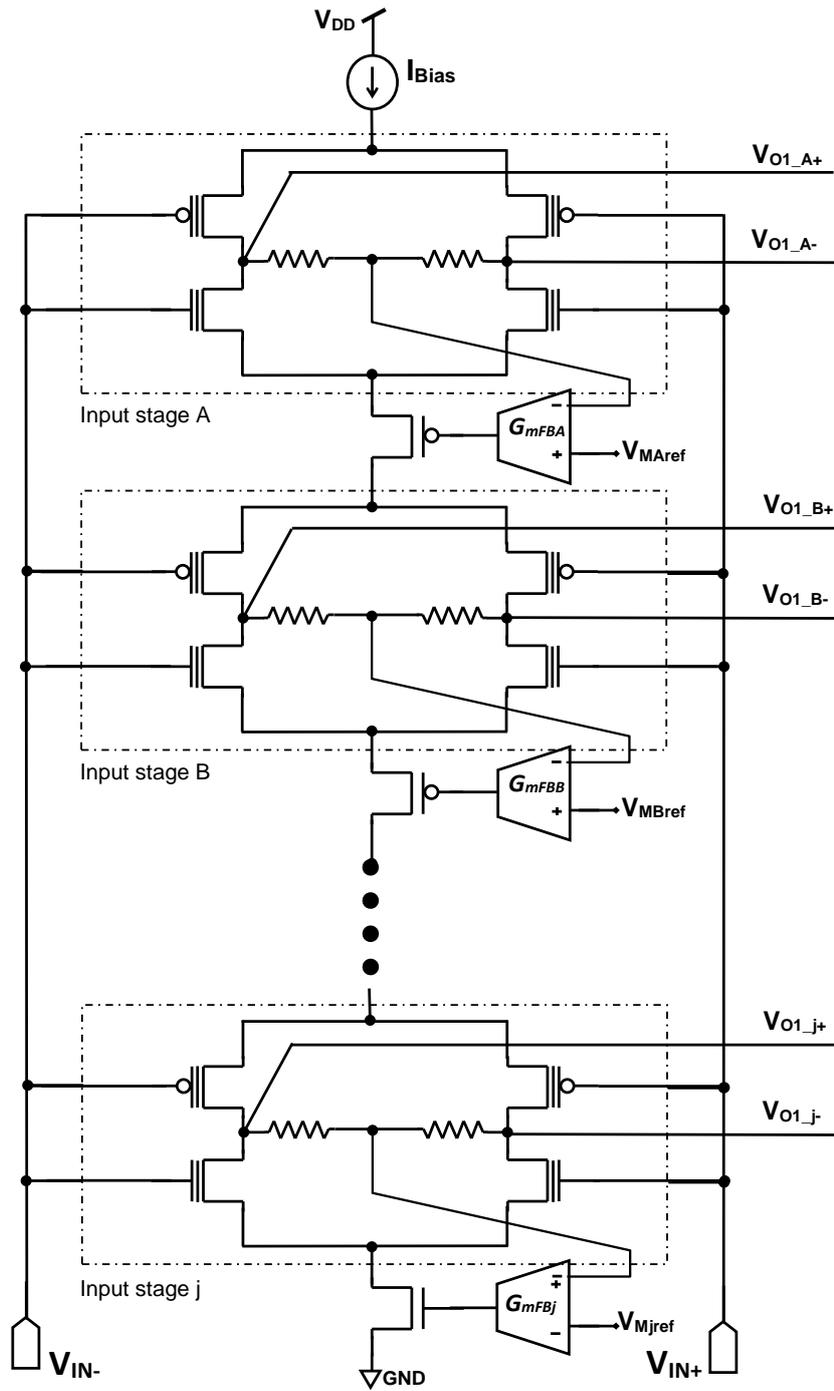


Figura V-2: Amplificador apilado utilizando transistores con gate flotante.

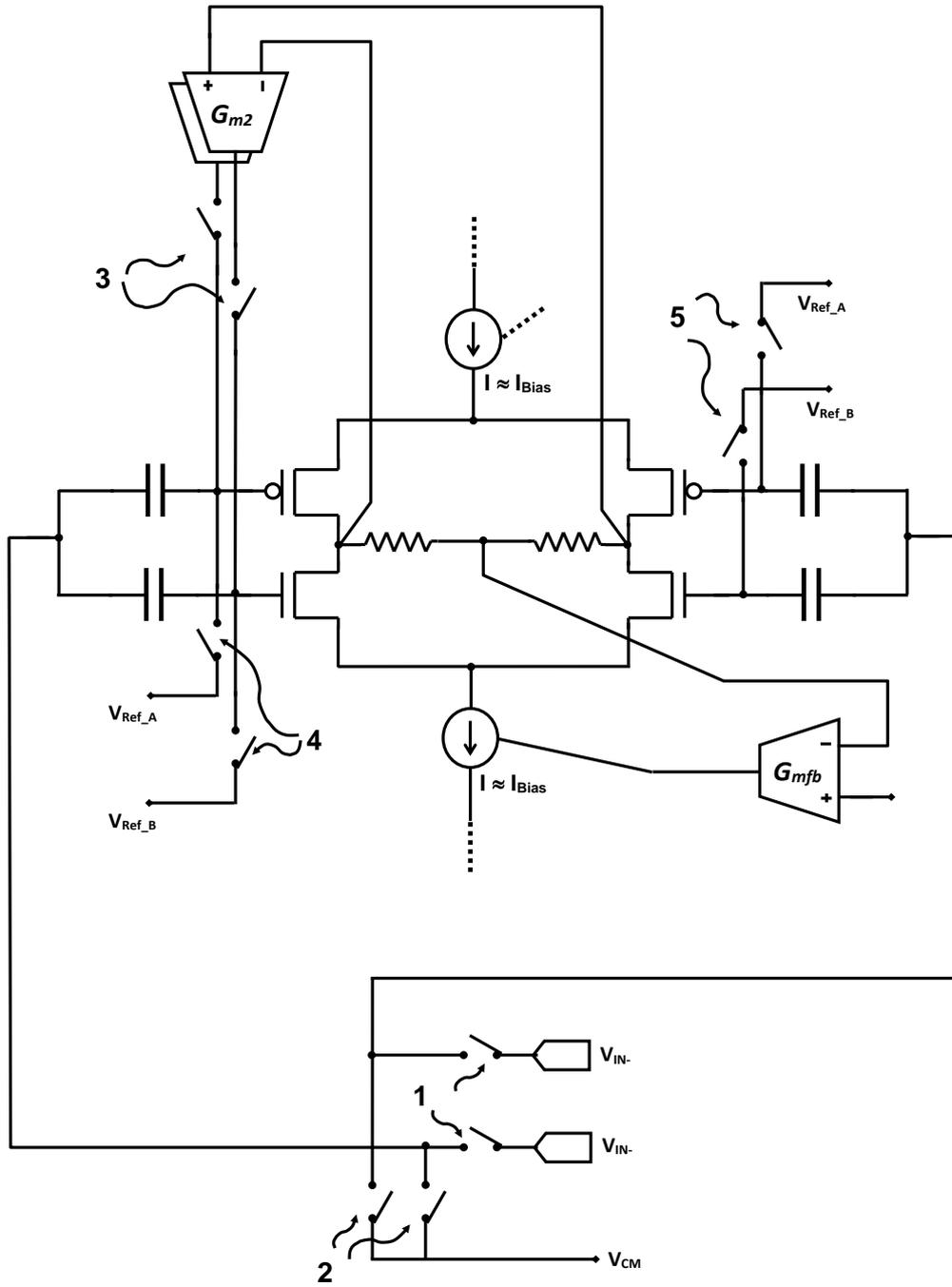


Figura V-3: Implementación sugerida de un par diferencial complementario, dentro de un amplificador de pares apilados con Autozero.

VI. Bibliografía

- [1] Medtronic, «Enterra Neurostimulator,» [En línea]. Available: <http://professional.medtronic.com/pt/gastro/ges/prod/enterra-gastric-neurostimulator/index.htm>.
- [2] Neurodan, «Actigait,» [En línea]. Available: <http://www.neurodan.com/products/actigait.aspx>.
- [3] National Parkinson Foundation, «Deep Brain Stimulation,» [En línea]. Available: <http://www.parkinson.org/understanding-parkinsons/treatment/surgery-treatment-options/Deep-Brain-Stimulation>.
- [4] DBS4PD, «Brain Stimulation Surgery,» [En línea]. Available: <http://www.dbs4pd.org/>.
- [5] Medtronic, «ACTIVA PC NEUROSTIMULATOR,» [En línea]. Available: <http://professional.medtronic.com/pt/neuro/dbs-md/prod/activa-pc/index.htm>.
- [6] American Diabetes Association, «Insulin Pumps,» [En línea]. Available: <http://www.diabetes.org/living-with-diabetes/treatment-and-care/medication/insulin/insulin-pumps.html>.
- [7] Medtronic, «MiniMed 630G Insulin Pump System,» [En línea]. Available: <http://www.medtronicdiabetes.com/products/minimed-630g-insulin-pump-system>.
- [8] «Quallion Batteries,» [En línea]. Available: <http://www.quallion.com/sub-sp-main.asp>.
- [9] Thoratec Corporation, «HeartMate II LVAD,» [En línea]. Available: <http://www.thoratec.com/medical-professionals/vad-product-information/heartmate-ii-lvad.aspx>.
- [10] F. Silveira y D. Flandre, Low Power Analog CMOS for Cardiac Pacemakers: Design and Optimization in Bulk and SOI Technologies, Springer, 2004.

- [11] A. Arnaud y A. Hoffmann, «A compact model for flicker noise in MOSFETs considering both correlated mobility and carrier number fluctuations,» *Analog Integrated Circuits and Signal Processing*, 2016.
- [12] A. Arnaud y C. Galup-Montoro, «Consistent noise models for analysis and design of CMOS circuits,» *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 51, nº 10, pp. 1909-1915, 2004.
- [13] C. C. Enz y G. C. Temes, «Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization,» *Proceedings of the IEEE*, vol. 84, nº 11, pp. 1584-1614, 1996.
- [14] M. S. J. Steyaert y W. M. C. Sansen, «A micropower low-noise monolithic instrumentation amplifier for medical purposes,» *IEEE Journal of Solid-State Circuits*, vol. 22, nº 6, pp. 1163-1168, 1987.
- [15] R. Muller, S. Gambini y J. M. Rabaey, «A 0.013 mm², 5uW, DC-Coupled Neural Signal Acquisition IC With 0.5 V Supply,» *IEEE Journal of Solid-State Circuits*, vol. 47, nº 1, pp. 232-243, 2012.
- [16] D. Han, Y. Zheng, R. Rajkumar, G. Dawe y M. J., «A 0.45V 100-channel neural-recording IC with sub- μ W/channel consumption in 0.18 μ m CMOS,» de *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, San Francisco, 2013.
- [17] X. Zou y a. et, «A 100-Channel 1-mW Implantable Neural Recording IC,» *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 60, nº 10, pp. 2584-2596, 2013.
- [18] K. Schrödinger y J. Stimma, «Differential, complementary amplifier». US Patente 6642790B2, 2003.
- [19] D. Garde, «Sense amplifier». US Patente 4769564A, 1988.
- [20] S. Song, M. J. Rooijackers, P. Harpe, C. Rabotti, M. Mischi, A. H. M. v. Roermund y E. Cantatore, «A 430nW 64nV/vHz Current-Reuse Telescopic Amplifier for Neural Recording Applications,» de *IEEE Biomedical Circuits and Systems Conference (BioCAS)*, Rotterdam, 2013.

- [21] L. Liu, X. Zou, W. Goh, R. Ramamoorthy, G. Dawe y M. Je, «800 nW 43 nV/V Hz neural recording amplifier with enhanced noise efficiency factor,» *Electronics letters*, vol. 48, nº 9, pp. 479-480, 2012.
- [22] Y. T. Lin, Y. S. Lin, C. H. Chen, H. C. Chen y S. S. L. Y. C. Yang, «A 0.5-V Biomedical System-on-a-Chip for Intrabody Communication System,» *IEEE Transactions on Industrial Electronics*, vol. 58, nº 2, pp. 690-699, 2011.
- [23] H. Nyquist, «Thermal Agitation of Electric Charge in Conductors,» *American Physical Society*, vol. 32, nº 1, pp. 110-113, 1928.
- [24] J. R. Pierce, «Physical sources of noise,» *Proceedings of the IRE*, vol. 44, nº 5, pp. 601-608, 1956.
- [25] Y. Tsividis, *Operation and Modeling of the MOS Transistor*, 2nd ed., New York: McGraw-Hill, 1999.
- [26] A. I. A. Cunha, M. C. Schneider y C. Galup-Montoro, «An MOS transistor model for analog circuit design,» *IEEE Journal of Solid-State Circuits*, vol. 33, nº 10, pp. 1510-1519, 1998.
- [27] A. Arnaud y C. Galup-Montoro, «A compact model for flicker noise in MOS transistors for analog circuit design,» *IEEE Transactions on Electron Devices*, vol. 50, nº 8, pp. 1815-1818, 2003.
- [28] Y. Nemirovsky, I. Brouk y C. G. Jakobson, «1/f noise in CMOS transistors for analog applications,» *IEEE Transactions on Electron Devices*, vol. 48, nº 5, pp. 921-927, 2001.
- [29] A. J. Scholten, L. F. Tiemeijer, R. v. Langevelde, R. J. Havens, A. T. A. Z.-v. Duijnhoven y V. C. Venezia, «Noise modeling for RF CMOS circuit simulation,» *IEEE Transactions on Electron Devices*, vol. 50, nº 3, pp. 618-632, 2003.
- [30] J. Zhou, M. Cheng y L. Forbes, «SPICE models for flicker noise in pMOSFETs in the saturation region,» *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 20, nº 6, pp. 763-767, 2001.
- [31] «BSIM3v3 Manual,» [En línea]. Available: <http://bsim.berkeley.edu/BSIM4/BSIM3/ftpv330.zip>.

- [32] J. Gak Szollosy y M. Bremermann Cabrera, *Amplificador integrado para Señales Nerviosas*, Montevideo: Graduate Thesis, UCU, 2007.
- [33] C. Galup-Montoro, M. C. Schneider, H. Klimach y A. Arnaud, «A compact model of MOSFET mismatch for circuit design,» *IEEE Journal of Solid-State Circuits*, vol. 40, nº 8, pp. 1649-1657, 2005.
- [34] M. J. M. Pelgrom, H. P. Tuinhout y M. Vertregt, «Transistor matching in analog CMOS applications,» de *International Electron Devices Meeting*, 1998.
- [35] D. K. Su, «CURRENT MIRROR USING RESISTOR RATIOS IN CMOS PROCESS». United States of America Patente 5,025,204, 18 June 1991.
- [36] J. Ramirez-Angulo, R. Carvajal y A. Torralba, «Low supply voltage high-performance CMOS current mirror with low input and output voltage requirements,» *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 51, nº 3, pp. 124-129, 2004.
- [37] S. Moazzeni y G. E. R. Cowan, «Application of Active Current Mirrors to Improve the Speed of Analog Decoder Circuits,» de *52nd IEEE International Midwest Symposium on Circuits and Systems*, 2009.
- [38] J. Bryant, «Current-Output Circuit Techniques Add Versatility to Your Analog Toolbox,» April 2014. [En línea]. Available: http://www.analog.com/library/analogdialogue/archives/48-04/current_output.pdf.
- [39] A. Arnaud, R. Fiorelli y C. Galup-Montoro, «Nanowatt, Sub-nS OTAs, With Sub-10-mV Input Offset, Using Series-Parallel Current Mirrors,» *IEEE Journal of Solid-State Circuits*, vol. 41, nº 9, pp. 2009-2018, 2006.
- [40] A. Arnaud, *Very Large Time Constant Gm-C Filters*, PhD Thesis, 2004.
- [41] M. Miguez, J. Gak, A. Oliva, P. Julian y A. Arnaud, «A Current-Reuse Biomedical Amplifier with a NEF < 1,» *IEEE Journal of Solid State Circuits*, UNDER REVISION.
- [42] I. Akita y M. Ishida, «A 0.06mm² 14nV/vHz chopper instrumentation amplifier with automatic differential-pair matching,» de *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, San Francisco, 2013.

- [43] J. Gak, M. Miguez, M. Bremermann y A. Arnaud, «On the reduction of thermal and flicker noise in ENG signal recording amplifiers,» *Analog Integr. Circuits Signal Process*, vol. 57, nº 1, pp. 39-48, Nov. 2008.
- [44] K. A. Ng y Y. P. Xu, «A multi-channel neural-recording amplifier system with 90dB CMRR employing CMOS-inverter-based OTAs with CMFB through supply rails in 65nm CMOS,» de *IEEE International Solid-State Circuits Conference - (ISSCC) Digest of Technical Papers*, San Francisco, 2015.
- [45] J. Holleman y B. Otis, «A Sub-Microwatt Low-Noise Amplifier for Neural Recording,» de *29th Annual International Conference of the IEEE Engineering in Medicine and Biology Society*, Lyon, 2007.
- [46] B. Johnson y A. Molnar, «An Orthogonal Current-Reuse Amplifier for Multi-Channel Sensing,» *IEEE Journal of Solid-State Circuits*, vol. 48, nº 6, pp. 1487-1496, 48 1487-1496 2013.
- [47] F. Silveira, D. Flandre y P. G. A. Jespers, «A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA,» *IEEE Journal of Solid-State Circuits*, vol. 31, nº 9, pp. 1314-1319, 1996.
- [48] G. Costa, *Low-frequency RFID active devices for applications in the agribusiness industry*, Montevideo: MSc thesis, Universidad Católica del Uruguay, 2013.
- [49] J. Jang, Y. Lee, H. Cho y H.-J. Yoo, «A 0.54-mW duty controlled RSSI with current reusing technique for human body communication,» de *IEEE International Symposium on Circuits and Systems (ISCAS)*, Lisbon, 2015.
- [50] H. Sepehrian, S. A. Mirbozorgi y B. Gosselin, «A low-power current-reuse analog front-end for multi-channel neural signal recording,» de *New Circuits and Systems Conference (NEWCAS)*, Trois-Rivieres, 2014.
- [51] R. R. Harrison y C. Charles, «A low-power low-noise CMOS amplifier for neural recording applications,» *IEEE Journal of Solid-State Circuits*, vol. 38, nº 6, pp. 958-965, 2003.
- [52] M. Miguez, J. Gak, G. Costa y A. Arnaud, «A low-voltage, low-power 1.03V voltage reference for implantable medical devices,» de *Micro-Nanoelectronics, Technology and Applications (EAMTA)*, Cordoba, 2012.

- [53] E. M. Camacho-Galeano, C. Galup-Montoro y M. C. Schneider, «Design of an ultra-low-power current source,» de *International Symposium on Circuits and Systems (ISCAS)*, Vancouver, 2004.
- [54] XT-06, «XFAB,» [En línea]. Available: <http://www.xfab.com/technology/soi/06-um-xt06/>.
- [55] M. Miguez, A. Arnaud, A. Oliva y P. Julian, «Step Down DC/DC converter for Micro-Power Medical Applications,» *Analog Integrated Circuits and Signal Processing*, 2016.
- [56] W. Tangt, S. Tung, S. Wen y K. Lin, «A 70 μ W/MHz ultra-low voltage microcontroller SPARK,» de *IEEE International Conference of Electron Devices and Solid-State Circuits*, 2013.
- [57] «MSP430, Low Power Microcontroller,» [En línea]. Available: https://www.ti.com/lscds/ti/microcontrollers_16-bit_32-bit/msp/overview.page.
- [58] T. Kulej y F. Khateb, «0.4-V bulk-driven differential-difference amplifier,» *Microelectronics Journal*, vol. 46, nº 5, pp. 362-369, 2015.
- [59] D. C. Daly y A. P. Chandrakasan, «A 6b 0.2-to-0.9V Highly Digital Flash ADC with Comparator Redundancy,» de *IEEE International Solid-State Circuits Conference - Digest of Technical Papers*, San Francisco, 2008.
- [60] L. S. Y. Wong, S. Hossain, A. Ta, J. Edvinsson y D. H. N. H. R. Rivas, «A very low-power CMOS mixed-signal IC for implantable pacemaker applications,» *IEEE J. Solid State Circuits*, vol. 39, nº 12, pp. 2446-2456, Dic. 2004.
- [61] P. Castro, P. Pérez-Nicoli, F. Veirano y F. Silveira, «General Top/Bottom-Plate Charge Recycling Technique for Integrated Switched Capacitor DC-DC Converters,» *IEEE Trans. Circuits and Systems I: Regular Papers*, vol. 63, nº 4, pp. 470-481, 2016.
- [62] «DigiKey Electronics - Electronic Components Distributor,» [En línea]. Available: www.digikey.com.
- [63] S. R. Sridhara y a. et, «Microwatt Embedded Processor Platform for Medical System-on-Chip Applications,» *IEEE Journal of Solid-State Circuits*, vol. 46, nº 4, pp. 721-730, 2011.

- [64] S. Kim y G. A. Rincón-Mora, «Achieving High Efficiency Under Micro-Watt Loads with Switching Buck DC–DC Converters,» *Journal of Low Power Electronics*, vol. 5, nº 2, pp. 229-240, 2009.
- [65] «TS3310, ultra low power boost converter,» [En línea]. Available: <http://www.silabs.com/Support%20Documents/TechnicalDocs/TS3310.pdf>.
- [66] «TPS62740, ultra low power step down converters,» [En línea]. Available: <http://www.ti.com>.
- [67] S. S. Ang y A. Oliva, *Power-Switching Converters*, CRC Press, 2005.
- [68] «Taiyo – Yuden CBC3225T101KR,» [En línea]. Available: <http://www.ty-top.com/>.
- [69] A. Arnaud y C. Rossi, «Análisis de una cadena de inversores asimétricos como elemento de retardo,» de *VII Workshop Iberchip*, Montevideo, 2001.
- [70] Advanced Linear Devices, «EPAD - Electrically Programmable Analog Devices,» [En línea]. Available: http://www.aldinc.com/ald_epad.php.
- [71] J. Sacristan y M. T. Oses, «Low noise amplifier for recording ENG signals in implantable systems,» de *Proceedings of the 2004 International Symposium on Circuits and Systems*, Vancouver, 2004.

VII. Anexo I – Referencia de Voltaje

En este anexo se incluye un trabajo presentado en la Conferencia CAMTA 2012 el cual fue presentado en inglés [52]. Este trabajo muestra una referencia de voltaje que fue utilizada luego en varios de los circuitos presentados. Se la incluye en un anexo ya que no sigue el hilo conductor de la tesis en cuanto a reducir consumo o ruido en amplificadores, sino que es un bloque auxiliar, medido, con resultados interesantes.

VII.1. A Low-Voltage, Low-Power 1.03V Voltage Reference for Implantable Medical Devices

VII.1.1. Abstract

In this work an integrated low supply voltage, low-power 1.03V voltage reference for implantable medical devices is presented. The circuit was designed, simulated and fabricated in a 0.6 μ m technology. Simulated and measured results show that output voltage varies less than 3mV while varying supply voltages from 1.7V to 5V, and has a standard deviation of 13mV between different measured chips. To reduce the power consumption the output is buffered and the bandgap circuit is periodically turned on and off, resulting in a total current consumption of less than 200nA, which fits regular requirements of medical devices.

VII.1.2. Introduction

In the last few years, implantable medical devices are being implemented for the treatment of a growing number of pathologies [1][2]. Microelectronics is an essential tool for these new treatments as these new implantable medical devices are complex electronic circuits performing several tasks including sensing, control, and stimulation to re-establish different body functions of the patient. Integrated voltage references are an integral part of these devices, since accurate voltage references enable precise delivery of voltage stimuli and accurate detection of biological signal (e.g. using an AD converter).

Several voltage references are designed to minimize its variation with temperature [3][4], but in the case of implantable medical applications, the temperature is fixed by the human body varying only a handful of degrees around 37° Celsius. On the other hand, implantable medical devices must work for a wide range of supply voltages, varying from 4.2V (completely charged lithium medical grade rechargeable battery) to less than 2V (end of life condition for a pacemaker lithium-iodine medical grade battery) [5][6]. Like all circuits for implantable medical devices, power consumption must be minimum to extend battery life. Furthermore, with very

low power consumption multiple voltage references can be included, minimizing the effect of one part of the chip on another.

In section VII.1.3, the specification and design of a voltage reference for medical application is shown. In Section VII.1.4, complete simulation's results are presented, and in section VII.1.5, measured results are shown.

VII.1.3. Voltage Reference Design

In order to develop the specifications for this circuit, a voltage reference to be included in different ASICs (application-specific integrated circuits) for different medical devices was proposed. Therefore, supply voltages for the designed circuit can have a large variation since not all applications are powered with the same batteries. On the other hand, in implantable devices, temperature variations are very small during normal operation; thus in this design a low temperature variation coefficient is not crucial. As this voltage reference was designed to be a part of a larger circuit, it was decided that no trimming was going to be used. The reference voltage should not vary more than 3% between different samples, and the selected nominal value was 1.03V. Current consumption must be kept to a minimum, and the design target was to consume up to 250nA. In Table 1 the complete specifications of the designed voltage reference generator are presented.

Table 1: Voltage reference specifications

	Specifications
Output Voltage	1.03V \pm 3%
Voltage Supply	1.8V – 5V
Temperature Range	20 ^o - 50 ^o
Temperature Coefficient	<1mV/ ^o C
Current Consumption	<250nA

To implement the voltage reference generator, the bandgap circuit of figure 1 was selected [7]. This particular configuration was used because it reduces the minimum supply voltage needed while improving the current mirrors performance. Transistors M1 and M2 together with the transconductor guarantee that the currents through both branches are equal. Resistors R1 and R3 are equal and are “L” times larger than resistor R2. Both bipolar transistors are connected as

diodes, and b2 is made out of “K” unitary transistors while b1 is only one. Transistor st1, st2 and st3 are the start-up circuit, and the MON transistor can be used to turn off the bandgap circuit.

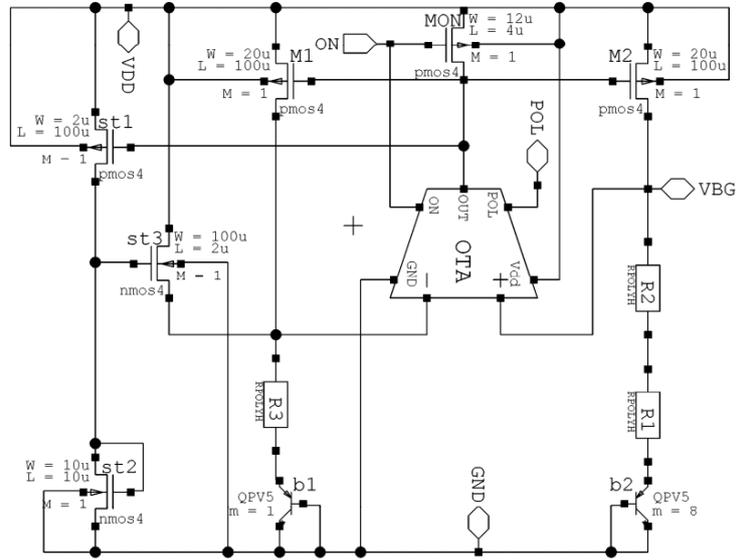


Figure 1: Bandgap circuit schematic. In the left, the start-up circuit.

The output voltage and current through each branch can be determined as:

$$V_{REF} = n\phi_T \left[\text{Ln} \left(\frac{I}{KI_S} \right) + (L+1)\text{Ln}(K) \right] \quad (1)$$

and

$$I = \frac{n\phi_T \text{Ln}(K)}{R2} \quad (2)$$

Where ϕ_T is the thermal voltage (26.7mV for 37°C), I_S is the reverse saturation current (approximately 0.11fA for the unitary bipolar transistor in the selected technology), $n=1$ for bipolar devices and I is the current through each branch.

For this bandgap, the following values were selected for the design parameters: $L=8$, $K=8$ and $R2=156\text{k}\Omega$. These parameter values determine $I = 356\text{nA}$ and $V_{REF} = 1.029\text{V}$. The designed transconductor consumes 80nA and the start-up transistors less than 38nA during normal operation. Total current consumption of the bandgap circuit is therefore 830nA. Figure 2 shows the transistor level implementation of the transconductor. A current source of 40nA must be connected to POL, obtained from a current source like [8] for example. Transistors MN1 and MN2 can be used to turn off the OTA.

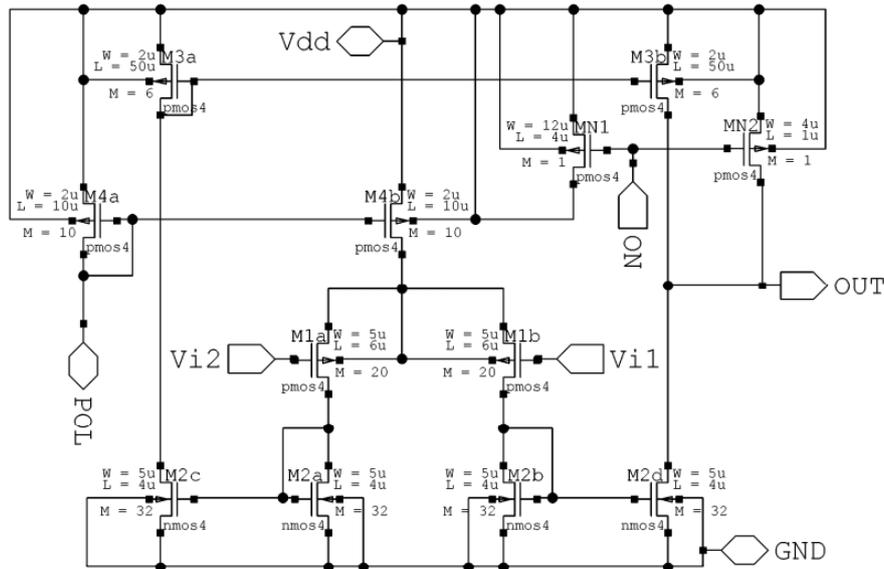


Figure 2: Bandgap OTA schematic. Note the large size of the input transistors, to reduce the offset due to mismatch.

Simulations show that all specifications were within the expected range except current consumption. Also the maximum allowed load for the circuit was too low for the intended application. To solve both problems, the bandgap circuit is periodically turned on and off while a Miller buffer circuit maintains the output value when the bandgap circuit is turned off. In most integrated circuits for medical applications, a low frequency clock is available (used in a small microprocessor, an AD converter or for communication purposes for instance). For this design it was assumed that a 256Hz clock signal was available (in general, if a higher frequency clock is available, it can be easily divided. E.g. the 256Hz can be obtained easily from the standard 32.768kHz). A small and simple logic generates two different signals ONB, ONC and their complements. Both signals have the same frequency but ONB has a longer duty cycle. The logic first turns on the bandgap and buffer circuits, and only after these circuits have been on for at least 2ms and have already stabilized, a transmission gate is closed and the output capacitor voltage is charged. Figure 3 shows the complete diagram of the system. The output capacitor can be internal or external depending on the application. The value of the output capacitor and the frequency of ONB and ONC must be selected considering the current load to the voltage reference, the maximum allowed error and the desired current consumption. For this design, a 4Hz frequency was selected and the output capacitor was implemented externally for measurement purposes.

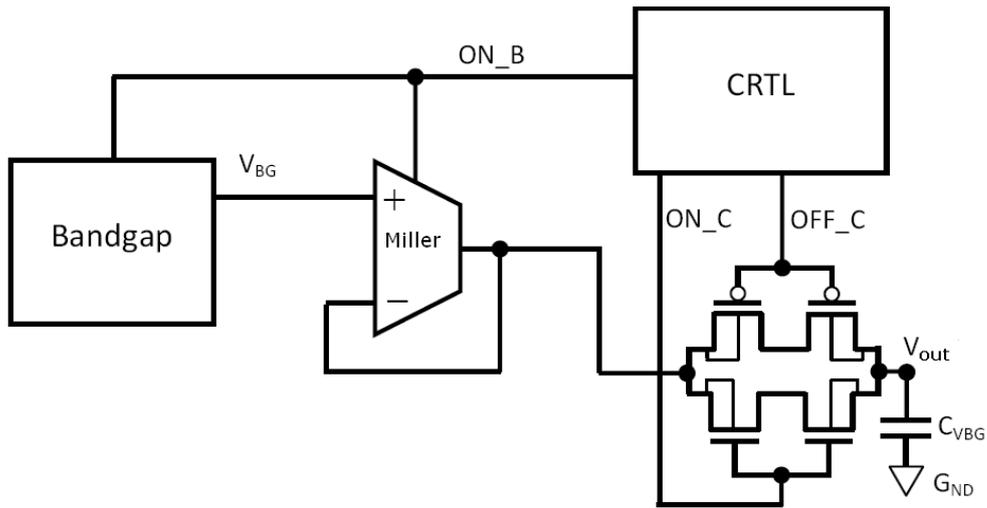


Figure 3: Complete voltage reference circuit schematic. C_{VBG} is an external capacitor for measurements purposes.

Duty cycles of 1/8 and 1/16 were used for the Bandgap and the transmission gate, respectively. Using this architecture, current consumption was reduced to 200nA, which complies with the original specifications.

The output buffer was implemented using a low offset nmos input Miller. Input transistors must be large ($W=100\mu\text{m}$ and $L=6\mu\text{m}$) to minimize the offset caused by mismatch, as this offset modifies directly the output of the voltage reference. Figure 4 shows the schematic with all transistor's sizes, while figure 5 the complete layout of the circuit. Total area of the design is 0.11mm^2 excluding the output capacitor.

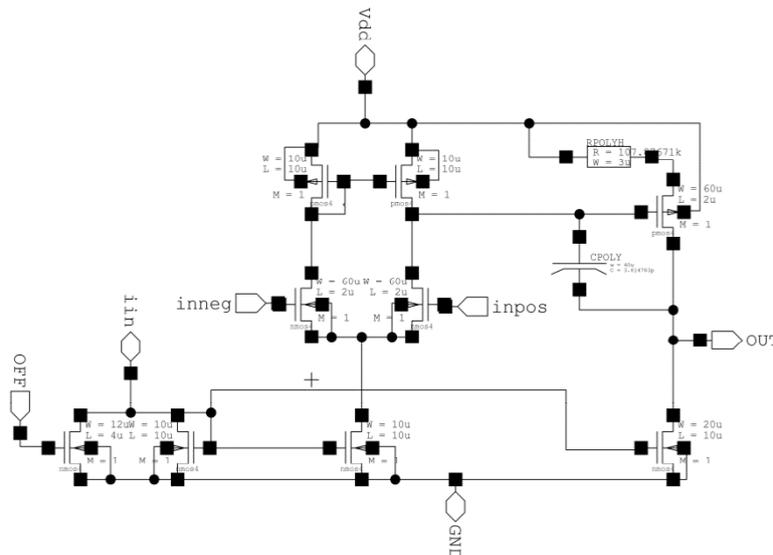


Figure 4: Miller schematic.

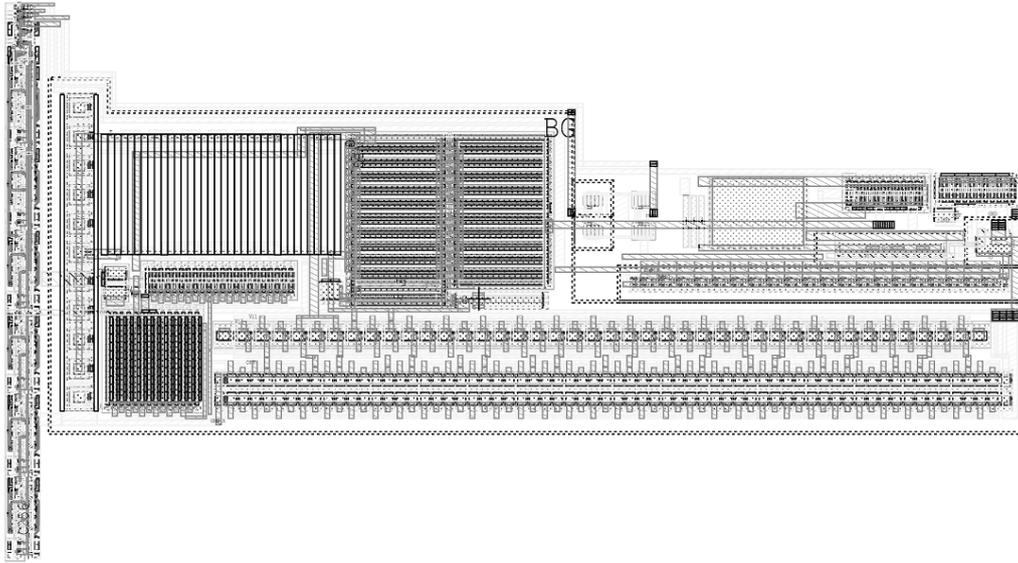


Figure 5: Bandgap circuit layout, on the left the logic circuit and the bipolar transistors, in the top center the three resistors and at the bottom the buffer input pair.

VII.1.4. Voltage reference simulation

In this section, several simulations of the designed voltage reference are presented. In figure 6 the reference voltage circuit's output is shown for different supply voltages.

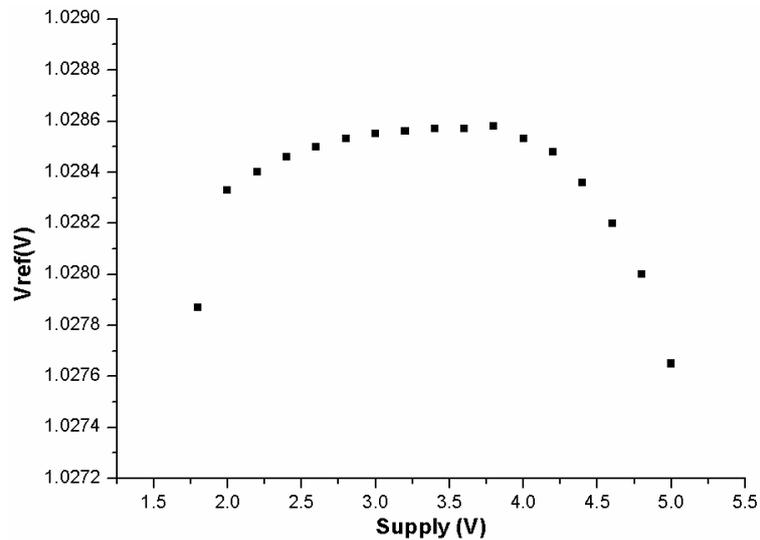


Figure 6: Output voltage vs. supply voltage. Output value varies less than 1mV between 1.8V and 5V.

It can be seen that the reference voltage varies less than 1mV for all expected supply values. A temperature analysis reveals that the voltage reference varies about 0.6mV/°C. The circuit was simulated for different models (typical model, TM; worst slow, WS; worst power, WP) and table 2 shows its output values for different models and different supply voltages. The output is between 1.020V and 1.041V at 2.8V, which represents a 1% variation from the expected value.

The start-up of the whole circuit is shown in figure 7 with a 2.8V supply voltage. During the first cycles, the output measurement capacitor of $1\mu\text{F}$ is being charged until it stabilizes. Stabilization time was less than 4 seconds for all models and different power supplies with the $1\mu\text{F}$ capacitor.

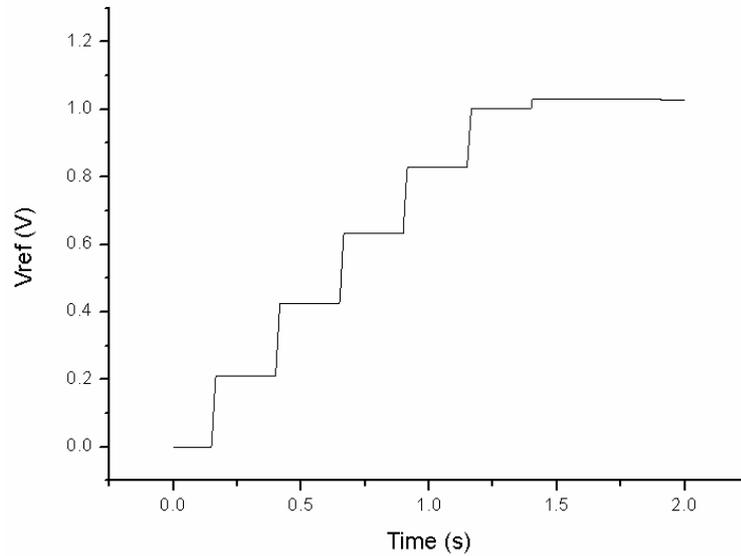


Figure 7: Simulated Start-up of the complete circuit. The external $1\mu\text{F}$ capacitor is charged periodically until the 1.03V are achieved.

Table 2: Voltage reference output value for different supply voltages and different simulations models.

V_{DD} (V) \ Model	TM	WS	WP
2.0	1.0283	1.0410	1.0200
2.4	1.0285	1.0412	1.0200
2.8	1.0285	1.0413	1.0200
3.2	1.0286	1.0413	1.0201
3.6	1.0286	1.0414	1.0201
4.0	1.0285	1.0414	1.0200
4.4	1.0284	1.0413	1.0197
4.8	1.0280	1.0410	1.0192
5.0	1.0276	1.0407	1.0187

The mean current consumption of the whole circuit was in all simulated cases less than 200nA.

VII.1.5. Voltage Reference Measurements

The circuit was fabricated in a 0.6 μ m technology and 19 samples were obtained. Figure 8 shows an histogram of all measured values. The mean value of all measurements was $V_{REF}=1.029V$ with a standard deviation of 13mV.

In figure 9 the output value of the voltage reference circuit as a function of supply voltage is shown. The circuit starts working at 1.65V and the output value varies less than 1mV/V for higher voltages.

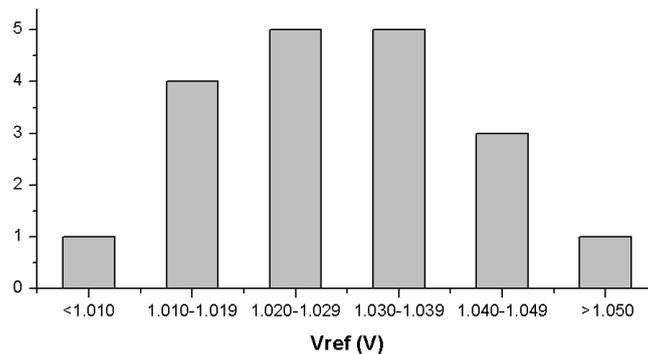


Figure 8: Histogram of measured value in the 19 samples.

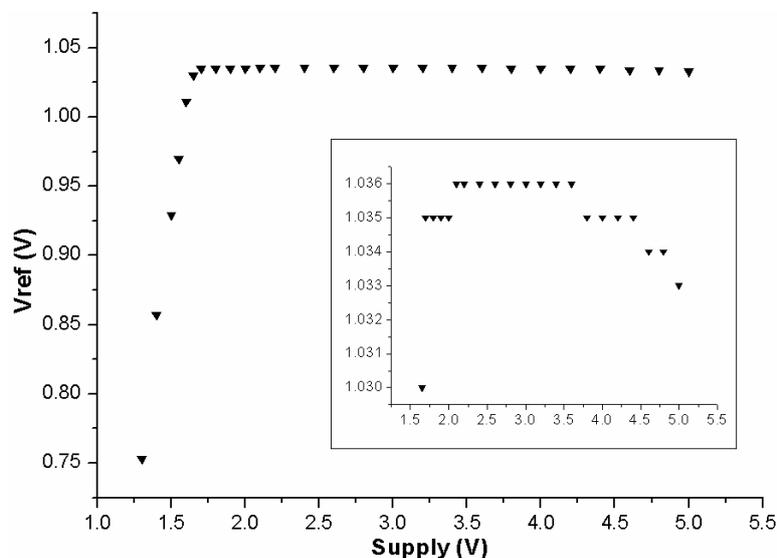


Figure 9: Measured reference value vs. supply voltage. The circuit works from 1.7V. The inset plot shows a detail for the expected supply voltages.

Figure 10 shows the measured transient response of the circuit, with a stabilization time of 2 seconds. A comparison between figure 8 and 11 shows a good agreement between simulations and measurements. Both the simulated and measured output voltage versus temperature are plotted in figure 11. The output value varies 0.5mV/ $^{\circ}$ C, which is within medical devices specifications.

Finally, table 3 shows the measured stabilization time for different supply voltages with the $1\mu\text{F}$ output capacitor.

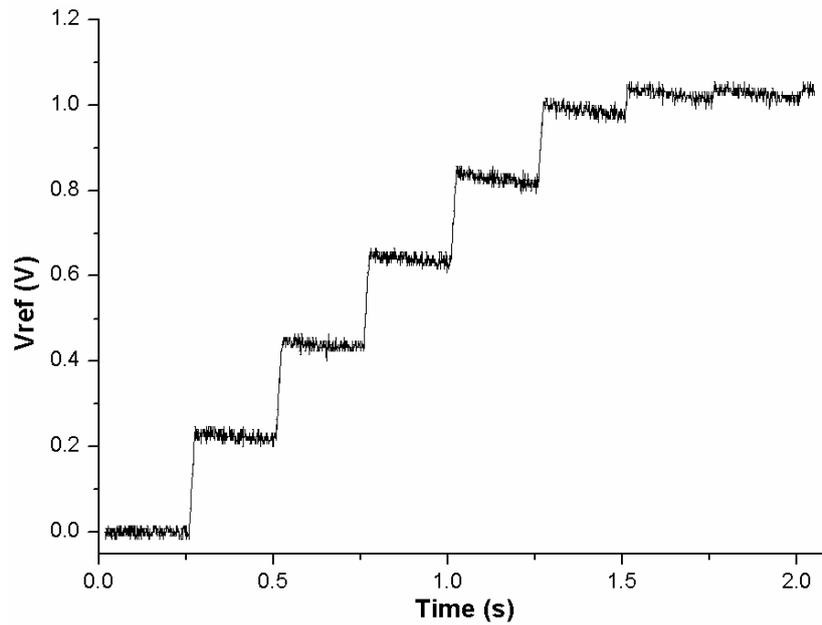


Figure 10: Measured transient response. After several steps, the output begins to stabilize.

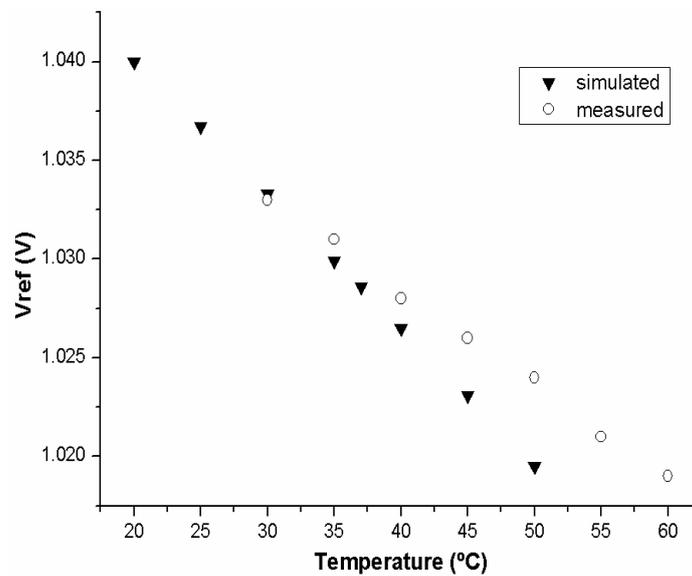


Figure 11: Measured and simulated voltage reference output vs. temperature. Output value varies $.5\text{mV}/^\circ\text{C}$.

VII.1.6. Conclusions

In this work a voltage reference generator was designed, fabricated and measured. The circuit generates a voltage of $1.03\text{V} \pm 2\%$ without trimming, while consuming only 200nA . The circuit complies with all specifications and is suitable for integrated circuits in implantable medical

devices. To improve in these results, further work is being conducted to reduce silicon area and to achieve a similar consumption without periodically turning the circuit on and off.

Table 3: Measured stabilization time for different supply values

Supply Voltage (V)	Stabilization time (ms)
5	540
3.7	780
2.7	1131
2.2	1820
1.8	3880

VII.1.7. References

- [1] Terry, R.; "Vagus nerve stimulation: A proven therapy for treatment of epilepsy strives to improve efficacy and expand applications," Engineering in Medicine and Biology Society, 2009. EMBC 2009. pp.4631-4634, 3-6 Sept. 2009.
- [2] Jurkov, A.S.; Arriagada, A.; Mintchev, M.P.; "Implantable functional gastrointestinal neurostimulation," Engineering in Medicine and Biology Society, 2009. EMBC 2009. pp.4615-4618, 3-6 Sept. 2009.
- [3] Luo Fang-Jie; Deng Hong-Hui; Gao Ming-Lun; "A design of CMOS bandgap reference with low thermal drift and low offset," Circuits and Systems, 2008. APCCAS 2008. pp.538-541, Nov. 30 2008-Dec. 3 2008
- [4] Koudounas, S.; Andreou, C.M.; Georgiou, J.; "A novel CMOS Bandgap reference circuit with improved high-order temperature compensation," ISCAS 2010 pp.4073-4076, May 30 2010-June 2 2010
- [5] Linden, D., & Reddy, T. B. (Eds.-2002). Handbook of batteries (3d ed.). McGraw Hill, ISBN-0-07-135978-8.
- [6] Quallion LLC, QL-series medical grade rechargeable lithium-ion batteries datasheets.
- [7] R. Jacob Baker, CMOS Circuit Design, Layout, and Simulation, 2nd edn., Hoboken, NJ: IEEE Press and Wiley-Interscience, 2005.
- [8] Camacho-Galeano, E.M.; Galup-Montoro, C.; Schneider, M.C.; "A 2-nW 1.1-V self-biased current reference in CMOS technology," Circuits and Systems II: Express Briefs, IEEE Transactions on, vol.52, no.2, pp. 61- 65, Feb. 2005.