



UNIVERSIDAD NACIONAL DEL SUR

CONVERSORES ANALÓGICO-DIGITALES DE ALTA
VELOCIDAD PARA SISTEMAS DE COMUNICACIONES
DIGITALES

Tesis presentada para optar al título de Doctor en Ingeniería

Autor:

Ing. Benjamín Tomás Reyes

Director:

Dr. Pablo S. Mandolesi

Bahía Blanca

Co-Director:

ARGENTINA

Dr. Venugopal Gopinathan

Director de Beca:

Dr. Mario R. Hueda

*A mi esposa Jimena,
mi madre Beatriz,
y a la memoria de mi padre Rubén.*

Agradecimientos

A mi esposa por todo el amor y el apoyo incondicional a concretar este trabajo.

A mi madre, mis hermanos y toda mi familia por el apoyo permanente a seguir mis ideas.

A mis Directores de beca Mario Hueda y Oscar Agazzi por las oportunidades y las enseñanzas compartidas.

A mi Director Pablo Mandolesi, a Pedro Julián y a todo el grupo GISEE-IIIE-UNS por el acompañamiento y soporte.

A Ali Nazemi por la guía permanente, los conocimientos y la experiencia compartida.

A Carmen Rodríguez y el Laboratorio de Comunicaciones Digitales por el acompañamiento y colaboración.

A mis compañeros de estudio, Alejandro, Ariel y Pablo, por la colaboración y los gratos momentos compartidos.

A los tesisistas de grado que colaboraron en el desarrollo de la investigación, Emanuel, German, Lucas, y Raúl, por el entusiasmo y esfuerzo.

A la Fundación Tarpuy y la Fundación Fulgor, y todo su personal, por el apoyo permanente durante todo el trabajo doctoral.

A la Universidad Nacional del Sur, la Universidad Nacional de Córdoba, la ANPCyT y al CONICET por la oportunidad de realizar esta tesis.

Resumen

La nueva generación de sistemas de comunicaciones digitales demanda conversores analógico-digital (ADC) de muy alta velocidad que sólo pueden ser realizados en base una arquitectura paralela de conversores temporalmente intercalados (TI-ADC). Un TI-ADC consiste en un arreglo de M ADC en paralelo que son coordinados por M fases de reloj. Como resultado, se obtiene una tasa de frecuencia de muestreo global (F_s) igual a M veces la tasa de muestreo individual de cada ADC. Sin embargo, debido a los desapareamientos entre los transistores dentro de los circuitos integrados, los canales de los TI-ADC pueden mostrar diferencias en sus diversos parámetros esenciales (por ej. desajustes de *offset*, ganancia y fases de muestreo). Estos desajustes pueden ser detectados y calibrados, sin embargo, el desajuste entre las fases de muestreo presenta un gran desafío en su detección y por ello representa un tema abierto de investigación.

En esta Tesis se propone una *nueva técnica* para la detección y calibración del desajuste entre las fases de muestreo en TI-ADC para receptores digitales de fibra óptica de 40/100 Gb/s. Además, la técnica propuesta puede detectar y corregir el desapareamiento de tiempo de propagación (*time-skew*) entre los canales en cuadratura (I/Q) que se presenta en los receptores ópticos coherentes. Asimismo, el método de ajuste puede extenderse a otros tipos de receptores digitales que utilicen TI-ADC. La técnica propuesta se demuestra efectiva y simple ya que evita el agregado de circuitos adicionales y aprovecha la información disponible dentro del procesador digital de señales del receptor.

Por otro lado, el otro aporte fundamental de la Tesis es la *verificación y demostración experimental* del método de calibración para TI-ADC. Para ello se diseñó un chip de TI-ADC de 2 GS/s y 6-bits que implementa 8 canales temporalmente intercalados y un total de 16 conversores de aproximaciones sucesivas asíncronos. El diseño incorpora múltiples capacidades de calibración, incluyendo celdas de retardo programable que permiten controlar las fases del conversor. El chip se fabricó en una tecnología CMOS de $0.13\mu\text{m}$, siendo este el primer chip en ser diseñado y enviado a fabricar desde la FCEfyN-Universidad Nacional de Córdoba. Se realizaron las mediciones del conversor y el resto de los bloques, demostrando una correcta operación según sus especificaciones de diseño. A partir de este conversor prototipo se desarrolló una plataforma de *hardware* y *software* dedicada que permitió emular un sistema de comunicaciones para la verificación de la propuesta de calibración. Finalmente la Tesis presenta diferentes ejemplos experimentales de calibración, demostrando que la técnica puede mitigar correctamente los efectos de los desajustes entre fases del conversor sobre el desempeño del receptor.

Abstract

The new generation of digital communications systems demand for very high-speed analog-to-digital converters (ADC) that can be only realized with parallel architectures like time-interleaved ADC (TI-ADC). A TI-ADC includes an array of M parallel ADCs that are managed by M clock phases. As a result, the overall sampling rate (F_s) is M times the rate of each individual ADC. However, due to mismatch between transistors in integrated circuits, the channels of a TI-ADC may show differences in their essential parameters (eg. offset, gain and sampling phase mismatches). These mismatches can be detected and calibrated, however, the sampling phase mismatch detection presents a great challenge and therefore, it is an open research topic.

This Thesis proposes a *novel technique* for detection and calibration of sampling phase mismatch in TI-ADC used for digital receivers. The technique is specially suitable for 40/100 Gb/s fiber optic receivers. However the technique can be extended to any other digital receiver that requires TI-ADC phase calibration. In addition, the proposed technique can detect and correct the time-skew error between quadrature (I/Q) channels that is typically found in optical coherent receivers. The technique proves to be effective and simple as it avoids additional circuitry and it takes advantage of the information available in the receiver digital signal processor.

On the other hand, the other main contribution of this Thesis is the *experimental demonstration and verification* of TI-ADC calibration method. For this propose, a 2 GS/s and 6-bits TI-ADC was designed. The chip consists of 8 interleaved channels and 16 asynchronous successive approximations registers ADC. The design also includes multiple calibration capabilities, including programmable delay cells that can control each phase independently. The chip was fabricated in a $0.13\mu\text{m}$ CMOS technology process and it was the first chip to be designed and sent for manufacture from FCEfYn-Universidad Nacional de Córdoba. Measurements of prototype have demonstrated a correct operation according to its specifications. Then, based on the prototype TI-ADC and a dedicated *hard-soft* platform, a communications system could be emulated for experimental calibration proposes. At the end of the Thesis, several experimental calibrations examples are showed. With these measurements it can be demonstrated that the calibration method can successfully mitigate the sampling phase mismatch effects over the receiver.

ÍNDICE GENERAL

Lista de Acrónimos	IX
Publicaciones	XIII
1. Introducción	1
1.1. Motivación	1
1.2. Objetivos de la Investigación	8
1.2.1. Línea de Investigación	8
1.2.2. Objetivos Iniciales	9
1.3. Trabajos relacionados	10
1.3.1. Técnicas de Detección y Ajuste	13
1.4. Aportes de la Tesis	17
1.4.1. Impacto en la Industria Nacional	19
1.5. Organización de la Tesis	20
2. Nueva Técnica de Calibración de TI-ADC	21
2.1. Introducción	22
2.2. Impacto del Error de Fase de Muestreo	24
2.2.1. Modelo del <i>Front-End</i> Analógico	24
2.2.2. Resultados Numéricos	25
2.3. Nueva Técnica de Calibración de Señal Mixta	27
2.3.1. Concepto de Calibración	27
2.3.2. Algoritmo de Calibración	28
2.3.3. Desempeño de la Calibración	32

2.4. Conclusiones	34
3. Diseño de Circuito Integrado de TI-ADC	35
3.1. Introducción	35
3.1.1. Requerimientos de Diseño	36
3.2. Selección de Topología de Conversor	37
3.2.1. Analisis de Metaestabilidad	38
3.3. Arquitectura del Circuito Integrado	39
3.3.1. Amplificador de Ganancia Variable	40
3.4. Conversor A/D Temporalmente Intercalado	42
3.4.1. Generador de Fases Múltiples	42
3.4.2. Circuito Track and Hold	43
3.4.3. Celda de Retardo Programable	45
3.5. Diseño de Conversor SAR	47
3.5.1. Calibración de Offset de Comparador	50
3.6. Diseño de Interfaz de Alta Velocidad	51
3.6.1. Driver	52
3.6.2. Circuito de Pre-énfasis	53
3.7. Fabricación de Prototipo	54
3.7.1. Verificación de Diseño	54
3.7.2. Envío a Fabricación	54
3.8. Conclusiones	55
4. Plataforma de Verificación Experimental	57
4.1. Plataforma de Medición	57
4.1.1. Placa de Circuito Impreso Multicapa	58
4.1.2. Recepción de Datos en Lógica Programable	60
4.1.3. Interfaz Gráfica de Usuario	62
4.2. Verificación Experimental de Interfaz LVDS	63
4.2.1. Mediciones Sin Canal de Cobre	64
4.2.2. Mediciones Con Diferentes Modelos de Canal	65
4.3. Mediciones y Caracterización del TI-ADC	66
4.3.1. Linealidad	67
4.3.2. Respuesta en Frecuencia	68
4.3.3. Consumo de Potencia	72
4.4. Conclusiones	74
5. Verificación de la Técnica de Calibración	77
5.1. Sistema de Comunicaciones para Prueba de Concepto	77
5.1.1. Arquitecura del Sistema de Emulación	78

5.1.2.	Procesador Digital de Señales del Receptor	80
5.1.3.	Respuesta del Canal	82
5.1.4.	Verificación Experimental	83
5.1.5.	Capacidades del Sistema de Calibración	84
5.1.6.	Impacto del Desajuste entre Fases del TI-ADC	86
5.2.	Nueva Técnica de Calibración	87
5.2.1.	Verificación de Convergencia de Calibración	87
5.2.2.	Estabilidad en el Tiempo de Calibración	92
5.2.3.	Desempeño del Sistema Receptor bajo Calibración	93
5.3.	Conclusiones	94
6.	Conclusiones Finales	97
	Apéndices	100
A.	Estimación de Error Cuadrático Medio	103
B.	Análisis de Metaestabilidad en Conversores SAR	107

ÍNDICE DE FIGURAS

1.1.	Ley de Moore	3
1.2.	Topologías de ADC: Resolución vs. Frecuencia de muestreo	5
1.3.	Arquitectura de un conversor A/D temporalmente intercalado.	6
1.4.	Fotografía de circuito integrado de Conversor A/D	18
2.1.	<i>Front-End</i> Óptico/Analógico para un receptor óptico coherente.	23
2.2.	Modelo de canal para uno de los cuatro canales de entrada	25
2.3.	Modelo simplificado para el canal de polarización horizontal (H)	26
2.4.	Degradación de la OSNR en función del máximo error de muestreo y del desajuste de tiempo de propagación entre I/Q	27
2.5.	Arquitectura de procesador digital de señales	28
2.6.	Diagrama en bloques de la arquitectura propuesta para el <i>Fron-End</i> Analógico	29
2.7.	Convergencia del algoritmo de calibración	32
2.8.	Comparación de desempeño del sistema <i>pre</i> y <i>post</i> calibración.	33
3.1.	Velocidad de muestreo en conversores SAR	38
3.2.	Arquitectura de chip prototipo de ADC temporalmente intercalado.	40
3.3.	Amplificador de ganancia variable	41
3.4.	Generador de 8 fases de reloj	43
3.5.	Circuito de muestreo (THA)	44
3.6.	Diagrama de celda de retardo programable	45
3.7.	Simulación temporal de la celda de retardo programable	46
3.8.	Conversor A/D SAR Asíncrono implementado.	48
3.9.	Diagrama de tiempo del conversor SAR asíncrono	49

3.10. Arquitectura del transmisor de alta velocidad LVDS.	52
3.11. <i>Driver</i> BSCS con circuito de pre-énfasis programable	53
3.12. Señales del <i>driver</i> LVDS	54
3.13. Máscaras de layout del diseño completo del chip fabricado.	55
3.14. Fotografía en microscopio del chip	56
4.1. Diagrama de plataforma de pruebas y mediciones de TI-ADC.	58
4.2. Diseño del PCB de soporte para el chip conversor	59
4.3. Fotografía de PCB para el chip prototipo de TI-ADC.	59
4.4. Fotografía de la plataforma de <i>hardware</i> para mediciones	61
4.5. Ventana principal del <i>software</i> de GUI	62
4.6. Fotografía del set de medición del chip en laboratorio.	63
4.7. <i>Setup</i> utilizado para el diseño y la medición del desempeño de la interfaz LVDS.	64
4.8. Diagramas de ojo sin efecto de canal sin pre-énfasis	64
4.9. Diagramas de ojo sin efecto de canal con pre-énfasis	65
4.10. Diagramas de ojo de la señal con canal de cobre de 6"	66
4.11. Diagramas de ojo de la señal con canal de cobre de 30"	66
4.12. Medición dinámica de DNL e INL para un solo ADC SAR	67
4.13. Medición dinámica de DNL e INL del TI-ADC	68
4.14. SNDR/ENOB en función de la Frecuencia de entrada	69
4.15. Comparación de análisis de FFT de la señal de salida del TI-ADC	70
4.16. SNDR/ENOB en función de la frecuencia de entrada F_{in} con $F_s = 2.3$ GHz	71
4.17. Gráfica de resumen de eficiencia alcanzada por los ADC (FOM)	72
5.1. Arquitectura de emulador de sistema de comunicaciones digitales	78
5.2. Imagen fotográfica del sistema de comunicaciones emulado	79
5.3. Respuesta del canal	81
5.4. Muestras de entrada y salida del ecualizador	82
5.5. Curvas de BER vs. Es/No	83
5.6. Histogramas de ruido	84
5.7. Medición de paso de retardo en las celdas programables	85
5.8. Curvas de <i>Bit-Error-Rate</i> vs. relación Es/No	86
5.9. Convergencia de la técnica de calibración, $Es/No = 8,9dB$ y paso mínimo	88
5.10. Convergencia de la técnica de calibración, $Es/No = 8,9dB$	89
5.11. Convergencia de la técnica de calibración, $Es/No = 8,9dB$ con final en cero	90
5.12. Convergencia de la técnica de calibración, $Es/No = 10,6dB$	91
5.13. Convergencia de la técnica de calibración, $Es/No = 12,5dB$	91
5.14. Convergencia de la técnica de calibración, $Es/No = 21,15dB$	92
5.15. Estabilidad de la técnica de calibración, $Es/No = 12,5dB$	93

5.16. Curvas de <i>Bit-Error-Rate</i> vs. relación E_s/N_0 . Efecto de la calibración de fases	94
A.1. Diferencia de varianzas estimadas	106

LISTA DE ACRÓNIMOS

ADC Analog to Digital Converter.

AFE Analog-Front-End.

AGC Automatic Gain Control.

BER Bit Error Rate.

BSCS Bridged-Switches Current Source.

BW Bandwidth.

CD Chromatic Dispersion.

CML Current-Mode-Logic.

CMOS Complementary Metal Oxide Semiconductor.

DAC Digital to Analog Converter.

DDJ Data Dependent Jitter.

DGD Differential Group Delay.

DNL Differential Non-Linearity.

DP-QPSK Dual-Polarization Quadrature Phase-Shift Keying.

DSP Digital Signal Processing.

ENOB Effective-Number-of-bits.

FEC Forward Error Correction.

FFE Feed-Forward Equalizer.

FFT Fast Fourier Transform.

FOM Figure-Of-Merit.

FPGA Field Programmable Gate Array.

FSE Fractionally-Spaced-Equalizer.

GUI Graphical User Interface.

IC Integrated Circuit.

INL Integral Non-Linearity.

ISI Intersymbol Interference.

LMS Least-Mean-Squares.

LSB Least Significant Bit.

LVDS Low-Voltage-Differential-Signaling.

MOSFET Metal Oxide Semiconductor Field Effect Transistor.

MSB Most Significant Bit.

MSE Mean-Square Error.

OFE Optical-Front-End.

OSNR Optical Signal-to-Noise-Ratio.

PCB Printed Circuit Board.

PMD Polarization Mode Dispersion.

PRBS Pseudorandom-Binary-Sequence.

QAM Quadrature Amplitude-Modulation.

QPSK Quadrature Phase-Shift Keying.

RTOS Real-Time Operating System.

SAR Successive Approximation Register.

SFDR Spurious-Free-Dynamic-Range.

SNDR Signal-to-Noise-and-Distorsion-Ratio.

SNR Signal-to-Noise-Ratio.

SoC System-on-Chip.

SR Shift Register.

T/H Track-and-Hold.

THA Track-and-Hold-Amplifier.

THD Total Harmonic Distorsion.

TI-ADC Time Interleaved Analog to Digital Converter.

TS Timing Skew.

VGA Variable-Gain Amplifier.

VLSI Very-Large-Scale Integration.

PUBLICACIONES

Revista:

- Benjamín T. Reyes, German Paulina, Raúl Sanchez, Pablo S. Mandolesi, Mario R. Hueda, “A 2 GS/s 6-bit CMOS Time-Interleaved ADC for Analysis of Mixed-Signal Calibration Techniques”, *Analog Integrated Circuits and Signal Processing*, 2015
[Aceptado]

Conferencias:

- B. Reyes, V. Gopinathan, P. Mandolesi, and M. Hueda, “Joint sampling-time error and channel skew calibration of time-interleaved ADC in multichannel fiber optic receivers,” in *2012 IEEE International Symposium on Circuits and Systems (IS-CAS)*, pp. 2981–2984, May 2012
Disponible en: <http://dx.doi.org/10.1109/ISCAS.2012.6271944>
- B. Reyes, L. Tealdi, G. Paulina, E. Labat, R. Sanchez, P. Mandolesi, and M. Hueda, “A 6-bit 2 GS/s CMOS time-interleaved ADC for analysis of mixed-signal calibration techniques,” in *2014 IEEE 5th Latin American Symposium on Circuits and Systems (LASCAS)*, pp. 1–4, Feb. 2014
Disponible en: <http://dx.doi.org/10.1109/LASCAS.2014.6820267>
- B. Reyes, G. Paulina, L. Tealdi, E. Labat, R. Sanchez, P. Mandolesi, and M. Hueda, “A 1.6 Gb/s CMOS LVDS transmitter with a programmable pre-emphasis system,” in *2014 IEEE 5th Latin American Symposium on Circuits and Systems (LASCAS)*, pp. 1–4, Feb. 2014
Disponible en: <http://dx.doi.org/10.1109/LASCAS.2014.6820268>

Poster Estudiantiles:

- L. Tealdi and B. Reyes, “A 250 MHz to 2.5 GHz 8-phase clock generator with controlled phase for time-interleaved ADC,” *EAMTA 2012*
- G. Paulina and B. Reyes, “Design of a 1.25 Gb/s LVDS transmitter with programmable channel pre-equalization,” *EAMTA 2012*
- E. Labat and B. Reyes, “Design of a programmable gain amplifier for gain mismatch calibration in time-interleaved ADC,” *EAMTA 2012*

CAPÍTULO

1

INTRODUCCIÓN

***Síntesis:** En este capítulo se introduce la motivación de la Tesis y se resume el estado de la tecnología asociada. Se presentan los desafíos relacionados a los convertidores analógico/digitales de alta velocidad para aplicaciones de comunicaciones digitales y se detallan los objetivos trazados en el inicio del trabajo doctoral. Luego se resume el estado del arte y se identifican las diferentes propuestas para calibración de convertidores. Finalmente se detallan los aportes de la Tesis Doctoral y su impacto en el medio local.*

1.1. Motivación

El surgimiento de la tecnología del transistor bipolar en 1947 en los Laboratorios BELL y la aparición de los transistores de efecto de campo de metal óxido semiconductor (*Metal Oxide Semiconductor Field Effect Transistor (MOSFET)*) sobre silicio, generaron una gran revolución que derivó finalmente en el desarrollo del circuito integrado (*Integrated Circuit (IC)*). El IC fue creado por Jack Kilby (Texas Instruments) en concepto, pero resuelto en forma industrial por Robert Noyce (Intel). Un IC permite la integración de múltiples transistores sobre un mismo sustrato. A partir de ello, aparecen diversas tecnologías de integración, y entre ellas se impone la integración a muy gran escala (*Very-Large-Scale Integration (VLSI)*) y se vuelve una realidad juntar desde miles a millones de transistores en una misma pastilla de silicio.

La tecnología que domina desde los años 70 el mundo digital, y por ende el cálculo

numérico, es la tecnología metal óxido semiconductor complementaria (*Complementary Metal Oxide Semiconductor (CMOS)*). La tecnología CMOS es un diseño con dos tipos de transistores MOSFET (MOSFET de canal n y p), que se complementan mutuamente y pueden operar con muy bajo consumo estático. La integración CMOS evolucionó en forma vertiginosa desde sus inicios e impulsó el desarrollo de múltiples dispositivos, desde las primeras calculadoras hasta los grandes procesadores de computadora. Esta tecnología duplica su capacidad de integración cada dos años, siguiendo la "Ley de Moore", que no responde a ninguna ley física sino a la tecnología y al mercado. Esta posibilidad de generar lógica digital de ultra bajo consumo con gran capacidad de procesamiento derivó en la necesidad de interactuar con el *mundo analógico* en forma eficiente a través de conversores analógico-digitales (*Analog to Digital Converter (ADC)*) y digital-analógicos (*Digital to Analog Converter (DAC)*). Allí nace el procesamiento digital de señales y una infinidad de algoritmos que permiten obtener resultados que hasta el momento requerían de complejos circuitos electrónicos analógicos, o directamente, no eran posibles anteriormente.

La tecnología de procesamiento digital de señales (*Digital Signal Processing (DSP)*) permite obtener información de las señales capturadas por los ADC y sintetizar los resultados a través de un DAC. Este proceso de captura de señales analógicas, procesamiento digital y generación de señales posibilitó el nacimiento de las comunicaciones digitales. Esta arquitectura de procesador digital de señales y conversores es el que rige la mayoría de las comunicaciones hoy en día. Por ejemplo, la transmisión-recepción de datos por cables de teléfono fue una de las primeras en implementar el uso de DSP para optimizar la velocidad y distancia de los enlaces [7, 8, 9]. Luego siguieron los enlaces inalámbricos, y más recientemente, las comunicaciones por fibra óptica, que están adoptando sistemas de comunicación basados en DSP para llevar la capacidad de transmisión más allá de los límites iniciales de la fibra óptica como medio de transmisión [10, 11].

Por otro lado, para un aprovechamiento óptimo del diseño en chip, se requiere que todos los bloques sean puestos en una misma pastilla, allí nacen (entre los años 80' y 90') los sistemas en chip (*System-on-Chip (SoC)*) [8]. Este concepto busca reducir lo que antes eran grandes gabinetes de hardware al tamaño en un solo chip, implementando en un mismo sustrato de silicio diferentes bloques de procesamiento digital, etapas analógicas, bloques de conversores ADC y DAC (señal mixta) y múltiples interfaces digitales. La tecnología CMOS es la única capaz de soportar el diseño SoC y resulta óptima para la implementación del DSP ya que se utiliza lógica digital CMOS. Sin embargo, el diseño de los bloques analógicos y de señal mixta (ADC y DAC) en tecnología CMOS requieren un especial cuidado y presenta grandes desafíos en su implementación junto al resto de los bloques del SoC. Las comunicaciones digitales que nos rodean hoy en día están basadas en la utilización de un único chip para realizar todas las etapas del enlace. De esta forma, un único chip puede transmitir y recibir los datos (por cable, fibra óptica o en forma inalámbrica) sin requerir otros IC que procesen previamente la información. Como

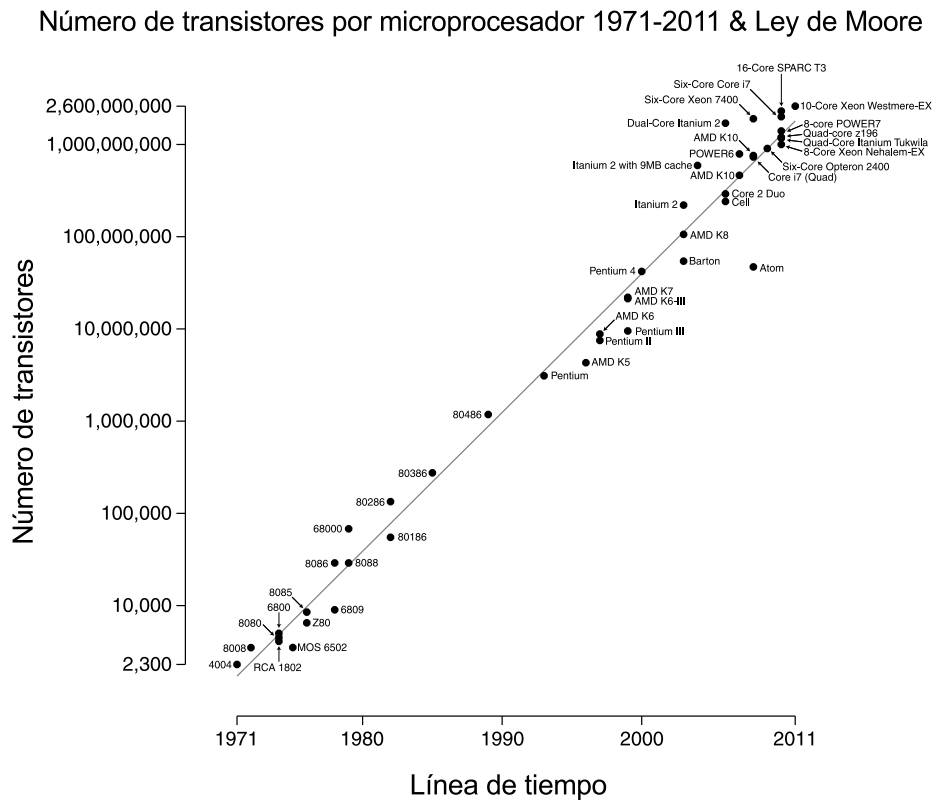


Figura 1.1: Ley de Moore: *El número de transistores por cada chip microprocesador se duplica cada dos años.* [Wikipedia].

resultado, se pueden lograr transmisiones a mayor distancia y velocidad con un consumo total de un orden de magnitud menor a lo que requeriría un sistema implementado con múltiples chips.

En los últimos años, la industria de las comunicaciones digitales por fibra óptica está dedicada al desarrollo de sistemas de transmisión a velocidades desde los 100 Giga-bits por segundo (Gb/s) hasta los 400 Gb/s. Tanto el comité de normas 802.3xx del Institute of Electrical and Electronics Engineers (IEEE), como el Optical Interconnect Forum (OIF) están desarrollando normas para sistemas de comunicación para las velocidades anteriormente mencionadas y superiores, que se basan en sistemas multiportadora con modulación *Quadrature Phase-Shift Keying (QPSK)*, *Quadrature Amplitude-Modulation (QAM)-16*, *QAM-32*, etc. [12]. El diseño en SoC de estos enlaces implica grandes desafíos pero también grandes ventajas en los costos de fabricación y producción a gran escala.

Como se mencionó anteriormente, todo sistema DSP necesita de un ADC que le permita recibir la señal eléctrica a procesar, y para un receptor de fibra óptica debemos pensar en ADC de muy alta velocidad. Por ejemplo, suponiendo un sistema receptor a $T/2$ a 100Gb/s con modulación en polarización y en fase con constelación QPSK (*Dual-Polarization Quadrature Phase-Shift Keying (DP-QPSK)*) [12], se necesita un ADC de 6 bits o más de resolución y con una frecuencia de muestreo de al menos 60GHz. Las nuevas tecnologías CMOS de 28nm, 22nm y menores, permiten la integración de complejos sis-

temas DSP de muy bajo consumo, pero estas tecnologías no traen iguales beneficios para los circuitos analógicos y de señal mixta de alta velocidad. Es por ello que la disminución de consumo de energía de, por ejemplo, un ADC plantea grandes desafíos de investigación y desarrollo para los próximos años.

En general, el diseño analógico se realiza específicamente para cada aplicación y no permite un escalado directo a otras aplicaciones ni tecnologías. En cambio, los sistemas digitales pueden resultar muy flexibles y por ello (entre otras cosas) reemplazan a los sistemas analógicos. Sin embargo, conversores A/D y D/A no pueden ser resumidos en circuitos netamente digitales y por lo tanto resultan indispensables para cualquier sistema de comunicaciones digitales. Esto genera entonces la necesidad permanente de innovar en nuevos diseños de circuitos para su adaptación a las nuevas tecnologías CMOS.

Conversores Analógico-Digitales Temporalmente Intercalados

El desarrollo de conversores A/D de alta velocidad ha sido desde el inicio de la era digital una demanda permanente en la industria. En los inicios se buscaba digitalizar señales de audio para poder tratarlas digitalmente y aprovechar los nuevos algoritmos disponibles. Rápidamente las señales de comunicación fueron las siguientes candidatas a ser digitalizadas y la carrera de las comunicaciones digitales desató una fuerte demanda por conversores cada vez más veloces y eficientes.

En general, los conversores A/D pueden alcanzar diferentes prestaciones según su topología básica, entre los que podemos citar, *Flash*, *Pipeline*, *Aproximaciones Sucesivas*, etc, tal como lo muestra la Fig. 1.2 [13]. Según esta clasificación, se extrae que los conversores tipo *Flash* resultan los de mayor velocidad de muestreo pero con limitaciones en su máxima resolución, relativo alto consumo y gran área de silicio requerida. Por otro lado, los conversores de tipo *Aproximaciones Sucesivas* (*Succesive Approximation Register (SAR)*) están entre los de menor consumo y área, pero cerca de un orden de magnitud más lentos que los ADC *Flash* equivalentes. Estas relaciones de compromiso son las que dictan la elección de las topologías de ADC según cada aplicación y por ende resulta en una gran variedad de diseños posibles.

Sin embargo, más allá de la topología elegida para una aplicación específica, cualquier topología de ADC resultará limitada en su máxima velocidad de muestreo según la tecnología de integración utilizada. Por ejemplo, en procesos de fabricación CMOS actuales (32nm, 22nm, etc), las velocidades máximas de reloj se ubican desde los cientos de MHz hasta los 10GHz a 15GHz dependiendo el circuito que se conmute. Esto se traduce en diseño de conversores de hasta unos poco GHz [14], incluso en topologías *Flash* de baja resolución. A esto se suma el hecho de que cada topología de ADC evoluciona en forma diferente en cuanto a velocidad y consumo para cada nuevo proceso de fabricación CMOS, es decir que hay topologías que logran optimizar su velocidad y consumo con cada nuevo

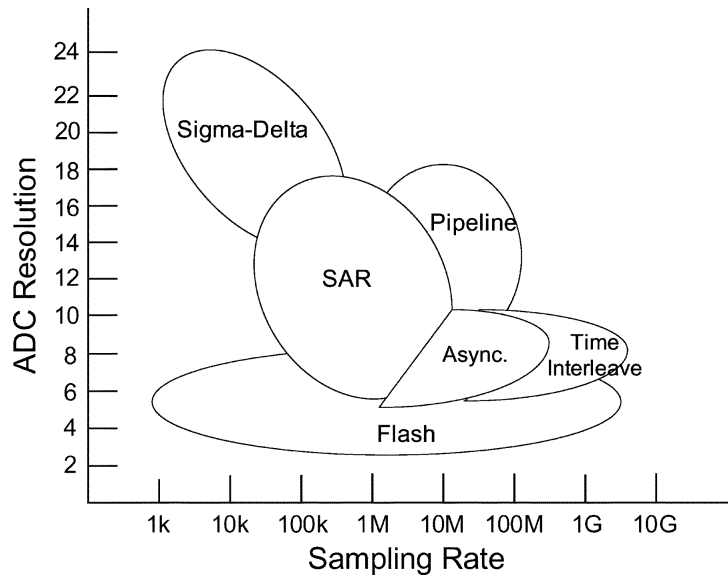


Figura 1.2: Topologías de ADC: Resolución vs. Frecuencia de muestreo [13].

proceso (por ejemplo los SAR) y otras topologías que no mejoran en forma considerable sus prestaciones (por ejemplo Flash o Pipeline).

El diseño de convertidores A/D de alta velocidad y de mediana/baja resolución para aplicaciones en receptores de fibra óptica representa un gran desafío en cuanto a mejora de las arquitecturas y optimización de la relación velocidad/consumo. En estos receptores, la velocidad de muestreo requerida al ADC puede llegar a estar en más de un orden de magnitud superior a la velocidad máxima ofrecida por cualquiera de las topologías de la Fig. 1.2. Por lo tanto, no hay solución posible brindada por un sólo convertidor y debemos pensar (al igual que en el procesamiento digital de señales) en arquitecturas paralelas. Es decir, las implementaciones de ADC y DSP en receptores ópticos se basan en arquitecturas paralelas de procesamiento que brindan la posibilidad de transmisiones de datos en más de un orden de magnitud superior a la velocidad de reloj de procesamiento disponible en el SoC [10, 11].

La arquitectura paralela de convertidores A/D se conoce como ADC temporalmente intercalado (o de entrelazado temporal) (*Time Interleaved Analog to Digital Converter (TI-ADC)*). Esta arquitectura fue implementada por primera vez por Black and Hodges en el año 1980 [15]. En tanto que la teoría de operación de los TI-ADC fue previamente considerada por Papoulis en 1977 bajo el nombre de *Generalización del muestreo expandido* [16].

El concepto operativo de un TI-ADC se muestra en la Fig. 1.3 y consiste en generar un arreglo de M convertidores A/D en paralelo que son coordinados por M fases de reloj. Como resultado, se obtiene una tasa de frecuencia de muestreo global (F_s) igual a M veces la tasa de muestreo individual de cada ADC. De esta forma se pueden operar en forma paralela tantos ADC como la aplicación requiera y es posible alcanzar (idealmente)

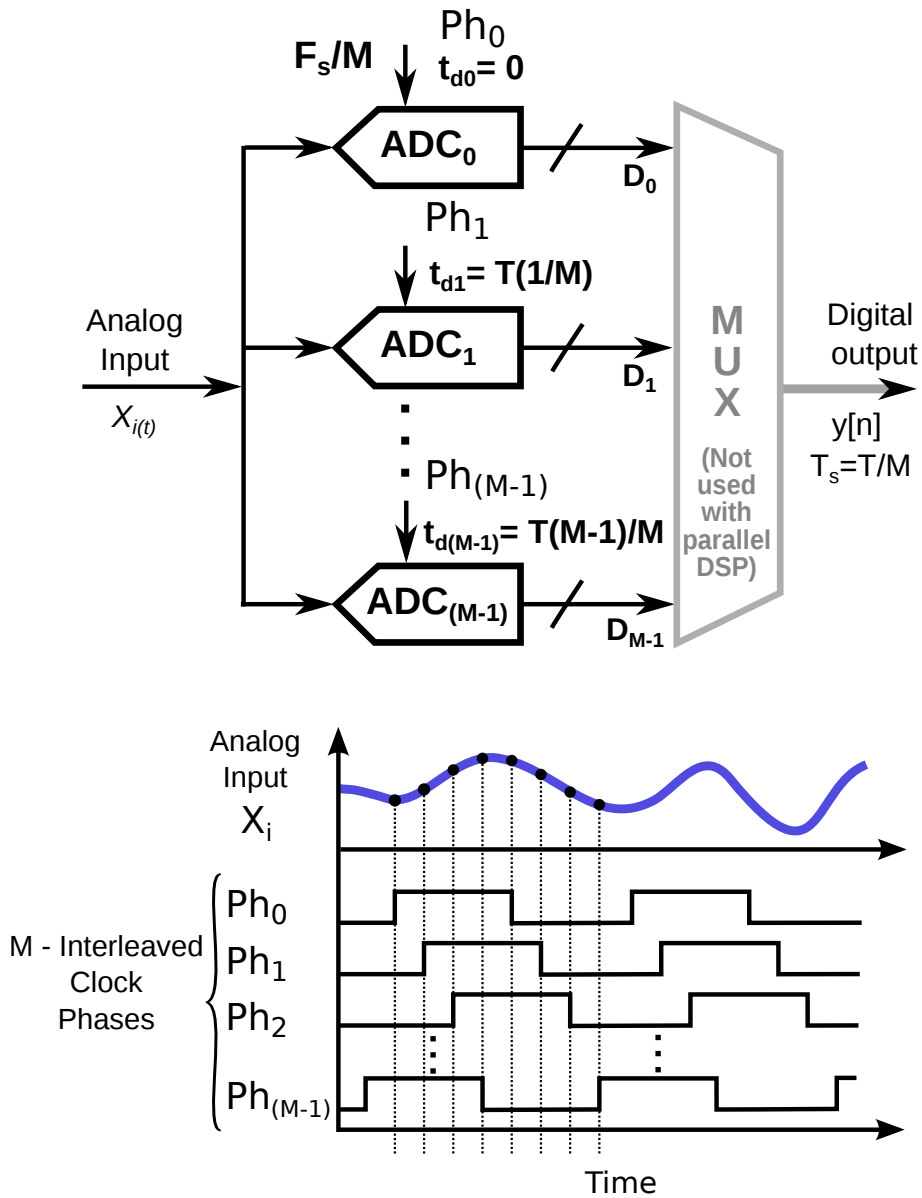


Figura 1.3: Arquitectura de un convertor A/D temporalmente intercalado.

la F_s deseada. Como se muestra en la Fig. 1.3 la señal analógica $X_i(t)$ ingresa en forma simultánea a todos los convertidores. Luego, cada convertidor toma una muestra de la señal $X_i(t)$ en forma *escalonada* o intercalada en el tiempo, de modo tal que cada un periodo de tiempo $T_s = 1/F_s$ la señal $X_i(t)$ se muestrea en forma alternada por alguno de los ADC individuales. En operación normal, cada convertidor individual (ADC_n) se “ocupa” de adquirir y cuantizar la señal muestreada en un instante de tiempo para luego brindar la palabra digital a la salida. Estas salidas de los convertidores luego pueden ser multiplexadas y puestas en un único bus de datos digital y resultar así en una salida digital $Y[n]$ de las muestras de entrada de $X_i(t)$. Por consiguiente, un TI-ADC ideal puede ser considerado desde sus puertos de entrada-salida como un único bloque convertor A/D con tasa de muestreo F_s sin importar cuantos ADC individuales lo componen.

Entre las bondades de la arquitectura de conversor temporalmente intercalada cabe destacar entonces, la posibilidad de alcanzar altas tasas de conversión utilizando topologías de conversores tradicionales (por ejemplo, Flash, SAR, Pipeline) en paralelo. Además, es posible relajar la velocidad de operación de cada conversor individual a un punto tal donde su operación sea más óptima y por ende cada conversor individual podrá alcanzar un menor consumo por muestra cuantizada. También, en el mismo sentido que lo anterior, si la tasa de muestreo puede ser disminuida, entonces podemos elevar la resolución de conversión de cada conversor individual y por consiguiente la del conversor paralelo, ya que la resolución del este último es la misma que la de los conversores individuales.

Sin embargo, la implementación práctica de un TI-ADC presenta múltiples desafíos para lograr un aprovechamiento óptimo de su arquitectura. La principal dificultad de su implementación radica en que el concepto se basa en suponer que los M conversores en paralelo son exactamente iguales. Es decir, cada conversor individual debe mostrar la misma respuesta a la señal de entrada y de reloj. Entonces, dado que esta premisa no puede satisfacerse en su totalidad ni por diseño ni por fabricación, resulta necesario analizar los posibles problemas y soluciones en cada implementación de ADC temporalmente intercalado.

Dificultades de Implementación de los ADC Temporalmente Intercalados

El desempeño de un conversor paralelo temporalmente intercalado se ve afectado por diferentes razones, entre las cuales se destaca principalmente el desapareamiento (*mismatch*) entre los ADC individuales (también denominados *slices* o *canales*) que lo componen. Esto significa que en una implementación real, y aun dentro de un mismo chip, los conversores o canales pueden resultar desiguales entre sí en diferentes parámetros que finalmente afectarán el desempeño global. Entre los principales parámetros de desajuste se destacan, el error de nivel de señal continua (*DC offset*), el error de *ganancia* y el error de *fase o tiempo* de muestreo. En la bibliografía podemos encontrar diversos análisis detallados de los efectos de estos desapareamientos entre los diferentes canales [17, 18, 19]. El estudio de los efectos del desajuste entre los canales concluye que el desempeño de un TI-ADC puede degradarse notablemente en términos de distorsión no lineal y de relación señal-ruido (*Signal-to-Noise-Ratio (SNR)*) en comparación al desempeño de cada ADC medido en forma individual. Por lo tanto, en todo diseño e implementación de conversores temporalmente intercalados, es un requisito imprescindible un completo análisis del desajuste entre sus canales para evaluar la necesidad de calibración o compensación.

Como se mencionó anteriormente, entre los problemas más comunes y estudiados en la bibliografía es el desajuste de nivel de corriente continua (*DC offset*) y el desajuste de ganancia. El desajuste de *offset* entre los canales de un TI-ADC degrada en forma

notable su desempeño global y este se caracteriza por introducir tonos sub-armónicos de la frecuencia de muestreo F_s espaciados cada F_s/M [17]. Por otro lado, el desajuste de ganancia genera distorsión dependiente de la frecuencia de la señal de entrada $X_i(t)$ es decir que el patrón de ruido/distorsión adicionado por el desajuste tiene correlación con la señal de entrada [17].

Otro aspecto a considerar, es el desapareamiento de ancho de banda (BW) que adiciona una distorsión dependiente de la frecuencia de entrada y aumenta su impacto para señales de mayor frecuencia relativa a la frecuencia de muestreo del sistema (F_s). El desajuste de ancho de banda es generalmente originado por el desajuste en los parámetros de los circuitos muestreadores del conversor *Track-and-Hold-Amplifier (THA)*. Este desapareamiento puede ser mitigado si el ancho de banda individual de cada canal es mayor al ancho de banda de la señal que se desea adquirir. Como se demuestra en [20, 21] el ancho de banda puede ser medido y considerado en la etapa de diseño en forma relativamente simple evitando así el desajuste y la degradación del desempeño del TI-ADC. De este modo, el desajuste de ancho de banda generalmente no se calibra, aunque existen métodos de compensación que pueden mitigar los efectos del mismo en casos severos de desapareamiento en un receptor de comunicaciones digitales como el presentado en Luna,et.al. [22].

Finalmente el desajuste entre las fases de muestreo, conocido como *sampling time error* o *sampling phase mismatch* se presenta como uno de los problemas de desapareamiento más difíciles de detectar y calibrar/compensar. El efecto del desajuste entre las fases de muestreo se manifiesta en forma dependiente de la frecuencia de la señal de entrada y resulta un serio problema cuando el ancho de banda de la señal muestreada es más cercano a la frecuencia de *Nyquist* del sistema ($F_s/2$) [23].

Como se resume de todo lo anterior, la compensación/calibración de los desapareamientos entre los canales de los TI-ADC es un punto fundamental para lograr mitigar los efectos de degradación en la señal de entrada y alcanzar los requerimientos de los nuevos sistemas de comunicaciones basados en DSP. Como se ampliará en el siguiente capítulo, la distorsión introducida por el desapareamiento del TI-ADC puede degradar el desempeño del receptor y elevar la tasa de errores de bits (*Bit Error Rate (BER)*) a valores no tolerables.

1.2. Objetivos de la Investigación

1.2.1. Línea de Investigación

Los nuevos desafíos de diseño analógico y de señal mixta en los Sistemas-on-Chip han dado lugar a un nuevo concepto, el *diseño analógico asistido digitalmente*. Tal como se resume en [24], en los nuevos diseños de ADC de altas prestaciones podemos encontrar

cada vez más la implementación de circuitos digitales que aportan, de una manera u otra, a la funcionalidad del diseño analógico. El concepto se fundamenta en que los circuitos analógicos encuentran límites estrictos de eficiencia energética y su rendimiento queda limitado indefectiblemente a la tecnología utilizada y el entorno físico del circuito. Por otro lado, cuando el circuito analógico es *digitalmente asistido*, se puede explotar la gran densidad de compuertas y el bajo consumo por cómputo de la lógica digital moderna en procesos CMOS nanométricos. De esta forma, los circuitos analógicos que brindan la interfaz al “*mundo real*” a los sistemas digitales, pueden alcanzar nuevos niveles de prestaciones.

La calibración y/o compensación de los circuitos analógicos y de señal mixta como los conversores A/D presentan terreno fértil de investigación y desarrollo de técnicas de diseño analógico asistido digitalmente. En este sentido los ADC temporalmente intercalados que son calibrados en sus diferentes parámetros de desapareamiento, son un caso ejemplar de esta nueva tendencia de diseño. Los ADC para receptores ópticos basados en DSP deben alcanzar una muy elevada velocidad de muestreo, y para lograrlo, se recurre a la implementación de transistores MOS de dimensiones mínimas ya que de ese modo se alcanzan mayores velocidades. Como es bien conocido, el desapareamiento entre transistores es inversamente proporcional a la raíz cuadrada del área (ver Pelgrom et.al.[25]). Entonces, a menor área de silicio, mayor velocidad y mayor desapareamiento entre los circuitos. La calibración de los conversores en estos receptores digitales resulta imprescindible, pero se necesitan optimizar las técnicas de ajuste para alcanzar sistemas robustos y de bajo impacto en consumo, área y complejidad.

En este sentido, esta investigación hace foco en un tema abierto para este tipo de implementaciones como es la *calibración del desajuste entre las fases de muestreo* de los TI-ADC para receptores de comunicaciones digitales, en especial para aplicaciones en las nuevas generaciones de receptores ópticos coherentes.

Por otro lado, esta Tesis hace un fuerte *énfasis en la implementabilidad* de las técnicas investigadas y desarrolladas, por lo cual se propone investigar sobre el diseño y desarrollo de los TI-ADC sobre procesos de fabricación CMOS nanométricos, incluyendo los circuitos de calibración necesarios.

1.2.2. Objetivos Iniciales

A continuación se detallan los objetivos propuestos al inicio de la investigación doctoral:

- *Investigar las arquitecturas de conversores analógico-digitales de alta velocidad y baja resolución, y desarrollar alternativas que permitan mejorar la eficiencia de las mismas en implementaciones con tecnología CMOS nanométricas.*

- *Desarrollar un ADC de más de 5 bits de resolución y más de 1 GS/s de frecuencia de muestreo, procurando obtener circuitos eficientes desde el punto de vista de consumo-velocidad-resolución.*
- *Desarrollar esquemas de diseño y verificar la viabilidad de implementación de un sistema de ADC intercalados en el tiempo (Time Interleaving, TI), cuyo conjunto representaría un nuevo ADC de mayor velocidad que el que se desarrollará como bloque básico.*
- *Investigar y desarrollar circuitos comparadores y de muestreo Track-and-Hold (T/H) acordes a las exigencias de eficiencia y precisión que este tipo de conversores requieren.*
- *Investigar y desarrollar técnicas de calibración de conversores que permita mantener el número de bits efectivos (Effective Number Of Bits, ENOB) por encima de lo que resultaría de un ADC sin un sistema de ajuste de las variables más críticas.*

Como se demuestra más adelante, los objetivos originalmente planteados al inicio de esta Tesis Doctoral se fueron logrando con diferentes trabajos científicos publicados. Entre ellos se destaca la publicación de una nueva técnica de calibración de conversores TI-ADC, y el desarrollo y fabricación de un prototipo de TI-ADC en tecnología CMOS 0.13 μ m.

1.3. Trabajos relacionados

El estado del arte del diseño de ADC comprende un universo de topologías que abarca desde conversores de muy baja velocidad hasta velocidades que permiten muestrear señales de radio frecuencia u ópticas¹ en forma directa (ver Fig. 1.2). Los ADC temporalmente intercalados utilizados en los receptores digitales de alta velocidad suelen ser calibrados en sus diferentes parámetros de desapareamiento. Estas técnicas de calibración pueden ser primeramente clasificadas según su dominio de *detección*, dominio de *calibración* y el método de *ejecución* [19]. En la Tabla 1.1 se resumen las diferentes posibilidades, y en general, casi todas las combinaciones entre dominios y métodos se pueden encontrar en la bibliografía.

Primeramente haremos un breve repaso sobre las técnicas aplicables a *ADC individuales* (no paralelos) que pueden incluir diferentes técnicas de calibración/compensación según la topología de diseño. Esto es importante también para el diseño de TI-ADC ya que, a fin de cuentas, el mismo estará compuesto por M conversores individuales. Por ejemplo, uno de los requisitos de todo conversor es la *linealidad*, que no siempre es posible alcanzar por diseño analógico en forma directa. En esta temática encontramos diferentes

¹Previa conversión al dominio eléctrico con diodo foto-detector.

trabajos como [26, 27, 28, 29] donde se aplican técnicas de calibración y compensación sobre conversores tipo *pipeline* que intentan contrarrestar la imprecisión en ganancia de los amplificadores de residuo entre etapas del conversor y de este modo atenuar el ruido y la distorsión producida por el desajuste en las primeras etapas del conversor. También podemos encontrar alternativas de implementación de tablas (*lookup-table*) que se mapean en el dominio digital a fin de compensar diferentes no linealidades de los conversores tipo *pipeline*, tal como es propuesto en [30]. La lista de propuestas de calibración para ADC no paralelos continúa para cada topología. Por ejemplo en [31, 32, 33] se proponen diferentes técnicas para calibrar el *offset* en los comparadores de conversores tipo *Flash* y *Two-Step* ya que el *offset* interno en este tipo de conversores afecta su linealidad en forma considerable. En cuanto a los conversores tipo SAR, encontramos técnicas de calibración como las presentadas en [34, 35] que proponen técnicas para la mitigación del desapareamiento entre los capacitores del DAC que típicamente utilizan este tipo de ADC. En [36, 37] se proponen técnicas asistidas digitalmente para la implementación de métodos de redundancia en ADC tipo SAR. También existen técnicas de mitigación de ruido en conversores SAR como se propone en [38]. En cuanto a la calibración del *offset* en estos conversores en [39, 40, 41] se presentan diferentes alternativas.

Todas las técnicas antes mencionadas son de interés porque hacen al estado del arte en diseño de conversores en general. Sin embargo, es necesario subir un nivel de *abstracción* para observar las propuestas de calibración sobre conversores paralelos intercalados temporalmente (TI-ADC). Aquí se deberá considerar, en general, que cada conversor individual (*canal o slice*) es *ideal* o bien sólo presenta problemas despreciables de linealidad y ruido.

Según lo resumido en la Sección 1.1, entre los problemas inherentes a los TI-ADC se destacan los desajustes de *offset*, *ganancia* y *fase de muestreo*. Primeramente resumiremos los diferentes métodos de calibración de desapareamiento de *offset*. Por ejemplo, en [42, 43, 44, 45, 46, 47, 48] encontramos diferentes propuestas para ajuste del *offset* en TI-ADC. Entre ellas, [44, 43, 46, 48] se destacan por proponer un esquema de ajuste basado en el promedio estadístico de la señal de entrada utilizando un simple algoritmo de acumulación. Ésta última técnica se demuestra muy efectiva para señales de comunicaciones ya que estadísticamente las mismas tienen promedio *ceró* y entonces cualquier desviación de la media entre las salidas de los diferentes ADC individuales (canales) del TI-ADC puede ser considerado desviación de *DC offset*. También existen otras propuestas de calibración de *offset* como [49, 50, 51] que pueden ser utilizadas para ajuste *off-line* o *foreground* es decir, fuera de operación normal, poniendo al TI-ADC en un estado de calibración durante un corto periodo de tiempo para que realice su ajuste y en ciertos casos usando una señal de entrenamiento [51]. Es importante notar que en la mayoría de las aplicaciones conocidas de TI-ADC el desajuste de *offset* se compensa en el dominio digital [44, 43, 46, 48, 49], es decir que se sustrae con un *sumador/restador* digital. Por lo tanto, si bien la compensación

Cuadro 1.1: Técnicas de calibración de desajustes en TI-ADC

Método de Detección	Método de Corrección	Modo de Ejecución
Analógico	Analógico	Background
Digital	Digital	Foreground

en el dominio digital implica cierta pérdida de rango dinámico del TI-ADC, la simpleza de implementación de un sumador/restador suele preferirse por sobre el agregado de circuitos para un ajuste de *offset* en el dominio analógico.

Por otro lado, existen diferentes propuestas para la calibración del desajuste de *ganancia* en los TI-ADC, tanto para implementaciones de aplicaciones generales como para TI-ADC en sistemas receptores de comunicaciones. Por ejemplo, en [48, 46, 44, 52] se proponen ajustes de ganancia aplicados a un sistema receptor utilizando el valor absoluto medio de la señal en los diferentes canales del TI-ADC. Es decir, asumiendo que todos los canales del TI-ADC deberían adquirir la misma potencia de señal, el valor absoluto medio (amplitud media) de un ADC se utiliza como referencia para ajustar los $(M - 1)$ ADC restantes. Si bien este método tiene sus restricciones cuando la señal es sobre muestreada en forma sincrónica a la señal de entrada, en la mayoría de los casos es aplicable. El ajuste del desapareamiento de ganancia también se puede realizar en forma simple en la modalidad de fuera de línea (*foreground*) es decir, interrumpiendo la operación del conversor. En estos casos generalmente se toma un valor de tensión fijo, u otra señal de referencia, y luego se ecualizan las ganancias de los diferentes canales del TI-ADC [48, 51]. La principal desventaja de los métodos en primer plano es que los mismos no pueden seguir las variaciones en el sistema que generan las fluctuaciones de tensión y temperatura del chip. En cuanto a los métodos de ajuste, la bibliografía se reparte entre los que realizan un ajuste de ganancia en el dominio analógico, generalmente sobre el buffer de salida del circuito muestreador [52], y los que lo realizan en el dominio digital [48, 46, 44]. En general en aplicaciones de muy alta velocidad a veces se prefiere el ajuste en el dominio analógico para evitar el uso de multiplicadores digitales de alta resolución.

Para resumir los párrafos anteriores, podemos decir que si bien aún surgen nuevas propuestas de calibración de *offset* y *ganancia*, las soluciones relevadas encuentran cierta convergencia en los criterios de detección y de ajuste. Específicamente, en el caso de TI-ADC para receptores de comunicaciones digitales, las técnicas mencionadas conforman un conjunto de soluciones válido para la mayoría de los casos reales de implementación. Sin embargo, cuando nos enfocamos en las técnicas de *calibración/compensación del desajuste entre las fases de muestreo* de los TI-ADC no encontramos la misma convergencia de soluciones y se ha generando un gran espacio de investigación y desarrollo. A continuación resumiremos el estado del arte sobre esta temática.

1.3.1. Técnicas de Detección y Ajuste de Fases de Muestreo

Las propuestas sobre técnicas de calibración/compensación del desajuste entre las fases de muestreo de los TI-ADC abarcan casi todas las combinaciones de dominios de *detección*, *ajuste* y *modo de ejecución* representados en la Tabla 1.1. Empezando en sentido inverso a lo anterior, el *modo de ejecución* en segundo plano (*background*) es generalmente la técnica preferida por sobre la ejecución tipo de técnica en fuera de línea (*foreground*) ya que evita pausar el uso del ADC cuando se necesita una recalibración. Es decir, las técnicas en segundo plano pueden mantenerse corriendo mientras compensa las variaciones de fase generadas por las fluctuaciones de la temperatura y tensión del circuito integrado. Por lo tanto, en lo que respecta a aplicaciones de comunicaciones digitales y aplicaciones en SoC en general, la bibliografía se focaliza casi exclusivamente en técnicas tipo *background*. Por otro lado, los *métodos de ajuste* utilizados pueden ser digitales o analógicos. Entre las propuestas de compensación en el dominio digital podemos encontrar [53, 54, 22, 55, 56, 57, 44] los cuales se basan en la implementación de un *banco de filtros* o *filtros interpoladores* a la salida del TI-ADC para compensar la fase de cada canal en forma individual. En estas implementaciones el método de compensación trata de converger en valores de coeficientes de filtros digitales que compensen los errores de fase de las muestras originales del conversor. Sin embargo, en aplicaciones de muy alta velocidad (como por ejemplo receptores de enlaces ópticos), la compensación digital del error de tiempo/fase de muestreo llega a ser prohibitiva ya que el *hardware* necesario para implementar esta clase de filtros digitales requiere una gran complejidad en técnicas de procesamiento paralelo y su consumo de potencia puede ser muy elevado si se lo compara con el resto de los filtros típicos utilizados en el DSP [11, 58]. Debido a esto, muchas veces se prefiere utilizar compensación de fase de muestreo en el dominio analógico, tal como proponen [59, 60, 61, 62, 63, 64, 65, 66, 67]. Estas últimas se basan en circuitos de retardo programable que permiten controlar la fase relativa entre las diferentes señales de reloj que comandan los canales del TI-ADC. No obstante, la mayor dificultad y complejidad en estas técnicas de calibración se encuentra en el método de *detección* del desajuste entre las fases.

Dado que las propuestas de detección de desajustes entre las fases de muestreo son muy variadas, nos focalizaremos en las que pueden ser implementadas en sistemas receptores de comunicaciones y aquellos que han presentado alternativas en chip para su verificación. Por otro lado, algunos de los métodos propuestos tienen similitudes según el principio de detección utilizado y si bien es complejo hacer una clasificación definitiva, podemos diferenciar algunos principios de detección. Entre ellos están los métodos basados en *correlación* de las muestras, los métodos basados en el conteo de *cruces por cero* de la señal de entrada, los que observan la *banda de desajuste* y aquellos que realizan estimaciones de la *derivada* de la señal de entrada. En otra categoría estarían aquellos específicos que operan en receptores digitales, generalmente basados en la compensación sobre el filtro

ecualizador adaptativo.

Entre las primeras propuestas de compensación de desajuste de fase está Elbornsson et.al. [68]. El mismo aborda la detección y compensación en el dominio digital. El principio de detección se basa en estudiar la diferencia cuadrática media entre las señales de los canales adyacentes y podría ser clasificado entre los métodos de *correlación*. El principio de detección supone que la señal de entrada tendrá mayor variación en su amplitud si las muestras se toman más espaciadas en el tiempo y viceversa a menor separación en el tiempo. De este modo, la técnica plantea obtener una señal error entre las diferentes fases adyacentes del TI-ADC y luego aplica un algoritmo para alcanzar su minimización. La limitación del método radica en que el ancho de banda máximo a la entrada del conversor debe ser menor a $1/3$ de la frecuencia de Nyquist. En [69] se presenta una implementación del método mencionado, y se observa cierto costo en área de silicio para ello. También se advierten inconvenientes para señales con gran contenido de ruido y su implementación puede requerir complejos cálculos.

También entre las primeras propuestas, Jamal et.al. [70] describe una técnica de detección y compensación en el dominio digital. El proceso de detección busca generar una señal de error proporcional al error de tiempo de muestreo. Luego, en base a la señal de error se busca ajustar los coeficientes del filtro pasa todo que corrige la fase de la señal muestreada por el segundo canal del ADC. En [71] y [72] se hace una extensión a un TI-ADC de cuatro canales. Entre los problemas que presenta esta propuesta, se encuentra la limitación en ancho de banda para compensar el error de fase (sólo hasta 0.9 de $F_{Nyquist}$) y la necesidad de implementar filtros de más de 20 *taps* (20 coeficientes) para detección del error en cada canal del TI-ADC más los filtros necesarios para implementar la compensación que pueden llegar a 61 *taps* si se requiere alta resolución.

Otro método de detección digital se conoce como *banda de desajuste (mismatch band)*, dado que el principio de detección se basa en medir el nivel de potencia en la banda de alta frecuencia (cerca a Nyquist). La razón para ello radica en que el desajuste entre las fases de un TI-ADC genera tonos espurios de mayor potencia en la banda cercana a la frecuencia de *Nyquist*. Por ello se requiere un sobremuestreo de la señal de entrada para poder realizar la detección. En Huang et.al [56] y Saleem et.al.[73] se proponen alternativas bajo este concepto, ajustando una serie de filtros a partir de una señal de error obtenida de la potencia medida en la banda de desajuste. En Satarzadeh et.al.[74] se inyecta una señal piloto cerca de la frecuencia de *Nyquist* que luego ayuda a generar la señal de error y detectar el desajuste entre las fases de muestreo. En resumen, estas propuestas o bien imponen un sobremuestreo de la señal de entrada para dejar una banda de alta frecuencia sin señal analógica de entrada para poder estimar el error, o bien necesitan inyectar señales testigo para estimar el desapareamiento. Con lo cual brindan pocas posibilidades de implementación en sistemas de receptores ópticos en general.

Una propuesta de calibración más reciente se basa en considerar el error generado por

el desajuste de fase en base a estimar la *derivada* de la señal de entrada. En Stepanovic et.al. [66] y Xu et.al. [75] se proponen métodos similares que requieren implementar dos caminos de señal auxiliar (dos ADC adicionales) para lograr una estimación del signo de la derivada de la señal de entrada. Además, es requisito esencial la generación de un reloj de periodo primo relativo al número de canales del TI-ADC para que el ADC auxiliar pueda coincidir en forma periódica el instante de muestreo con cada uno de los canales a calibrar. De este modo, el método requiere al menos cierta complejidad en circuitos adicionales y en la generación de reloj. Además en [66] la coincidencia en forma alternada del muestreo de los conversores adicionales genera una carga desbalanceada de la línea de señal de entrada, con lo cual se introducen errores en el muestreo de la señal, tal como se demuestra en [19].

En Oshima et.al. [76] se propone un concepto de detección que utiliza un ADC auxiliar de referencia para generar una señal de error, pero a diferencia de los antes mencionados, las estimaciones de derivada de la señal de entrada y la compensación se hacen en el dominio digital. Por otro lado, en Divi et.al. [57] también se hace una compensación basada en la minimización del error obtenido entre una señal estimada y la señal de entrada pero sin usar un ADC auxiliar y todo en el dominio digital. Además, en [46] se muestra una implementación del concepto de [57]. Sin embargo, al igual que otros métodos de compensación en dominio digital, las complejidades de implementación de filtros de compensación se estiman impracticables para receptores de fibras ópticas.

En Chen et.al. [67] se propone realizar un sistema de calibración basado en un DAC que sintetiza una señal de entrenamiento y un ADC extra de referencia. El sistema se plantea principalmente en modo de operación fuera de línea, pero plantea también un modo en segundo plano haciendo un uso alternativo del ADC de referencia como sustituto del ADC que pasa a modo de calibración. El costo de implementación del DAC, los diversos algoritmos de calibración requieren un 25 % más de área y un 15 % extra de consumo de potencia. El sistema tampoco demuestra la convergencia de las fases calibradas.

En cuanto a las propuestas de compensación sobre sistemas receptores digitales encontramos la propuesta de Tsai et.al. [77, 44], donde se propone una detección y compensación digital. A diferencia de las propuestas de calibración para aplicaciones en general, en este caso la señal de error se extrae directamente del *slicer* (detector) del receptor. La señal se utiliza para realimentar un banco de filtros digitales que realizan a su vez la ecualización adaptativa de la señal de entrada. En cierto modo es una simplificación de los métodos [70, 71] sobre un sistema receptor. Además, en Luna et.al. [22] se propone algo similar pero incluyendo la compensación de desajuste de ancho de banda de los circuitos muestreadores (THA) de los TI-ADC. Si bien estas soluciones se presentan como candidatas en receptores digitales el problema surge con las arquitecturas de los nuevos receptores ópticos coherentes. En estas propuestas el ecualizador adaptativo es un bloque posterior a un ecualizador no adaptativo conocido como *Bulk-Equalizer* [11, 58]. En este bloque,

las muestras se compensan en su dispersión con un filtro basado en Transformada Rápida de Fourier (*Fast Fourier Transform (FFT)*), por lo cual luego de este procesamiento ya no se puede diferenciar en forma simple los canales de los diferentes TI-ADC y la implementación de estas técnicas se vuelve impracticable.

Técnicas de Calibración en Señal Mixta

En el final de este resumen bibliográfico, se hace hincapié en las técnicas de calibración de señal mixta, es decir, aquellas que se basan en *detectar en el dominio digital y calibrar en el dominio analógico*. En estas técnicas se obtienen dos grandes ventajas, la primera es la de poder realizar la detección en forma flexible y eficiente con los algoritmos digitales que sean más convenientes. La segunda ventaja es la de poder realizar el ajuste de fase en forma simple sobre el dominio analógico, es decir, sobre las fases de reloj de los conversores. Esto último evita el elevado consumo de potencia que requieren los complejos filtros digitales de compensación de fase y que se exagera aún más cuando las velocidades de muestreo son desde algunos Giga-Hertz hasta las decenas de Giga-Hertz ya que los filtros deben ser paralelizados para alcanzar la velocidad necesaria.

Entre estas técnicas de señal mixta encontramos la propuesta de Haftbaradaran et.al. [61]. El principio de detección puede ser clasificado dentro de los algoritmos de *correlación*. La detección se basa en la correlación entre el signo de una muestra con la muestra del canal adyacente. Luego realiza lo mismo con el siguiente canal y obtiene una función error que al ser minimizada va ajustando las celdas programables de retardo en las diferentes fases de reloj. El método se demuestra apropiado pero con ciertas restricciones, por ejemplo, el ancho de banda de la señal de entrada debe ser grande. Otro de los problemas observados en este método es que la función error no se demuestra convergente para algunos casos de canales de comunicaciones. Además, en el caso específico de sobremuestreo sincrónico con la señal de entrada a tasa de $T/2$ (dos muestras por símbolo transmitido) el algoritmo puede derivar en un error en la convergencia. Esto se exagera en algunos canales por lo que la convergencia del algoritmo se vuelve dependiente del canal de comunicaciones. En Camarero et.al. [60] se propone un método similar al anterior y en base a correlación cruzada entre las fases adyacentes del TI-ADC pero sin prueba en circuito integrado y con restricciones similares a [61].

En El-Chammas et.al. [63] se propone también un método basado en *correlación* que evita los problemas antes mencionados de [61]. Aquí el método de detección correlaciona la salida de cada canal del TI-ADC con un ADC de referencia (ADC_{ref}) que puede ser de baja resolución, por ej. 1bit. El principio requiere hacer coincidir la fase de muestreo del ADC_{ref} y cada uno de los M ADC del conversor paralelo en forma alternada, con lo cual el reloj del ADC_{ref} (CLK_{ref}) debe tener un periodo igual a $M+1$ ciclos del clock de muestreo global. Si bien la técnica se demuestra efectiva, esta demanda la implementación no trivial de los circuitos de referencia mencionados. Además, como en el caso de [66] el

circuito muestreador (*THA*) de referencia carga en forma asimétrica la línea de señal de entrada, generando un error sobre la muestra adquirida (*glitch*) [19].

En otra línea de trabajo está Huang et.al. [64] que utiliza un principio de detección basado en el número de *cruces por cero* de la señal de entrada. La idea aquí es considerar que la señal de entrada tendrá (en promedio) mayor probabilidad de cruces por cero mientras más espaciadas en el tiempo están los puntos de muestreo y viceversa. Por lo tanto la probabilidad de observar un cambio de signo de la señal de entrada (tomando dos puntos de muestreo) es una medida relativa del tiempo entre las fases del TI-ADC, de modo tal que, ecualizando el promedio de cruces por cero entre las fases de los conversores se logra una calibración de las mismas. Sin embargo esta técnica no es aplicable a sistemas donde el muestreo es sincrónico con la señal de entrada, tal como sucede en la mayoría de los receptores ópticos, o si la señal de entrada es de una frecuencia cercana a *Nyquist*. Por lo cual en un sistema receptor sólo podría aplicarse en modo de calibración fuera de línea. Por otra parte, en [59] se propone una alternativa similar que puede operar en segundo plano, pero al costo de adicionar un generador de señal interno que envía la señal a muestreadores adicionales y que operan en paralelo con los THA de los canales del TI-ADC. Además, como se reporta en [19], estos métodos de detección tienen limitaciones en cuanto a la precisión alcanzable.

Una de las últimas propuestas estudiadas es Razavi [65], donde se demuestra una técnica de calibración de señal mixta de un TI-ADC de dos canales. El concepto se propone como una analogía al mezclado de señales en radio frecuencia (RF), a través de la cual se espera obtener una componente de señal continua que exprese el desapareamiento de fase. En este caso se implementa la diferencia entre dos productos de fases adyacentes. Luego en Wei et.al [78] se extiende la técnica original a cuatro canales reemplazando los multiplicadores por la medición de la diferencia de señal (lo cual resulta en una propuesta similar a [68]). La convergencia en el caso de canales múltiples en este método presenta algunas particularidades y la implementación tiene ciertas restricciones a fin de obtener un sistema convergente. Además al igual que en [61] el resultado obtenido con muestreo sincrónico al doble de la tasa de símbolos puede derivar en un ajuste erróneo cuando la respuesta del canal resulte en diagramas de ojos no simétricos.

Por todo lo mencionado anteriormente, y por la dificultad del problema, el interés de esta Tesis es hacer foco en la estimación del error de tiempo de muestreo o desajuste de fase de muestreo desde el procesamiento digital para luego ajustar en el dominio analógico las diferentes fases de reloj de los ADC temporalmente intercalados.

1.4. Aportes de la Tesis

Uno de los aportes principales de la Tesis es la propuesta de una *nueva técnica* para la detección y calibración del desajuste entre las fases de muestreo de un TI-ADC em-

bebido en un sistema receptor de señales de fibra óptica. Además, esta técnica puede detectar y corregir el desapareamiento de tiempo de propagación entre el canal en fase (I) y cuadratura (Q) que está presente en los receptores ópticos coherentes. Por otro lado, si bien esta Tesis hace énfasis en sistemas ópticos, la técnica de calibración propuesta puede extenderse a otros tipos de receptores de comunicaciones digitales que utilicen TI-ADC y requieran calibración entre sus fases de muestreo. La técnica propuesta es eficiente en cuanto evita agregar circuitos adicionales analógicos o de señal mixta de alta velocidad para la detección de error (por ej., no agrega ADC auxiliares o de referencia) ya que aprovecha la información disponible dentro del procesador digital de señales del receptor. Además la técnica tampoco requiere incorporar procesamiento digital adicional, ni ninguna clase de procesamiento de alta velocidad en el dominio digital, por lo cual el impacto en consumo de potencia y en complejidad de implementación resultan mínimos.

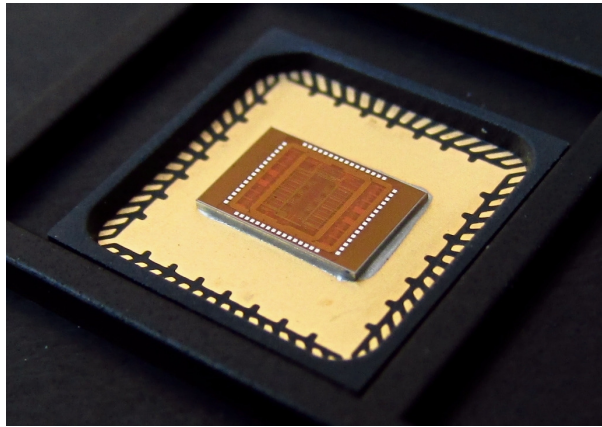


Figura 1.4: Fotografía de circuito integrado de Conversor A/D temporalmente intercalado (TI-ADC) sobre encapsulado abierto *QFN64*. Tamaño de *die* de silicio $3\text{mm} \times 3.5\text{mm}$.

Por otro lado, el otro aporte fundamental de la Tesis aquí presentada es la *verificación y demostración experimental* del método de calibración para TI-ADC. Esta tarea requiere un desarrollo en el área de la *micro-nanoelectrónica* que posibilite la implementación de un TI-ADC y un sistema completo de procesamiento. Para lograr este objetivo, el trabajo doctoral incluyó el desarrollo de un circuito integrado (*chip*) de conversor A/D intercalado temporalmente de alta velocidad (Fig. 1.4). El diseño del mismo se inició desde “*cero*”, es decir, sin contar previamente con ninguna clase de librería de circuitos o celdas, y se desarrolló sobre una tecnología *CMOS 130nm*. Este diseño fue luego enviado a fabricación en el exterior (específicamente en *IBM* vía la empresa *MOSIS*) y testado en nuestro laboratorio. Para las mediciones de laboratorio se diseñó hardware y software especial para aplicaciones de alta velocidad que permitieron controlar el conversor. Luego, a partir de este chip de TI-ADC, se desarrolló un sistema de *emulación* transmisor-receptor de comunicaciones digitales basado en lógica programable (*Field Programmable Gate Array (FPGA)*) de alto desempeño que brinda la posibilidad de transmisión de datos en tiempo real y a tasas de múltiples giga-bits por segundo. Con este sistema primero se recolectaron

resultados de medición del chip que demuestran que el diseño del TI-ADC y sus circuitos de ajuste de fases son totalmente funcionales e implementables en tecnologías CMOS para sistemas receptores de alta velocidad. Luego, en forma experimental y basado en emulaciones sobre la plataforma completa (TI-ADC + DSP), se demostró que el método de calibración propuesto es capaz de minimizar el desapareamiento entre las fases de muestreo y de mitigar el impacto de los desajustes sobre el desempeño del sistema receptor. Esta *plataforma* además sirve no sólo para analizar e investigar las técnicas de calibración aquí propuestas, sino para el estudio de las técnicas de ajuste de señal mixta en general.

Finalmente se destaca que el *chip prototipo* de TI-ADC desarrollado para esta Tesis fue el *primero* en ser diseñado y enviado a fabricar en la Facultad de Ciencias Exactas, Físicas y Naturales (FCEFYN) de la Universidad Nacional de Córdoba (UNC). Para ello, el trabajo de Tesis generó una infraestructura de laboratorio básica para el desarrollo y emprendió la capacitación de tres estudiantes de grado que concretaron sus trabajos finales en la temática. Se espera que todo este nuevo entorno propicie futuras investigaciones y desarrollos de mayor nivel en el ámbito universitario local.

1.4.1. Impacto en la Industria Nacional

El desarrollo de la industria de componentes electrónicos, y en este contexto, el desarrollo de la *microelectrónica* es un área prioritaria de desarrollo según el *Plan Argentina Innovadora 2020* del Ministerio de Ciencia, Tecnología e Innovación Productiva de la Nación. Dentro de este plan, se destaca que el diseño de circuitos integrados en tecnologías nanométricas CMOS es de gran importancia por el potencial impacto tecnológico en el mercado interno y principalmente por no presentar ninguna barrera para participar a nivel global con diseño realizado en el país. En este marco, esta Tesis aporta un trabajo de relevancia en diseño en tecnologías CMOS y toda una incipiente infraestructura de diseño que puede servir de base para futuros proyectos en el área. Dentro del desarrollo en infraestructura originado a partir de la Tesis se comprende:

- Realización periódica de capacitaciones y entrenamientos a estudiantes de grado en diseño analógico y de señal mixta.
- Dirección de tres tesis de grado en diseño presentadas (calificadas con la máxima puntuación) y otra tesis en curso.
- Supervisión de cinco prácticas profesionales en el área.
- Dirección de ocho becas de investigación de grado en diseño.
- Participación en diversos foros del área.
- Organización local de la Escuela Argentina de Micro-Nanoelectrónica, Tecnologías y Aplicaciones de Argentina (EAMTA) en su edición 2012.

Se espera, que a partir del trabajo de investigación aportado por la Tesis y el incipiente entorno de trabajo creado para el desarrollo del área, futuras articulaciones con otros actores puedan traer nuevos desafíos de desarrollo en esta tecnología dentro del país.

1.5. Organización de la Tesis

En el Capítulo 2 se explica una nueva técnica de calibración de desajustes entre fases en los TI-ADC para un receptor óptico coherente. En el Capítulo 3 se presenta el diseño y desarrollo de un circuito integrado de TI-ADC con múltiples capacidades de calibración y con capacidad de interconexión a plataformas de procesamiento digital. En el Capítulo 4 se explica el desarrollo de la plataforma de prueba del circuito integrado y se resume una serie de mediciones que verifican el funcionamiento del prototipo de TI-ADC fabricado. Luego, en el Capítulo 5 se realiza una verificación y prueba de concepto de la técnica de calibración propuesta en el Capítulo 2 sobre una plataforma experimental basada en el chip de TI-ADC explicado en el Capítulo 3 y un sistema de comunicaciones emulado. Aquí se demuestra la efectividad del concepto de ajuste entre las fases y se muestra su desempeño en diferentes entornos de prueba. Finalmente en el Capítulo 6 se resumen las conclusiones finales.

CAPÍTULO

2

NUEVA TÉCNICA DE CALIBRACIÓN DE ADC TEMPORALMENTE INTERCALADOS PARA RECEPTORES ÓPTICOS

Síntesis: *En este capítulo se introducen y discuten los efectos de los desajustes en conversores temporalmente intercalados sobre los sistemas de ópticos coherentes. Luego se repasan algunas de las técnicas de calibración de fases propuestas en la bibliografía y se propone una nueva técnica de calibración conjunta para el desajuste entre fases del conversor y el desajuste de tiempo de propagación (time-skew) entre los canales en cuadratura (I/Q). Además, se discute la implementación de la técnica de ajuste en la arquitectura típica de los receptores ópticos coherentes y se demuestra sus ventajas sobre otras técnicas. Finalmente se muestran los resultados de simulación de la nueva técnica de ajuste calibración.*

2.1. Introducción

Antes de pasar a la propuesta de calibración del desajuste entre fases en los TI-ADC, permita introducir y contextualizar el problema de los TI-ADC en el complejo entorno de un receptor coherente de comunicaciones ópticas. Como se mencionó en el Capítulo 1, las comunicaciones ópticas de largo alcance (*Long-Haul*, por ej. las transoceánicas) y también las redes metropolitanas, están experimentando una transición hacia las técnicas de modulación coherentes y de alta eficiencia espectral tales como la doble polarización (DP) QPSK, DP-QAM y OFDM. Esta combinación de demodulación coherente, sumado al procesamiento digital de señales, posibilita que costosas compensaciones ópticas de dispersión cromática (*Chromatic Dispersion (CD)*) y dispersión por modo de polarización (*Polarization Mode Dispersion (PMD)*) puedan reemplazarse por receptores basados en procesamiento digital [79]. Un factor clave en el desempeño de estos receptores es el bloque de procesamiento de señales analógicas (*Analog-Front-End (AFE)*) el cual típicamente incluye cuatro conversores A/D que muestrean las cuatro componentes de las señales complejas de entrada. En la Figura 2.1 se muestra el diagrama en bloques del receptor basado en el demodulador óptico conectado al AFE. De este modo se necesita conectar las señales en fase (I) y en cuadratura (Q) de ambas polarizaciones, vertical (V) y horizontal (H). En este tipo de receptores, las resoluciones de ADC requeridas son de 6 a 7 bits y la frecuencia de muestreo es típicamente el doble de la tasa de baudio. Es decir, para un enlace de 40 Gb/s con modulación QPSK y considerando margen de código corrector de errores (*Forward Error Correction (FEC)*), la tasa de baudio puede alcanzar los 12.5 Gigabaudios (GB) lo que resulta en al menos 25 GS/s. De modo similar para un enlace de 100 Gb/s con 32 GB, cada ADC deberá operar a 64 GS/s. Como se mencionó antes, sólo las arquitecturas TI-ADC pueden alcanzar estas especificaciones de velocidad de muestreo y resolución.

Por otro lado, un problema muy relacionado al desajuste entre las fases de muestreo en los TI-ADC aparece en los receptores coherentes y es conocido como el desajuste de tiempo de propagación (*Timing Skew (TS)*) entre los diferentes canales en cuadratura (I/Q) (ver Fig. 2.1). Este desfase entre canales del receptor puede afectar en forma considerable el desempeño total del sistema [58]. A diferencia del desajuste entre canales dentro de un mismo TI-ADC, aquí el error está entre los diferentes TI-ADC y puede deberse no sólo a los circuitos analógicos del chip receptor, sino principalmente al desapareamiento de la propagación de señales dentro del mismo demodulador óptico coherente y las trazas de circuito impreso. La bibliografía demuestra que el TS entre las diferentes polarizaciones (vertical y horizontal) puede compensarse por el ecualizador (*Feed-Forward Equalizer (FFE)*). Sin embargo, el error de TS entre las componentes en cuadratura I y Q dentro de cada polarización, es decir entre VI-VQ y HI-HQ, no pueden compensarse con el FFE [58]. Además, si bien existe bibliografía sobre la compensación de TS [80], la mayoría de

minimización de los gradientes mencionados. De esta forma el algoritmo logra ajustar en forma conjunta el error entre las fases de muestreo y el error de TS entre I/Q. Además en [1] también hemos propuesto la estimación del gradiente de la tasa de error de bits (*BER*) para realizar el ajuste de las fases de muestreo, pero en esta Tesis nos focalizaremos solamente en la estrategia de ajuste en función del MSE.

A diferencia de las técnicas resumidas en el capítulo anterior la técnica aquí desarrollada busca optimizar una métrica que es de interés para cualquier receptor de comunicaciones digital ya que el MSE se relaciona en forma directa al ruido/distorsión de la señal de entrada y a la *BER* del receptor. En este sentido, nuestra aproximación al problema guarda mayor relación con las técnicas de optimización de conversores mencionadas en Singer et.al. [82] ya que allí también evalúan parámetros de desempeño globales para intervenir sobre el ajuste de un ADC, específicamente se refiere al ajuste de los niveles de cuantización.

2.2. Impacto del Error de Fase de Muestreo y del Desajuste de Tiempo de Propagación Sobre el Desempeño de Receptores Ópticos

La propuesta de calibración para TI-ADC se basa en optimizar su desempeño en el sistema receptor, por lo cual se detalla a continuación un breve análisis y cuantificación del impacto real de los desajustes sobre un sistema receptor. El modelo de simulación que se describe a continuación es un modelo completo de sistema óptico coherente típico para 40/100 Gb/s con modulación DP-QPSK. A partir de este modelo se presentarán una serie de resultados numéricos que intentan demostrar el impacto de los desajustes en el desempeño global.

2.2.1. Modelo del *Front-End* Analógico

La Figura 2.1 muestra un diagrama en bloques de un *front-end* óptico (*Optical-Front-End (OFE)*) para un receptor coherente DP-QPSK. Como se puede apreciar, la señal óptica a la salida del OFE consiste de cuatro canales, las componentes en fase y cuadratura (I/Q) de las dos polarizaciones (H/V). Las señales eléctricas resultantes de los foto-detectores (i.e., *HI*, *HQ*, *VI*, y *VQ*) se procesan luego por el *Analog Front-End* del chip receptor. Generalmente, se emplean receptores digitales de sobremuestreo para compensar la dispersión de la fibra óptica en el enlace, por ejemplo, la arquitectura propuesta en [79] se basa en utilizar $T_s = \frac{T}{2}$ donde T es el periodo de símbolo y T_s es el periodo de muestreo de cada TI-ADC. La Figura 2.2 muestra el modelo simplificado de uno de los cuatro canales de recepción. Aquí, cada canal del AFE está compuesto por M ADC paralelos

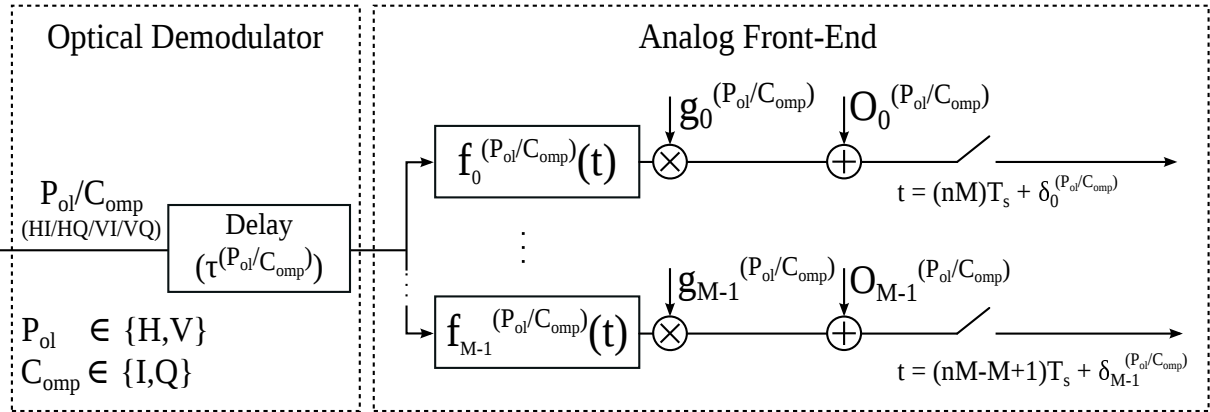


Figura 2.2: Modelo de canal para uno de los cuatro canales de entrada de información del receptor (HI, HQ, VI, VQ).

que forman cada TI-ADC. Los bloques $f_0^{(P_{ol}/C_{omp})}(t)$ a $f_{M-1}^{(P_{ol}/C_{omp})}(t)$ modelan la respuesta en frecuencia independiente de cada unidad de circuito muestreador (T/H) del canal P_{ol}/C_{omp} , con $P_{ol} \in \{H, V\}$ y $C_{omp} \in \{I, Q\}$. Los errores de ganancia de cada ADC son modelados por $g_0^{(P_{ol}/C_{omp})}$ a $g_{M-1}^{(P_{ol}/C_{omp})}$ y los errores de *offset* por $O_0^{(P_{ol}/C_{omp})}$ a $O_{M-1}^{(P_{ol}/C_{omp})}$. Los parámetros $\delta_0^{(P_{ol}/C_{omp})}$ a $\delta_{M-1}^{(P_{ol}/C_{omp})}$ modelan los errores de tiempo de muestreo. Los parámetros $\tau^{(P_{ol}/C_{omp})}$ representan el *delay* (retardo) introducido en el canal P_{ol}/C_{omp} por los demoduladores ópticos. Debido a estas imperfecciones en los demoduladores ópticos, estos tiempos de propagación pueden ser diferentes entre los canales. En particular, la diferencia de tiempo de propagación entre las componentes I/Q de cada polarización (i.e. $\tau_s^{(P_{ol})} = \tau^{(P_{ol}/I)} - \tau^{(P_{ol}/Q)}$) resulta de interés debido a que no puede compensarse por la etapa de ecualización del receptor. Como se muestra luego en las simulaciones, la combinación de error en el tiempo de muestreo (dentro de cada TI-ADC) y de TS entre I/Q puede degradar considerablemente el desempeño del receptor.

En la Fig. 2.3 se muestra el modelo simplificado de recepción para una sola polarización (horizontal), el cual se utiliza para la demostración de calibración. En este modelo simplificado se desprecia el desajuste de ganancia y *offset* entre cada TI-ADC ya que los mismos pueden ser compensados con alguno de los métodos repasados en el Capítulo 1. Por otro lado, en este modelo se considera el desajuste de TS entre HI y HQ (i.e. $\tau_s^H = \tau^{HI} - \tau^{HQ}$) y luego se suman los desajustes de fase internos de cada TI-ADC (i.e. $\delta_i^{HI}, \delta_i^{HQ}$; $i = 0, 1, \dots, M - 1$).

2.2.2. Resultados Numéricos

En esta sección se analiza el impacto del error de tiempo de muestreo, $\delta_i^{P_{ol}/C_{omp}}$, $i = 0, 1, \dots, M - 1$, y el *time-skew* entre I/Q, $\tau_s^{P_{ol}}$, sobre el desempeño en un receptor coherente DP-QPSK de tasa $T/2$. Para este análisis se considera el siguiente caso típico ¹. Los

¹Para simplicidad de notación, en el resto de este capítulo nos focalizaremos en una sola polarización (i.e., el índice que se refiere a la polarización vertical/horizontal será omitida).

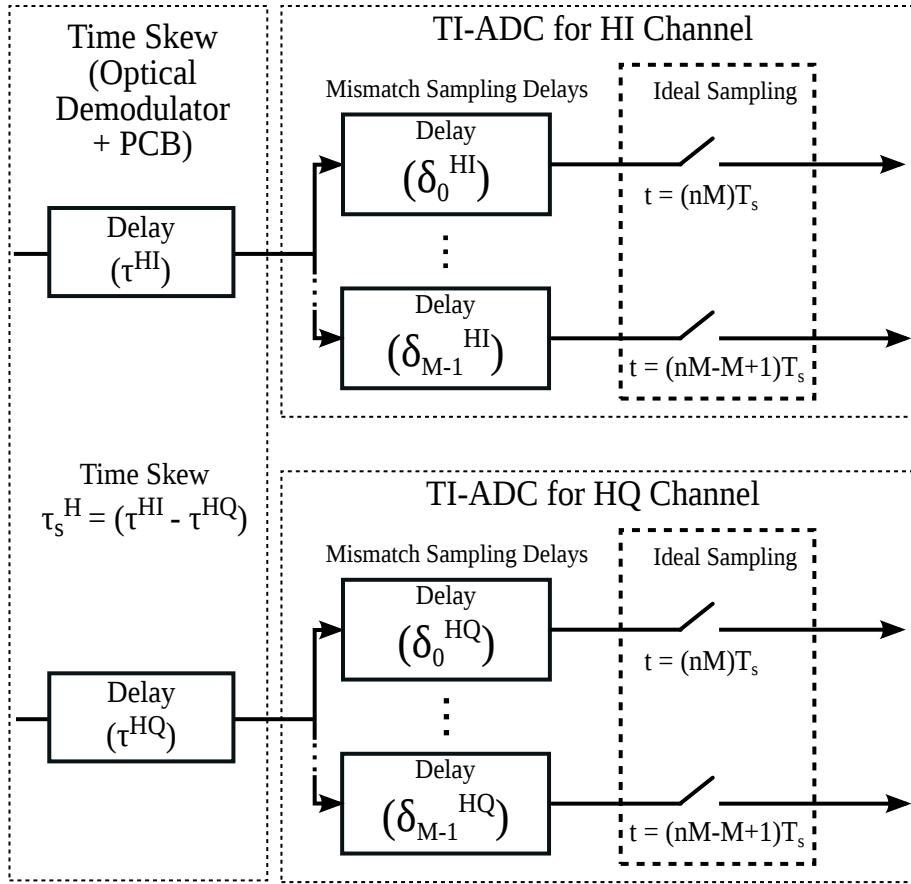


Figura 2.3: Modelo simplificado para el canal de polarización horizontal (H) y modelo simplificado de TI-ADC (HI,HQ).

errores de tiempo de muestreo $\delta_i^{I(Q)}$ se suponen aleatorios y distribuidos uniformemente en un intervalo $[-\Delta_{max}, +\Delta_{max}]$. El número de ADC paralelos dentro de cada TI-ADC es $M = 8$. En este análisis se considera un enlace típico de fibra óptica de 1000 km con 100 ps de retardo diferencial de grupo (*Differential Group Delay (DGD)*) y 4000 ps² de PMD de segundo orden. El desajuste de ganancia, *offset* y respuesta en frecuencia de T/H son despreciados para este análisis y se supone que no introducen distorsión adicional. Las salidas de los ADC proveen las muestras al procesador digital (DSP), el cual implementa las principales funciones de un receptor. Esto incluye, compensación de la dispersión cromática, recuperación de reloj y recuperación de portadora, decodificador FEC, entre otros. La Fig. 2.5 presenta el diagrama en bloques del receptor. Para mayores detalles de esta arquitectura puede referirse al trabajo [79] y sus referencias.

La Figura 2.4 muestra los resultados de simulación en un diagrama que pondera la penalidad en relación señal/ruido óptica (*Optical Signal-to-Noise-Ratio (OSNR)*) medida en [dB], en función del máximo error de tiempo de muestreo Δ_{max} y del desfase I/Q τ_s , considerando una tasa de errores constante BER=10⁻³. De esta figura se puede notar que para lograr una penalidad baja de OSNR, por ejemplo, menos de 0.2 dB, entonces se requiere que los márgenes de error de tiempo de muestreo y desfase I/Q deberán

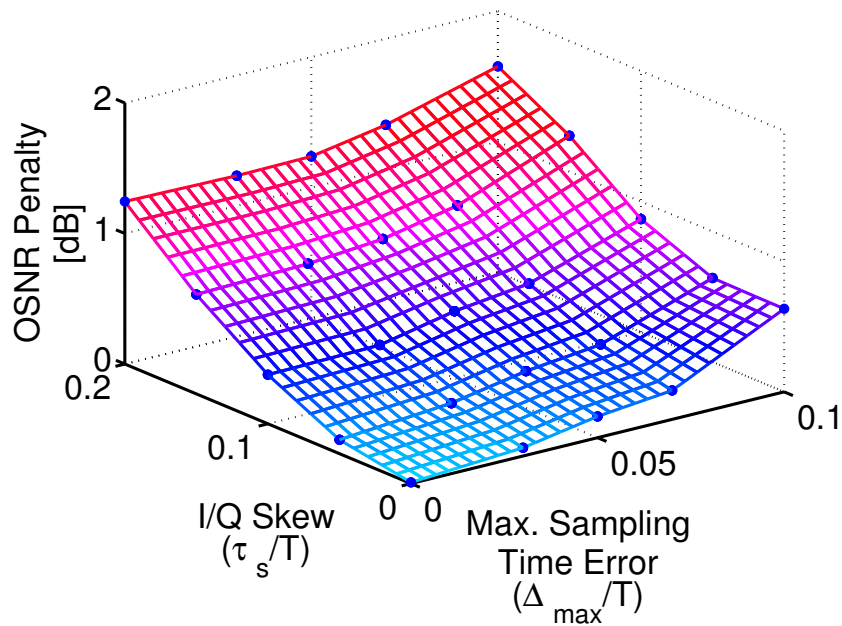


Figura 2.4: Degradación de la OSNR a $BER = 10^{-3}$ en función del máximo error de muestreo (Δ_{max}) y del desajuste de tiempo de propagación entre I/Q.

mantenerse menores a $\Delta_{max}/T < 0.03$ y $\tau_s/T < 0.05$, respectivamente. Esto significa que para enlaces de muy alta velocidad (por ej., 100 Gb/s y superiores), el margen de error de tiempo de muestreo y TS debe ser ≤ 1 ps. Asimismo, esta restricción será menor si se pretende una menor tasa de error o un esquema de modulación más complejo. Por ello, cualquiera sea el caso (por ej., 40/100 Gb/s en DP-QPSK o superior), el uso de calibración/compensación se vuelve obligatorio para alcanzar las especificaciones del sistema.

2.3. Nueva Técnica de Calibración de Señal Mixta de Error de Tiempo de Muestreo por Minimización de Error Cuadrático Medio del Receptor

2.3.1. Concepto de Calibración

El nuevo método de calibración propuesto se basa en la optimización o mejora del error cuadrático medio (MSE) medido en el *slicer* del filtro ecualizador. Para reducir el MSE, el método propone un algoritmo de minimización basado en la medición del mismo para diferentes variaciones de la fase de muestreo. El método formula una *función costo* del error de forma de estimar el gradiente de la misma en función de cada fase de los ADC. A partir de ello la fase de cada canal será corregida hasta alcanzar el mínimo de la MSE posible. Como se demostró en la Fig. 2.4 el mínimo de MSE se encuentra a partir de obtener el mínimo desajuste entre las fases de cada TI-ADC y entre canales I/Q. En

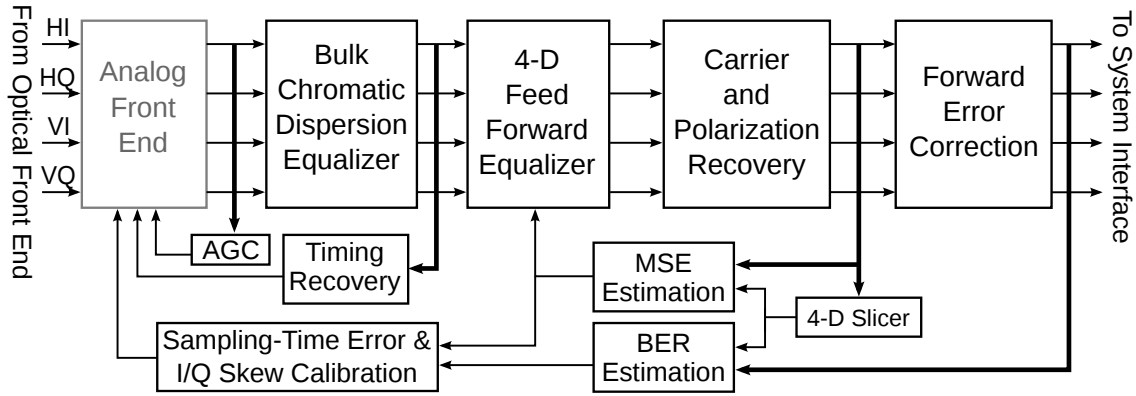


Figura 2.5: Arquitectura de procesador digital de señales (DSP) para un receptor óptico coherente DP-QPSK (para más detalles ver [79]).

esta Tesis el algoritmo de minimización de MSE se denominará M-MSE.

La técnica propuesta (i.e. M-MSE), a diferencia de otras previamente propuestas, puede simultáneamente compensar el error de tiempo de muestreo de los TI-ADC, y a la vez, corregir el desajuste de tiempo entre los canales I/Q (TS). Las Figuras 2.5 y 2.6 grafican un ejemplo de implementación del sistema de calibración basado en una técnica de señal mixta, es decir, la detección del desajuste está en el *dominio digital* y el ajuste de las fases de reloj de los ADC está en el *dominio analógico* dentro del AFE. En este ejemplo (Fig. 2.6), el AFE incluye un conjunto de celdas de retardo (*delay cells*) programables [61, 63, 2]. Estas $4 \times M$ celdas de retardo se controlan con una palabra digital desde el bloque de control cuyos valores son a su vez definidos por el algoritmo de calibración en cuestión. Como se puede observar, este método no se basa en realizar un procesamiento especial de la señal adquirida por los canales del TI-ADC, sino que mide una variable disponible en todo receptor de comunicaciones moderno como es el error al *slicer*. Por lo tanto no incorpora bloques de procesamiento de alta velocidad que requieran área y disipación de potencia. En este caso la implementación de la técnica sólo necesita agregar una máquina de estados asociada a un filtro promediador/acumulador para estimar la MSE en un determinado momento. Para mayor claridad explicaremos luego cómo opera la máquina de estados que implementa el algoritmo de calibración.

2.3.2. Algoritmo de Calibración por Minimización de Error Cuadrático Medio del Receptor

Se define $\zeta_i(n)$ como la fase de muestreo del convertor número i -th de nuestro TI-ADC en el instante n . En este caso, note que el número total de ADC es $4 \times M$. Además se define $\mathcal{C}(\zeta_0, \zeta_1, \dots, \zeta_{4 \times M - 1})$ como la función costo a minimizarse (es decir, el MSE). De forma que, el *algoritmo de gradiente* podrá reajustar la fase de cada ADC en forma iterativa con el objetivo de minimizar la función costo $\mathcal{C}(\cdot)$. Es decir que, la fase de los convertidores se

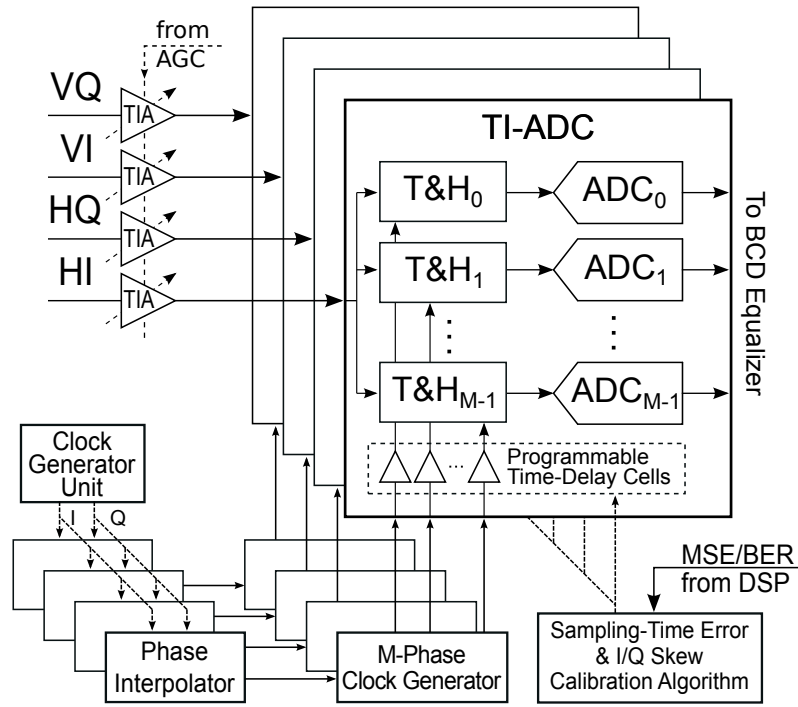


Figura 2.6: Diagrama en bloques detallado de la arquitectura propuesta para el *Front-End* Analógico (AFE) del receptor basado en cuatro TI-ADC con calibración de fases de muestreo.

ajustará según la fórmula,

$$\bar{\zeta}(n+1) = \bar{\zeta}(n) - \mu \nabla_{\bar{\zeta}(n)} \mathcal{C}, \quad (2.1)$$

donde n es el numero de iteraciones,

$$\bar{\zeta}(n) = [\zeta_0(n), \zeta_1(n), \dots, \zeta_{4 \times M-1}(n)]^T \quad (2.2)$$

es el vector de valores de fase de muestreo para la iteración número n -th (el símbolo T denota transpuesta), y

$$\nabla_{\bar{\zeta}} \mathcal{C} = \left[\frac{\partial \mathcal{C}(\zeta_0, \dots, \zeta_{4 \times M-1})}{\partial \zeta_0}, \dots, \frac{\partial \mathcal{C}(\zeta_0, \dots, \zeta_{4 \times M-1})}{\partial \zeta_{4 \times M-1}} \right]^T \quad (2.3)$$

es el gradiente de la función costo $\mathcal{C}(\cdot)$, mientras que μ es el paso de ajuste de fase.

Desafortunadamente, es realmente difícil derivar una expresión cerrada y simple para la MSE en función de la fase de muestreo de cada convertidor de los TI-ADC sumado al desajuste de I/Q. Considere que la MSE depende de múltiples factores como el ruido en el canal, la dispersión del canal, la compensación implementada, etc, y finalmente también podrá verse degradada por el desajuste de las fases de los convertidores temporalmente intercalados. Por lo tanto, la degradación introducida por el desajuste entre las fases dependerá de los otros factores adicionales al convertidor. Sin embargo esto no es algo problemático para la detección ya que el objetivo es evitar que el desajuste entre

las fases de los TI-ADC y el TS entre I/Q impacten en el desempeño del receptor sin importar las condiciones de ruido y canal en las que opere. Este hecho permite el uso de una técnica de minimización muy utilizada en otros algoritmos como la expresada por (2.1). De este modo, se propone un algoritmo iterativo que realiza ajustes en las celdas de retardo de reloj (fases del TI-ADC) hasta alcanzar el mínimo MSE posible. A continuación se describe el algoritmo diseñado:

Algoritmo 1 Calibración de fases de reloj de TI-ADC por M-MSE

- 1: Ajustar a cero los $4 \times M - 1$ fases de muestreo (i.e., $\zeta_i(0) = 0$ ($i \in [0, 1, \dots, 4 \times M - 1]$). Además, ajustar a cero el índice k que representa a los ADC.
- 2: Estimar el valor de la función costo inicial \mathcal{C} (es decir el MSE).
- 3: Mover la fase de muestreo del ADC numero k -th en el sentido *positivo*, es decir,

$$\zeta'_k = \zeta_k(n) + \mu_s, \quad (2.4)$$

donde μ_s es el paso de ajuste de fase mínimo que permite la celda de retardo programable del bloque generador de fases (por ej., $\mu_s = 1\%$ del periodo de baudio).

- 4: Re-estimar el valor de la función costo para la nueva fase de muestreo \mathcal{C}' .
- 5: Ajustar la fase de muestreo del ADC k -th según el resultado de

$$\zeta_k(n+1) = \zeta_k(n) - \mu_s \text{sign}(\mathcal{C}' - \mathcal{C}). \quad (2.5)$$

- 6: Seleccionar un nuevo ADC para calibrar y repetir los pasos 2 a 5. Usar un modo de selección de forma secuencial circular (*round-robin*) para elegir el siguiente ADC (por ej., para $M = 8$ y 4 TI-ADC en el AFE, la secuencia total de ajuste de los ADC sería $k = 0, 8, 16, 24, 1, 9, 17, 25, 2, \dots, 23, 31, 0, 8, \dots$).
 - 7: Luego de que todos los ADC han sido ajustados un paso μ_s , repetir los pasos 2 a 6.
-

Según este algoritmo, se necesita calcular la dirección del gradiente de la función costo, $\text{sign}(\mathcal{C}' - \mathcal{C})$. Para ello, se debe estimar la función costo \mathcal{C} en el paso **2** y \mathcal{C}' en el paso **4**. En el Apéndice A se analiza el problema de la estimación del MSE en base a técnicas estadísticas conocidas [83]. En este sentido, la implementación práctica del estimador de la función costo puede basarse en la promediación del error usando un simple filtro promediador recursivo o filtro de alisado exponencial [84] que puede estimar el MSE a partir de una determinada cantidad de muestras de error,

$$\mathcal{C}_n = \alpha(e_n)^2 + (1 - \alpha)\mathcal{C}_{n-1} \quad (2.6)$$

donde α es un coeficiente menor a uno, e_n es la muestra de error actual medida en el slicer y \mathcal{C}_n es el MSE estimado en la n -ésima iteración. Aquí, una de las incógnitas a resolver en la implementación es el número de muestras de error n necesarias para estimar el MSE en forma adecuada. Por ello en el Apéndice A se analiza el problema de la determinación del gradiente en base a la estimación del MSE para dos posiciones de fase diferentes, tal como propone el Algoritmo 1 en los pasos **2** y **4**. En base a este análisis se obtiene que el

número de muestras de error n que se requiere para estimar cada MSE está dada por,

$$n > 4 \left(\frac{1,96\sigma_r^2}{|\Delta MSE|} \right)^2 \quad (2.7)$$

donde σ_r^2 es la varianza del ruido gaussiano presente en la señal de entrada del *slicer* y puede ser aproximado por la relación señal-ruido $SNR \approx 1/\sigma_r^2$ (o bien $OSNR \approx 1/\sigma_r^2$ para el caso del receptor óptico) ya que representa el ruido presente en el canal. Además, $|\Delta MSE|$ es la diferencia entre los dos valores de MSE que se requieren comparar y el valor 1,96 representa el percentual de la función normal $|z_{\alpha/2}|$ para un $\alpha = 0,05$, es decir, para una probabilidad del 95 % de que el intervalo de confianza permite comparar las dos MSE separadas por el $|\Delta MSE|$ (ver Apéndice A). Como es de suponer, $|\Delta MSE|$ es el impacto del cambio de fase del conversor en ajuste sobre el MSE, y en principio, su valor será mayor cuanto mayor sea el cambio de fase (paso de calibración). En base a (2.7) y a las mediciones de $|\Delta MSE|$ obtenidas por simulación la anterior sección, los valores de n se ubican en el orden de 10^7 muestras (ver Apéndice A), lo cual concuerda con los ejemplos de calibración que se presentan la próxima sección.

Por otro lado, cabe destacar la posibilidad de realizar algunas simplificaciones de implementación. Por ejemplo, si la tasa de símbolos es extremadamente elevada, por ej. 100 Gb/s, entonces la tasa de muestreo del error puede reducirse (diezmarse) a fin de disminuir la velocidad de procesamiento del filtro promediador. De este modo se evita la complejidad de las arquitecturas de alta velocidad y se disminuye el consumo de potencia, con la única penalidad de un incremento del tiempo durante el cual se recolectan las muestras de error.

Finalmente, el *modo de ejecución* del método de ajuste es en segundo plano (*background*) ya que no necesita interferir el camino de señal de información (señal muestreada) en ningún momento y por lo tanto no interrumpe la normal operación del conversor ni el DSP. Esta capacidad es una gran mejora con respecto a la mayoría de las técnicas resumidas en el Capítulo 1 ya que muchas de ellas se basan en realizar procesamiento directo de la señal muestreada y la introducción de circuitos adicionales para la obtención de señales de referencia [59, 60, 61, 63, 64, 65, 66, 67]. En cuanto a la ejecución en un SoC de receptor digital, el algoritmo puede prenderse al inicio de operaciones del receptor y apagarse luego de alcanzar su convergencia y calibrar los conversores. También este puede bajar su tasa de actualización de error o ejecutarse en forma intermitente. Esto último sirve a fin de seguir las variaciones del desajuste entre las fase que generan los cambios de temperatura y tensión sobre el chip.

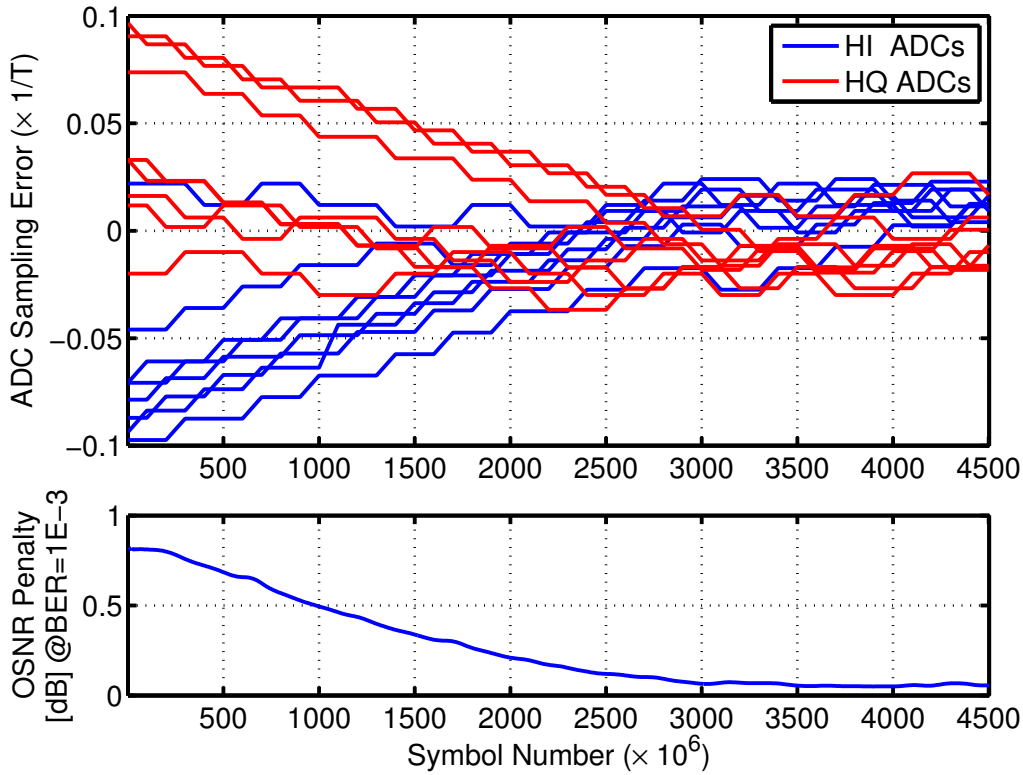


Figura 2.7: Convergencia del algoritmo de calibración para un conjunto inicial de valores (aleatorios) de error de muestreo más desajuste de tiempo entre los canales I/Q. Se utiliza $OSNR = 13dB$. Arriba: error de muestreo de los ADC de la polarización H . Abajo: Penalidad de OSNR estimada para $BER = 10^{-3}$.

2.3.3. Desempeño de la Calibración

En esta sección se presentan los resultados de simulación del algoritmo antes descrito sobre un sistema receptor óptico. Se analiza la capacidad de la técnica propuesta de para ajustar el desajuste de tiempo de muestreo y el TS entre I/Q sobre un sistema receptor óptico coherente con modulación DP-QPSK de 100 Gb/s y en base a la arquitectura explicada en la Fig. 2.5. Es importante aclarar que tanto el canal como el resto de los parámetros de ajuste del receptor son los mismos que se utilizaron en la Sec. 2.2 para evaluar el impacto de los desajustes.

Primeramente, en la Figura 2.7 se muestra el error de tiempo de muestreo de todos los ADC de la polarización horizontal (H) del receptor (8 ADC para canal I, trazos en color azul, y 8 ADC para canal Q, trazos en color rojo), mientras que la polarización vertical (V) no tiene desajustes y muestrea en fase alineada en todos sus canales de TI-ADC y entre canales I/Q. El desajuste inicial entre las fases de muestreo fue generado con una distribución uniforme y con valor máximo de $\Delta_{max} = \pm 0,07T$. Además, el desajuste de tiempo entre los canales I/Q fue fijado en $\tau_s = 0,1T$, y el nivel de señal/ruido a la entrada del receptor es de $OSNR = 13dB$. Como se observa en la Fig. 2.7 el error de fase de muestreo de los canales del TI-ADC convergen alrededor de la media de los mismos

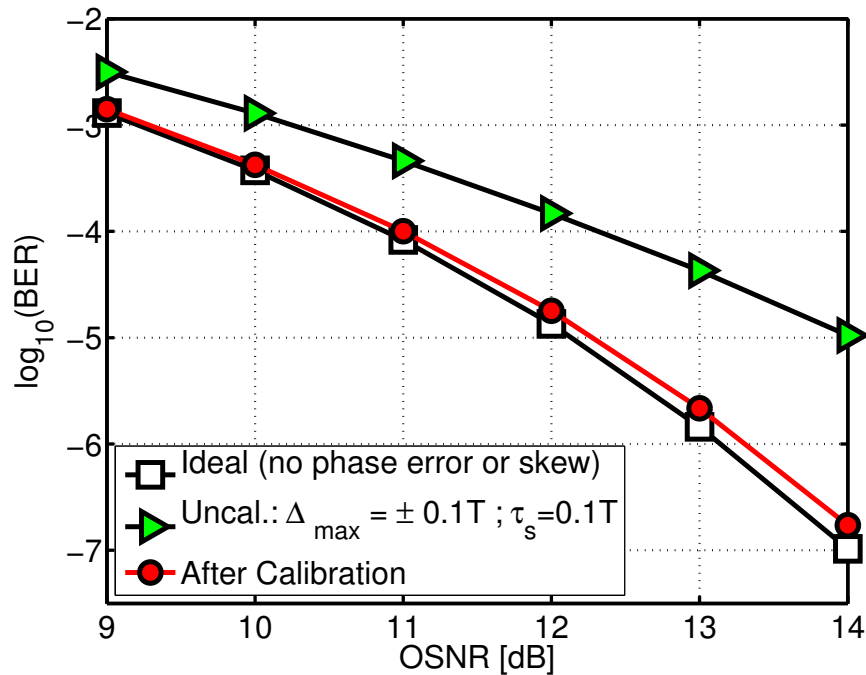


Figura 2.8: Comparación de desempeño del sistema *pre* y *post* calibración.

en forma conjunta. Es decir, se observa un ajuste conjunto tanto del error de muestreo como del TS entre I/Q. Al mismo tiempo, en la Fig. 2.7 se detalla la penalidad de OSNR para una tasa de error constante de $BER = 10^{-3}$, la cual pasa de 0.8 dB a 0.05 dB, es decir que la penalidad de OSNR final es prácticamente despreciable en comparación a la degradación inicial. A partir de este ejemplo de convergencia de calibración podemos notar que el ajuste de las fases converge hacia una media del error entre ellas. Además podemos observar que luego de la convergencia, las fases se mantienen dentro de un margen de error, que si bien no es el mínimo posible porque es mayor a $\pm\mu_s$ (paso de ajuste), el error residual no parece afectar el desempeño del sistema.

Para una comprobación completa del comportamiento del receptor luego de ser calibrado, se presentan las curvas de BER en función de la OSNR en la Fig. 2.8. Aquí brindamos una comparativa del efecto de la calibración tomando en cuenta el desempeño completo del receptor *pre/post* calibración para el caso de un desajuste de $\Delta_{\max} = \pm 0,1T$ y $\tau_s = 0,1T$). Notar que el impacto del desajuste es mucho mayor que en la Fig. 2.7 ya que aquí los desajustes son un poco mayores, y fundamentalmente, aquí los desajustes están tanto en la polarización horizontal como vertical. También se contrastan las curvas *pre/post* calibración con la curva del receptor usando un TI-ADC “ideal”, es decir, sin errores entre las fases y entre I/Q. Aquí se puede apreciar que el desempeño del receptor post-calibración de fase de los ADC paralelos alcanza niveles similares al ideal a pesar de el desajuste residual que mostraba la Fig. 2.7 al finalizar la convergencia del algoritmo.

2.4. Conclusiones

En este capítulo se presentó un nuevo método de calibración de TI-ADC [1] que contempla el ajuste conjunto del error de tiempo de muestreo (o error de fase de muestreo) de múltiples TI-ADC y a la vez contempla el ajuste del *time-skew* entre canales I/Q del receptor.

La técnica está pensada para las actuales y próximas generaciones de AFE que deben implementarse en receptores ópticos coherentes DP-QPSK, QAM16, etc. Igualmente, la técnica puede aplicarse a toda clase de receptores de comunicaciones digitales que requieran ajuste de los TI-ADC del AFE. Los resultados de simulación (basados en complejos modelos de receptores ópticos) demuestran un excelente desempeño de la técnica para mitigar los dos efectos indeseados en el AFE (i.e., el error de tiempo de muestreo y el TS entre I/Q). La técnica es capaz de correr en segundo plano (background), después de la convergencia del DSP, y sin alterar el normal funcionamiento del receptor.

El algoritmo puede ejecutarse en forma periódica con el fin de ajustar las variaciones de fase de muestreo surgidas durante la operación normal del chip (por ej., debidas a variaciones de temperatura). Uno de los aspectos fundamentales de la técnica es que requiere muy baja complejidad de cálculo digital y que el mismo puede ejecutarse a velocidades de reloj mucho menores que las altas velocidades de reloj de muestreo utilizadas en los receptores ópticos. Además, el algoritmo no es sensible a los efectos del canal óptico sobre la señal, por ej., la alta dispersión de los largos canales ópticos transoceánicos (*long-haul optical links*).

Finalmente, es interesante destacar que los resultados mostrados en esta sección no reflejan el desempeño aislado de los conversores, sino que representan el desempeño total del receptor. En este sentido, se tuvo en cuenta la degradación *real* del desempeño del receptor debido a los desajustes entre fases de muestreo y el debido al TS entre I/Q. Luego se analizaron los resultados de calibración en base al desempeño del receptor y no en la precisión de ajuste de las fases. Es decir, que el análisis no se enfoca en las posibles “*pequeñas*” imperfecciones del TI-ADC, ya que esto generalmente no impacta en el desempeño normal del receptor. Por el contrario, el estudio se concentra en los desajustes que generan un impacto *observable* en el sistema receptor y su correspondiente mitigación.

CAPÍTULO

3

DISEÑO DE CIRCUITO INTEGRADO DE CONVERSION A/D TEMPORALMENTE INTERCALADO

***Síntesis:** En el presente capítulo se muestra el diseño e implementación de un chip prototipo de conversor temporalmente intercalado. Primero se discuten las especificaciones establecidas para el diseño y se analizan aspectos de metaestabilidad en los conversores de aproximaciones sucesivas. Luego se muestra la arquitectura final del conversor y se detalla el diseño de cada bloque. Finalmente se comentan aspectos de verificación y fabricación del chip prototipo.*

3.1. Introducción

Uno de los objetivos más importantes planteados al inicio del trabajo doctoral fue la investigación y desarrollo de un chip prototipo de un “conversor de más de 5 bits de resolución y más de 1 Gs/s de frecuencia de muestreo” (Sec. 1.2), para verificar experimentalmente la propuesta de calibración en conversores de alta velocidad. Para alcanzar este objetivo se propuso dedicar gran parte del tiempo y esfuerzo en el estudio y trabajo sobre diseño analógico y señal mixta. Este trabajo pasó por varias etapas entre las cuales están, el *estudio* del diseño de cada bloque del ADC, el *desarrollo* de los mismos y

la generación de un *equipo de diseño* capaz de acompañar el proyecto de chip. De este modo, luego del estudio y especialización en el área de microelectrónica, se emprendió la capacitación de tres estudiantes de grado de diferentes universidades con interés en el área. Finalmente, luego de un año de capacitación, los estudiantes pudieron alcanzar el nivel suficiente para iniciar el diseño de bloques periféricos al ADC y se pudo enviar un diseño completo a fabricación. El proyecto de chip alcanzó además otros objetivos, entre los que cabe resaltar la generación de las primeras tesis de grado en el área de microelectrónica de la Universidad Nacional de Córdoba y el Instituto Universitario Aeronáutico - Córdoba, y el envío a fabricación del primer chip diseñado en la UNC (artículos de prensa [85, 86, 87, 88]).

Una vez planteado el objetivo, y luego de la investigación y aportes realizados en el área de calibración de TI-ADC [1], se inició el desarrollo de un circuito integrado (IC) capaz de estar en sintonía con el estado del arte del diseño de conversores A/D de alta velocidad de mediana-baja resolución, pero a la vez, cumpliendo el objetivo principal de la investigación que es la demostración de los métodos de calibración de señal mixta. En esta sección se presenta el desarrollo y diseño de un TI-ADC de 6-bit resolución y más de 2 GS/s basado en conversores SAR. Los detalles de diseño y mediciones del chip fabricado han sido publicados en [2, 3] y serán explayados en este capítulo. A continuación se explican las motivaciones y especificaciones de diseño para este chip conversor A/D temporalmente intercalado.

3.1.1. Requerimientos de Diseño

El diseño aquí presentado pretende ser base de una plataforma de verificación de algoritmos de calibración de mismatch en TI-ADC. Es decir, se intenta diseñar un conversor paralelo de arquitectura de intercalado temporal que permita introducir los circuitos de ajuste necesarios para calibrar variabilidades típicas en un TI-ADC (*offset*, ganancia, fase). En este sentido, el interés principal radica en el ajuste de la fase de muestreo de cada ADC ya que nos permitirá verificar en forma experimental el funcionamiento de algoritmos propuestos en el capítulo anterior. De este modo, se requiere un TI-ADC con múltiples conversores en paralelo y de alta velocidad en la tecnología a utilizar de modo que pueda admitir implementaciones para aplicaciones de receptores ópticos y similares. Esta arquitectura de TI-ADC debe incluir múltiples circuitos muestreadores THA paralelos, seguidos por conversores individuales que permitan alcanzar una tasa total de conversión de hasta $F_s = 2GS/s$ (es decir $T_s = 0,5ns$). Por otro lado, el principal requerimiento sobre este chip es permitir una gran flexibilidad para manejar las fases de reloj de cada THA de forma tal que se pueda no sólo calibrar los desajustes propios del chip, sino también generar escenarios de desajuste de tiempo de muestreo de hasta $\pm 25\%$ del periodo de muestreo global T_s . Además, para poder operar en todos los entornos posibles,

se requiere que la velocidad mínima de muestreo del TI-ADC sea de 200 MS/s, es decir que este diseño debe operar y *calibrar* las fases de reloj, ya sea que opere a 200 MHz o hasta 2 GHz. Esta especificación impuso una gran exigencia de variabilidad de retardo a la celda de calibración (*programmable delay cell*) ya que debe ser capaz de desviar hasta un $\pm 25\%$ la fase de reloj tanto para la mínima frecuencia (200 MHz) como la máxima (2 GHz). Además, otra de las exigencias de este chip es que el mismo debe ser capaz de enviar todas las muestras capturadas y digitalizadas sin diezmado, ya que nos interesa emular un sistema real de comunicaciones y por lo tanto el DSP debe recibir todas las muestras de la señal de información. Por ello, en esta plataforma se pretende computar toda la información capturada por el ADC en un procesador *off-chip* como por ejemplo un sistema basado en lógica programable (*FPGA*).

3.2. Selección de Topología de Conversor

Según los requisitos planteados, para desarrollar el diseño se necesita elegir primero la topología de los conversores individuales del TI-ADC. Por el enfoque en comunicaciones en receptores ópticos hemos considerado topologías de conversores de ≥ 6 bits de resolución y de bajo consumo de potencia. Los conversores tipo *Flash* han sido siempre los más considerados para aplicaciones de alta velocidad. Sin embargo, debido a que los *Flash* tienen un consumo de energía y área que dependen de manera exponencial con la resolución [13], su adopción en los futuros transceptores ópticos comerciales parece ser limitado. Esto se debe a que en las próximas generaciones de enlaces ópticos se necesita de: (i) esquemas de modulación más complejos (por ej., QAM-16, QAM-64) y (ii) menores consumos de potencia. Por otro lado, los ADC temporalmente intercalados basados en conversores de aproximaciones sucesivas (SAR) son capaces de proporcionar un buen compromiso entre consumo y velocidad de conversión debido a su dependencia logarítmica con la resolución. En particular, la topología SAR *asíncrona* (A-SAR) ha sido propuesta por su ventaja de velocidad sobre la SAR *síncrona* (S-SAR) [13, 89]. Si bien el diseño de un A-SAR puede requerir mayores esfuerzos en el diseño que uno tipo S-SAR las ventajas de velocidad compensarían esto, sin embargo hay otros aspectos muy importantes que también es necesario analizar en esta comparativa. Como se demuestra en la Sección 3.2.1, la topología A-SAR no sólo aumenta la velocidad de conversión, sino que también reduce el impacto de un estado metaestable durante la conversión. Esta característica resulta de gran interés en los sistemas de comunicación donde la probabilidad de error de bit (BER) debe ser muy baja (por ejemplo, $\leq 10^{-9}$).

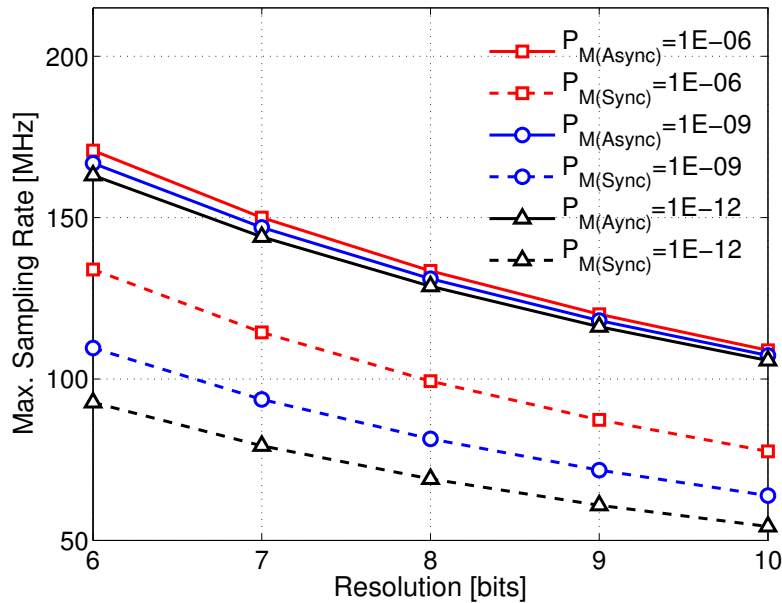


Figura 3.1: Máxima velocidad de muestreo en convertidores SAR en función de su resolución y su tasa de error de conversión para las topologías *síncrona* y *asíncrona*, sobre una tecnología de 130nm CMOS.

3.2.1. Análisis de Metaestabilidad

La probabilidad de estados metaestables en cualquier tipo de *latches* debe ser siempre considerada en altas velocidades y/o cuando los tiempos de conmutación de los *latches* no pueden ser manejados con márgenes “conservativos” [90]. La probabilidad de un estado metaestable en los *comparadores latcheados* de un convertor tiene que ser cuidadosamente analizada en toda aplicación de comunicaciones digitales. Esto se debe a que un estado metaestable genera una conversión errónea de la señal analógica y, por lo tanto, la tasa de error de bits (BER) mínimo alcanzable por un receptor digital puede ser degradado [65]. Una técnica muy utilizada en convertidores *Flash* para disminuir la probabilidad de estados metaestable es la concatenación de comparadores o *pipelining* [91] que permite extender el tiempo total de comparación en múltiples *latch* regenerativos para cada conversión y así disminuir en forma drástica la probabilidad de un estado metaestable. Sin embargo en topologías de ADC de múltiples pasos (por ej. *SAR* o *Pipeline*) no es posible la implementación de esta técnica ya que retardaría cada conversión en forma inviable. Por lo tanto, en el caso de un ADC SAR se tiene que considerar la velocidad de reloj utilizada y el *tiempo de regeneración* disponible en cada ciclo de aproximación con el fin de evaluar la probabilidad de un estado metaestable y así poder estimar la probabilidad de una conversión errónea.

La metaestabilidad en *latches* y comparadores ha sido ampliamente estudiada [92, 93, 94] y se puede estimar su probabilidad de ocurrencia [90, 92, 94]. En el Apéndice B se desarrolla en forma analítica la probabilidad de un estado metaestable para las topolo-

gías SAR *síncronas* y *asíncronas*. Como resultado de este análisis, la Fig. 3.1 muestra una comparativa entre las topologías SAR síncrona y asíncrona considerando la máxima frecuencia de muestreo alcanzable en función de la resolución y la probabilidad de metaestabilidad. El análisis considera los tiempos de propagación típicos de la tecnología de 130nm CMOS utilizada en este trabajo. Allí se puede observar una parametrización de las curvas de velocidad según los diferentes límites de probabilidad de metaestabilidad (P_M) analizados. De esto se deduce que para cualquier resolución, y dado un límite de P_M , hay una importante diferencia entre las velocidades de muestreo máximas alcanzables por el A-SAR en comparación con el S-SAR. Más importante aún es apreciar que cuando se requiere una muy baja tasa de error de conversión (es decir, una muy baja probabilidad de metaestabilidad) la topología S-SAR es notablemente restringida en su máxima velocidad alcanzable. En cambio, se verifica que el requerimiento de una muy baja tasa de error en la conversión casi no afecta la velocidad máxima alcanzable por la topología SAR asíncrona. Este resultado puede explicarse por la diferencia de *tiempo de regeneración requerido para evitar un evento metaestable*, es decir, en una topología SAR síncrona se requiere N veces más tiempo de regeneración que en una asíncrona, donde N es la resolución de bits (véase Apéndice B).

De lo anterior, se deduce que la topología SAR asíncrona es la más adecuada para aplicaciones de alta velocidad, ya que es capaz de lograr una alta tasa de muestreo, un bajo consumo de energía, y una conversión fiable (es decir, baja probabilidad de metaestabilidad y conversiones erróneas).

3.3. Arquitectura del Circuito Integrado

Tal como se expresó en la introducción, el conversor considerado en este trabajo está pensado para ser el núcleo de una plataforma de análisis y evaluación de métodos de calibración de fases en convertidores temporalmente intercalados. A partir de ello se desarrolló la arquitectura del chip que se presentada en la Fig. 3.2. Esta arquitectura responde a los requerimientos mencionados en la Sección 3.1.1. Para ello el diseño incluye incluye ocho THA operando en forma intercalada en el tiempo y dieciséis convertidores SAR de 6 bits de resolución que pueden alcanzar tasa global de muestreo de más de 2 GHz. Esto significa que cada conversor SAR individual operará hasta 125 MHz y por lo tanto, el impacto de la metaestabilidad es insignificante según el análisis anterior (ver Fig. 3.1). Además, la arquitectura comprende un amplificador de entrada de ganancia variable (*Variable-Gain Amplifier (VGA)*) que provee señal a los THA paralelos. Luego la señal es enviada en forma intercalada y paralela a los convertidores SAR que envían los datos digitales a un transmisor paralelo de alta velocidad basado en doce canales tipo *Low-Voltage-Differential-Signaling (LVDS)* que pueden transmitir todas las muestras a la tasa nominal sin diezmado alguno.

A continuación se desglosará la arquitectura por bloques y se presentarán las particu-

laridades de cada uno en comparación a lo investigado en la bibliografía.

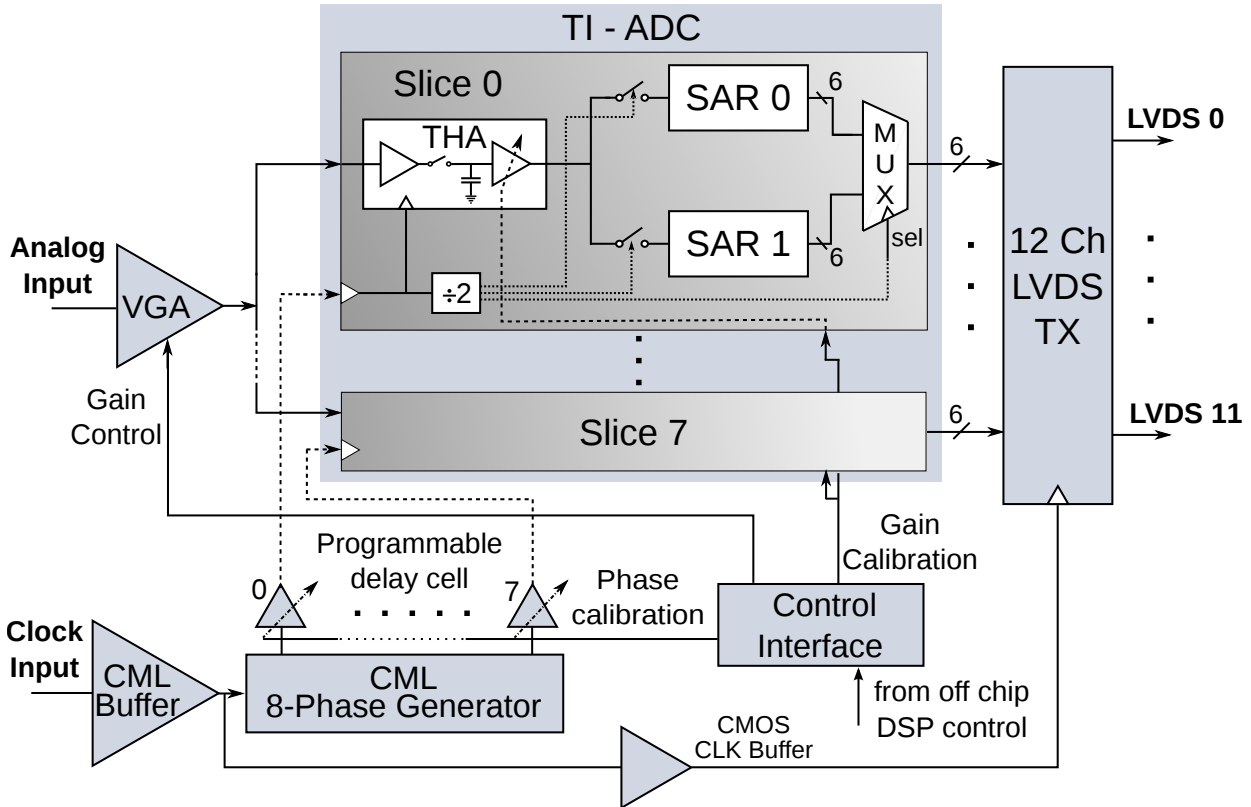


Figura 3.2: Arquitectura de chip prototipo de ADC temporalmente intercalado.

3.3.1. Amplificador de Ganancia Variable de Entrada

La entrada analógica de señal del chip es acondicionada por un amplificador de ganancia variable (VGA) que es digitalmente controlado para ajustar la amplitud de señal (ver Fig. 3.2). Este bloque se implementó para permitir la emulación de algoritmos de control automático de ganancia (*Automatic Gain Control (AGC)*) típicos en receptores de comunicaciones digitales y permitir así el máximo aprovechamiento de rango dinámico en diferentes escenarios de señal. La VGA mostrada en la Fig. 3.3 está compuesta por tres etapas activas *full* diferenciales en cascada y consta de realimentación para cancelación dinámica de *offset* similar a [52, 95]. Este último bloque es fundamental para evitar pérdida de rango dinámico sobre los ADC cuando la VGA se fija a máxima ganancia ya que el *offset* de salida puede alcanzar varias decenas de milivoltios por sobre una excursión de entrada máxima de $400 \text{ mV}_{\text{ppDiff}}$.

Como se observa en la Fig. 3.3, cada etapa de la VGA consta de 48 pares diferenciales paralelos tipo NMOS (con carga resistiva) que operan en forma conjunta según la palabra de control digital. Dado que en cada etapa amplificadora la ganancia en DC (A_v) queda fijada según [96]:

$$A_v = g_m R_L, \quad (3.1)$$

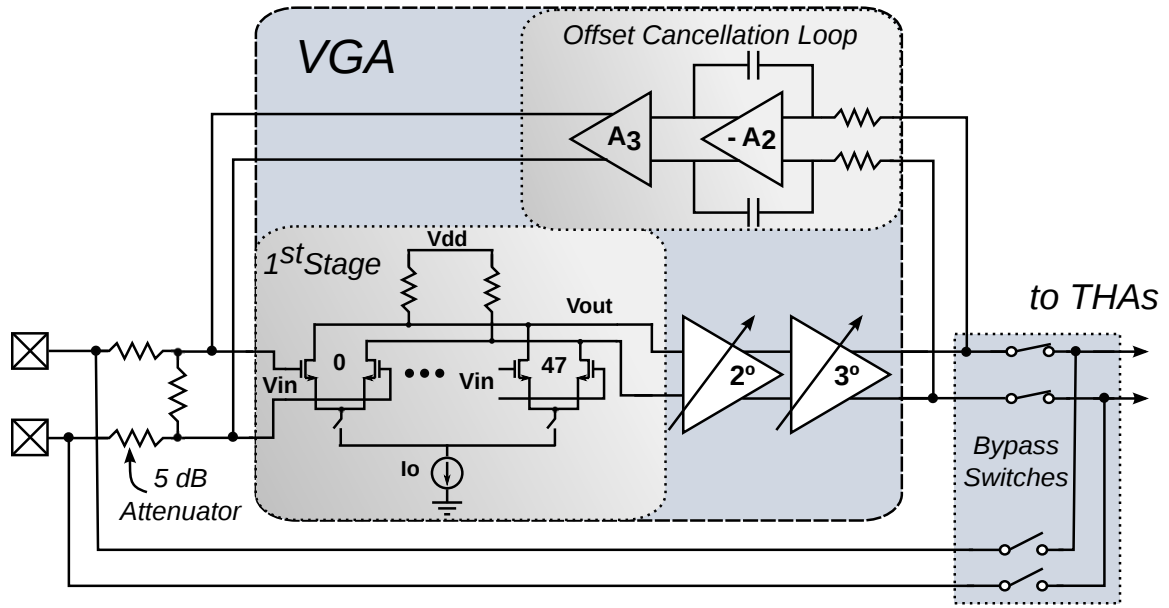


Figura 3.3: Amplificador de ganancia variable basado en 3-etapas diferenciales con ajuste de ganancia digital.

donde g_m es la transconductancia total de los NMOS de una de las ramas del par diferencial y R_L la resistencia de carga correspondiente a dicha rama. De este modo, cuando se manipulan las llaves MOS que habilitan/deshabilitan cada uno de los pares diferenciales paralelos, podremos variar el ancho total equivalente (W_T) del NMOS de la etapa amplificadora. Es conocido que la transconductancia g_m es proporcional a \sqrt{W} , esto es:

$$g_m = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_D}, \quad (3.2)$$

donde μ_n es la movilidad electrónica de los portadores mayoritarios en un transistor NMOS, C_{ox} es la capacidad de la compuerta por unidad de área, W y L son el ancho y largo del canal del NMOS respectivamente, e I_D es la corriente DC de drenador en el transistor amplificador. A partir de ello, podemos definir una variación de A_v en función del número de pares diferenciales encendidos y que se define cuasi-lineal en cierto rango de operación. De este modo, la VGA toma una única palabra de configuración digital que define su ganancia total ya que las tres etapas amplificadoras se configuran con la misma palabra digital del bus de datos.

Es importante destacar que la corriente de polarización de cada etapa es mantenida constante, con lo cual, el modo común de operación de las etapas full diferenciales se mantiene constante a pesar de las variaciones de g_m . Además, se optó por implementar una etapa atenuadora previa al amplificador para permitir operar la VGA con baja excursión de entrada y así evitar una elevada distorsión. La variación total de ganancia del bloque es de -3 dB hasta 7 dB, incluyendo atenuación del circuito de entrada.

Finalmente, se destaca que el bloque puede ser puentado (*bypassed*) mediante un

circuito de llaves MOS. Esto permite la alimentación directa de señal de entrada a los THA cuando no se necesita control de ganancia y así se evita la distorsión que típicamente agregan esta clase de amplificadores [52].

3.4. Conversor A/D Temporalmente Intercalado

El núcleo del chip es un ADC intercalado temporalmente (*Time Interleaved ADC (TI-ADC)*) y organizado en forma jerárquica (*hierarchical interleaved ADC*). La Figura 3.2 muestra los bloques incluidos en el conversor. El diseño incluye 8 canales paralelos (*slices*) donde cada canal consta de un THA y dos ADC SAR sub intercalados temporalmente, es decir, una *segunda jerarquía de intercalado temporal*. Cada THA es controlado por una señal de reloj de 50 % de ciclo de trabajo y frecuencia $F_{slice} = F_s/8 = 2 \text{ GHz}/8 = 250 \text{ MHz}$. Según esta señal de reloj, el THA se mantiene en el modo *tracking* (seguimiento) de señal durante el período *alto* y luego cambiará al modo de *hold* (retención) en el periodo *bajo* de reloj. Durante este último estado, la muestra analógica es re-muestreada por uno de los dos conversores SAR en forma alternada. En otras palabras, el THA envía en forma alternada una muestra analógica a cada SAR para su conversión digital (cuantización). Los conversores SAR son sincronizados por un bloque divisor de reloj (uno por cada canal) que toma la señal de reloj del THA y genera dos señales de reloj (una para cada SAR) desfasadas 180 grados entre si, con ciclo de trabajo del 25 % y frecuencia $F_{SAR} = F_{slice}/2 = 125 \text{ MHz}$. Luego de la cuantización de las muestras, las salidas digitales de los SAR son multiplexadas para proveer un único bus de datos (por canal) de 6 bits de “ancho” y frecuencia de salida $F_{slice} = 250 \text{ MHz}$.

Finalmente, las salidas digitales del TI-ADC ($8 \text{ slices} \times 6 \text{ bits}$) son enviadas al bloque transmisor (*TX*) de alta velocidad. Notar que a diferencia de la mayoría de los test-chips de conversores A/D del orden de giga-muestras por segundo, [64, 63, 65] el diseño aquí presentado es capaz de transmitir la totalidad de las muestras cuantizadas a un procesador externo sin necesidad de diezmado. En la Sección 3.6 se discute el diseño de la interfaz de alta velocidad.

3.4.1. Generador de Fases Múltiples

En la arquitectura mostrada en la Fig. 3.2, los THA son controlados por 8 fases de reloj que provee un generador de fases múltiples como el diagramado en la Fig. 3.4. El mismo está basado en un doble registro de desplazamiento (Shift Register (SR)) que se alimenta con una señal de reloj de entrada de 1 GHz desde afuera del chip (*off-chip*) y genera 8 fases de 250 MHz desfasadas 45° entre ellas. Los *shift registers* son implementados en lógica de modo de corriente (*Current-Mode-Logic (CML)*). La lógica CML se diferencia de la tipo CMOS en que los niveles lógicos se propagan en forma diferencial y sobre un modo

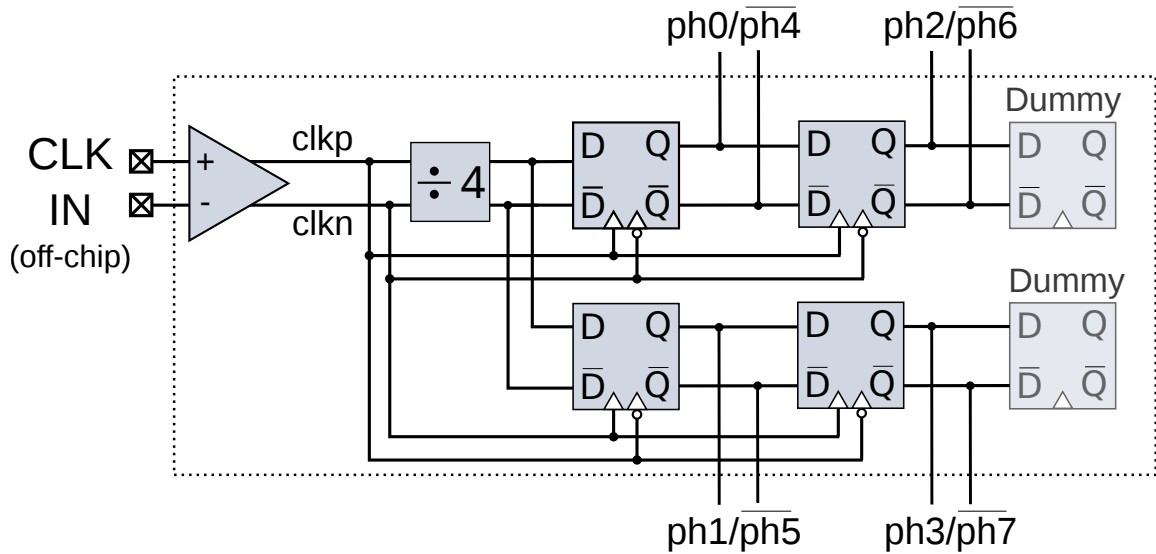


Figura 3.4: Generador de 8 fases de reloj basado en doble *shift-register* en topología *Current Mode Logic*.

común de aproximadamente 0.8 V. La principal desventaja de la lógica CML es su gran consumo estático y área requerida. Sin embargo, el tratamiento *full-diferencial* permite operar en alta velocidad sin generar ruido significativo en las líneas de alimentación y a su vez minimizar el acoplamiento de ruido (y consecuente *jitter*) desde estas líneas [97]. El diseño de generador de fases incluye también un *buffer* de entrada, compuesto por tres etapas CML en cascada, que permite amplificar y limitar la señal de reloj de entrada, brindando la posibilidad de operar el chip con un amplio rango de amplitudes de reloj de entrada (por ej. desde $100 \text{ mV}_{\text{ppDiff}}$ a $1 \text{ V}_{\text{ppDiff}}$).

Por otro lado, se requiere un divisor CML para proveer el *patrón* de reloj a la entrada de cada SR. Este diseño de divisor CML requirió un especial cuidado ya que se debe optimizar su sensibilidad en todo el espectro de frecuencias de operación [97]. Tomando en cuenta esto, el divisor se diseñó para alcanzar una correcta operación desde 100 MHz hasta más de 1 GHz de frecuencia de reloj.

3.4.2. Circuito Track and Hold

El diseño del circuito muestreador (*Track-and-Hold Amplifier* (THA)) se describe en la Fig. 3.5. Este circuito está formado por una etapa de entrada de señal, una etapa de muestreo, y una etapa de salida tipo *buffer*. La etapa de entrada es un *buffer* pseudo-diferencial seguidor de fuente (*source follower*) que alimenta la llave NMOS del circuito de muestreo. Este *buffer* de entrada junto al circuito de muestreo alcanza un ancho de banda (*Bandwidth* (*BW*)) de casi 4 GHz. Este ancho de banda superior al requerido según la frecuencia de muestreo de diseño ($F_{\text{Nyquist}} = 1 \text{ GHz}$) permite evitar efectos indeseados por el *mismatch* de BW entre los THA [21, 20]. Además, según simulaciones, se verificó

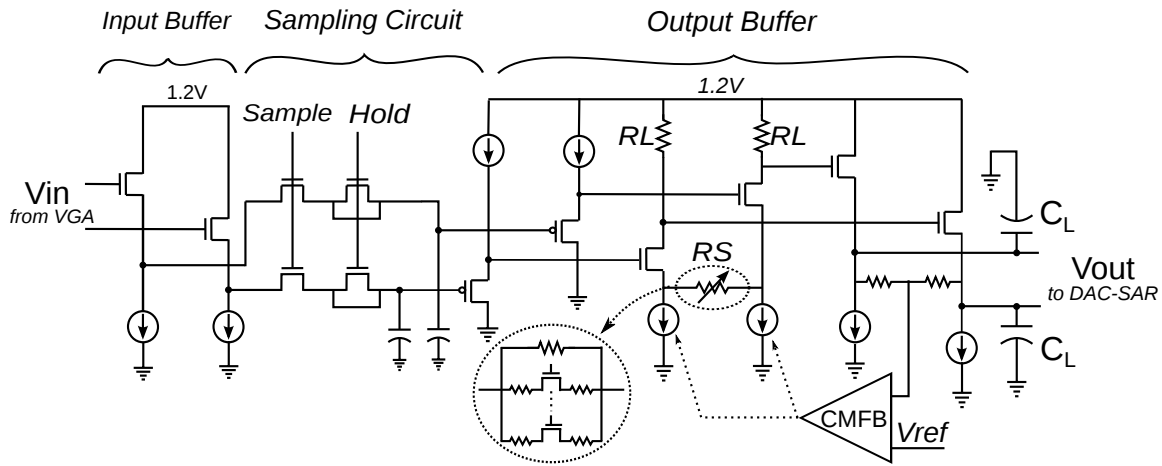


Figura 3.5: Circuito de muestreo (THA) con etapa intermedia de ganancia variable para calibración.

una distorsión armónica total (*Total Harmonic Distorsion (THD)*) menor a -60 dB (en el peor caso), lo que resulta en más de 9.5 bit eficaces (*Effective-Number-of-bits (ENOB)*) en esta etapa.

Por otro lado, el *buffer* de salida del THA está formado por un amplificador de 3 etapas. Las etapas de entrada y salida son *buffers* tipo *source-follower* pseudo-diferenciales, similares a la primera etapa del THA. En tanto la etapa intermedia del *buffer* de salida del THA es un amplificador pseudo-diferencial *common-source* y con degeneración de *source*. Esta etapa tiene particular importancia ya que está diseñada con el propósito poder calibrar el desajuste de ganancia entre los THA. Es sabido que, variando la resistencia de *source* R_S de un amplificador *common-source*, se puede obtener una variación de ganancia que se define por [96]:

$$A_v = \frac{R_L}{\frac{1}{g_m} + R_S} \quad (3.3)$$

donde, R_L es la resistencia de carga del amplificador, g_m su transconductancia y R_S la resistencia de degeneración de *source*. En este diseño, el valor de R_S es digitalmente programado conectando en paralelo una resistencia fija con una de las 16 ramas en paralelo disponibles en el arreglo. Notar que cada una de las resistencias del arreglo es partido en dos secciones simétricas y conectadas por una llave MOS (ver Fig. 3.5). Esta topología simétrica es necesaria para evitar el desbalance de impedancia y parásitos en la resistencia R_s . En esta operación de programación, la llave MOS opera en la región de triodo (región óhmica) cuando está encendida y en sub-umbral (alta impedancia) cuando está apagada. Según simulaciones Montecarlo el máximo desajuste de ganancia entre THA fue estimado en 1 dB, y por lo tanto se eligió diseñar una programabilidad de ganancia de ± 0.7 dB con pasos de $\sim 0,1$ dB.

Finalmente, la última etapa del *buffer* de salida del THA es una etapa tipo *source*

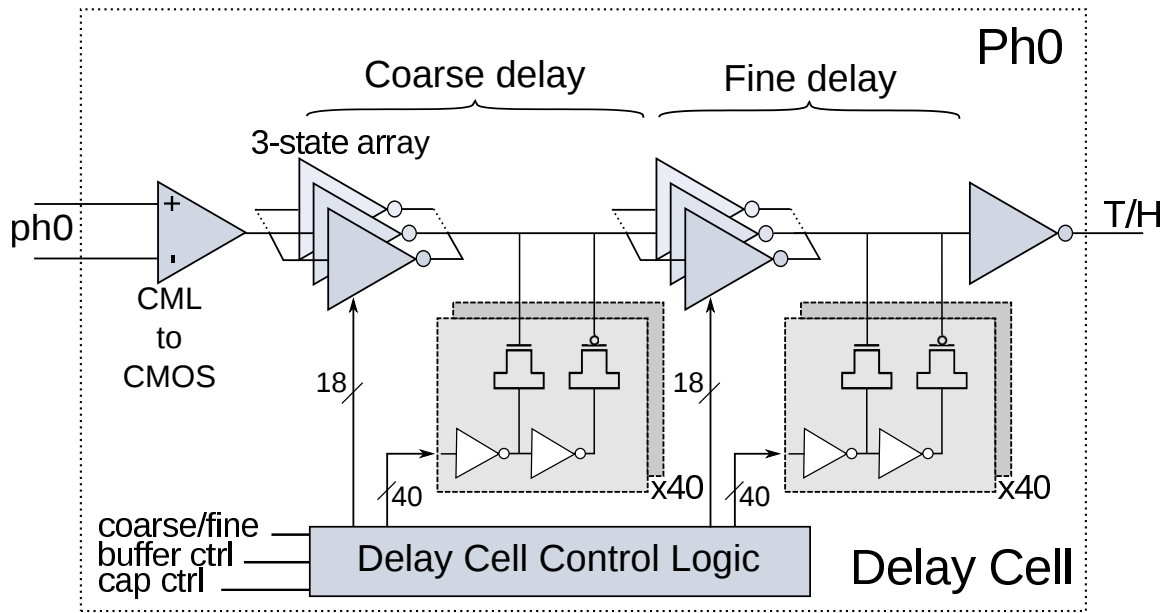


Figura 3.6: Diagrama de celda de retardo programable (celda correspondiente a la fase $Ph0$).

follower pseudo diferencial y es la etapa que alimenta los DAC de los convertidores SAR ¹. El tiempo de establecimiento de señal (*settling time*) cuando un DAC es conectado al *buffer* de salida del THA es un parámetro importante en la linealidad del re-muestreo de señal entre estos bloques. En este caso, el circuito *source follower* de salida del THA alcanza una constante $\tau < 150$ ps (en el peor caso de simulación) considerando una carga equivalente de DAC (C_L) de 600 femto-Faradios (fF). Esto resulta en una THD a la entrada de los convertidores SAR de -48 dB, lo cual es suficiente para la resolución de 6 bit requerida.

3.4.3. Celda de Retardo Programable

El diseño de celdas de retardo programables para calibración del desajuste entre fases de muestreo en convertidores temporalmente intercalados ha sido estudiado en varias publicaciones recientes [63, 64, 65]. Sin embargo, los requerimientos de diseño descritos en la Sección 3.1.1 exceden las capacidades de ajuste de los diseños de celdas previamente propuestos. La Figura 3.6 muestra el circuito de *delay* interpuesto entre el bloque generador de fases múltiples y los THA. Estas celdas permiten fijar un retardo de tiempo (T_d) para controlar el tiempo/fase relativo entre las diferentes fases de reloj. En particular, este diseño considera dos bloques, un circuito de retardo de ajuste de pasos *grueso* y otro de ajuste de pasos *fino*. Además incluye un control general para ajustar el rango total de los dos casos (*grueso* y *fino*) que permite variar el paso de calibración relativo a la frecuencia

¹ Recordar que en esta arquitectura los convertidores SAR (cuya etapa de entrada son los DAC) se conectan en forma sub-intercalada en el tiempo sobre la salida del THA correspondiente (ver Fig. 3.2).

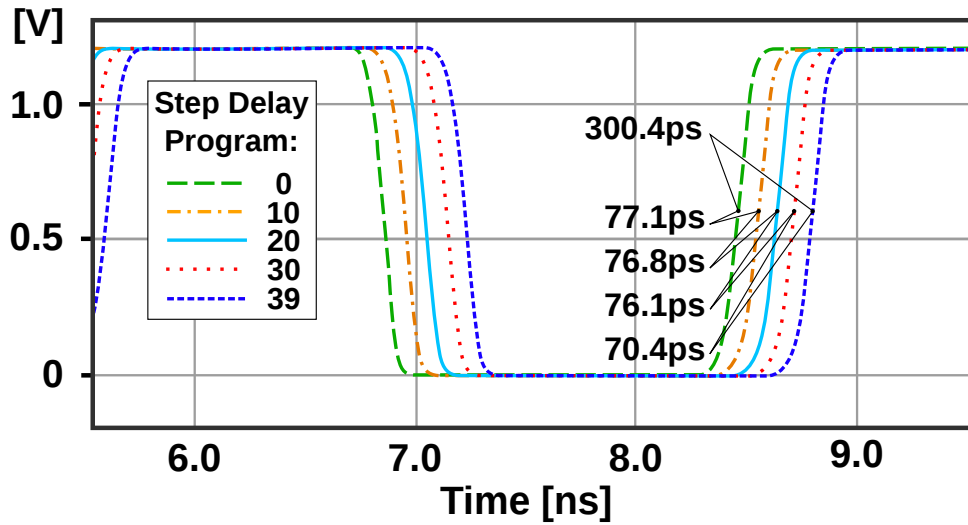


Figura 3.7: Simulación temporal de la celda de retardo programable, fijada en los extremos máximos de retardo y algunos de sus valores intermedios.

de operación del convertor en todo el rango de frecuencias (200 MS/s a 2 GS/s).

Los bloques de ajuste *fino* y *grueso* están pensados para dos casos de aplicación o escenarios de uso del chip. Por un lado, el circuito de ajuste de retardo *fino* está pensado para el ajuste del *mismatch* propio del chip luego de fabricación. El mismo está diseñado para un retardo total $T_{d,Max} = \pm 0,03T_s$, donde $T_s = 1/F_s$ es el periodo de muestreo global del TI-ADC y el rango total de ajuste se divide en 40 pasos de $T_{d,Step} = 0,0015T_s$. Con esta modalidad de ajuste *fino* se pueden realizar pequeños ajustes a las fases de reloj y así evaluar el máximo desempeño del ADC desde el punto de vista analógico. Por otro lado, como se adelantó en Sección 3.1.1, se necesita un amplio rango de control de fase de reloj para emular los escenarios de “*grandes*” desajustes relativos entre las fases (por ej., el caso de los TI-ADC de alta velocidad para receptores ópticos [1]). Para ello, se implementó un circuito de ajuste de retardo *grueso* con un rango de control de tiempo de muestreo de $T_{d,Max} = \pm 0,3T_s$ dividido en 40 pasos de ajuste $T_{d,Step} = 0,015T_s$.

Como se puede observar en la Figura 3.6, tanto el circuito de control de retardo *grueso* como el de ajuste *fino*, son de igual topología y control, pero se diferencian en sus valores de constantes de tiempo asociadas ². En efecto, ambos bloques de retardo están basados en la técnica *shunt-capacitor* (capacitores de derivación). En base a esta técnica, cada celda se compone de un *buffer* CMOS que es “*cargado*” por un arreglo de 40 capacitores MOS (*MOScap*) de igual tamaño que pueden variar su capacidad equivalente mediante un control digital en forma progresiva (variación *termométrica*) [64]. En la Figura 3.7 se muestra un ejemplo de simulación de las celdas de retardo en modo de control *grueso*. Allí se demuestra que al programar diferentes retardos la señal se desfasa proporcionalmente. En este ejemplo se programa una celda en los *pasos* 0,10,20,30,39 y se puede

²Notar además que el control de retardo *fino* y *grueso* están conectados en cadena, pero no están diseñados para ser controlados de forma simultánea sumando retardos, ya que tienen diferentes aplicaciones.

observar un retardo total entre los pasos 0 y 39 de unos 300 ps, lo que resulta en pasos de aproximadamente 7.5 ps, es decir, $T_{d,Step} = 0.016 T_s$, para $F_s = 2$ GHz.

En nuestro diseño, el TI-ADC debe operar en un amplio rango de frecuencias de muestreo, desde $F_s=200$ MS/s a $F_s=2$ GS/s, es decir, el periodo T_s toma valores desde 5 ns a 500 ps, respectivamente. Por lo tanto, para poder generar escenarios de calibración en cualquiera de los puntos operable, entonces se debe tener la flexibilidad de cambiar el paso de ajuste de retardo $T_{d,Step}$ como sea requerido. Este tipo de programabilidad resulta difícil de lograr utilizando sólo la técnica de *shunt-capacitor* y la bibliografía no muestra propuestas para este caso. La solución propuesta para la programabilidad de $T_{d,Step}$ fue adicionar un control de corriente sobre el *buffer* del banco de capacitores utilizando 18 *buffers* CMOS de 3-estados (*3-state buffers*) CMOS de igual tamaño que operan en forma paralela [61]. Estos *buffers* pueden ser habilitados o deshabilitados (estado de alta impedancia) lo que posibilita el control de corriente sobre el arreglo de *MOScap*. Entonces, esta combinación de control adicional sobre la celda de retardo original nos permite variar el rango total de ajuste de retardo y por ende el paso de calibración $T_{d,Step}$. De esta forma, el $T_{d,Step}$ de ajuste grueso puede ser fijado entre 7.5 ps hasta unos 75 ps y el paso de retardo fino $T_{d,Step}$ entre 0.75 ps hasta 7.5 ps aproximadamente.

Notar, que estas flexibilidades de ajuste tienen por finalidad brindar una capacidad de calibración adicional con la que se puedan probar muy diferentes escenarios de desajuste en forma arbitraria con fines de verificación e investigación. Es decir, el usuario deberá elegir primero el escenario de trabajo, planear la frecuencia de operación del TI-ADC, ajustar el paso de calibración $T_{d,Step}$ y finalmente podrá verificar alguna técnica de calibración de fase controlando el arreglo de *MOScap*.

3.5. Diseño de Conversor SAR Asíncrono de 6 bits

La topología de conversor A/D más conveniente para este TI-ADC, según se discutió en la Sección 3.2, es la de *aproximaciones sucesivas asíncrono* (A-SAR). La implementación del diseño conversor A-SAR se detalla en la Fig. 3.8. El mismo está formado por un DAC de redistribución de cargas con dimensionamiento binario (*binary-weighted redistribution-charge DAC*), un comparador tipo *latch*, y lógica de control *auto-conmutada* asíncrona. Uno de los parámetros importantes en un conversor SAR basado en capacidades conmutadas es el tamaño de capacitor mínimo utilizado. En este diseño se utilizó el capacitor mínimo que ofrecía la librería de diseño de la tecnología para capacitores metálicos tipo *fringe*. Concretamente el capacitor unitario (C_u) del arreglo full diferencial es de 6.5 fF. El valor seleccionado de C_u permite un mínimo tamaño, y al mismo tiempo, suficiente apareamiento y confiabilidad (*reliability*) para alcanzar los 6 bits de resolución requeridos [98]. Además, el arreglo de capacitores es distribuido en el *layout* (diseño físico) en forma simétrica diferencial y de modo *common-centroid* en cada rama para optimizar aún más

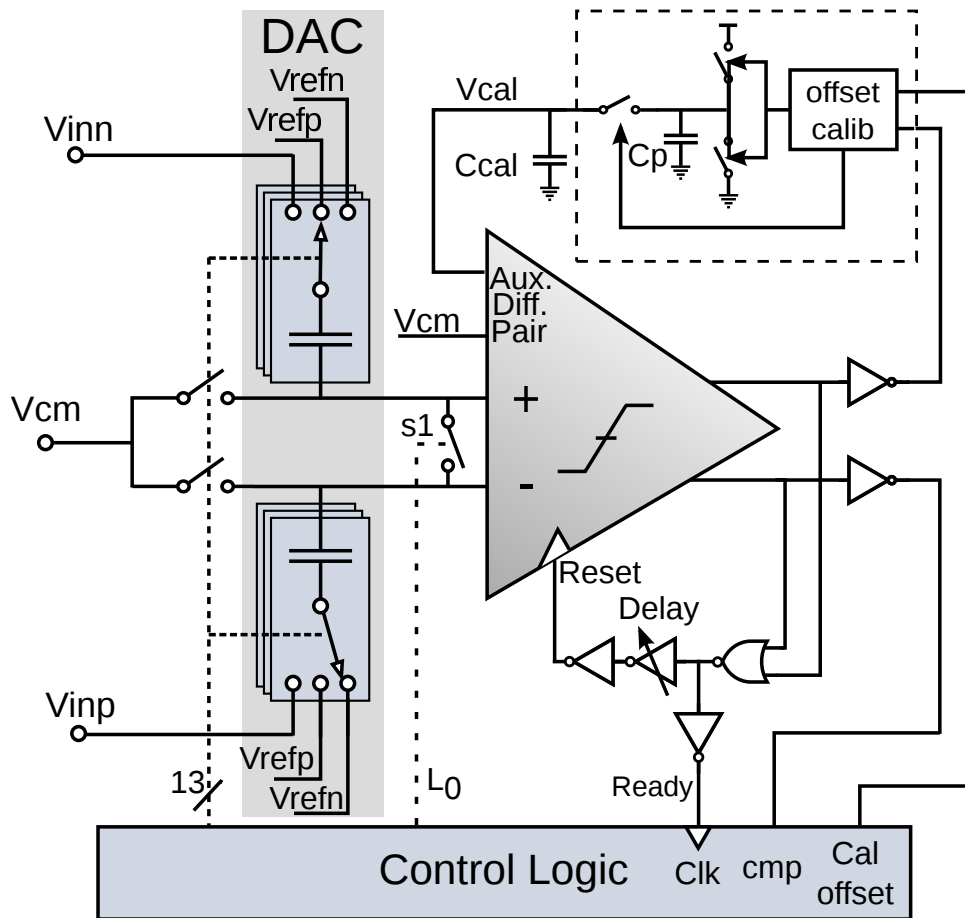


Figura 3.8: Conversor A/D SAR Asíncrono implementado.

el apareamiento entre ellos. En los extremos de los bloques de capacitores se incluyen además capacitores *dummy* (eléctricamente no funcionales) para optimizar la homogeneidad total del circuito ³.

Otro bloque fundamental de todo conversor es el comparador. Aquí se implementó un comparador conmutado tipo *StrongArm* [99] PMOS con un pre-amplificador diferencial de cargas resistivas. Este pre-amplificador cumple la función de cancelación de *offset* ya que incluye un par diferencial auxiliar para tal fin [32]. Cabe destacar que la cancelación de *offset* del comparador sirve para compensar el *offset* propio y por ende el *offset* de cada conversor SAR. Sin embargo, el *offset* de cada THA no es compensado aquí y pasa a formar parte del *offset* típico entre canales de un TI-ADC que puede ser luego fácilmente compensado en forma digital. En la Sección 3.5.1 se detallará el funcionamiento de esta calibración y su importancia.

En la Figura 3.9 se muestra un diagrama de tiempo de un ciclo de *aproximación* típico (secuencia de cuantización). Como se puede observar, la secuencia inicia con el pulso de la señal *SAR sample*, que es generada a partir el divisor de reloj de THA (ver Fig. 3.2)

³Se destaca en general que en la implementación física de cada bloque del chip utilizó alguna de las variantes de ordenamiento tipo *common-centroid* o interdigitado y respectivas celdas *dummy* en los extremos de bloques de modo tal de minimizar el despareamiento en los circuitos.

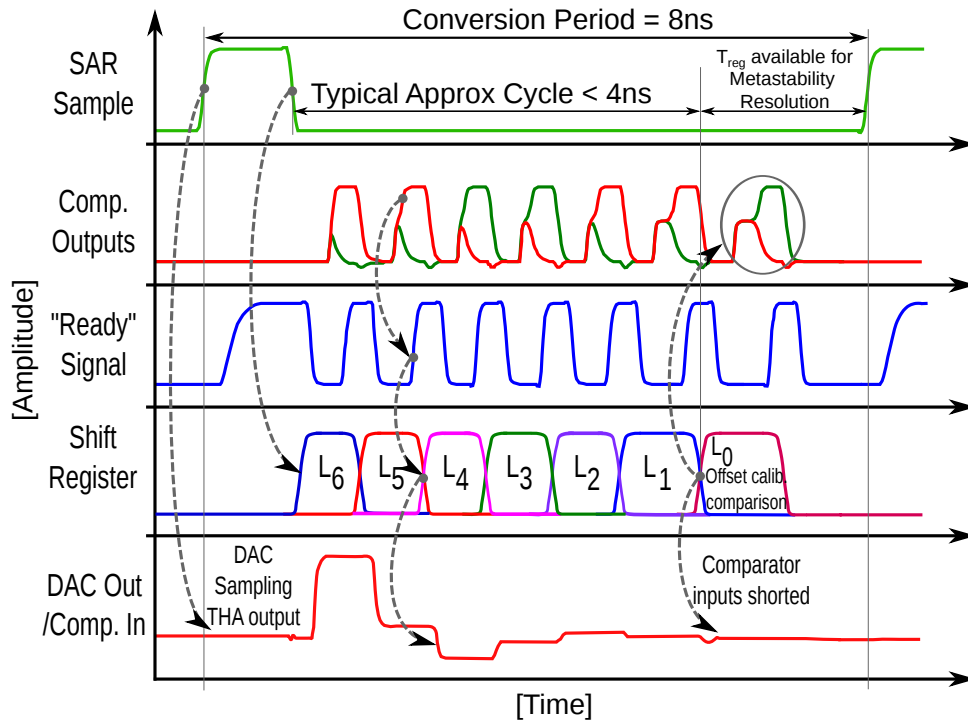


Figura 3.9: Diagrama de tiempo (simulado) de un ciclo de aproximación típico del convertor SAR asincrónico.

y la propia lógica interna del SAR. Cabe destacar que esta señal proveniente del divisor de reloj del THA es la única señal de reloj externa que llega a los convertores SAR, el resto de las señales de reloj del diagrama se auto-generan internamente. Con este pulso en alto, el DAC del SAR se pone en modo *muestreo* y sus llaves lo conectan a la salida del THA. Luego de este periodo, y antes de que el THA termine su periodo *retención*, el DAC obtiene su muestra analógica para cuantizar. Entonces, al finalizar *SAR sample*, el *shift-register* de la lógica SAR es conmutado por la señal *Ready* (listo) y el SAR pasa al ciclo de comparación para determinar el bit más significativo de la conversión (*Most Significant Bit (MSB)*). Para iniciar este ciclo el shift-register conmuta el DAC para realizar la diferencia entre la señal analógica de entrada (recientemente muestreada desde el THA) y el valor mitad de escala ($V_{ref}/2$, con V_{ref} fijado por las tensiones V_{refp} y V_{refn}). Luego del tiempo de margen necesario para que el DAC establezca su tensión conocido como *DAC settling time*, el comparador sale de su modo *reset* e inicia la comparación entre sus entradas diferenciales. Al cabo de un tiempo conocido como *regeneration time* (T_{Reg}) las salidas del comparador toman valores lógicos en niveles CMOS ⁴. Luego de la comparación, un detector de regeneración formado por una compuerta NOR detecta el cambio a “alto” en alguna de las salidas del comparador y conmuta para generar un cambio en la señal *Ready*. Esta señal es luego regenerada y se utiliza como *señal de reloj* para el *shift-register* (SR). La conmutación de *Ready* a “alto” genera que, el shift-register

⁴Se hace notar que este tiempo T_{Reg} es un parámetro muy importante y fue eje central en la discusión sobre metaestabilidad en la Sección 3.2.1 y expandido en el Apéndice B.

haga un desplazamiento, el resultado de salida del comparador sea almacenada en un *latch* y en consecuencia el DAC conmute al nuevo estado de comparación para determinar el segundo bit (MSB-1). Además, la señal *Ready* en “alto” vuelve el comparador al estado de *reset* y concluye el ciclo. Luego de un nuevo periodo de espera de *DAC settling time* con el comparador en estado de *reset* la señal de *Ready* vuelve a “bajo” habilitando la comparación y reiniciando el ciclo. El conversor realiza en total n aproximaciones, siendo n el numero de bits de resolución del SAR, en este caso 6 bits. En la siguiente Sección se detallará el ciclo adicional para calibración de *offset*.

En esta secuencia de aproximación se observa que los retardos de la lógica de control del DAC, así como la de control del comparador (*reset*) deben ser optimizados para minimizar el tiempo de comparación total. En este sentido se utilizó lógica a medida (*custom*) tipo CMOS con el objetivo de alcanzar mínimo consumo y máxima velocidad [100]. Por ejemplo, en el diseño de la lógica de control se utilizaron latches tipo C2MOS para retener los resultados del comparador y lógica dinámica en el shift-register para alcanzar el mínimo tiempo de propagación posible entre las señales L_6, L_5, \dots, L_0 que conmutan el DAC. De este modo se logró alcanzar un buen desempeño en cuanto a velocidad ($> 125\text{MHz}$) y consumo, comparable al estado del arte en conversores SAR sobre procesos de fabricación similares [101, 102, 103].

3.5.1. Calibración de Offset de Comparador

El *offset* del comparador define el *offset* completo del conversor SAR (sin considerar el *offset* del THA) y el valor de *offset* en este tipo de comparadores de pequeña área puede alcanzar valores relativamente grandes, es decir puede afectar varios bits menos significativos (*Least Significant Bit (LSB)*). Debido a esto, la calibración del *offset* del comparador es necesario para evitar el desajuste de *offset* entre los SAR del TI-ADC. Este desajuste de *offset* entre los conversores SAR le llamamos *intra-slice offset mismatch* dado que este está presente entre los dos conversores SAR asociados a un mismo THA. Por otro lado definimos como *inter-slice offset mismatch* el desajuste de *offset* entre los diferentes THA y que será compensado fuera del chip por el DSP.

Como se muestra en la Figura 3.9, luego de los 6 ciclos de aproximación, aparece la señal L_0 . Cuando L_0 pasa a “alto” se cierra la llave S_1 (ver Fig. 3.8) y se cortocircuitan las entradas del comparador. Luego el comparador se habilita para hacer una nueva comparación. Dado que la tensión diferencial a la entrada del comparador es “cero”, entonces la decisión tomada por el comparador se deberá a su propio *offset*, incluyendo el *offset* del pre-amplificador y el *offset* del comparador *latch*. Como se propone en [32] y se aprecia en la Fig. 3.8, el resultado de la comparación se guarda en una pequeña carga fija sobre una capacidad parásita C_p . Luego durante el pulso de señal de *SAR sample* la lógica de calibración de *offset* promedia la carga almacenada en C_p con un capacitor de integra-

ción de cargas C_{cal} . Finalmente, la tensión V_{cal} se realimenta al par diferencial auxiliar del pre-amplificador del comparador y se cierra el lazo de calibración. De este modo, en cada ciclo de calibración de *offset* se dará un “pequeño paso” de tensión en V_{cal} en el sentido opuesto al *offset* del comparador. Luego de varios ciclos de calibración la tensión V_{cal} aplicada al par auxiliar logrará cancelar el *offset* del comparador y el valor de V_{cal} se mantendrá oscilando alrededor del valor de tensión en cuestión.

Notar que el método de calibración propuesto en [32] es un método de ajuste de *offset* fuera de línea (*foreground*) para convertidores *Flash*. En cambio en nuestra propuesta la cancelación de *offset* corre en segundo plano (*background*) sin afectar el normal funcionamiento del convertidor SAR. Más importante aún, si ocurre un estado metaestable durante los ciclos de aproximación del SAR, es decir, una comparación que demande un T_{Reg} mayor de lo estimado, entonces esto no afectará el proceso de cuantización. En tal caso, podría darse la situación de que no haya suficiente tiempo para el ciclo L_0 y entonces se saltee el paso de ajuste de *offset*. En un caso aún peor de metaestabilidad, la calibración de *offset* y el último bit de los ciclos aproximación podrían ser saltados, lo cual tampoco afectará el funcionamiento. Es decir, según lo analizado el Apéndice B y graficado en la Fig. 3.1) la probabilidad de que ocurra un “salteo” del ciclo de calibración de *offset* es de entre 10^{-15} y 10^{-10} , y la probabilidad de que se afecte el último bit (LSB) es menor a 10^{-20} . En este sentido el concepto de nuestra propuesta es similar a [39] que fue publicada en forma posterior a la fabricación de nuestro diseño.

3.6. Diseño de Interfaz Digital de Alta Velocidad

La arquitectura de chip detallada en la Fig. 3.2 requiere una interfaz de alta velocidad para transmitir la totalidad de las muestras a la máxima velocidad requerida (i.e. 6 bits \times 2 GS/s = 12 Gb/s) desde el convertidor a una tarjeta FPGA de alto desempeño. La interfase de 12 canales LVDS desarrollada con este propósito se presenta en la Fig. 3.10 y su diseño fue publicado en detalle en [3].

Como es sabido, toda interfaz chip-a-chip de alta velocidad sobre placa de circuito impreso (PCB), es decir líneas de transmisión tipo *microstrip* o canal de cobre, presenta limitaciones en su ancho de banda (BW). Esto se debe a que el canal de cobre presenta pérdidas dependientes de la frecuencia causado por el efecto pelicular (*skin effect*) y las pérdidas en el dieléctrico [104]. Debido a esta limitación en ancho de banda en las líneas de transmisión sobre PCB (por ej. sobre materiales FR4) se puede producir interferencia inter-símbolo (*ISI*). La ISI se observa en el receptor como *jitter* dependiente del dato (*Data Dependent Jitter (DDJ)*) [105]. Por ello, en transmisiones de datos de alta velocidad (por ej., ≥ 1 Gb/s) sobre líneas de transmisión largas (por ej., >10 pulgadas), ya se observa un alto DDJ (efecto ISI) y se requiere compensación de canal, incluso en enlaces LVDS [106, 105].

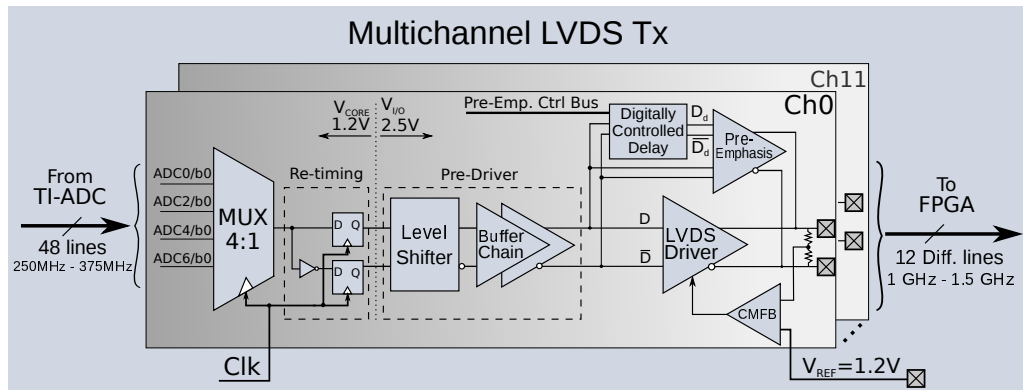


Figura 3.10: Arquitectura del transmisor de alta velocidad LVDS.

La pre-ecualización o *pre-énfasis* es el método preferido para la compensación de canal en las interfaces LVDS debido a su bajo consumo de potencia, reducida área de silicio y la simplicidad de diseño [107, 108]. Normalmente en la mayoría de los diseños de LVDS reportados se implementa un circuito de pre-énfasis fijo que permite compensar algunos canales [107, 109]. Sin embargo, el nivel de pre-énfasis introducido debería ser ajustable para cada entorno de transmisión (por ejemplo, diferentes longitudes de canal FR4) para poder compensar efectivamente la ISI introducida por el canal. Por esta razón, hemos diseñado un *driver* LVDS con pre-ecualización de canal basada en un circuito programable de pre-énfasis que permite adaptar el transmisor a diferentes entornos de operación (por ejemplo, diferentes longitudes de canal de cobre, diferentes sustratos de PCB o encapsulados de chips).

La Figura 3.10 muestra la arquitectura del transmisor LVDS, donde cada canal transmisor consta de un multiplexor 4:1, un *pre-driver* y un *driver* LVDS. El multiplexor 4:1 toma las señales CMOS de salida de los conversores A/D y las serializa por medio de cuatro llaves MOS tipo *transmission-gate* que son conmutadas secuencialmente por un *shift-register*. El bloque *pre-driver* incluye un circuito de sincronización (*retiming*), un circuito elevador de nivel CMOS de 1.2 V a 2.5 V y una cadena de *buffers* CMOS. El circuito de *retiming* está compuesto por dos *flip-flop* estáticos tipo D (DFF) que proveen las señales de datos en forma complementaria (D y \overline{D}) sin desajuste de tiempo (sin *skew*) hacia el elevador de nivel CMOS. Además, el *driver* LVDS incluye un circuito de realimentación de modo común (CMFB) y un circuito de pre-énfasis programable que se detallarán a continuación.

3.6.1. Driver

El estándar LVDS [110] define las especificaciones eléctricas para las señales de salida de los *driver* (por ej. voltaje de excursión típica diferencial (V_{OD}) de 350 mV, tensión de modo común (V_{CM}) de 1.2 V, e impedancia de carga diferencial en el receptor de 100Ω). Un *driver* LVDS es básicamente un *driver* de corriente diferencial que puede

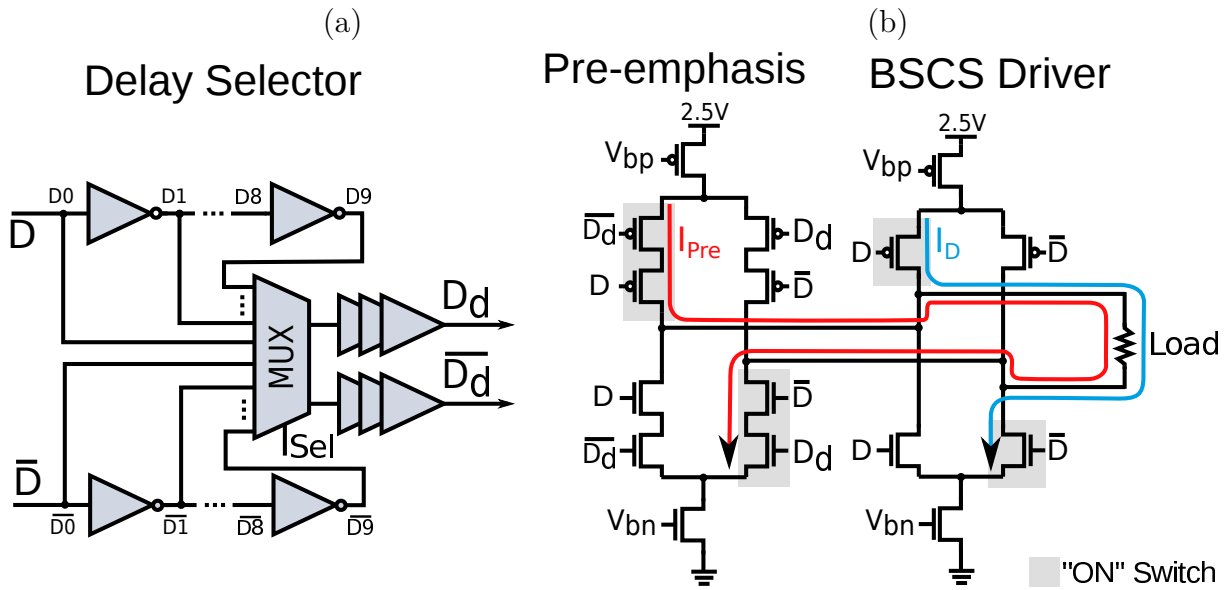


Figura 3.11: *Driver* BSCS con circuito de pre-énfasis programable: (a) selector de *duración* de pre-énfasis, (b) *driver* BSCS con circuito de pre-énfasis.

ser implementado en varias topologías. En esta implementación se eligió la topología de puente de llaves con fuente de corriente (*Bridged-Switches Current Source (BSCS)*) [111, 112]. Esta topología es simple, brinda un bajo consumo de potencia y puede operar con alimentación de 2.5 V que es la disponible para los puertos de entrada-salida en el proceso de fabricación seleccionado. Dada la especificación de modo común de salida de 1.2 V, se implementó un lazo de realimentación de modo común (CMFB) sobre la polarización del *driver* (ver Fig. 3.10). Además, debido a la alta velocidad utilizada en esta implementación, se agregó una impedancia on-chip de 100 Ω para evitar el desajuste de impedancias del *driver* con la impedancia de la línea diferencial de transmisión [112].

3.6.2. Circuito de Pre-énfasis

El circuito de pre-énfasis funciona proviendo un pulso de corriente adicional en cada transición de estado del *driver* de modo tal que logre acelerar el tiempo de subida/bajada de la señal y así poder compensar la limitación de ancho de banda del canal. En esta implementación, se usa un circuito de pre-énfasis similar a [107]. Sin embargo, a diferencia de la propuesta original, se agregó un bloque de retardos programable que puede controlar el tiempo de duración del pulso de pre-énfasis.

La Figura 3.11 muestra la conexión de la celda de retardo programable que controla el pre-énfasis junto al *driver* BSCS. La celda de retardos programable está basada en una cadena de inversores y un selector tipo *transmission-gate*. Las señales retardadas, D_d y \overline{D}_d , son generadas a partir de las señales, D y \overline{D} , respectivamente por medio de las celdas de retardo. La Figura 3.12(a) diagrama la superposición de las señales D , \overline{D}_d y D_d , \overline{D} que encienden la corriente de pre-énfasis en cada transición de bit. La Figura 3.12(b) muestra

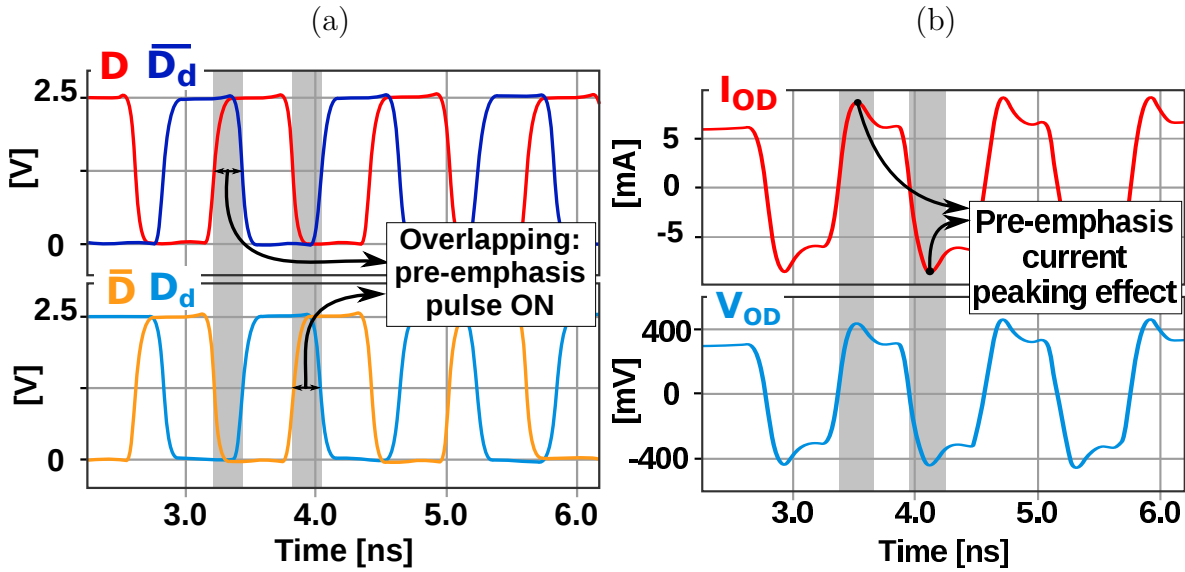


Figura 3.12: Señales del *driver* LVDS: (a) entradas en niveles CMOS del *driver* y pre-énfasis (D, \overline{D}_d y \overline{D}, D_d), (b) corriente diferencial de salida (I_{OD}) y tensión diferencial de salida (V_{OD}).

la señal de salida de corriente con el efecto de pre-énfasis y por lo tanto se observa que la tensión de salida V_{OD} muestra un *sobre-pico* en cada transición. En el Capítulo 4 se demuestra mediante simulaciones y mediciones el desempeño del *driver* LVDS y el circuito de pre-énfasis para diferentes canales de cobre.

3.7. Fabricación de Prototipo

3.7.1. Verificación de Diseño

Las máscaras de *layout* del chip completo se muestran en la Fig. 3.13. Estas máscaras fueron verificadas para cumplir todos los requisitos y reglas de fabricación, incluyendo verificaciones de efecto antena, reglas de densidad de capas de metal y reglas para minimización de efecto de electro-migración en todas las conexiones. Más importante aún, el diseño de *layout* fue optimizado para lograr mínima caída de tensión por efecto resistivo de las pistas de alimentación (*IR drop*) y se garantizó una caída de tensión menor de 10 mV en todas las líneas de alimentación desde los pads de alimentación hasta cada uno de los circuitos funcionales. Además, se verificó en forma exhaustiva las funcionalidad de todos los bloques mediante simulación post-*layout* basadas en extracción de parásitos y variando todos los *corners* de proceso, tensión y temperatura (PVT).

3.7.2. Envío a Fabricación

Finalmente, el test-chip de convertor tipo TI-ADC fue enviado a fabricación utilizando un proceso CMOS estándar de $0.13\mu\text{m}$ de la empresa IBM (Burlington-EEUU) a finales

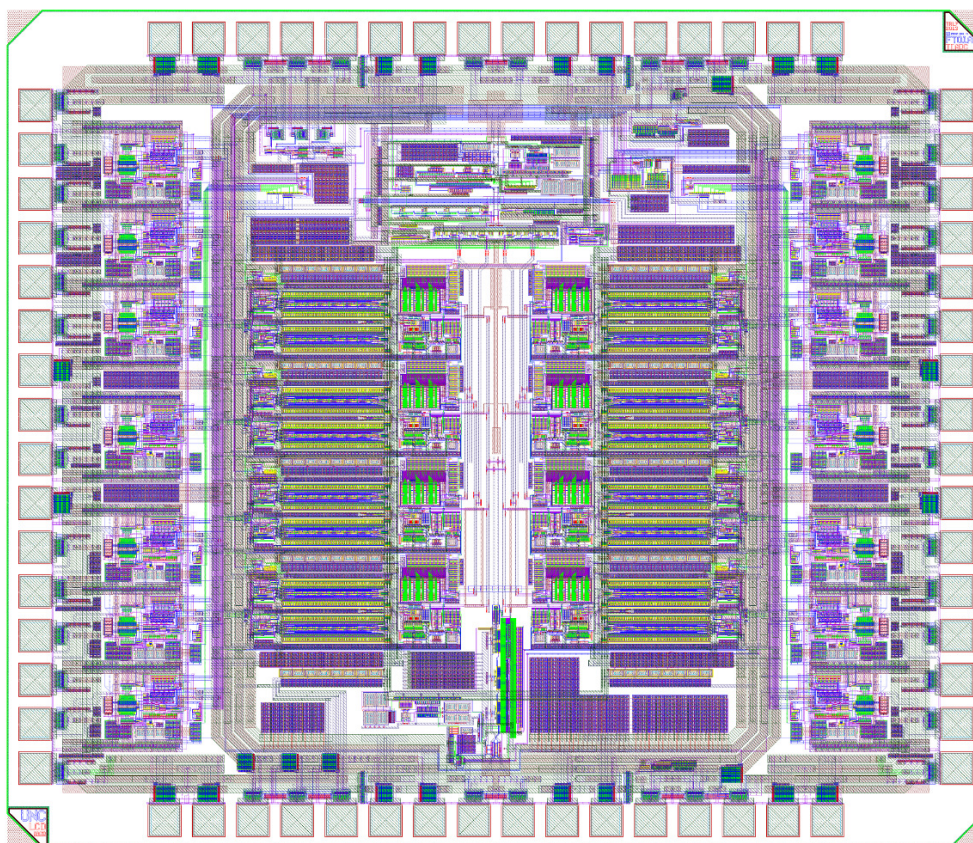


Figura 3.13: Máscaras de layout del diseño completo del chip fabricado.

de Febrero de 2013. El TI-ADC ocupa un área de 1.8mm x 1.8mm (sin considerar VGA y transmisores LVDS) y el tamaño total del chip fabricado es de 3 mm x 3.5mm incluyendo todos los bloques y pads de conexionado. En la Figura 3.14 se muestra una fotografía con microscopio de la pastilla de silicio recibida donde se demarcan los bloques del chip en líneas de trazo. Los bloques no demarcados corresponden al bloque de polarización y de capacidades de desacople de alimentación. El número de pines del chip es de 64 y fue encapsulado en *QFN-64* ya que era el empaquetado con máximas capacidades de velocidad (mínimos parásitos) disponible desde la empresa MOSIS. El proceso de fabricación y encapsulado demandó un tiempo de cuatro meses, durante los cuales se desarrolló parte de la plataforma de mediciones que se detallará en el próximo capítulo.

3.8. Conclusiones

El diseño del chip fue realizado en la etapa intermedia del desarrollo de esta tesis. El mismo considera todos los aspectos fundamentales de diseño de convertidores A/D de alta velocidad e incluye diversos bloques que nos permiten demostrar la nueva técnica de calibración propuesta en el Capítulo 2 para convertidores paralelos intercalados en el tiempo.

El desarrollo requirió grandes esfuerzos de diseño para la optimización en velocidad

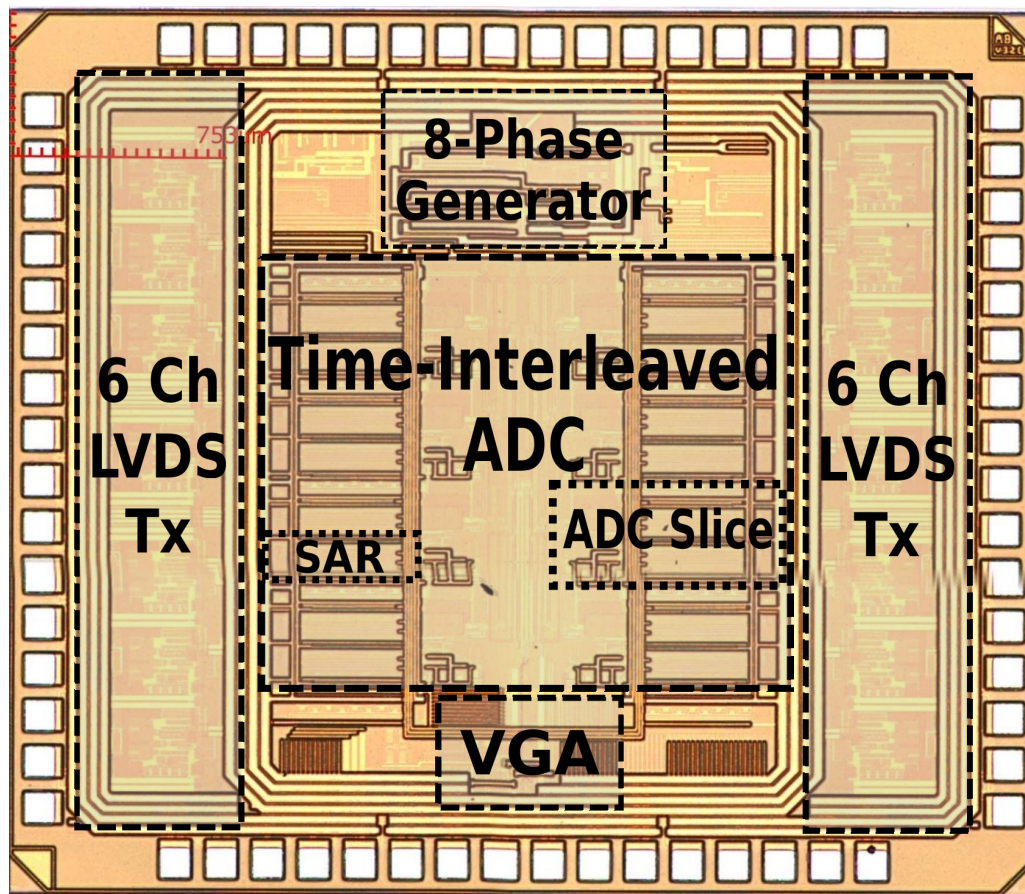


Figura 3.14: Fotografía en microscopio de la pastilla de silicio (*die*). Tamaño total: $3\text{mm} \times 3,5\text{mm}$. Fotografía tomada en LAMARX-FAMAF-UNC.

de cada bloque hasta alcanzar las máximas frecuencias posibles en el proceso de fabricación disponible ($0.13\mu\text{m}$ CMOS). Se requirió el diseño de cada una de las celdas básicas, desde las compuertas, registros, amplificadores, etc., hasta la integración de los bloques completos, ya que no se contaba con ningún diseño previo. Se verificó la funcionalidad del diseño y el cumplimiento de especificaciones en todos los *corners* de proceso, tensión y temperatura.

El *layout* del chip fue realizado con la premisa de alcanzar las máximas prestaciones de velocidad y la más alta confiabilidad posible. Se verificaron tanto los aspectos funcionales del *layout* (parásitos, *mismatch* de transistores y caídas de tensión en las líneas de alimentación) como los aspectos de confiabilidad (reglas de diseño, recomendaciones de diseño y densidades de corriente para evitar efectos de electro-migración). El prototipo fue fabricado en los plazos previstos (se realizó una sola “*corrida*” de fabricación) y en los siguientes capítulos se presentan los resultados de medición.

CAPÍTULO

4

PLATAFORMA DE VERIFICACIÓN Y CARACTERIZACIÓN EXPERIMENTAL DE ADC TEMPORALMENTE INTERCALADO

***Síntesis:** En este capítulo se presenta, en primer lugar, el desarrollo de la plataforma de mediciones del conversor prototipo. Allí se detallan los diferentes sistemas de hardware y software implementados para soportar la operación del chip y luego se muestran los resultados de las mediciones. Las mediciones incluyen el análisis del desempeño de todos los sub-bloques del prototipo. En la parte final del capítulo se resumen las mediciones de consumo de potencia y eficiencia del conversor.*

4.1. Plataforma de Medición

Las exigencias de medición del chip fabricado requirió el desarrollo de una plataforma de *hardware* y *software* especialmente dedicada a tal fin. En la Figura 4.1 se diagrama el esquema básico para efectuar las mediciones del conversor prototipo. A nivel funcional el TI-ADC requiere las siguientes conexiones:

- Señal de reloj externo.

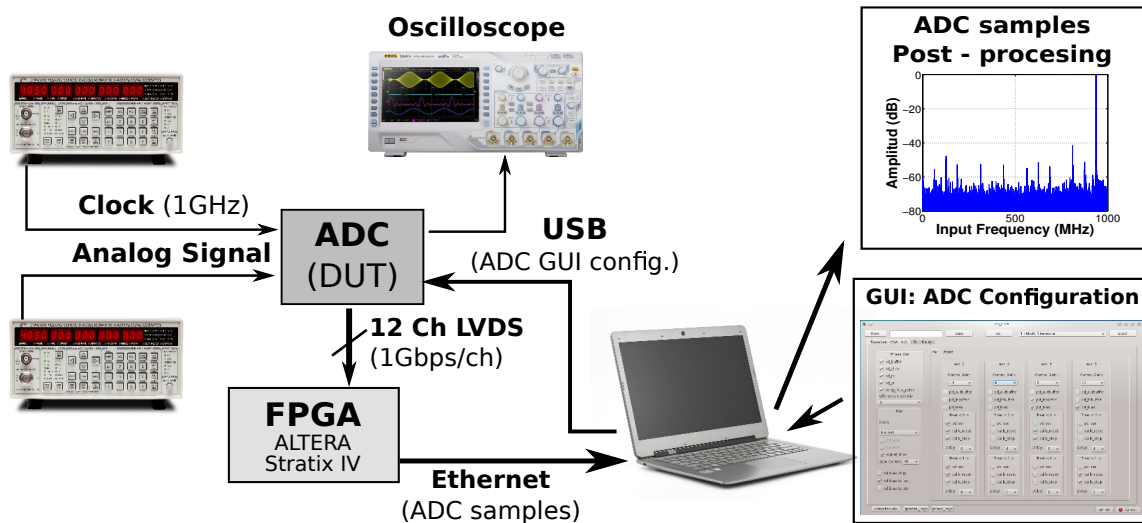


Figura 4.1: Diagrama de plataforma de pruebas y mediciones de TI-ADC.

- Señal analógica de entrada que se desea digitalizar.
- Conexión de salida digital de datos de alta velocidad LVDS.
- Conexión de datos serial asíncrona para configuración de los registros de control del convertor.

Para el armado de este esquema, se utilizó un equipo generador de reloj de 4 GHz de frecuencia máxima, un generador de señal analógica sinusoidal de hasta 4 GHz como señal de entrada, una tarjeta FPGA para la captura las muestras digitalizadas y una computadora (PC) que controla el chip. De este modo, las muestras digitalizadas por el convertor son capturadas por el FPGA, almacenadas en su memoria y luego enviadas por conexión *Ethernet* a una PC para su procesamiento y visualización. Además, el convertor se conecta a una PC (vía interfaz USB) para la carga de sus cadenas de registros de control. Los registros de control son manipulados en la PC mediante una interfaz gráfica de usuario (GUI) para simplificar su control. A continuación se detallan los diferentes sistemas desarrollados para la medición y caracterización del chip convertor.

4.1.1. Placa de Circuito Impreso Multicapa

La primera fase de desarrollo de la plataforma de mediciones comprendió el diseño de una placa de circuito impreso (*Printed Circuit Board (PCB)*) multicapa (de 6 capas en total) en la cual se monta el chip encapsulado. El diseño de PCB (ver Fig. 4.2) incluye consideraciones especiales para manejo de señales de alta velocidad. Para ello, se utilizaron líneas de transmisión diferenciales tipo *Microstrip* de impedancia controlada (100Ω diferencial) sobre las conexiones de señal de reloj y entrada analógica, las cuales fueron verificadas por simulación para frecuencias de más de 3 GHz. Además, la placa

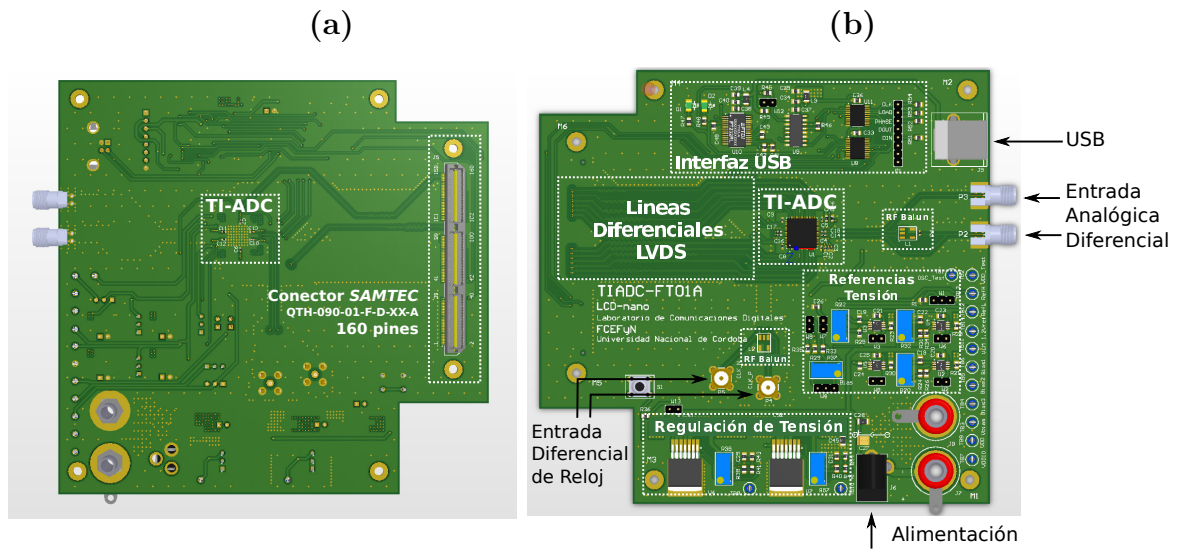


Figura 4.2: Diseño del PCB de soporte para el chip conversor: (a) vista de reverso de la placa con conector a FPGA, (b) vista superior de la placa con montaje de componentes principales.

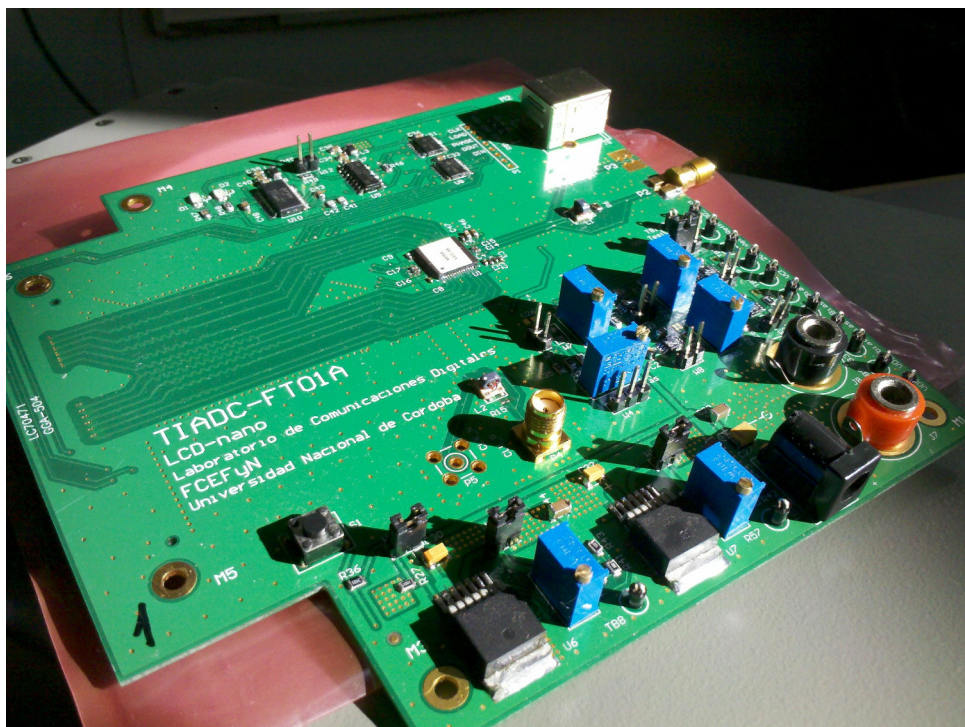


Figura 4.3: Fotografía de PCB para el chip prototipo de TI-ADC.

cuenta con un bus de 12 señales LVDS de alta velocidad que conectan las salidas digitales del chip prototipo con la tarjeta FPGA. Estas líneas también son diferenciales, de impedancia controlada a 100Ω y fueron apareadas en longitud de trazo total para evitar el desajuste de tiempo de propagación. Con este apareamiento de longitudes, el tiempo de desfase máximo estimado entre las líneas LVDS se mantiene en el orden de unos pocos pico-segundos y se evitan así problemas de *skew* entre los receptores del chip FPGA y

entre el reloj de referencia enviado por el TI-ADC hacia el FPGA para sincronismo.

En la Figura 4.2 se muestra el diseño de la capa superior e inferior del circuito impreso. En el centro de la placa se ubica el chip prototipo de TI-ADC. Entre los detalles de diseño que incluye este circuito impreso se destacan:

- Conectores SMA para señales diferenciales de alta velocidad: entrada analógica y reloj.
- Conector de 160 pines para conexión con placa FPGA mediante bus diferencial LVDS.
- Interfaz USB para configuración desde PC.
- Implementación de balunes de RF opcionales para pasaje de señales single-ended a full diferencial.
- Diseño de múltiples desacoples capacitivos para minimización de impedancia de alimentación.
- Referencias de tensión ajustables de bajo ruido.

En la Figura 4.3 se muestra una fotografía de la placa ya fabricada y ensamblada, lista para la medición del chip. En el centro de la imagen se puede observar el TI-ADC prototipo montado (chip con etiqueta blanca).

4.1.2. Recepción de Datos de Alta Velocidad en Lógica Programable

En segundo lugar, se desarrolló un sistema sobre lógica programable FPGA de alto desempeño *ALTERA Stratix IV* [113, 114] para poder capturar en memoria todas las muestras digitalizadas por el TI-ADC. El desarrollo sobre FPGA incluye la configuración, descripción de hardware y síntesis de:

- Deserializadores de alta velocidad.
- Lógica para organización de muestras capturadas.
- Configuración de PLL.
- Memoria RAM.
- Microprocesador.
- Interfaz Ethernet.

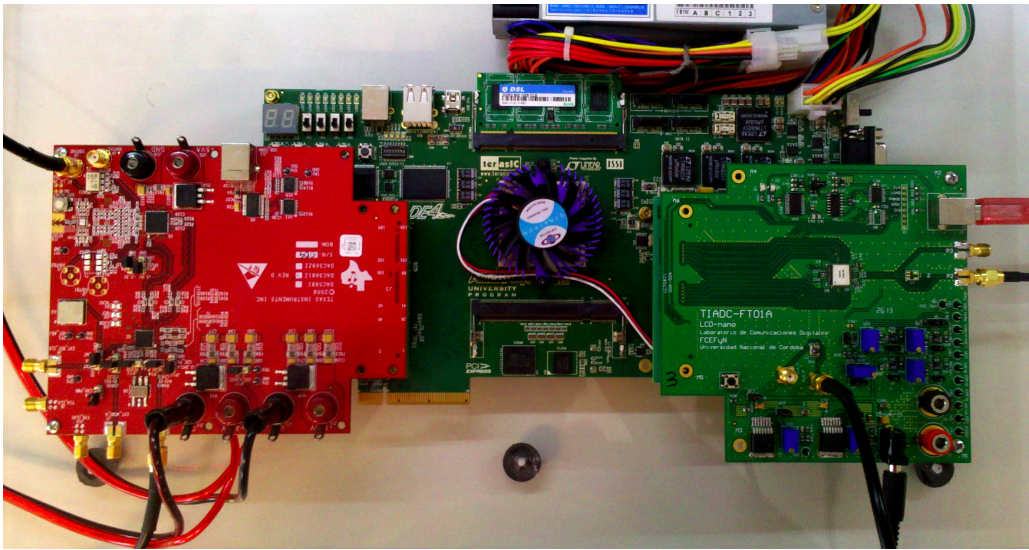


Figura 4.4: Fotografía de la plataforma de *hardware* para mediciones. Placa ADC (derecha) conectada a la placa FPGA (centro) para captura de las señales digitalizadas. Además, una placa DAC para emulación (izquierda) no utilizada en esta medición.

La tarjeta FPGA es la que se ocupa de recibir los 12 canales LVDS de 1 Gbps (cada uno) desde el TI-ADC y deserializarlos hacia memoria. En esta aplicación se optimizó la lógica necesaria para poder alcanzar velocidades de operación de más de 1.5 Gbps por canal. Es decir, típicamente el FPGA captura en forma simultánea a 12 Gbps pero puede alcanzar los 18 Gbps sin necesidad de alterar su configuración. Esto permitió desarrollar ensayos sobre el conversor más allá de las velocidades nominales con sólo variar el reloj externo.

Durante los ensayos y pruebas del TI-ADC el sistema opera de la siguiente manera: primero la tarjeta FPGA recibe y ordena las muestras del ADC en la memoria interna, luego pasa los datos de memoria a un microprocesador embebido (NIOS) y finalmente los datos son transferidos por red LAN *Ethernet* a una PC local o remota. El sistema es capaz de capturar en tiempo real las muestras del ADC hasta agotar la memoria interna de hasta 512KByte y luego puede transferir los datos a alta velocidad por Gigabit Ethernet a la red. Cabe destacar que el microprocesador *NIOS* opera un sistema operativo de tiempo-real (*Real-Time Operating System (RTOS)*) que se ocupa de administrar los pedidos de captura de muestras y transferirlas a la PC cuando son solicitadas. Finalmente desde la PC las muestras son analizadas utilizando software de alto nivel para procesamiento de señales.

En la Figura 4.4 se muestra una fotografía del sistema de ensayo montado. En el centro de la imagen se observa el *kit FPGA ALTERA DE4*, a la derecha la placa de soporte del chip prototipo que se describió en la sección anterior y a la izquierda una placa DAC de Texas Instruments (no utilizada en las mediciones mostradas en esta sección).

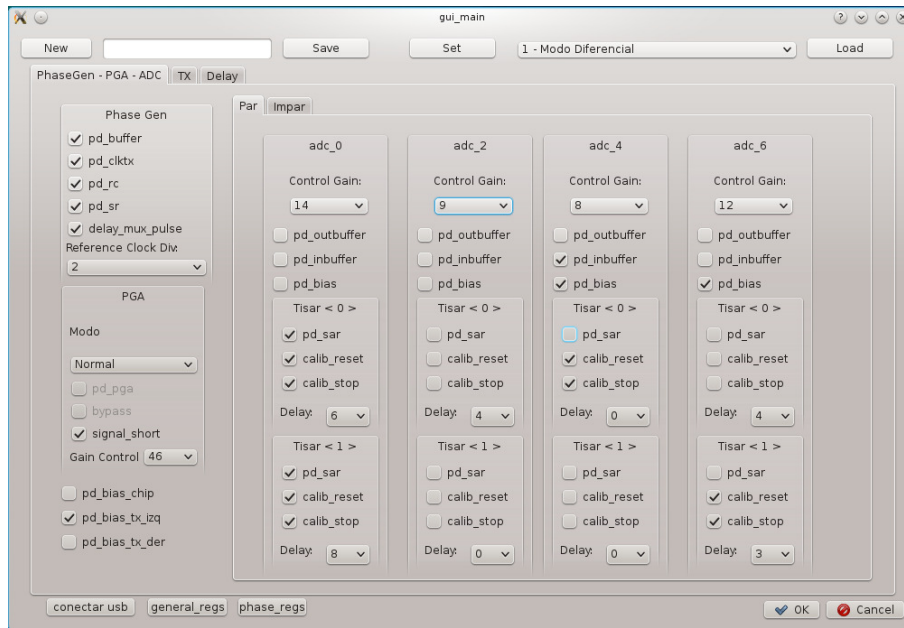


Figura 4.5: Ventana principal del *software* de interfaz gráfica de usuario (GUI) desarrollada para control de los registros del chip prototipo.

4.1.3. Interfaz Gráfica de Usuario para Configuración de Chip

En tercer lugar, se desarrolló un software con interfaz gráfica de usuario (*Graphical User Interface (GUI)*) para realizar la configuración de mil registros de control de un bit (1 kb) que son los que definen el modo de funcionamiento del conversor. La mitad de esos registros, corresponden a las configuraciones de fase de muestreo de cada THA, es decir, configuran las celdas de retardo programables. La otra mitad de los registros configuran la operación de los sub-bloques de por ejemplo, calibraciones de los conversores SAR, ajuste de ganancia de VGA de entrada, nivel de pre-énfasis de cada transmisor LVDS y control encendido/apagado de cada bloque, entre otras configuraciones. En la Figura 4.5 se muestra el aspecto de la GUI. Desde esta interfaz el usuario puede controlar todos los registros del TI-ADC y decidir que bloques desea encender o ajustar. Todo esto simplificó la configuración para el usuario y se pudo realizar mayor cantidad de pruebas en menor tiempo.

Para transmitir los datos de configuración, la placa de soporte incorpora una interfaz USB basada en el chip FTDI FT232RL que permite conectar el chip prototipo directamente a una computadora. El software sobre la PC es el encargado de ordenar la configuración cargada sobre la GUI y de enviar la cadena de bits en forma serial y asíncrona hacia el TI-ADC. Al finalizar la carga, se envía una señal de actualización que permite que todos los registros sean actualizados en forma simultanea.

Para ilustrar el trabajo de laboratorio se muestra en la Figura 4.6 una fotografía de todo el sistema en pruebas utilizado, incluido los generadores de señal, osciloscopio para la verificación de las diferentes señales y la PC que corre la GUI.

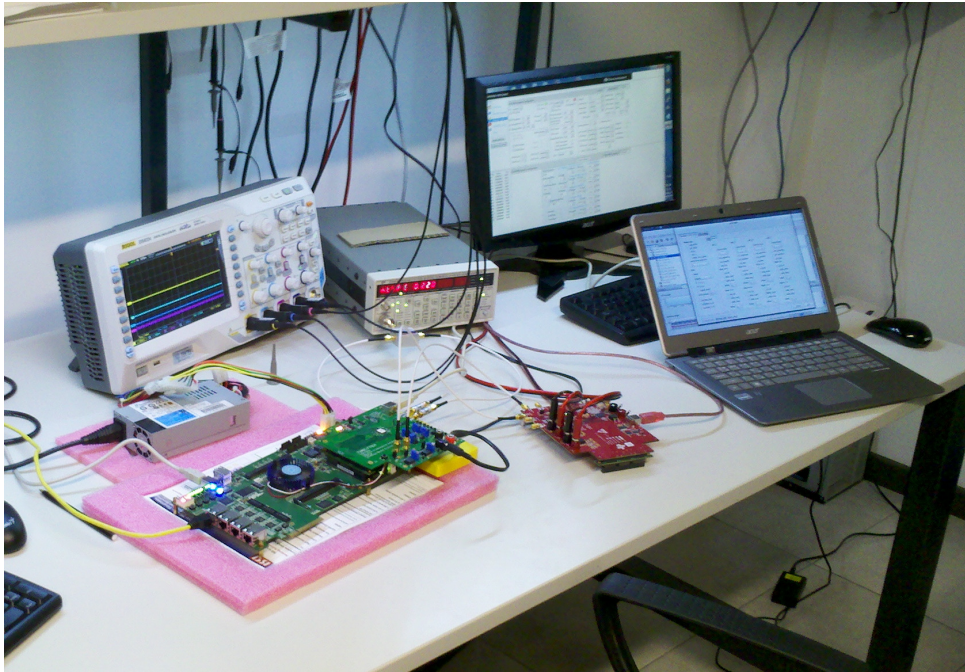


Figura 4.6: Fotografía del set de medición del chip en laboratorio.

4.2. Verificación Experimental de Interfaz de Alta Velocidad LVDS

Uno de los primeros sub-sistemas del chip en ser verificado experimentalmente fue la interfaz de alta velocidad LVDS, bloque fundamental para garantizar una correcta transmisión de los datos digitalizados hacia el FPGA. La Figura 4.7 muestra el enlace de transmisión de datos considerado tanto para la simulación del driver LVDS en su etapa de diseño como para la verificación experimental y mediciones. La efectividad del pre-énfasis se verificó a través de una captura de señal directamente de la salida del buffer LVDS utilizando un osciloscopio digital de alta velocidad de 40 GS/s. Con las muestras ya capturadas a diferentes niveles de configuración de pre-énfasis y a distintas tasas de transmisión, se pudieron luego realizar pruebas de la señal sobre diferentes canales de cobre (*Microstrip*) en material FR4¹. Las mediciones presentadas sobre las señales LVDS en esta sección fueron realizadas a una tasa superior a la nominal, concretamente a 1.66 Gb/s, de modo tal que el bloque sea exigido en prestaciones y se garantice su óptimo desempeño a velocidad nominal.

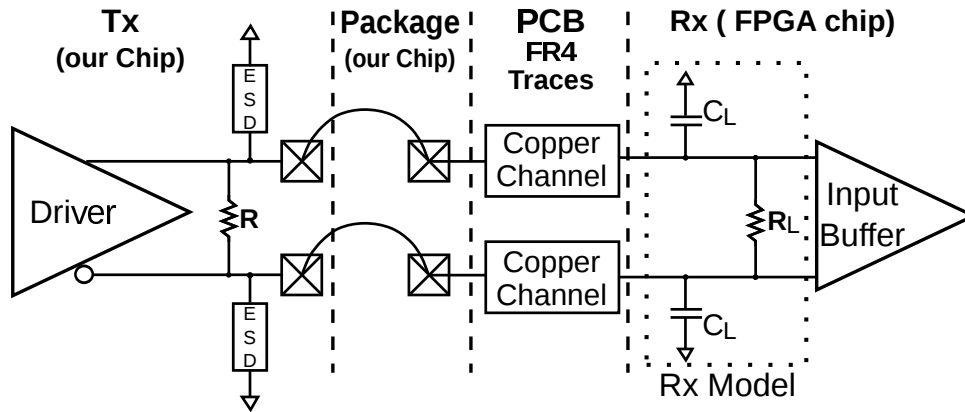


Figura 4.7: *Setup* utilizado para el diseño y la medición del desempeño de la interfaz LVDS.

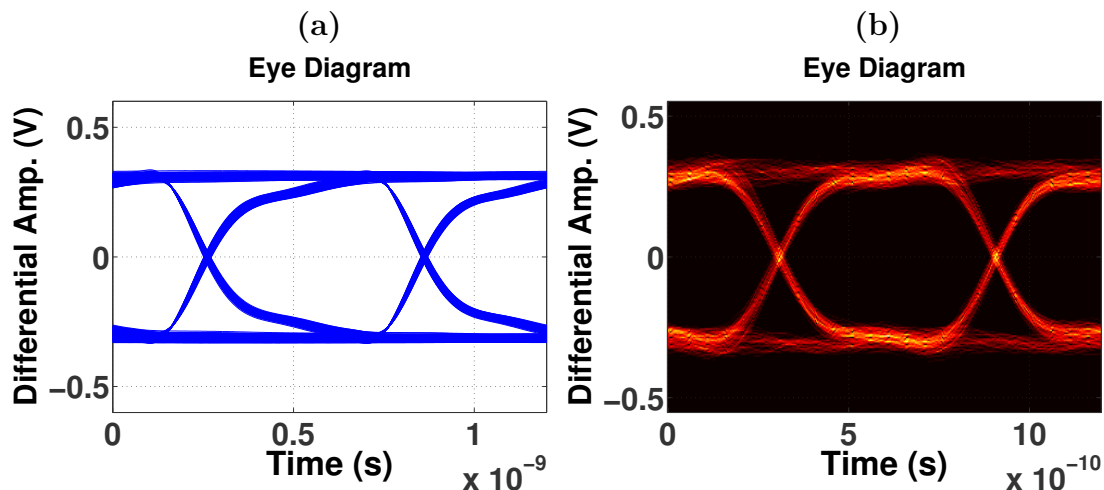


Figura 4.8: Diagramas de ojo sin efecto de canal a tasa 1.66 Gb/s y con pre-énfasis apagado: (a) simulación en *Cadence Spectre*, (b) medición con osciloscopio digital.

4.2.1. Mediciones Sin Canal de Cobre

En esta sección analizamos la respuesta del *driver* transmisor con diferentes configuraciones pero sin considerar efectos de las líneas de transmisión en circuito impreso (canal de cobre). En primer término, la Figura 4.8 muestra dos diagramas de ojo donde se comparan la señal de salida del *driver* LVDS simulada (incluyendo sólo el modelo de encapsulado) con la señal capturada por el osciloscopio directamente del chip (en condiciones nominales de tensión y temperatura). En ambos diagramas (simulación y medición) los *drivers* operan con el circuito de *pre-énfasis apagado*. En segundo término, la Figura 4.9 compara los diagramas de ojo simulado y medido pero con el circuito de *pre-énfasis encendido* y configurado a un nivel *medio* (sin canal de cobre entre transmisor y receptor).

Como se puede observar, las señales LVDS *medidas* (Fig. 4.8(b) y Fig. 4.9(b)) se

¹Dado que al momento de las mediciones no se disponía de canales físicos sobre placas FR4 para realizar las mediciones de ejemplo, fue necesario utilizar modelos de canal proporcionados por herramientas especializadas en diseño de líneas de transmisión, por ejemplo, *HyperLynx* de *Mentor Graphics*.

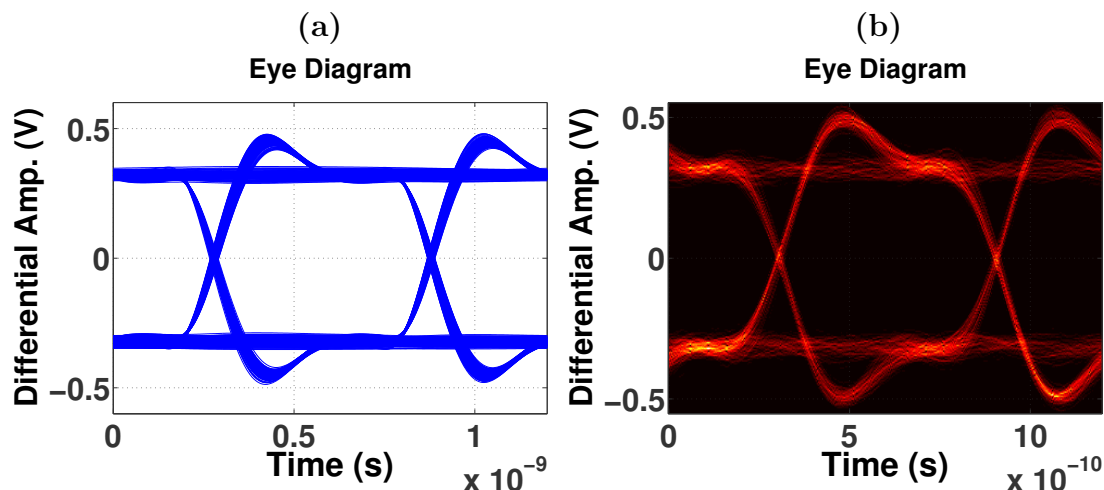


Figura 4.9: Diagramas de ojo sin efecto de canal a tasa 1.66 Gb/s y con pre-énfasis encendido: (a) simulación en *Cadence Spectre*, (b) medición con osciloscopio digital.

ajustan en forma notable con las simulaciones previas del diseño (Fig. 4.8(a) y Fig. 4.9(a), respectivamente). Esto demuestra que se estimaron correctamente los modelos de carga de los *driver* y que los circuitos operan según se esperaba en la etapa de diseño.

4.2.2. Mediciones Con Diferentes Modelos de Canal de Cobre

En esta sección se analizan los resultados de medición de las señales transmitidas cuando se le aplican los modelos de canal. El procedimiento se basa en utilizar las mediciones del chip obtenidas con el osciloscopio de alta velocidad (por ejemplo, Fig. 4.8(b) y Fig. 4.9(b)) y procesarlas con la respuesta de los canales de cobre sobre material tipo FR4 de diferentes longitudes. En la Figura 4.10 se muestran dos ejemplos de respuesta en el tiempo (diagramas de ojo) para un canal de cobre de 6" de longitud, considerado en esta aplicación como *canal corto*. En el caso de la Fig. 4.10(a) el *driver* se configuró *sin pre-énfasis* y se evidencia una leve dispersión (*cerramiento* del ojo). Luego se ajustó el *pre-énfasis* a su valor *mínimo* y se realizó una nueva captura con osciloscopio. Al procesar la señal con el modelo de canal se puede observar (Fig. 4.10(b)) que el diagrama de ojo está mas "*abierto*" comparado con la Fig. 4.10(a). Además se puede observar como disminuye el jitter dependiente del dato (DDJ).

Por otro lado, la Figura 4.11 muestra una comparativa similar a la anterior pero las señales medidas se procesan con modelo de canal de 30" (*canal largo*). Como se puede observar en la Fig. 4.11(a), con el *driver* operando *sin pre-énfasis*, el diagrama presenta una severa atenuación y un elevado nivel de jitter. Luego, con el circuito de *pre-énfasis* operando a un nivel *medio* y utilizando el canal de 30", se puede observar una diagrama de ojo más *abierto*, lo que demuestra un aceptable nivel de compensación del canal y menor interferencia inter-símbolo.

Como se demuestra en los dos casos anteriores, al variar el nivel de pre-énfasis es posible

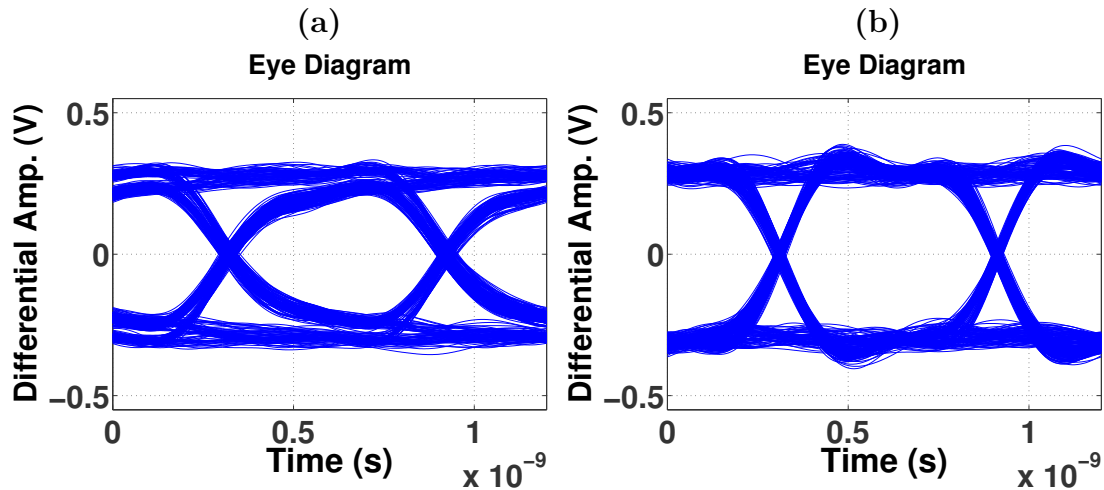


Figura 4.10: Diagramas de ojo de la señal recibida luego de un modelo de canal de cobre de 6" en material FR4 y a una tasa de 1.66 Gb/s: (a) sin pre-énfasis (b) con nivel *mínimo* de pre-énfasis.

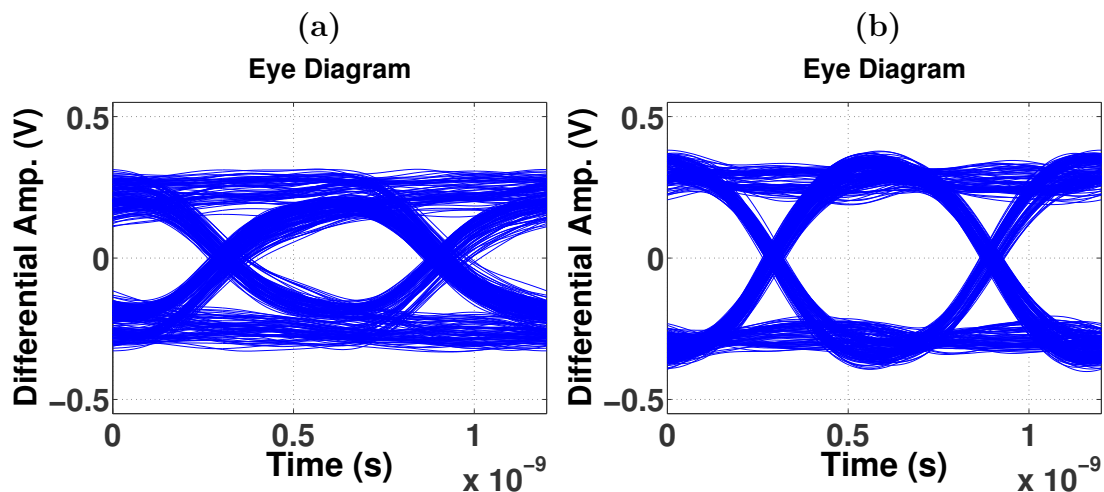


Figura 4.11: Diagramas de ojo de la señal recibida luego de un modelo de canal de cobre de 30" en material FR4 y a una tasa de 1.66 Gb/s: (a) sin pre-énfasis (b) con nivel *medio* de pre-énfasis.

lograr una adecuada pre-equalización del canal y una minimización del efecto dispersivo del mismo.

4.3. Mediciones y Caracterización del ADC Temporalmente Intercalado

En esta sección se muestran los resultados de medición del convertor temporalmente intercalado y se detallan los parámetros típicos que caracterizan el desempeño del convertor A/D. Las mediciones de esta sección fueron realizadas a $F_s = 2\text{GS/s}$ salvo que otra frecuencia sea explicitada. Además aquí se hace foco en la caracterización de los bloques

convertidores por lo cual no se utiliza el amplificador de entrada, es decir que la VGA permanece en modo *bypass*, para evitar cualquier afectación de los parámetros de linealidad y ruido del TI-ADC.

4.3.1. Linealidad

En primer lugar se resumen las mediciones de desempeño de un sólo convertor SAR. La Figura 4.12 muestra las mediciones de linealidad del convertor SAR representada por la no-linealidad integral *Integral Non-Linearity (INL)* y diferencial *Differential Non-Linearity (DNL)*. Estas mediciones fueron realizadas en forma dinámica, a través de la recolección de muestras de una señal de entrada sinusoidal de baja frecuencia y confeccionando el histograma correspondiente. Esta técnica es conocida como *test de densidad de código* y permite obtener los resultados de linealidad con un simple procesamiento del histograma de la señal de entrada [115, 116]. Como se observa en la Fig. 4.12, la DNL alcanza un valor absoluto máximo de 0.16 LSB y la INL de 0.49 LSB. Por otro lado, la Fig. 4.13 muestra la linealidad del TI-ADC completo. Como se puede observar los valores de linealidad para el convertor completo (Fig. 4.13) son muy aproximados a los mostrados para un solo convertor SAR (Fig. 4.12).

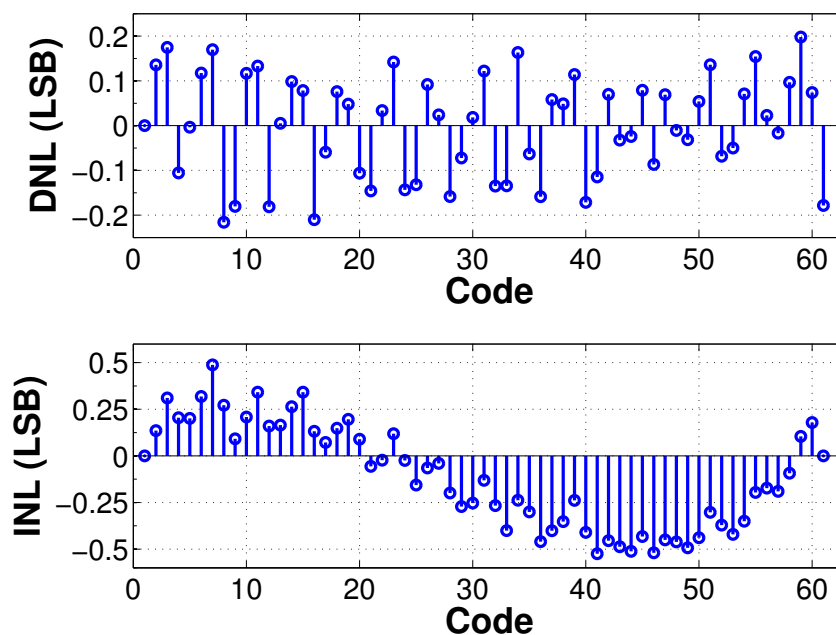


Figura 4.12: Medición dinámica de DNL e INL para un solo ADC SAR $F_{SAR} = 125$ MS/s, $F_{in} = 3$ MHz.

Con las mediciones de DNL presentadas en la Fig. 4.12 y Fig. 4.13, se verifica que el *mismatch* o desajuste entre los capacitores de los DAC de los convertidores SAR se mantiene en un nivel bajo y aceptable para la resolución pretendida. Sin embargo, se demuestra cierta limitación en la linealidad integral. Esto último se podría deber a la limitación en linealidad de las llaves MOS de entrada del chip hasta los THA sumado a las llaves MOS

que conmutan los capacitores de los DAC. En cualquier caso, la no linealidad integral se mantiene en la cota de ± 0.5 LSB como es requerido y es posible alcanzar una conversión de señal con bajo contenido de tonos espurios tal como se demuestra en la próxima sección.

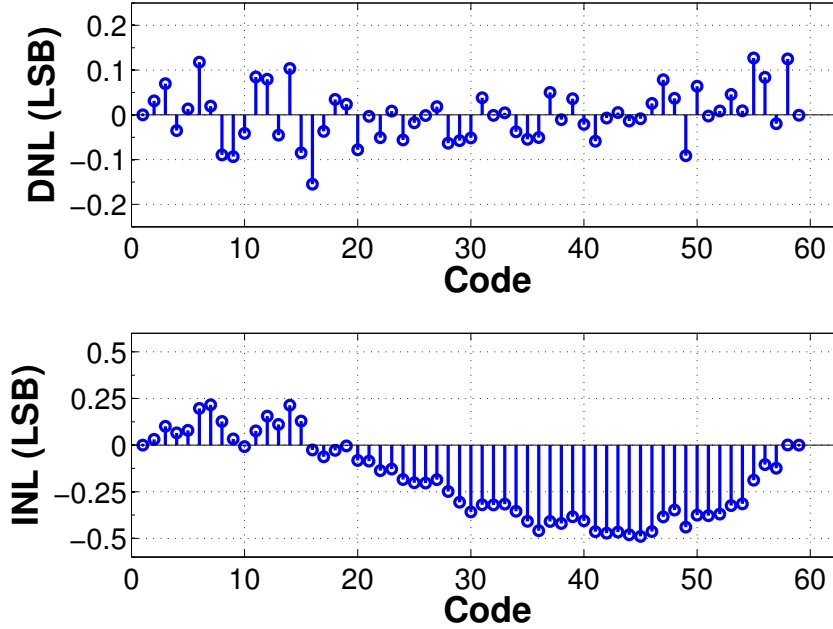


Figura 4.13: Medición dinámica de DNL e INL para el TI-ADC completo. $F_s = 2$ GS/s, $F_{in} = 3$ MHz.

4.3.2. Respuesta en Frecuencia

La respuesta en frecuencia de un convertor de alta velocidad es la medición más importante en cuanto a desempeño. Esta medición busca una representación de desempeño en términos de relación *Señal/Ruido* (SNR) y/o *Señal/(Ruido + Distorsión)* (*Signal-to-Noise-and-Distorsion-Ratio* (SNDR)). En muchas ocasiones, para evitar el valor de SNDR en decibelios y dar una idea más clara del desempeño del convertor, se utiliza el valor equivalente en número de bits efectivos (ENOB) (ver [117]). En esta sección se demuestra que los parámetros de desempeño del convertor fabricado responden en forma satisfactoria a los requeridos en el diseño.

El método de medición de SNDR y ENOB aquí utilizado se basa en la adquisición de 2^{15} (32k) muestras digitalizadas por el convertor prototipo desde una PC (vía tarjeta FPGA). Las muestras son luego procesadas en base a transformada rápida de Fourier (FFT) y a partir de ello se realiza el cálculo de SNDR/ENOB correspondiente. La configuración del sistema de medición especifica la frecuencia de muestreo global en $F_s = 2$ GHz y la frecuencia de la señal de entrada (F_{in}) se “barre” desde $F_{in} \approx 100$ kHz hasta $F_{in} \approx 2$ GHz. En tanto la amplitud de la señal de entrada se fija entre 90% a 95% de su máxima excursión posible (aproximadamente 360 mV_{pp} diferencial). Además, se hace notar que el procedimiento de medición fija la frecuencia de entrada en forma automática mediante

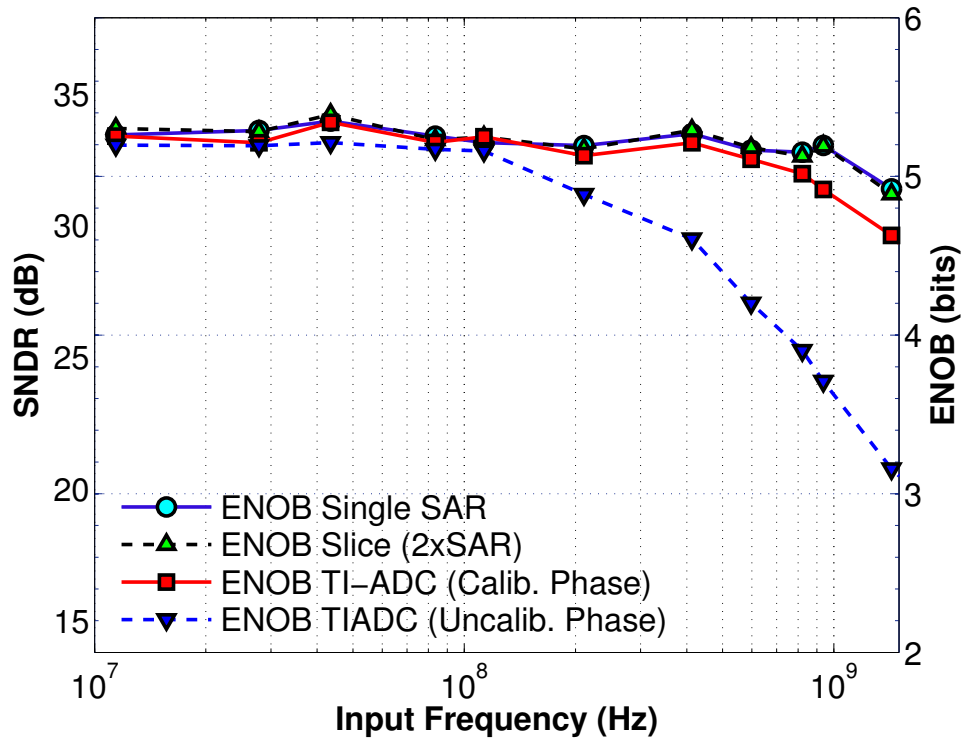


Figura 4.14: SNDR/ENOB en función de la Frecuencia de entrada. Donde: $V_{IN_{ppDiff}} \approx 360$ mV , 100 kHz $< F_{in} < 2$ GHz, $F_s = 2$ GHz, Numero de Muestras para FFT = 32768.

un cálculo previo para evitar cualquier efecto de dispersión espectral (*spectral leakage*). Es decir, dentro de la ventana de tiempo utilizada, se procura obtener un número de ciclos entero de la señal analógica muestreada y este número de ciclos debe ser un valor *primo relativo* al número de muestras utilizado. Además, el número de muestras utilizadas para el procesamiento de FFT tiene base de potencia dos para cualquiera de los ejemplos medidos y no se realiza rellenado de señal (*padding*).

En la Figura 4.14 se expresa la SNDR y el ENOB del chip fabricado en función de la frecuencia de la señal de entrada F_{in} y tomando en cuenta el desempeño de los diferentes sub-bloques: ADC SAR, un canal (*Slice*) y el TI-ADC completo. Allí se puede observar que el desempeño para un único conversor SAR alcanza una SNDR pico de 34.2 dB (5.39 ENOB) y de 33 dB (5.2 ENOB) cerca de la frecuencia de Nyquist ($F_{in} = 937$ MHz). Notar, que si bien la frecuencia de muestreo de cada ADC SAR es de $F_s/8 = 125$ MHz el mismo debe poder adquirir y convertir en forma correcta hasta Nyquist ($F_s/2 = 1$ GHz). Por otra parte, cuando se observa la respuesta del *slice* (THA + 2 ADC SAR) la degradación de SNDR, comparado con la medición para un solo conversor SAR, es de apenas 0.3 dB SNDR (0.05 ENOB). Esto último es muy importante para el desempeño del conversor temporalmente intercalado en general y significa que el desajuste de *offset intra-slice* ha sido calibrado correctamente. Es decir, la calibración interna de cada comparador logra minimizar el *offset* y se evita el desajuste entre los ADC SAR que componen cada canal. Esto también posibilitaría escalar la arquitectura actual de dos conversores SAR sub-

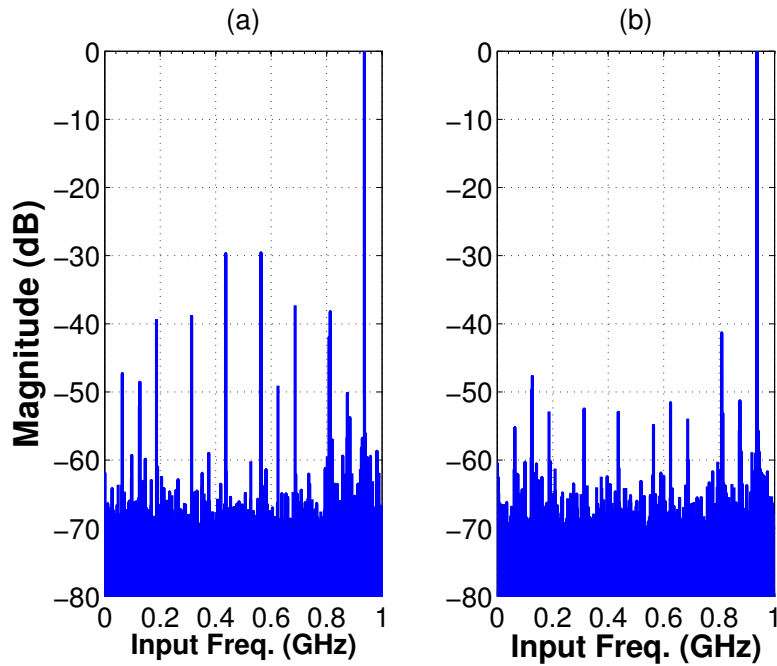


Figura 4.15: Comparación de análisis de FFT de la señal de salida del TI-ADC: (a) sin calibración (b) con calibración de mismatch entre fases del TI-ADC usando las celdas de retardo programable del chip. Medido a: $V_{IN_{ppDiff}} = 400mV$, $F_{in} = 937MHz$, $F_s = 2GHz$, Numero de Muestras para FFT = 32768.

intercalados por cada canal, hacia un mayor número de conversores sin necesidad de compensaciones digitales extras en cada uno de los SAR y manteniendo así el problema de *offset* a los desajustes entre los diferentes THA.

Finalmente, sobre los gráficos anteriores de la Fig. 4.14 se observa también la respuesta en frecuencia del TI-ADC completo. Aquí se realizaron dos mediciones que ilustran la importancia de la calibración entre fases del TI-ADC ². En primer lugar, en la Figura 4.14 se observa una SNDR pico de 33.9 dB para el TI-ADC, lo que implica un desempeño global equivalente al obtenido para un solo *slice*. Sin embargo, en alta frecuencia relativa (F_{in} cercana a Nyquist), se observa una predecible degradación de la SNDR/ENOB en comparación con la respuesta del *slice* (ver trazo azul de Fig. 4.14) y se debe al desajuste entre fases de muestreo. Por ello, para evaluar el máximo desempeño del TI-ADC se requirió calibrar el desajuste entre las fases. Dado que la verificación de la técnica de calibración propuesta se realizará en el siguiente capítulo, aquí se optó por una “*calibración manual*” sobre las celdas de retardo del chip ³. Bajo esta nueva condición de fases calibradas por las celdas de retardo, se observa que el conversor temporalmente

²Se destaca que estas mediciones incluyen compensación digital de desajuste de ganancia y *offset* entre los diferentes canales, es decir, los desajustes generados por los circuitos de THA de cada canal fueron compensados previo al procedimiento de medición de SNDR y ENOB, tal como lo haría el DSP en una implementación de receptor de comunicaciones digitales.

³Notar que no se realizó ningún procesamiento de señal digital para compensar el desajuste entre fases para esta medición, sólo se ajustaron las celdas de retardo incluidas en el prototipo.

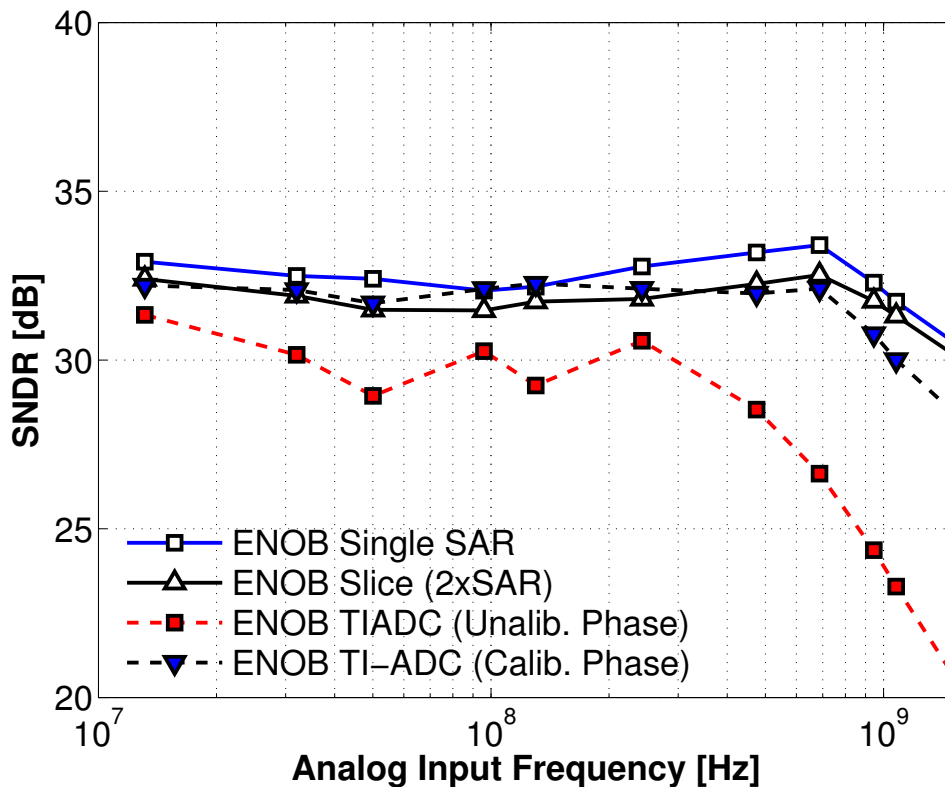


Figura 4.16: SNDR/ENOB en función de la frecuencia de entrada F_{in} con $F_s = 2.3$ GHz. Donde: $V_{IN_{ppDiff}} \approx 360$ mV, 100 kHz $< F_{in} < 2$ GHz, $F_s = 2$ GHz, Número de Muestras para FFT = 32768.

intercalado logra mejorar sustancialmente su SNDR (trazo rojo de Fig. 4.14) y recupera su desempeño en alta frecuencia. De esta forma la SNDR alcanza los 31.4 dB (4.92 ENOB) con F_{in} cercana a Nyquist y $F_s = 2$ GS/s. Para ejemplificar la diferencia entre el TI-ADC con fases calibradas y sin calibrar, la Figura 4.15 muestra la comparativa de los espectros de potencia (en base a análisis de FFT) para una señal sinusoidal de entrada $F_{in}=937$ MHz. Allí se puede notar la diferencia de potencia de los tonos espurios entre la Figura 4.15(a) y Figura 4.15(b) debidas al desajuste entre las fase de muestreo. Además en el análisis espectral de la Fig. 4.15(b) se demuestra un rango dinámico libre de espurios (*Spurious-Free-Dynamic-Range (SFDR)*) de 42 dB. Es decir, no se evidencia una limitación de linealidad importante como en principio podía analizarse en base a la medición de INL de la sección anterior.

Para finalizar esta serie de resultados experimentales de respuesta en frecuencia del TI-ADC, se verificó el la máxima frecuencia de muestreo posible. En la Figura 4.16 se pueden observar los resultados de medición para $F_s = 2.3$ GHz. Los gráficos demuestran una degradación del desempeño, en términos de SNDR, de sólo 2 dB respecto a la medición en $F_s = 2$ GHz de la Fig. 4.15. Esta medición demuestra que el chip prototipo puede operar más allá de la frecuencia nominal de diseño y que su desempeño es aún aceptable en términos de su calidad espectral. Incluso se pudo obtener mediciones hasta $F_s = 2.5$ GS/s

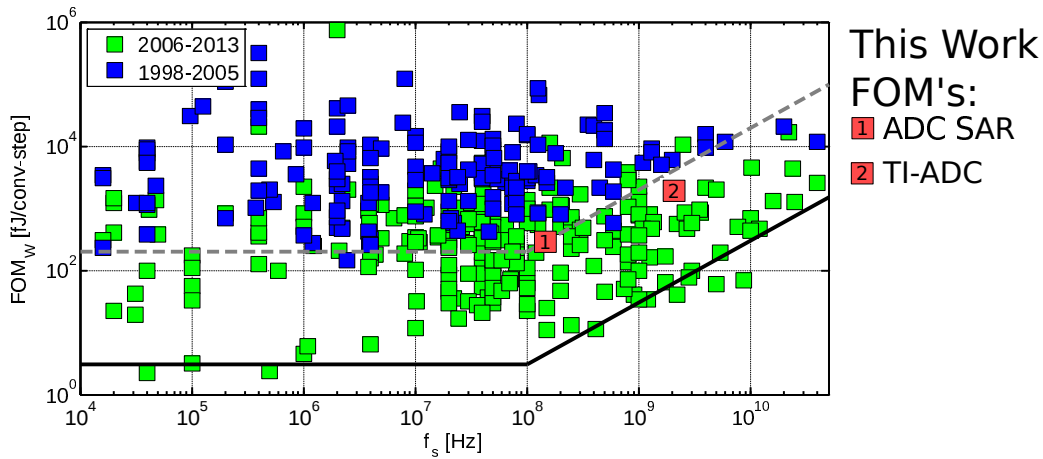


Figura 4.17: Gráfica de resumen de eficiencia alcanzada por los ADC (FOM), presentados en las conferencias *ISSCC* y *VLSI* entre los años 1998 y 2013 (Murmam [118]), y eficiencia alcanzada por el conversor aquí presentado.

con resultados del orden de los 4.5 ENOB para F_{in} cercana a Nyquist.

4.3.3. Consumo de Potencia

El consumo de potencia es otro de los parámetros importantes en toda implementación de conversores, y junto al desempeño determinan la eficiencia del diseño. En el área de conversores de alta velocidad se requiere reducir el consumo para lograr diseños eficientes y existe una “fuerte competencia” en este sentido. Si bien este diseño no se propuso como objetivo alcanzar mínimo consumo ya que el eje del diseño son las capacidades de calibración entre las fases y el de brindar una plataforma de investigación, resulta necesario ubicar el diseño en relación a su eficiencia en consumo de potencia. Existe una figura de mérito (*Figure-Of-Merit (FOM)*) aceptada por la bibliografía que pondera diferentes aspectos relacionados a consumo y desempeño, y que se define como:

$$FOM = \frac{Power}{(2^{ENOB, Nyq} F_s)} \quad (4.1)$$

donde F_s es la frecuencia de muestreo y $ENOB, Nyq$ es la resolución efectiva medida en bits con F_{in} cercana a la frecuencia de *Nyquist* y la FOM se expresa en [Joules/(Paso-Conversion)]. Notar que si la F_{in} no alcanza *Nyquist* ($F_s/2$), la FOM se debe calcular como:

$$FOM = \frac{Power}{(2^{ENOB} 2 F_{in})} \quad (4.2)$$

donde la $ENOB$ expresada corresponde a la F_{in} utilizada.

Cuadro 4.1: Comparación de desempeño entre conversores TI-ADC SAR.

Referencia	Este Trabajo	[20]	[103]
Arquitectura	TI-SAR	TI-SAR	TI-SAR
Tecnología	0.13 μ m	0.13 μ m	0.13 μ m
Resolución [bits]	6	10	6
Frec. Muestreo [GHz]	2	1.35	1.25
Ancho de Banda [GHz]	1	1	0.45
ENOB	4.92	7.7	5
Cons. Potencia [mW]	192	168	32
FOM [pJ/Conv-Step]	3.163	0.6	1.09
Área Activa [mm ²]	3.24	1.6	0.09

El diseño que se presenta en esta tesis reporta dos casos de figura de mérito diferentes, una para el caso de un solo conversor y otra para el caso del conversor temporalmente intercalado completo. Por un lado, los conversores individuales SAR reportan un consumo de potencia de 3.3 mW con $V_{DD}=1.2$ V, con una $F_{s,SAR}=125$ MHz y 5.39 ENOB, lo que resulta en una la FOM de 0.63 [pJ/(Paso-Conversion)]. Por otro lado, el consumo de potencia del TI-ADC completo es de 192 mW (sin considerar el consumo de la VGA y el Generador de fases de reloj), $F_s=2$ GHz y 4.92 ENOB, lo que resulta en una FOM de 3.17 [pJ/(Paso-Conversion)]. La Figura 4.17 ilustra el contexto de la bibliografía de conversores recopilada por [118] y ubicamos en este contexto nuestro diseño. Como puede observarse, el conversor aquí presentado está en el línea con el grupo de conversores de alta velocidad y ventaja en eficiencia a varios de los diseños reportados en los últimos años en las conferencias de *IEEE International Solid-State Circuits Conference (ISSCC)* y *Symposium on VLSI Circuits* (las más importantes del área de conversores). Por otro lado, en la Tabla 4.1 se compara el diseño de conversor aquí presentado con otros conversores de alta velocidad (>1 GS/s) que fueron fabricados en igual tecnología (0.13 μ m) y de igual arquitectura (TI-ADC SAR). Se puede destacar que según la recopilación de [118], el diseño aquí presentado es el de de más alta velocidad.

Para completar el reporte del chip, cabe destacar que el diseño del transmisor LVDS utiliza un área activa de 0.084 mm² por canal y la interfase completa LVDS consume 260 mW a $V_{DD}=2.5$ V, incluyendo los 12 canales LVDS y los 2 canales de reloj de referencia. El área total de la interfase LVDS es de 2.1 mm², incluyendo los capacitores de desacople de alimentación *on-chip* (*bypass caps*). Finalmente, el consumo de potencia del chip completo es de 515 mW, incluyendo la totalidad de los bloques y operando a una frecuencia de muestreo de 2 GHz. En la Tabla 4.2 se resumen los valores de medición de desempeño más relevantes del diseño.

Cuadro 4.2: Resumen de resultados de desempeño del chip prototipo.

	Conversor	
	SAR Individual	TI-ADC Completo
Resolución [bits]	6	
V_{in} [$V_{pp-diff}$]	0.4	
Frec. Muestreo [MHz]	12.5 to 125	200 to 2000
Ancho de Banda [GHz]	1	1
ENOB [bits]	5.2	4.92
DNL/INL [LSB]	0.21/0.52	0.16/0.49
Cons. Potencia [mW]	3.3	192
FOM [pJ/Conv-Step]	0.6 3	3.163
Área Activa [mm^2]	0.065	3.24
Modo de Retardo	Celda de Retardo Programable	
	Nominal ($F_s=2$ GS/s)	Max. Retardo ($F_s \ll 2$ GS/s)
Paso Fino [ps]	0.62	3.5
Ajuste Fino Total [ps]	± 12.4	± 70
Paso Grueso [ps]	7.15	15.25
Ajuste Grueso Total [ps]	± 143	± 305
Cons. Potencia [mW]	3.3	1.1
	Generador de Fases	
Frecuencia de Operación [MHz]	200 to 2000	
Cons. Potencia [mW]	33	
	VGA	
Ganancia VGA [dB]	-3.5 to 9.6	
Paso de Ajuste de Ganancia [dB]	0.4	
Cons. Potencia [mW]	27.6	
	Transmisor LVDS	
Número de Canales	12 Datos + 2 Clk. Sincronismo	
Velocidad / Canal	1.2 Gb/s (Max. 1.66 Gb/s)	
Cons. Potencia [mW]	260 mW (18.5 mW/Ch)	
Área Activa [mm^2]	2.1 mm^2 (0.084 mm^2 /Ch)	
Tensión de Alimentación	1.2 V (2.5 V LVDS Tx)	
Cons. Total Chip [mW]	515	
Tecnología	IBM 0.13 μm CMOS	
Tamaño Chip	3.5mm x 3mm	
Empaquetado	QFN 64pin, 10mm x 10mm	

4.4. Conclusiones

La etapa de mediciones y caracterización del circuito integrado requirió el desarrollo de una plataforma dedicada de *hardware* y *software*. Se desarrolló una placa de circuito impreso multicapa con requerimientos de líneas de transmisión diferenciales de impedancia controlada para señales de alta velocidad. Además, se desarrolló el *hardware* de recepción de datos en base a lógica programable sobre una tarjeta FPGA de altas prestaciones. La

plataforma se completó con un *software* de interfaz gráfica de usuario para el control y configuración del chip desde una computadora.

En base a pruebas experimentales se demostró la correcta operación de todos los circuitos del sistema. Primero se verificó la correcta transmisión de las señales digitales desde el conversor A/D prototipo hacia el FPGA, utilizando la interfaz LVDS de ambos circuitos integrados. Allí se demostró la efectividad de los circuitos de pre-énfasis para compensar los canales de cobre considerados en la etapa de diseño hasta 1,66 Gb/s y se comprobó la correcta sincronización de los datos entre ADC y FPGA. Luego se realizaron las mediciones del conversor y su caracterización en frecuencia a fin de poder ubicar sus prestaciones en el contexto bibliográfico. En las mediciones se demuestra una correcta operación del conversor, tanto los ADC SAR individuales como el conversor paralelo temporalmente intercalado. También se demostró que las celdas de retardo programables tienen la capacidad de ajustar en forma controlada los posibles desajustes entre las fases y permiten que el conversor completo alcance un desempeño similar al de un canal individual. Estas mediciones también permitieron verificar la calibración de *DC offset* en los comparadores y se comprobó que los canales no presentan desajuste de *offset* interno. Finalmente se remarca que, si bien el diseño de conversor no tuvo como objetivo principal la minimización del consumo de potencia, la eficiencia alcanzada por el prototipo está en línea con los diseños de las más prestigiosas conferencias y revistas.

CAPÍTULO

5

VERIFICACIÓN EXPERIMENTAL DE LA NUEVA TÉCNICA DE CALIBRACIÓN DE CONVERSORES TEMPORALMENTE INTERCALADOS

***Síntesis:** En el presente capítulo se detalla la verificación experimental de la nueva técnica de calibración de fases de convertidores temporalmente intercalados propuesta en el Capítulo 2. En primer lugar se muestra la arquitectura del sistema de comunicaciones emulado sobre la plataforma de hardware y software, y se muestran los resultados básicos del sistema emulado. En la segunda parte se muestran una serie de ejemplos de calibración de fases y se demuestra la efectividad de la técnica en forma experimental.*

5.1. Sistema de Comunicaciones Digitales para Prueba de Concepto

En este capítulo se hace foco en la demostración experimental y desempeño de la técnica de calibración de señal mixta propuesta en el Capítulo 2. La plataforma de *hardware* y *software* mostrada en el Capítulo 4 se utiliza en esta etapa del trabajo como base para demostrar en forma experimental la nueva técnica de calibración de fases. Como se detalló

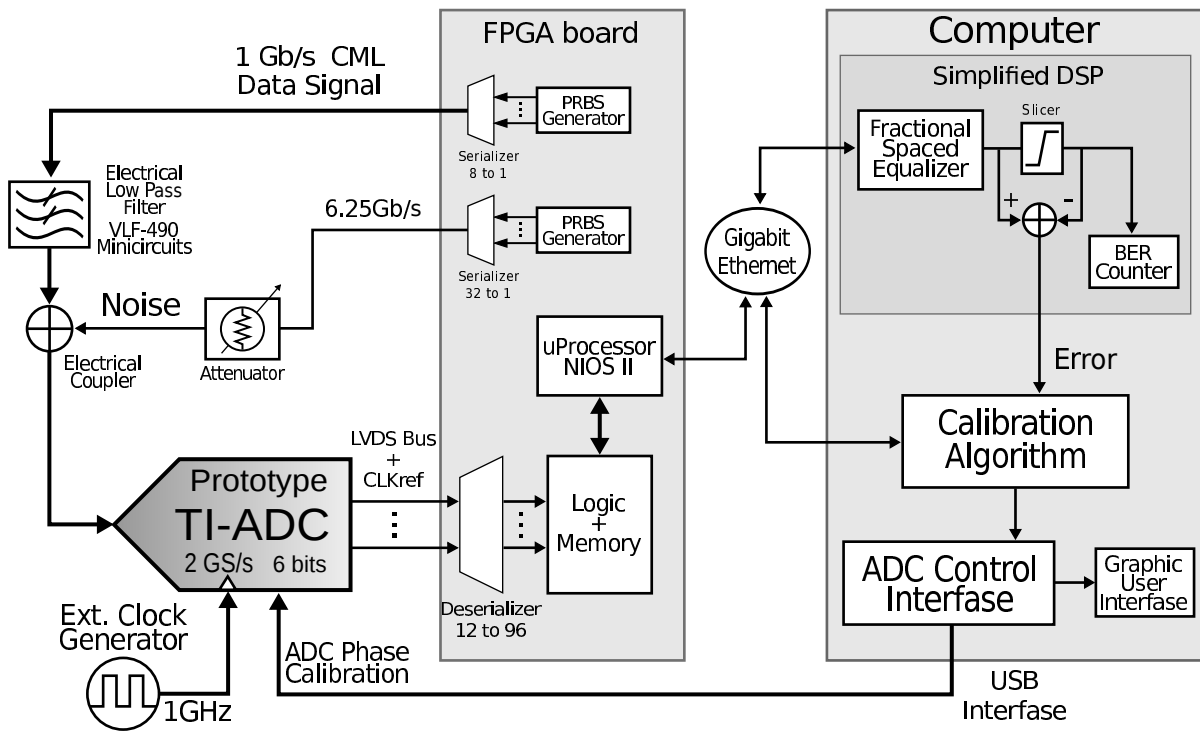


Figura 5.1: Arquitectura de emulador de sistema de comunicaciones digitales *broadband* para verificación de nueva técnica de calibración.

en el Capítulo 2, la técnica de calibración propuesta se basa en operar sobre un sistema receptor digital, es decir, es una técnica basada en la optimización de la operación del DSP del receptor mediante la minimización del error cuadrático medido en el *slicer*. Por lo tanto, para su demostración experimental se requiere implementar un sistema receptor completo tal como se realizó en la etapa de simulación. La prueba de concepto se basa en emular un sistema de comunicaciones digital tipo *broadband* de alta velocidad sobre una plataforma de *hardware-software* dedicada. En este sistema se dispone el convertidor prototipo como *Analog Front-End* (AFE) de la etapa receptora y se implementa el algoritmo de calibración investigado en la etapa de simulación.

5.1.1. Arquitectura del Sistema de Emulación

En la Figura 5.1 se muestra un diagrama del sistema de emulación completo. Aquí se observa el eje central del sistema que es la implementación del chip convertidor como *Analog Front-End* de un receptor digital. Como se puede observar, el sistema de comunicaciones incluye el convertidor prototipo, una tarjeta FPGA y una computadora. Los tres sistemas están mutuamente interconectados y conforman un sistema de transmisión-recepción completo. En este esquema, el bloque transmisor de datos se implementó en la FPGA mediante la síntesis de un generador de bits pseudo-aleatorio (*Pseudorandom-Binary-Sequence* (PRBS)) que alimenta los datos a un serializador para elevar la velocidad de reloj desde 125 MHz (velocidad interna de la FPGA) hasta 1 GHz en los pines de salida,

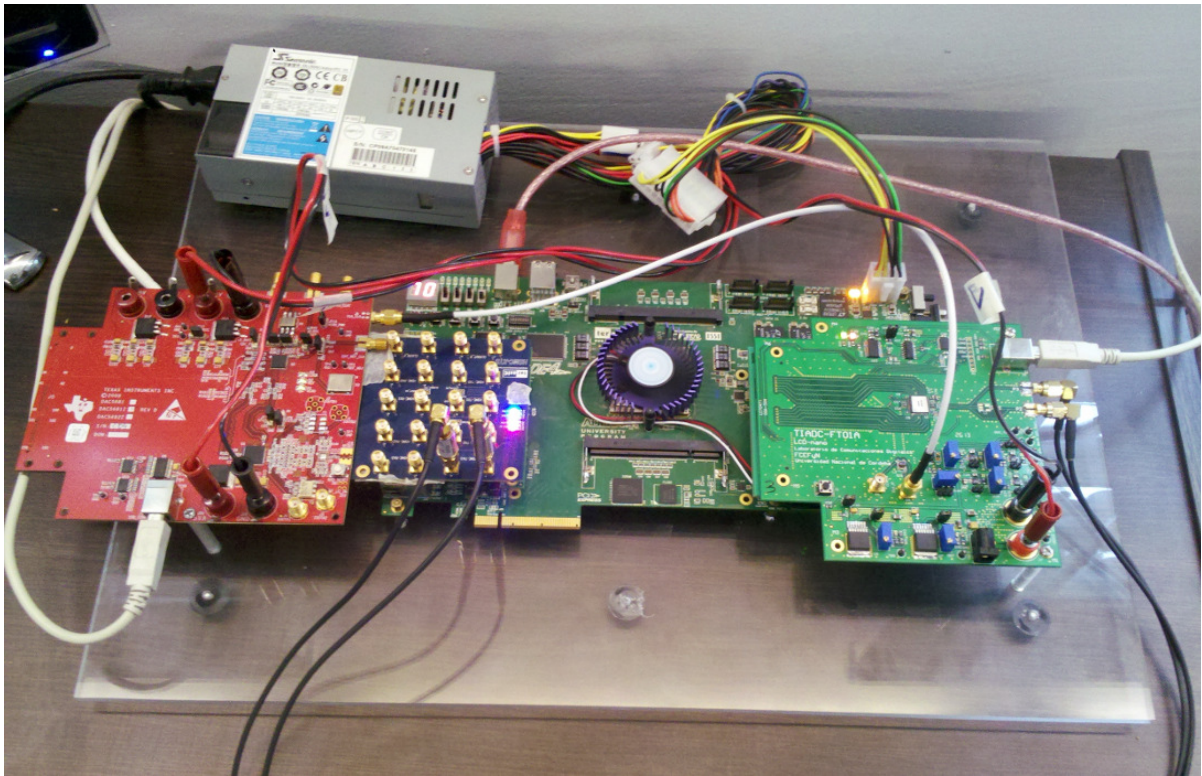


Figura 5.2: Imagen fotográfica del sistema de comunicaciones emulado para verificación de técnicas de calibración de señal mixta para TI-ADC. (En el extremo derecho, la placa del convertor prototipo; al centro, kit FPGA ALTERA Stratix IV; centro-izquierda, placa de expansión de FPGA para conexiones de alta velocidad; Izquierda, placa PLL-DAC Texas Instruments utilizada para generación de reloj externo.

generando una tasa de datos de 1 Gb/s. La señal de salida es transmitida por un *driver* de alta velocidad CML que es accesible mediante conector tipo SMA. La señal eléctrica de datos del transmisor pasa luego a través de un canal eléctrico (filtro de parámetros concentrados) y luego se le adiciona ruido a fin de emular un canal de comunicaciones típico. El filtro analógico del canal puede ser cambiado en su ancho de banda para diferentes pruebas, al igual que el nivel de ruido, a fin de obtener diferentes escenarios para el sistema receptor. Se destaca que el ruido del canal es uno de los aspectos más difíciles de implementar en un sistema experimental, por lo cual se buscó la forma más simple posible de emulación de ruido *Gaussiano*. En este caso se optó por generar una señal eléctrica de ruido en base secuencia pseudo-aleatoria (PRBS) de muy alta frecuencia (> 6 veces la tasa de transmisión de información). Como se demostrará más adelante, a partir del *hardware* disponible para esta tesis, se pudo lograr una emulación simple de ruido *gaussiano* (en un cierto rango).

En cuanto a la arquitectura del receptor digital, éste se compone del ADC de entrada, un procesador digital de señales y un detector de umbral o *slicer*. El convertor se usa a tasa nominal de muestreo de 2 GS/s y el mismo puede ser reconfigurado en su calibración de fases en forma iterativa a fin de lograr la implementación de la técnica de calibración.

De este modo, las muestras del conversor pasan a una memoria interna de la FPGA de 500 KByte y luego el microprocesador embebido (NIOS II) transfiere la memoria a alta velocidad (vía conexión *Gigabit-Ethernet*) a una PC. En los ejemplos de este capítulo, el DSP del receptor digital se implementó en *software* en la PC para posibilitar máxima flexibilidad de reconfiguración de procesamiento. Sin embargo, también se desarrolló un DSP de alta velocidad (en base a procesamiento paralelo) que se puede sintetizar directamente en la FPGA en futuras investigaciones. En el receptor digital también se aprovechan las posibilidades de ajuste de amplitud de señal de entrada utilizando el amplificador de ganancia programable a la entrada del conversor (ver Sec. 3.3.1) para lograr una utilización óptima del rango dinámico disponible. El sistema de emulación se completa implementando en *software* los algoritmos de calibración de fases que corren en segundo plano junto al DSP. Además, los parámetros de operación del conversor, incluidos los registros de configuración de fases, son visibles y controlables desde la interfaz gráfica de usuario mientras el sistema de emulación opera.

Para mayor ilustración del sistema, la Fig. 5.2 muestra una fotografía de las placas FPGA-ADC interconectadas y algunos de los accesorios utilizados.

5.1.2. Procesador Digital de Señales del Receptor

Como se mencionó anteriormente, se optó por implementar el procesador digital de señales del receptor en *alto nivel* de cómputo (*software* en PC), a fin de abordar la investigación experimental en forma flexible y reconfigurable. De este modo, todas las alternativas de calibración se pudieron verificar en un tiempo acorde al trabajo de tesis y se evitaron algunas de las limitaciones de procesamiento de señal que imponen típicamente las implementaciones en lógica programable (FPGA) en esta etapa. Las ventajas de velocidad de procesamiento en FPGA se esperan aprovechar en una segunda etapa de trabajo experimental.

Como se observa en la Fig. 5.1, el DSP se implementó con los elementos básicos a fin de lograr la máxima velocidad de procesamiento. Concretamente, el núcleo del DSP es un filtro ecualizador de espaciado fraccional (*Fractionally-Spaced-Equalizer (FSE)*), tal como se implementa en la mayoría de los sistemas ópticos coherentes de última generación discutidos en los primeros capítulos [11, 58]. El FSE implementado en el sistema de emulación toma las muestras a una tasa de $T/2$, siendo T el período de símbolo (1 ns), es decir que el conversor opera en forma sincrónica al ecualizador a una tasa de 2 GS/s. En consecuencia, la salida del ecualizador pasa al *slice* a la tasa del baudio (1 Gb/s). El FSE se implementó con 30 *taps* (coeficientes) para lograr una correcta ecualización de todos los canales de prueba disponibles. Notar que en este DSP no se requiere implementar un bloque de recuperación de *sincronismo*, ya que tanto transmisor como receptor toman una única señal de reloj de referencia.

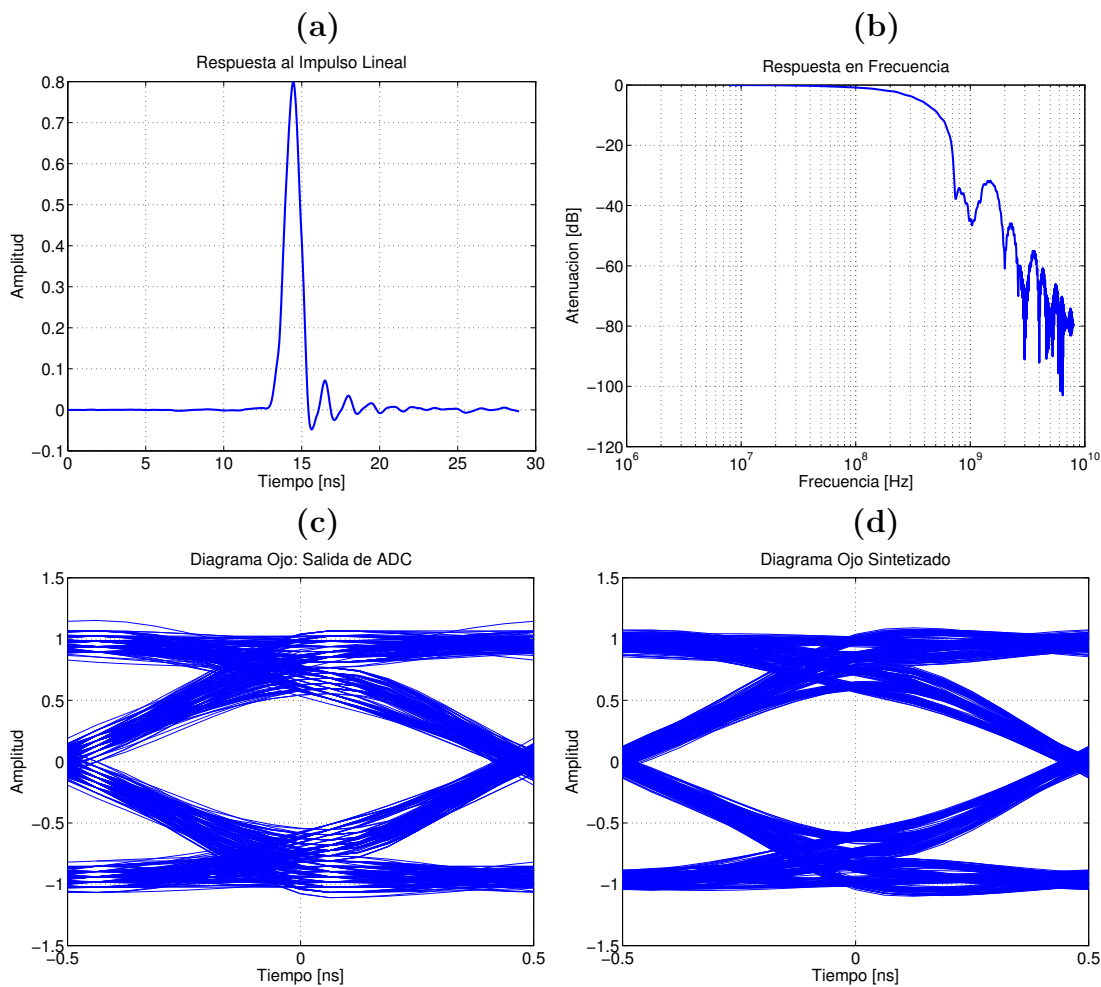


Figura 5.3: Respuesta del canal estimado: (a) respuesta al impulso, (b) respuesta en frecuencia, (c) diagrama de ojo de señal de salida de ADC, (d) diagrama de ojo sintetizado en base a canal estimado.

La operación del DSP inicia con la convergencia de los coeficientes del FSE en base a un algoritmo de minimización de media cuadrática (*Least-Mean-Squares (LMS)*) utilizando el error entre la entrada y salida del *slicer*. En general, la secuencia de adaptación del filtro inicia con un paso de adaptación relativamente grande, y luego de la convergencia se conmuta a un paso de entre 4 a 10 veces menor a fin de minimizar el ruido de adaptación y obtener un óptimo desempeño del equalizador.

Finalmente, luego de la convergencia del equalizador, el algoritmo de calibración de fases del conversor puede iniciar su operación “*midiendo*” el error en el *slicer*. El algoritmo ejecuta la promediación y estimación del error cuadrático medio para actuar en consecuencia sobre las fases del conversor temporalmente intercalado, tal como se describió en el Capítulo 2.

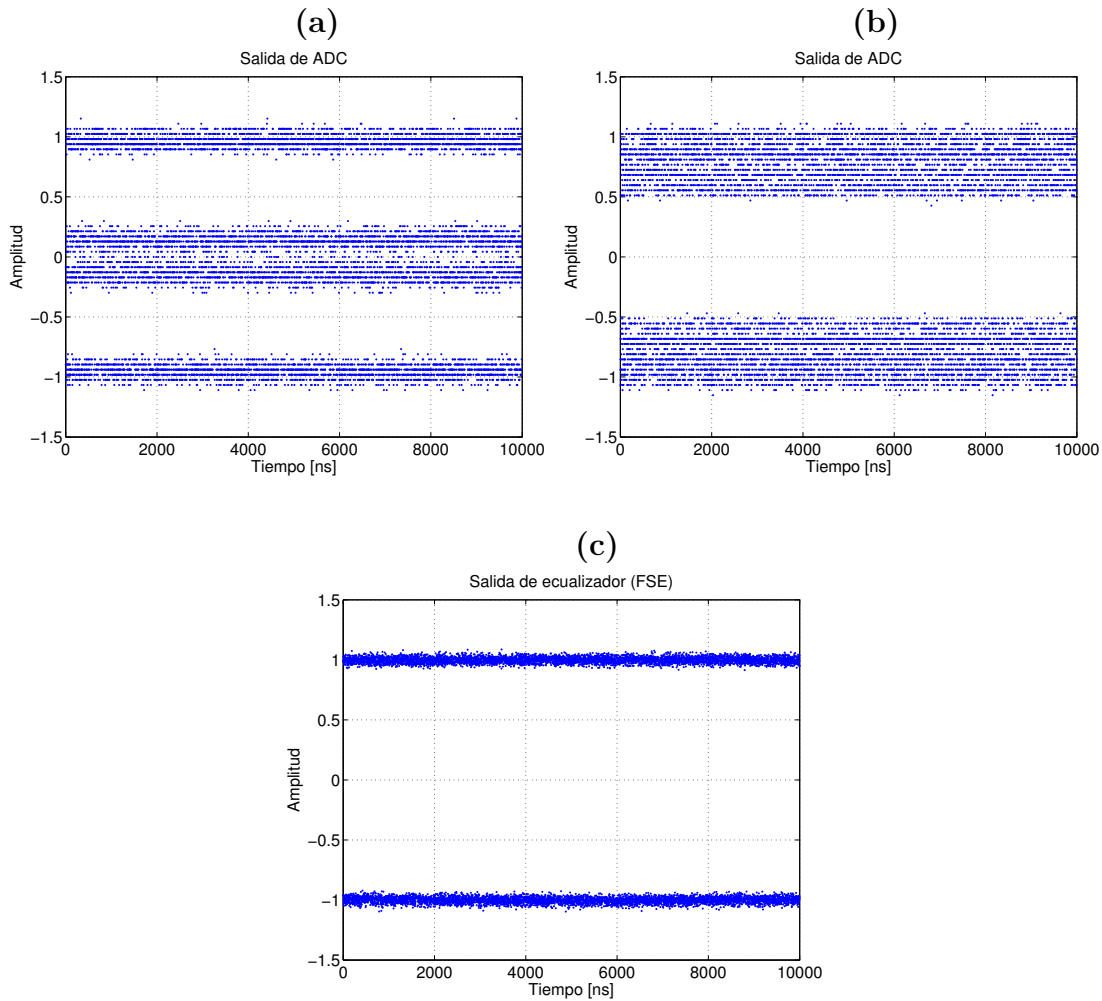


Figura 5.4: Muestras de entrada y salida del ecualizador (FSE). (a) Muestras del ADC en el “*cruce del ojo*”. (b) Muestras del ADC en el “*centro del ojo*”. (c) Diagrama de ojo de salida del ADC formado por las muestras de (a) y (b). (c) Símbolos de salida del FSE ya ecualizados (sin dispersión).

5.1.3. Respuesta del Canal

Antes de detallar el funcionamiento de la calibración del conversor, se desea ilustrar el comportamiento del sistema emulado. A partir de las señales capturadas por el conversor se realizó una estimación del canal. En la Figura 5.3(a) y (b) se muestran la respuestas del canal en el tiempo y frecuencia. Esta respuesta incluye todos los elementos del sistema desde el transmisor hasta el conversor, pero en general la misma está dominada por un filtro eléctrico pasa bajos de 650 MHz de ancho de banda (*VLFF-490+*, *Minicircuits* [119]) que se intercala antes del conversor (ver Fig. 5.1). La respuesta fue estimada en base a la captura del conversor mostrada en el diagrama de ojo de la Fig. 5.3(c). Para verificar este análisis, se sintetizó un diagrama de ojo en base al canal estimado (Fig. 5.3(d)) que claramente se ajusta a la respuesta real muestreada por el conversor (Fig. 5.3(c)).

Desde el punto de vista del ecualizador del receptor, en la Fig. 5.4(a) se grafican las muestras en el tiempo capturadas por el conversor cerca del “*cruce por cero*” del *baudio*,

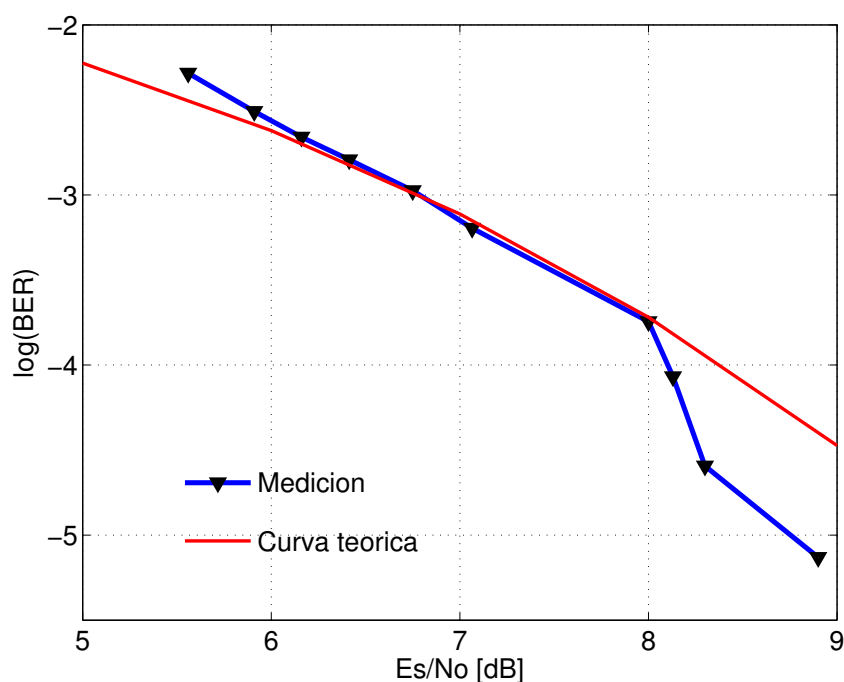


Figura 5.5: Curvas de *Bit-Error-Rate* vs. E_s/N_o de entrada. Comparativa de curva teórica y resultados de tasa de error del sistema emulado.

en tanto la Fig. 5.4(b) muestra la señal en el “*centro del ojo*”. Estos puntos de muestreo se observan más claramente en la Fig. 5.3(c). A partir de estas dos muestras, el ecualizador fraccional (FSE) adapta sus coeficientes para obtener una salida a la frecuencia de los símbolos de entrada tal como la mostrada en la Fig. 5.4(c). En esta última figura se observa una notable reducción de la dispersión de la señal de entrada, quedando sólo el error residual originado por el ruido. También se hicieron pruebas con canales/filtros de menor ancho de banda para emular efectos de dispersión más severos. Sin embargo, salvo especificación, se considerarán casos de emulación con el canal basado en el filtro *VLF-490+*, *Minicircuits* [119].

5.1.4. Verificación Experimental

La verificación del sistema de comunicaciones emulado se presenta en esta sección. La Figura 5.5 muestra el desempeño general del receptor expresado en tasa de error de bits (BER) en función de la relación señal/ruido de entrada (E_s/N_o). Como se describió en la sección anterior el método de adición de ruido es simple pero presenta limitaciones cuando se desea emular una baja tasa de errores, lo cual se puede observar en los histogramas de la señal de entrada. En la Fig. 5.6 se muestran los histogramas observados a la entrada del *slicer* del receptor (Fig. 5.6(a)) y el ruido total visto en el *slicer* luego de la sustracción de los bits transmitidos para una E_s/N_o de entrada de 9 dB (Fig. 5.6(b)). Además, en la Fig. 5.6(b) se superpuso una curva de distribución *gaussiana* (trazo rojo) con la misma desviación estándar estimada desde el histograma. Como se puede observar, el ruido se

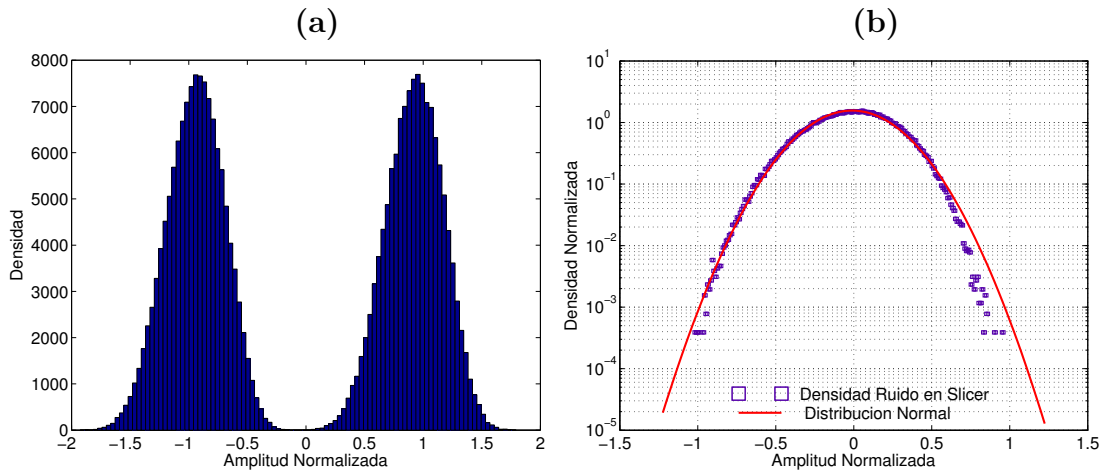


Figura 5.6: Histogramas: (a) Histograma de señal de entrada al *slicer* del ecualizador adaptativo para una $E_s/N_o \approx 9$ dB . (b) Comparativa de histograma del ruido al *slicer* ajustado a una curva de probabilidad *Gaussiana* para una $E_s/N_o \approx 9$ dB.

ajusta a la curva de distribución aunque no muestra valores coherentes en los extremos de la distribución. Además, los histogramas de la Fig. 5.6 muestran una leve asimetría en sus valores extremos. Esta discrepancia en los “*extremos*” de las funciones de densidad de probabilidad (pdf) explica la *subestimación* de la tasa de errores para E_s/N_o superiores a 8 dB ¹. Sin embargo, como se observa en las secciones siguientes, esta limitación de emulación de bajas tasas de errores *no imposibilita ni afecta la verificación* de la técnica de calibración propuesta, ya que la misma se basa en observar el nivel medio de ruido en el *slicer*. Es decir, la técnica de ajuste propuesta no es sensible al tipo de distribución de ruido en el *slicer* sino que se enfoca en la medición de la potencia total de ruido y su minimización. A los fines prácticos, las mediciones de tasas de error menores a 10^{-4} no serán consideradas. En estos casos, las mediciones se enfocarán en valores del error cuadrático medio (MSE) en el *slicer*. Luego, a partir de las mediciones del MSE se puede obtener el impacto en *decibelios* o bien comparar las tasas de error teóricas para los diferentes valores de MSE. Esto último no implica una idealización del sistema ya que, como se demostró en la Sección 5.1.3, el canal y la respuesta total del sistema presenta una alta linealidad.

5.1.5. Capacidades del Sistema de Calibración

Como se detalló en la Figura 5.1, el sistema experimental de verificación puede operar la calibración de fases en forma iterativa para realizar los ajustes sobre las fases del conversor prototipo. El sistema de ajuste es controlado por una máquina de estados que implementa el algoritmo de calibración y envía los parámetros de programación a las celdas

¹Esta limitación de precisión en la generación de ruido no ha sido posible de suplir en el laboratorio al momento de las mediciones, por lo cual se planea buscar nuevo equipamiento para la optimización de futuras mediciones.

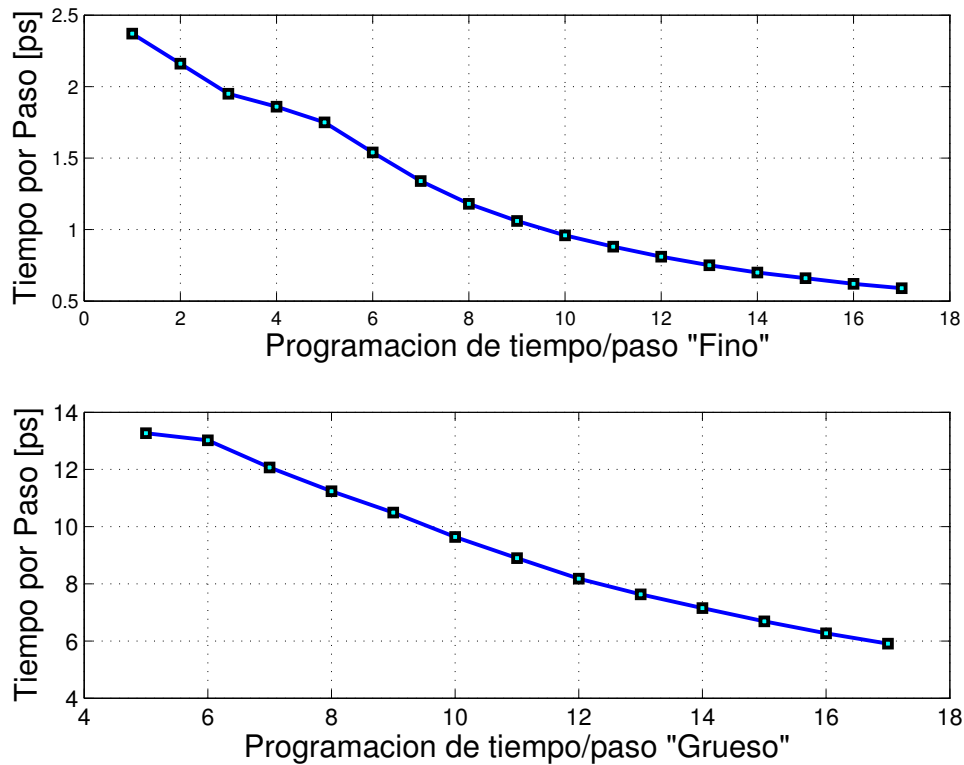


Figura 5.7: Medición de paso de retardo programable en las celdas de control de fases según configuración de paso grueso (*coarse*) o fino (*fine*).

de retardo. Es decir, cada vez que el algoritmo de calibración realiza un corrimiento de fase, el comando se transmite al software de interfaz gráfica (GUI) que controla todas las configuraciones del chip y se actualizan los registros de control de fases. Los datos del software se bajan a través de una interfaz USB (desde la PC) directamente a la placa de soporte del conversor. Luego de la actualización de los registros de las celdas de retardo, el algoritmo de calibración continúa su ejecución sobre el siguiente conversor. Cabe aclarar, que la configuración y actualización de registros no afectan la operación normal del ADC, es decir que el muestreo de la señal de datos continúa en forma ininterrumpida.

Por otro lado, las celdas de retardo programable pueden ser manipuladas de diferentes modos. En primer lugar se pueden configurar en cualquiera de sus 40 pasos de retardo, pero además se puede configurar su modo de operación *fino* o *grueso*, es decir que se pueden generar diferentes escenarios de calibración. En la Fig. 5.7 se presentan las mediciones del paso de retardo para los dos modos. Según estos resultados, el paso de retardo *grueso* puede ser manipulado desde aproximadamente 6 ps hasta 13 ps, operando a la frecuencia de operación nominal $F_s=2$ GS/s. Esto es posible gracias a la flexibilidad de ajuste introducida sobre las celdas de retardo, utilizando los *buffers* CMOS en paralelo sobre cada arreglo de capacitores (ver Sección 3.4.3). Por lo tanto, en primera instancia se puede elegir con qué paso de retardo operar y ejecutar la emulación de calibración con la posibilidad de variar cada fase ± 20 pasos. Por otro lado, el ajuste *fino*, brinda la

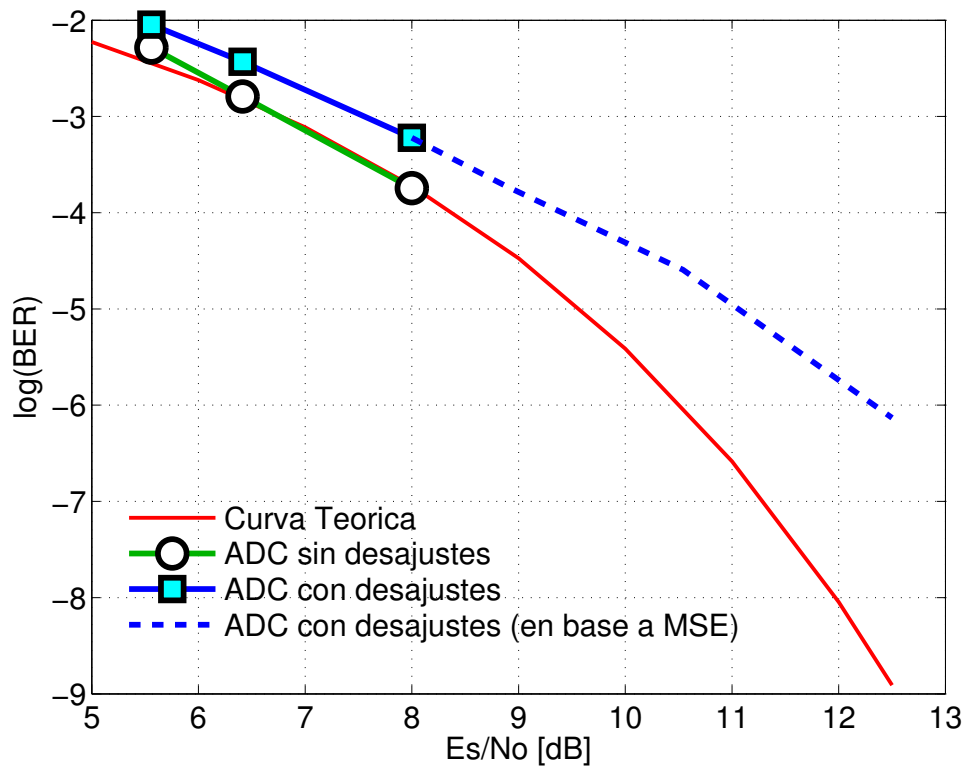


Figura 5.8: Curvas de *Bit-Error-Rate* vs. relación Es/No . Impacto del desajuste entre las fases del convertor medido en BER y extrapolación sobre curva teórica en base a medición de BER.

posibilidad de realizar ajustes de igual modo que el ajuste *grueso* (± 20 pasos), pero el paso de ajuste puede ser fijado entre 0.6 ps hasta 2.3 ps (ver Fig. 5.7).

En general, en los ejemplos de calibración presentados en este capítulo, se opera en el modo de ajuste *grueso* ya que permite generar los escenarios de desajuste relativamente severos que se investigaron en los convertidores para aplicaciones ópticas del Capítulo 2.

5.1.6. Impacto del Desajuste entre Fases del ADC Temporalmente Intercalado sobre el Sistema Receptor

Uno de los puntos más interesantes para analizar sobre el desajuste entre fases en convertidores paralelos temporalmente intercalados es su impacto en el desempeño de los receptores digitales. En las Figuras 2.4 y 2.8 del Capítulo 2, se podía apreciar la degradación de la señal de entrada (en términos de relación señal/ruido óptico (OSNR) y tasa de error) en función del desajuste entre fases del convertor. En esta sección se realizó un análisis similar, pero considerando los desajustes en el convertor prototipo sobre el receptor digital emulado.

La Figura 5.8 muestra la curva de BER teórica (trazo color rojo) sobre la curva de BER medida con el sistema receptor implementado (trazo color verde). Sobre estas curvas

se traza la curva de BER obtenida con los conversores desajustados (trazo color azul) ². El nivel de desajuste de los conversores es del orden de $\pm 12\%$ del periodo de símbolo (T), con distribución uniforme. Es importante recordar que en el Capítulo 2 se obtuvieron valores similares de penalización de relación señal/ruido para un nivel de desajuste de fases de $\pm 10\%T$ y un *time-skew* entre canales en cuadratura (I/Q) de otro $10\%T$. Esto último no es posible de emular aquí ya que el sistema experimental sólo tiene posibilidad de modulación antipodal.

Finalmente, se destaca que la degradación del desempeño aumenta a medida que la E_s/N_o de entrada del sistema crece. Esto es coincidente con las simulaciones de los capítulos anteriores y a su vez es coincidente con el desempeño que requiere el receptor sobre el conversor. Es decir, para poder operar a mayor nivel de E_s/N_o (ya sea para implementar esquemas de modulación más complejos o para operar con una baja tasa de error) los requerimientos sobre el conversor son mayores y la tolerancia al desajuste entre fases es cada vez menor. La tendencia actual en los sistemas de alta velocidad, tanto para canal óptico como otros canales de comunicaciones, es implementar esquemas de modulación cada vez más complejos (16QAM, 64QAM, etc.). Por lo cual la degradación mostrada en la Fig. 5.8 no sólo es intolerable en los sistemas actuales bajo esquemas QPSK sino que será un problema mayor en las futuras generaciones con esquemas de modulación más complejos.

5.2. Nueva Técnica de Calibración

5.2.1. Verificación de Convergencia de Calibración

La convergencia del ajuste de fases del conversor es uno de los aspectos más importantes en todo esquema de calibración. El foco en esta sección es demostrar en forma experimental el comportamiento de la nueva técnica de calibración propuesta en el Capítulo 2. En la Figura 5.9 se muestra el primero de una serie de ejemplos de calibración de las fases de muestreo del conversor paralelo. En este ejemplo, el conversor se fijó con un desajuste inicial de hasta $\pm 12\% T$, donde T es el periodo del símbolo (1 ns), y el sistema opera con una relación señal-ruido a la entrada del receptor (E_s/N_o) de 8.9 dB. En la parte superior de la Fig. 5.9, se ilustra el desajuste entre las fases del conversor, donde cada color corresponde a la configuración de cada una de las ocho celdas de retardo programable en función del tiempo de ejecución de la calibración. En todos los ejemplos de esta sección, el paso de tiempo de retardo de cada celda se ajustó en aproximadamente 6 ps (ajuste *grueso*) por lo cual el rango de ajuste de cada fase es de aproximadamente ± 120 ps. En la gráfica inferior de la Fig. 5.9 se observa la medición del error cuadrático

² Notar que los puntos de BER medidos por sobre los 9 dB de E_s/N_o corresponden a valores extrapolados teóricos, ya que como se verificó en la Sección 5.1.4, el sistema de emulación no logra contabilizar los errores de manera correcta para tasas de error relativamente bajas ($< 1E-4$).

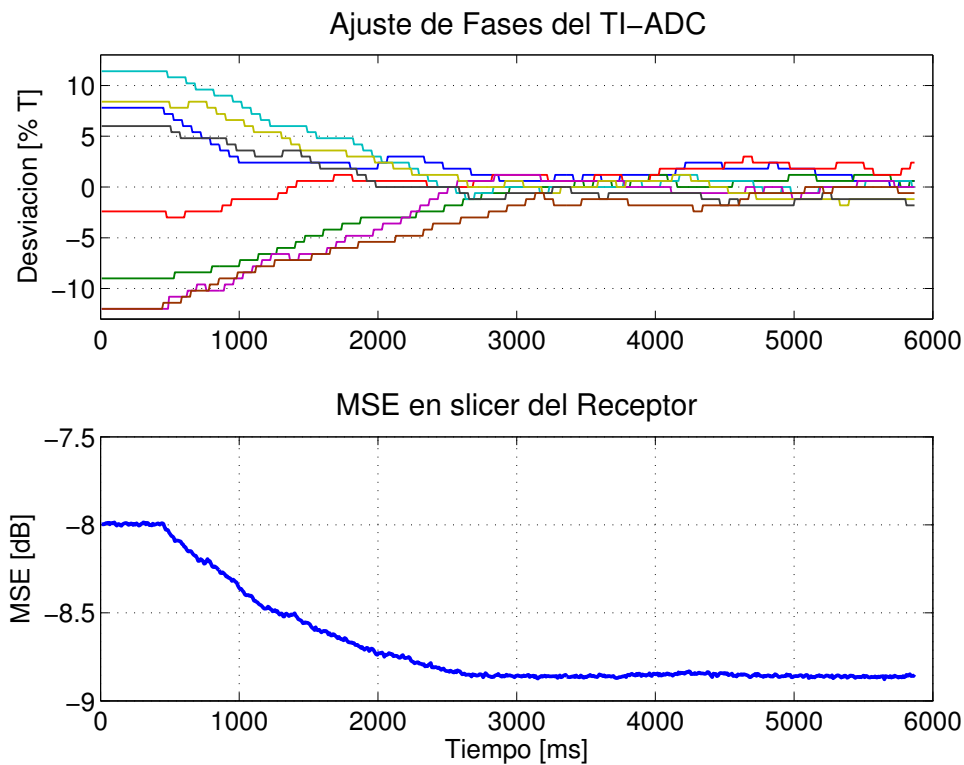


Figura 5.9: Convergencia de la técnica de calibración por minimización de MSE. Número de símbolos promediadas por iteración por fase = 8×10^6 ; $E_s/N_o = 8,9dB$.

medio (MSE) en el *slicer* del receptor. Como se puede observar, el sistema inicia con un nivel de error en el *slicer* de $MSE = -8$ dB, y se mantiene en ese nivel hasta que se permite la operación de la calibración de fases (en $t = 500$ ms). Una vez que se da inicio a la calibración de fases el nivel de error en el receptor baja en forma gradual hasta alcanzar un piso cercano a los -8.9 dB. En este ejemplo, el ajuste de las fases se realiza con ajustes de fase 6 ps por paso (mínimo paso *grueso*) y se trabaja en forma *round-robin* sobre cada fase del convertor. El primer aspecto importante de analizar en este ejemplo es que el convertor alcanza el piso mínimo posible de MSE y las fases se ajustan en forma conjunta en un valor medio relativo a sus desviaciones originales. Este aspecto de minimización del MSE (y consiguiente minimización de la tasa de error de bits) es lo más destacable de la técnica propuesta. Entonces, si bien se puede observar un *error residual* en el ajuste de las fases (luego de la convergencia), el mismo no tiene mayor impacto en el desempeño del sistema receptor ya que se mantiene en los márgenes mínimos necesarios para evitar degradación del desempeño. Notar que el comportamiento de la convergencia y minimización del MSE guarda una gran similitud con el ejemplo de ajuste presentado en la Fig. 2.7. Otro aspecto importante observado en la Fig. 5.9 es que en este ejemplo se realiza un ajuste de fase cada 8×10^6 símbolos, es decir, durante ese periodo se hace la estimación del gradiente del MSE en función de la fase y se corrige la misma (en dirección del mínimo) en un paso de fase. Como se puede apreciar, el tiempo de convergencia total alcanza casi los 2 s, con

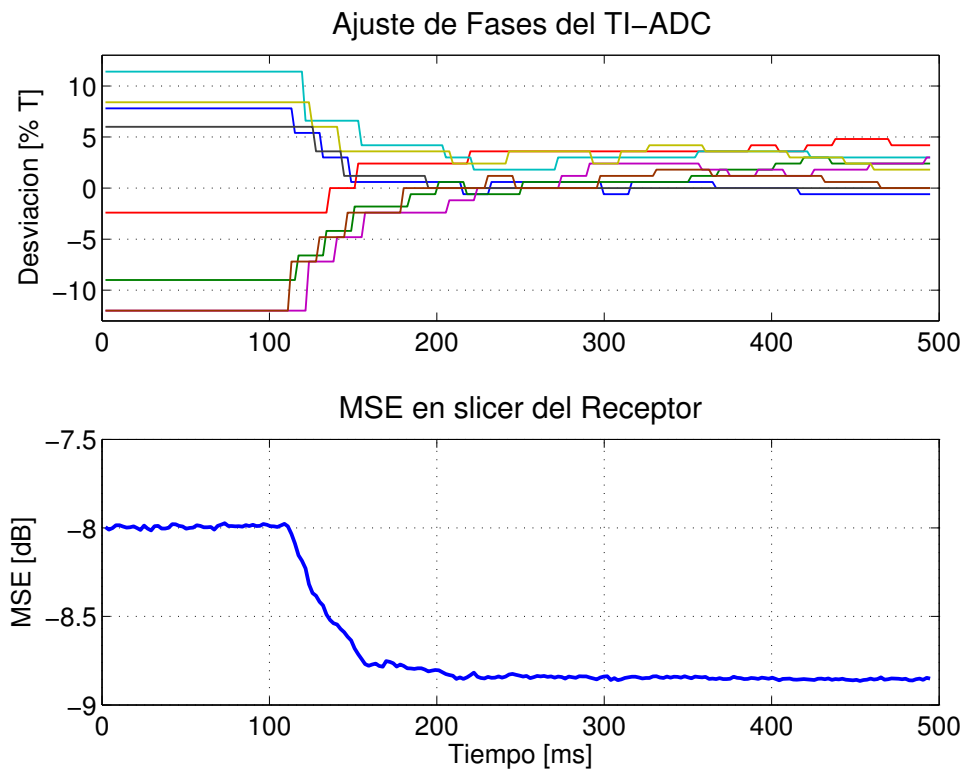


Figura 5.10: Convergencia de la técnica de calibración por minimización del MSE. Número de símbolos promediadas por iteración por fase (al inicio) = 2×10^6 ; $E_s/N_o = 8,9dB$.

lo cual se investigó una opción de ajuste más óptima en velocidad.

En la Figura 5.10 se optó por un paso de ajuste mayor al mínimo. Aquí se inicia ajustando las fases de a cuatro pasos mínimos y luego de una serie de iteraciones de ajuste, el paso se reduce hasta el mínimo en dos pasos. Es decir, la operación de ajuste se inicia con un paso “grande” (~ 24 ps, $2.5 \%T$) y luego de varias iteraciones de ajuste se reduce hasta llegar al paso mínimo permitido por las celdas de retardo programable (~ 6 ps, $0.6 \%T$). Además, dado que el paso inicial se incrementó cuatro veces, el número de muestras de error promediadas (número de símbolos) fue reducido por cuatro, esto es 2×10^6 símbolos por cada iteración inicial. De esta forma se logra una mayor velocidad de convergencia que el ejemplo anterior y que los ejemplos de simulación del Capítulo 2. El tiempo de convergencia aquí se redujo a ≈ 50 ms y alcanza el mismo piso del MSE que el ejemplo de la Fig. 5.9. Cabe destacar además, que el número de muestras promediadas para obtener el valor de error promedio se incrementa al doble cada vez que el paso de ajuste fue reducido a la mitad, es decir que se permitió compensar la reducción del paso de ajuste elevando la precisión del valor de error promedio. De este modo, se obtiene una convergencia más rápida en los primeros pasos de ajuste y luego de la primera aproximación se pueden relajar los tiempos de ajuste ya que sólo se necesitan seguir posibles variaciones en los

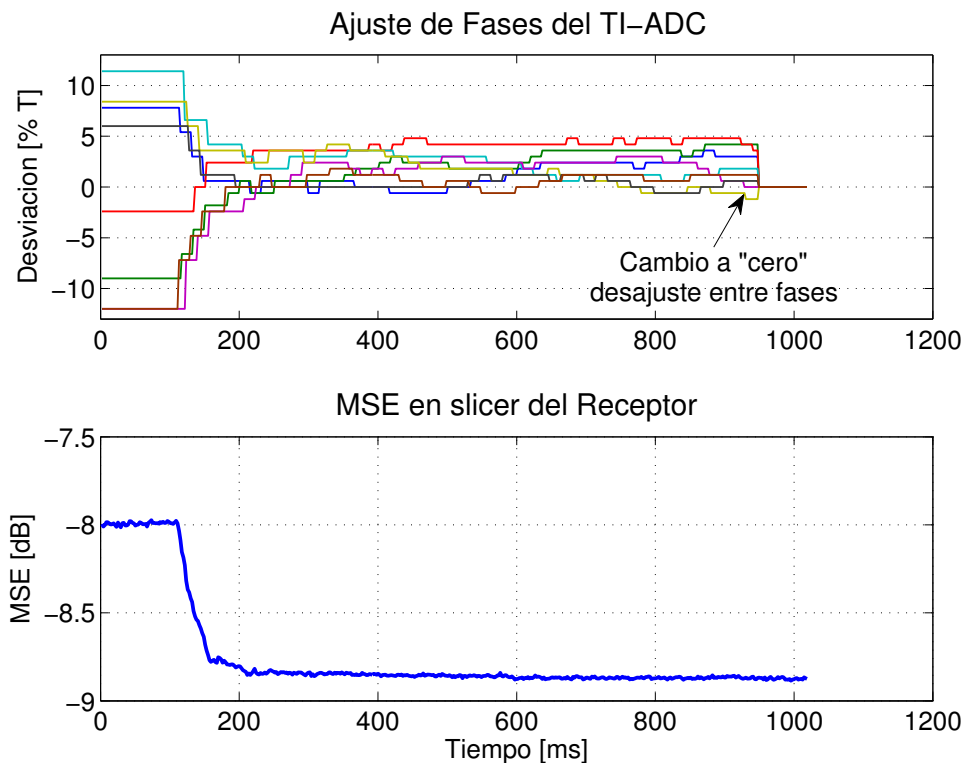


Figura 5.11: Convergencia de la técnica de calibración por minimización del MSE, con verificación de ajuste de fases a *cero* desajuste. Número de símbolos promediadas por iteración por fase (al inicio) = 2×10^6 ; $E_s/N_o = 8,9dB$.

retardos ³.

En la Figura 5.11 se muestra el ejemplo anterior pero con un detalle de ajuste *arbitrario* de las fases a “*cero*”, tal como se puede apreciar al extremo derecho de la gráfica. Con esta programación a “*cero*” desajuste, el MSE pasa a -8.88 dB, es decir valores muy similares a los que había alcanzado el sistema previo al ajuste arbitrario (-8.84 dB). Esto sirve como ejemplo y verificación para la técnica de calibración ya que el piso del MSE alcanzado por la calibración no se diferencia del MSE que se obtiene con las fases del convertor ajustadas a “*cero*” desajuste. Esto resulta natural para esta técnica de ajuste, ya que el objetivo no es obtener una calibración exacta de los desajustes, sino que se enfoca en mitigar el impacto de los desajustes de fase del convertor sobre el receptor digital.

Para completar esta serie de ejemplos de calibración, se presentan las Figuras 5.12, 5.13 y 5.14. Estos ejemplos se realizaron a mayor relación señal/ruido que los presentados anteriormente. Todos estos ejemplos muestran similar tiempo de convergencia que los anteriores, sin embargo se puede notar claramente, que el impacto del desajuste de los convertores sobre el MSE es mayor (medido en dB) cuanto mayor es la E_s/N_o de entrada. De este modo, la calibración logra ajustar los convertores y evitar la penalización de relación señal/ruido generada por los desajustes.

³Notar que en los demás ejemplos de este capítulo la convergencia también se realiza con paso de ajuste inicial de 4 veces el paso mínimo.

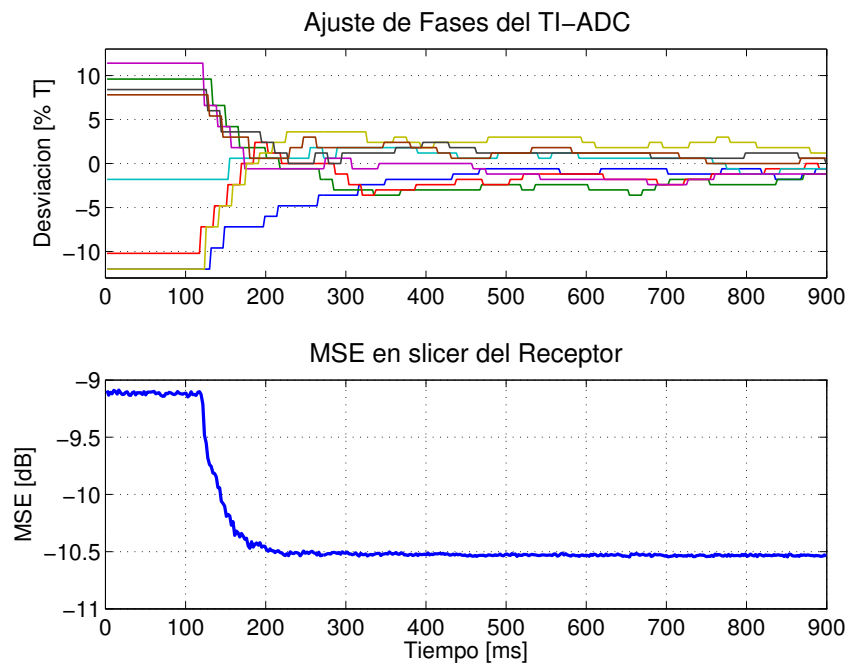


Figura 5.12:]

Convergencia de la técnica de calibración por minimización del MSE. Número de símbolos promediadas por iteración por fase (al inicio) = 2×10^6 ; $E_s/N_o = 10,6$ dB.

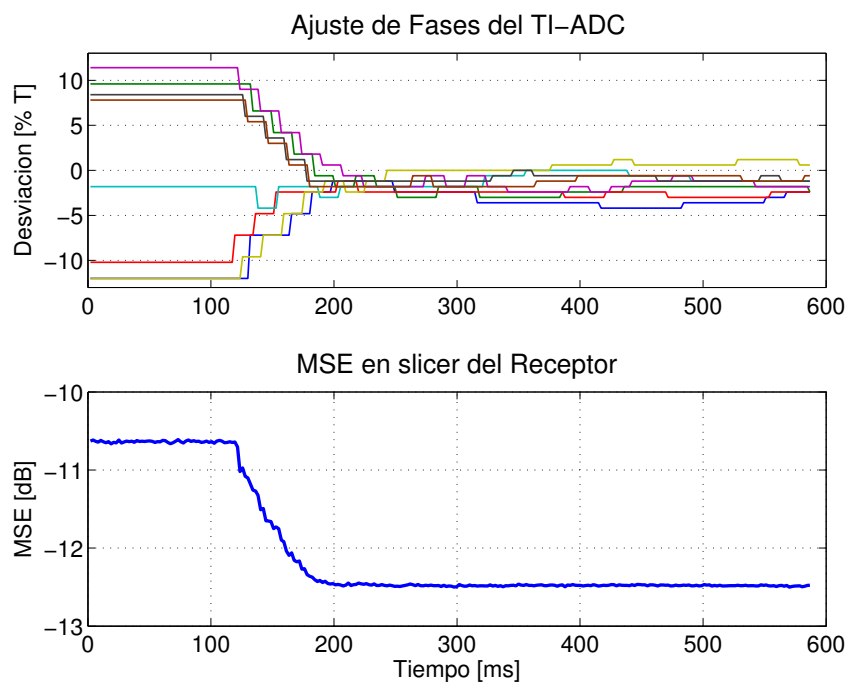


Figura 5.13: Convergencia de la técnica de calibración por minimización del MSE. Número de símbolos promediadas por iteración por fase (al inicio) = 2×10^6 ; $E_s/N_o = 12,5$ dB.

En esta sección se obtuvieron tiempos de convergencia del orden de 50 ms, lo cual se traduce entre 40 y 50 iteraciones de ajuste, es decir unos 6 ajustes por cada una de las 8 fases del conversor paralelo (TI-ADC). Cada iteración inicial toma 2×10^6 símbolos y luego estas iteraciones pasan a 8×10^6 símbolos cuando el paso de ajuste se hace mínimo. Es

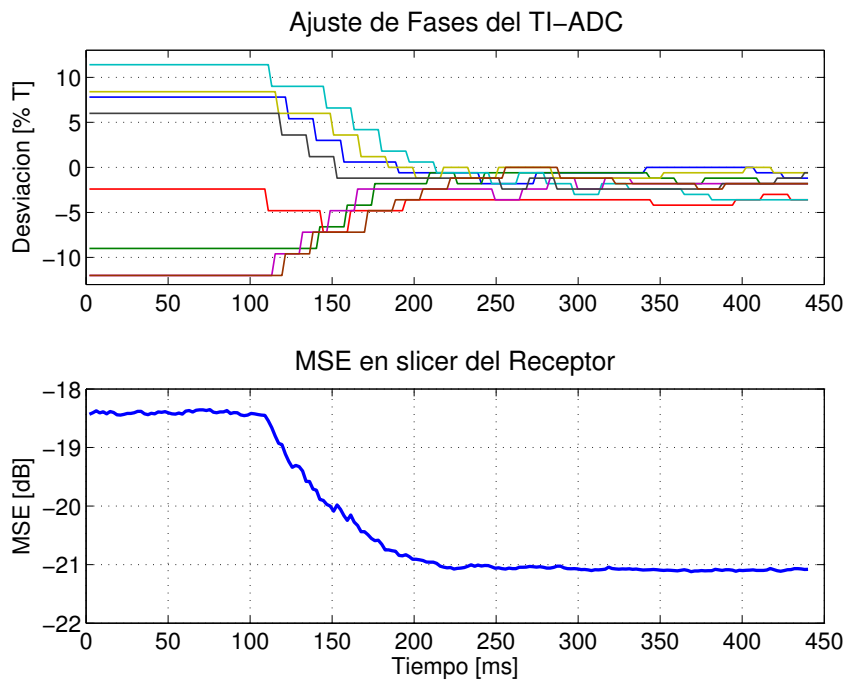


Figura 5.14:]

Convergencia de la técnica de calibración por minimización del MSE. Número de símbolos promediadas por iteración por fase (al inicio) = 2×10^6 ; $E_s/N_o = 21,15$ dB.

importante notar que los tiempos de ajuste se reducen en tanto el sistema de transmisión sube su tasa de bits. Es decir, en un sistema óptico de 100 Gb/s, la convergencia podría estar en el orden de 3 ms o menos, con lo cual el tiempo absoluto de convergencia se vuelve casi despreciable. A modo comparativo, en El-Chammas et.al. [63] los tiempos de convergencia son de aproximadamente 160 ms para realizar 20 iteraciones por cada fase del convertor, siendo que el convertor opera a 12 GS/s, es decir, 6 veces la tasa del sistema aquí demostrado ⁴. Otras propuestas como Razavi [65] estima tiempos de convergencia menores que los aquí presentados, sin embargo, esta técnica sólo se aplica a convertidores temporalmente intercalados de dos fases, a diferencia de las ocho fases de nuestro sistema.

5.2.2. Estabilidad en el Tiempo de Calibración

Otro de los aspectos importantes para cualquier técnica de ajuste de fases es la capacidad para mantenerse estable y operativa a lo largo del tiempo. Para ejemplificar esta condición, se realizaron emulaciones relativamente extensas en tiempo, es decir que se procesan miles de millones de símbolos en el proceso de emulación. En este sentido se muestra la Fig. 5.15 donde se observa una corrida de emulación relativamente extensa (8 s) si se

⁴Esto se suma a las desventajas ya discutidas en el Capítulo 1 sobre El-Chammas et.al. [63]. Por ejemplo, requiere circuitos analógicos y de señal mixta adicionales (canal auxiliar) y generación de una frecuencia de reloj adicional.

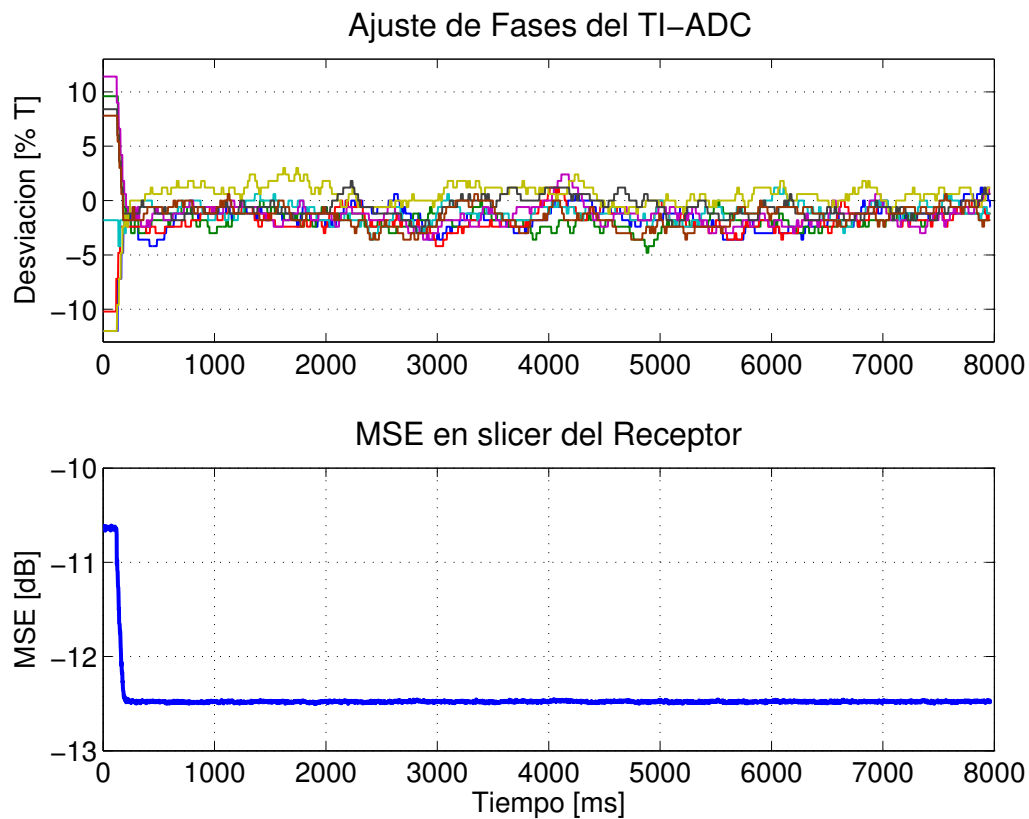


Figura 5.15:]

Estabilidad de la técnica de calibración de fases. Número de símbolos promediadas por iteración por fase (al inicio) = 2×10^6 ; $E_s/N_o = 12,5 \text{ dB}$.

la compara con las corridas antes presentadas ⁵. El objetivo aquí es demostrar que el algoritmo de ajuste es capaz de mantenerse en el tiempo y que no presenta problemas para mantenerse ejecutando en segundo plano sobre la normal operación del receptor. Aquí se puede observar como el piso de ruido/error medido al *slicer* del receptor se mantiene constante en el mínimo nivel posible y muy próximo al nivel mínimo alcanzable cuando el convertor opera en forma ideal (sin desajustes).

5.2.3. Desempeño del Sistema Receptor bajo Calibración

El desempeño de la nueva técnica de calibración fue presentada en diferentes ejemplos de la sección anterior. Sin embargo, una forma simple de compilar estos resultados es graficar la curva de tasa de error en función de la E_s/N_o de entrada. En la Fig. 5.16 se muestran las curvas de BER en tres condiciones diferentes, con el convertor *sin* desajustes (trazo color negro), con el convertor con un desajustes de $\pm 12 \%T$ (trazo color azul) y con el convertor reajustado por la nueva técnica de calibración (trazo color rojo). Al igual que

⁵Recordar que el sistema de emulación no puede procesar los símbolos en tiempo real ya que el DSP se ejecuta en una PC, que requiere tiempos relativamente prolongados para procesar cada iteración de ajuste de fases.

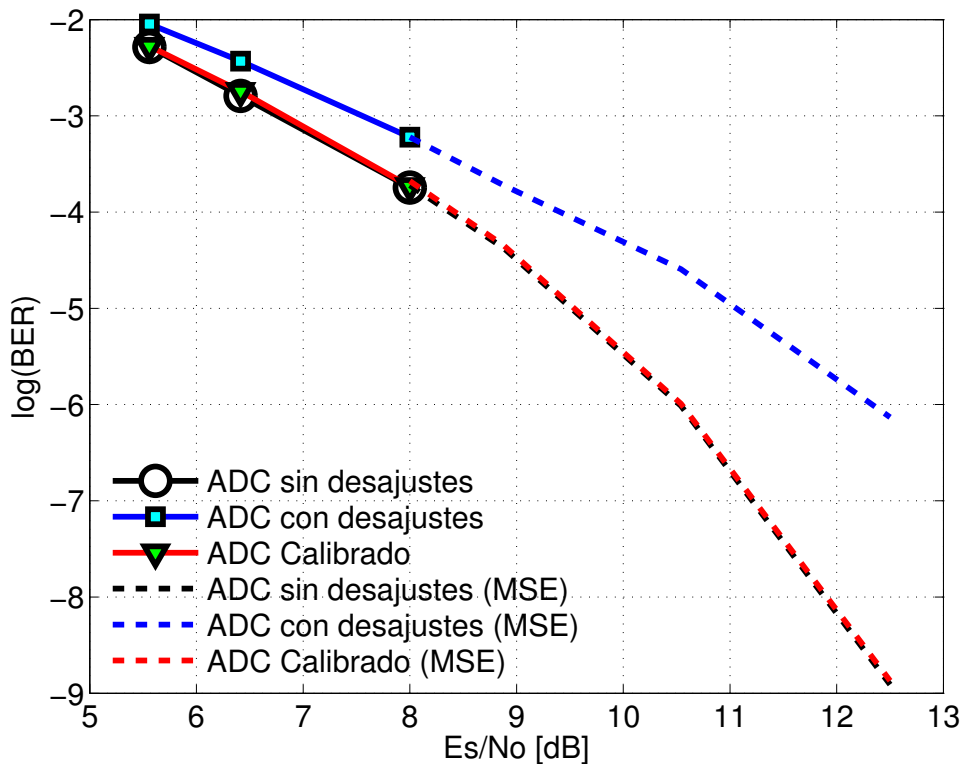


Figura 5.16: Curvas de *Bit-Error-Rate* vs. relación E_s/N_0 . Efecto de la calibración de fases en el conversor sobre el desempeño del receptor digital.

en los ejemplos anteriores, los puntos de la curva de menor E_s/N_0 el sistema de ajuste se verificaron midiendo en forma directa el MSE y la tasa de errores. Por otro lado, las curvas que representan los efectos de calibración para valores de E_s/N_0 mayores a 8 dB se verificaron midiendo en forma directa sólo el MSE y extrapolando el efecto de calibración sobre la curva teórica de BER.

El principal resultado que podemos analizar de la Fig. 5.16, más allá del impacto del desajuste entre fases analizado en la Sección 5.1.6, es que la curva del conversor calibrado (trazo rojo) y el conversor sin errores de fase (trazo negro) se ajustan en forma casi idéntica. Por lo tanto, la medición de los dos escenarios (sin error entre fases y con fases ya calibradas) no presentan diferencia apreciable. Con ello, se verifica que *la técnica de calibración propuesta logra mitigar (casi idealmente) los efectos del desajuste entre las fases del conversor sobre el receptor digital.*

5.3. Conclusiones

En este capítulo se detalló un sistema experimental de verificación para la nueva técnica de calibración. En primer término se detalló la arquitectura de emulación de un sistema de comunicaciones digitales tipo *broadband* completo que incluye el ADC temporalmente intercalado como bloque central del receptor. El sistema se demostró mediante diferentes

curvas de tasa de error (BER). Además se demostró en forma experimental el efecto de los desajustes entre fases del conversor. A partir de este sistema se ejecutaron diferentes ejemplos de calibración que permitieron validar el desempeño de la nueva técnica de calibración en forma experimental. La técnica de ajuste se demostró convergente y estable en el tiempo con variados ejemplos y casos. El análisis de desempeño experimental se completó con una comparativa de curvas de tasa de error *pre* y *post* calibración, verificando que la técnica propuesta logra mitigar correctamente los efectos del desajuste entre las fases del conversor sobre el receptor digital.

CAPÍTULO

6

CONCLUSIONES FINALES

Esta Tesis Doctoral presentó diferentes aportes y contribuciones en diferentes áreas relacionadas con el diseño de circuitos integrados de alta velocidad en tecnologías CMOS y la implementación de sistemas de comunicación en circuitos integrado, fundamentalmente enfocado en los desafíos de implementación de la nueva generación de trancceptores ópticos coherentes. En este sentido, se propuso un nuevo método de calibración de conversores A/D temporalmente intercalados (TI-ADC) que contempla el ajuste conjunto del error de tiempo de muestreo (o error de fase de muestreo) y a la vez contempla el ajuste del *time-skew* entre canales los canales en cuadratura (I/Q) del receptor [1]. La nueva técnica propuesta evita incorporar circuitos analógicos y de señal mixta para la detección de los desajustes de fase, y se adapta especialmente a la compleja arquitectura de procesamiento digital de los receptores ópticos coherentes. La propuesta incluyó el ajuste de fases en el dominio analógico a fin de evitar mayor complejidad al DSP del receptor. El algoritmo de ajuste se basa en minimizar el impacto (en términos de relación señal/ruido) generado por los desajustes de fases del conversor. Para ello, se propuso medir el gradiente del error cuadrático medio (MSE) en función de cada una de las fases de los conversores y ajustar en consecuencia en forma iterativa. La técnica está pensada para las actuales y próximas generaciones de *Front-End* analógicos (AFE) que deben implementarse en los receptores ópticos coherentes (DP-QPSK, DP-QAM y otros esquemas de mayor complejidad). Igualmente, la técnica de ajuste de fases puede aplicarse a toda clase de receptores de comunicaciones digitales que requieran ajustes de fase en el conversor (por ej. enlaces en canal de cobre e inalámbricos). Esta nueva técnica de ajuste fue demostrada en forma

efectiva mediante simulaciones en la primera etapa de investigación. Allí, los resultados demostraron una excelente capacidad para mitigar los dos efectos indeseados en el AFE del sistema óptico coherente (i.e., el error de tiempo de muestreo y el TS entre I/Q).

A partir de la investigación sobre calibración, se emprendió el desarrollo de una prueba de concepto experimental basada en un conversor prototipo de alta velocidad integrado en tecnología CMOS. El diseño de este *chip* requirió el trabajo conjunto de todo un equipo formado y capacitado especialmente para ello y se requirió la gestión de la infraestructura necesaria para desarrollar circuitos integrados (i.e. convenios con fabricantes, convenios con vendedores de herramientas de diseño, equipos de *hardware*, etc). El desarrollo del conversor temporalmente intercalado de 6-bits y 2 GS/s, consideró todos los aspectos fundamentales de diseño de alta velocidad e incluyó el diseño de diversos bloques adicionales que nos permitieran realizar los ajustes de calibración de fases, ganancia y *offset*. Todos los bloques desarrollados requirieron grandes esfuerzos de diseño para poder alcanzar las máximas frecuencias posibles en el proceso de fabricación disponible ($0.13\mu\text{m}$ CMOS). En este sentido, el proyecto de *chip* requirió el diseño de cada una de las celdas básicas, desde las compuertas, registros y amplificadores hasta la integración de los bloques completos, ya que no se contaba con ningún diseño previo.

Asimismo, previo a fabricación, el conversor fue verificado en sus diferentes funcionalidades en todos los *corners* de proceso, tensión y temperatura. Igualmente, las máscaras de *layout* fueron diseñadas con la premisa de alcanzar las máximas prestaciones de velocidad, pero también con el objetivo de alcanzar la más alta confiabilidad posible. Por ello se verificaron tanto los aspectos funcionales del *layout* (parásitos, *mismatch* de circuitos y caídas de tensión en las líneas de alimentación) como los aspectos de confiabilidad (reglas y recomendaciones de diseño, densidades de corriente para evitar efectos de electromigración, efecto antena, etc.). El prototipo funcional se obtuvo en una sola “*corrida*” de fabricación.

La etapa de mediciones y caracterización del circuito integrado requirió el desarrollo de una plataforma de *hardware* y *software* dedicada. Se desarrolló un placa de circuito impreso multicapa con líneas de transmisión diferenciales de impedancia controlada para señales de alta velocidad. Además, se desarrolló el *hardware* de recepción de datos en base a lógica programable sobre una tarjeta FPGA de altas prestaciones. La plataforma se completó con un *software* de interfaz gráfica de usuario para el control y configuración del chip desde una computadora. A partir esta plataforma, primero se demostró la efectividad de los circuitos de pre-énfasis para compensar los canales de cobre de la interfaz entre ADC y FPGA, y la correcta transmisión de los datos de salida del conversor [3]. A partir de ello se realizaron las mediciones del conversor y su caracterización en frecuencia [2]. Los resultados demostraron una correcta operación del conversor, tanto los ADC SAR individuales como el TI-ADC. También se demostró que las celdas de retardo programables tienen la capacidad de ajustar en forma controlada las diferentes fases. Asimismo,

se verificó un correcto funcionamiento de los circuitos especiales como la calibración de *DC offset* en los comparadores. Además, si bien el objetivo principal del diseño no fue alcanzar el mínimo consumo de potencia posible, sí se pudo evidenciar que la eficiencia alcanzada por el prototipo está en línea con los diseños publicados en las más prestigiosas conferencias y revistas.

Finalmente, en base al conversor prototipo y la plataforma de mediciones, se emprendió la verificación experimental de la técnica de calibración propuesta al inicio de la investigación. La demostración experimental se basó en presentar diferentes escenarios de desajuste entre fases del conversor prototipo integrado a un sistema de comunicaciones emulado. Los resultados de calibración del conversor se demostraron similares a los obtenidos en la etapa de simulación. La técnica se demostró eficaz en diferentes contextos de relación señal/ruido y dispersión de canal. La velocidad de convergencia del sistema también demuestra una velocidad apropiada para su implementación e incluso aventaja otras propuestas de calibración que utilizan circuitos adicionales en la detección [63]. Además, se pudo comprobar la estabilidad de la técnica en el tiempo y la capacidad para permanecer corriendo en segundo plano sin afectar el normal funcionamiento del sistema. Los resultados incluyeron curvas de tasas de error y mediciones del ruido al *slice* del receptor. El análisis de desempeño experimental se completó con una comparativa de curvas de tasa de error *pre* y *post* calibración, demostrando que la técnica propuesta logra mitigar correctamente los efectos del desajuste entre las fases del conversor sobre el receptor digital.

Apéndices

APÉNDICE

A

ESTIMACIÓN DE ERROR CUADRÁTICO MEDIO

En este Apéndice se discute la estimación del error cuadrático medio (MSE) en el *slicer* del filtro ecualizador receptor. La estimación del MSE se utiliza en el Algoritmo 1 para la determinación de la dirección de su gradiente en función de la fase del convertor temporalmente intercalado que se encuentra en proceso de ajuste. A continuación se presenta un análisis basado en los conceptos de estimación de media y varianza en procesos muestreados. Mediante este análisis se presentan los fundamentos básicos para la correcta implementación del algoritmo de ajuste de fases para convertidores temporalmente intercalados.

La señal a la entrada del detector incluye el símbolo transmitido más las componentes de ruido del canal y la interferencia generada por los desajustes en las fases de muestreo de los diferentes convertidores temporalmente intercalados. En otras palabras, la señal a la entrada del detector está dada por

$$s_i^{(t_1)} = b_i + r_i + a_i^{(t_1)} \quad (\text{A.1})$$

donde $s_i^{(t_1)}$ es la señal de entrada al *slicer* del receptor, b_i es el símbolo transmitido (i.e. $b_i \in \pm 1$), r_i es la componente de ruido del canal, mientras que $a_i^{(t_1)}$ es la interferencia originada por los convertidores del TI-ADC cuando uno de ellos se desfasa a la posición t_1 . La componente de ruido de canal r_i se modela como una variable aleatoria (VA)

gaussiana con media cero y varianza σ_r^2 . Esta última varianza se utiliza para definir la relación señal-ruido a la entrada del receptor:

$$SNR \approx 1/\sigma_r^2. \quad (\text{A.2})$$

La componente de interferencia $a_i^{(t_1)}$ se modela como una VA gaussiana de media cero y varianza $\sigma_a^{2(t_1)}$. La validez de esta suposición para la aplicación considerada en este Apéndice ha sido verificada por medio de numerosas simulaciones. En general, en escenarios típicos de operación del receptor se verifica que la potencia del ruido del canal es superior a la componente de interferencia, esto es

$$\sigma_r^2 \gg \sigma_a^{2(t_1)} \quad (\text{A.3})$$

Sea \hat{b}_i el símbolo detectado a partir de la muestra recibida $s_i^{(t_1)}$. La tasa de error de bit en las aplicaciones consideradas en este trabajo es $\lesssim 10^{-2}$. Suponiendo que la detección se realiza sin errores ($\hat{b}_i = b_i$), se puede calcular el error entre entrada y salida del *slicer*:

$$e_i^{(t_1)} = s_i^{(t_1)} - \hat{b}_i = r_i + a_i^{(t_1)}. \quad (\text{A.4})$$

Teniendo en cuenta que r_i y $a_i^{(t_1)}$ son VAs gaussianas e independientes con media cero, se tiene que el error resultante también resulta una VA gaussiana con media cero y potencia

$$\sigma_{e^{(t_1)}}^2 = \sigma_r^2 + \sigma_a^{2(t_1)}. \quad (\text{A.5})$$

El algoritmo de ajuste de fase requiere estimar precisamente las varianzas del error en dos valores diferentes de desfases, por ejemplo $\sigma_{e^{(t_1)}}^2$ y $\sigma_{e^{(t_2)}}^2$. Para esto, se utiliza el siguiente estimador:

$$\hat{\sigma}_{e^{(t_1)}}^2 = \frac{1}{n-1} \sum_{i=1}^n (e_i^{(t_1)})^2 \quad (\text{A.6})$$

donde $\hat{\sigma}_{e^{(t_1)}}^2$ es el estimador insesgado de la varianza de $e_i^{(t_1)}$. De (A.6) se verifica que $\hat{\sigma}_{e^{(t_1)}}^2$ es una VA chi-cuadrado [83] con media y varianza dadas por:

$$E\{\hat{\sigma}_{e^{(t_1)}}^2\} = \sigma_{e^{(t_1)}}^2, \quad (\text{A.7})$$

$$Var\{\hat{\sigma}_{e^{(t_1)}}^2\} = \frac{2}{n-1} \sigma_{e^{(t_1)}}^4. \quad (\text{A.8})$$

Como se verá mas adelante, el número de muestras utilizadas en el estimador es $n \gg 1$. Luego, analizando (A.6) se puede invocar el teorema central del límite y concluir que $\hat{\sigma}_{e^{(t_1)}}^2$ se aproxima a una VA gaussiana con media y varianza dadas por (A.7) y (A.8), respectivamente. De esta manera, y teniendo en cuenta que $n-1 \approx n$, se puede definir un intervalo de confianza con $100 \times (1 - \alpha) \%$ de probabilidad de que el estimador (A.6)

esté contenido en el intervalo:

$$Pr \left\{ \sigma_{e^{(t_1)}}^2 - |z_{\alpha/2}| \frac{\sqrt{2}}{\sqrt{n}} \sigma_{e^{(t_1)}}^2 < \hat{\sigma}_{e^{(t_1)}}^2 < \sigma_{e^{(t_1)}}^2 + |z_{\alpha/2}| \frac{\sqrt{2}}{\sqrt{n}} \sigma_{e^{(t_1)}}^2 \right\} = 1 - \alpha, \quad (\text{A.9})$$

donde $z_{\alpha/2}$ es el porcentual ($\alpha/2$) de una distribución normal (numero de desviaciones estándar). Por ejemplo, para una confianza del 95 %, se tiene $\alpha = 0,05$ y $|z_{0,025}| = 1,96$.

Una vez estimado el MSE, se cambia a la fase t_2 y se procede a realizar la estimación de la potencia de la componente de *ruido* $e_i^{(t_2)}$:

$$\hat{\sigma}_{e^{(t_2)}}^2 = \frac{1}{n-1} \sum_{i=1}^n (e_i^{(t_2)})^2. \quad (\text{A.10})$$

Para el ajuste del algoritmo se requiere estimar el signo de la diferencia de los errores cuadráticos medio:

$$\Delta MSE = \sigma_{e^{(t_2)}}^2 - \sigma_{e^{(t_1)}}^2. \quad (\text{A.11})$$

Para esto se realiza la estimación del ΔMSE a partir de (A.6) y (A.10), esto es

$$\widehat{\Delta MSE} = \hat{\sigma}_{e^{(t_2)}}^2 - \hat{\sigma}_{e^{(t_1)}}^2. \quad (\text{A.12})$$

Teniendo en cuenta (A.3) y $n-1 \approx n$, es simple verificar que el estimador (A.12) es una VA gaussiana con

$$E\{\widehat{\Delta MSE}\} = \sigma_{e^{(t_2)}}^2 - \sigma_{e^{(t_1)}}^2, \quad (\text{A.13})$$

$$Var\{\widehat{\Delta MSE}\} = \frac{2}{n} (\sigma_{e^{(t_1)}}^4 + \sigma_{e^{(t_2)}}^4) \approx \frac{4}{n} \sigma_r^4. \quad (\text{A.14})$$

Así, para el cálculo del intervalo de confianza se utiliza

$$Pr \left\{ \Delta MSE - 2|z_{\alpha/2}| \frac{\sigma_r^2}{\sqrt{n}} < \widehat{\Delta MSE} < \Delta MSE + 2|z_{\alpha/2}| \frac{\sigma_r^2}{\sqrt{n}} \right\} = 1 - \alpha. \quad (\text{A.15})$$

Puesto que el algoritmo utiliza el signo de la variación del MSE para ajustar la fase de muestreo, es necesario modificar el criterio para garantizar una exactitud determinada del estimador del signo. Supongamos que $\Delta MSE > 0$. En este caso se requiere que el intervalo de confianza no incluya valores negativos como se muestra en la Fig. A.1. Para esto se debe cumplir que

$$2|z_{\alpha/2}| \frac{\sigma_r^2}{\sqrt{n}} < \Delta MSE. \quad (\text{A.16})$$

En general, para poder estimar el signo de la diferencia de MSE con una determinada confianza se necesita que

$$2|z_{\alpha/2}| \frac{\sigma_r^2}{\sqrt{n}} < |\Delta MSE|. \quad (\text{A.17})$$

Operando sobre la expresión anterior se puede obtener el número de muestras requeridas

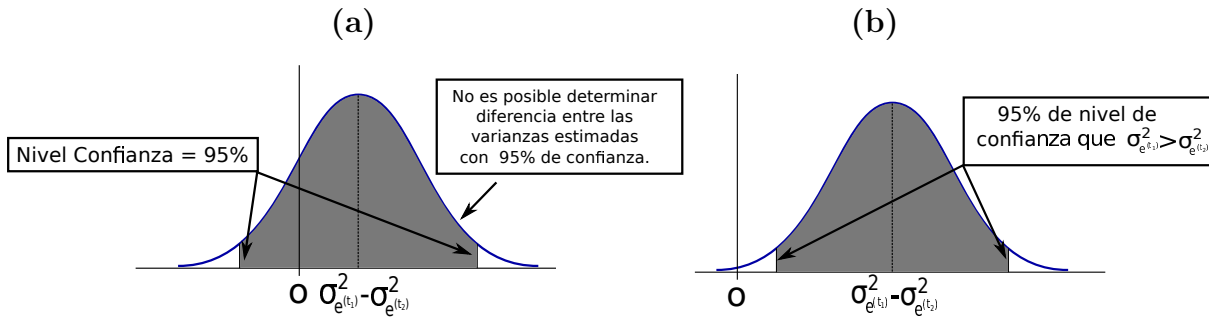


Figura A.1: Distribución de intervalo de confianza de la diferencia de varianzas $((\sigma_{e^{(t_1)}})^2 - (\sigma_{e^{(t_2)}})^2)$: (a) el cero forma parte del intervalo de confianza, (b) el cero no está incluido en el intervalo de confianza.

para obtener un intervalo de confianza determinado en la estimación del signo del ΔMSE :

$$n > 4|z_{\alpha/2}|^2 \frac{\sigma_r^4}{|\Delta MSE|^2}. \quad (\text{A.18})$$

A los fines de análisis práctico, σ_r^2 puede ser obtenida a partir de la relación señal-ruido en la que opera el sistema $SNR \approx 1/\sigma_r^2$. De este modo, utilizando los valores de ΔMSE obtenidos por simulación en el Capítulo 2 se puede calcular n . Por ejemplo, para un $\Delta MSE = 8 \times 10^{-5}$ y $\sigma_r^2 = 0,1$ ($SNR=10$ dB) y considerando una confianza del 95% ($\alpha = 0,05$ y $z_{0,025} = 1,96$), el tamaño muestral resultará en:

$$n > 4 \left(\frac{|z_{0,025}| \sigma_r^2}{|\Delta MSE|} \right)^2 = 4 \left(\frac{1,96 \times 0,1}{8 \times 10^{-5}} \right)^2 = 24 \times 10^6. \quad (\text{A.19})$$

APÉNDICE

B

ANÁLISIS DE METAESTABILIDAD EN CONVERSORES SAR

La metaestabilidad en *latches* y comparadores *latcheados* ha sido ampliamente estudiada en la literatura (e.g., ver [92, 93, 94]). La probabilidad de ocurrencia de un estado metaestable en un comparador está dada por [92, 94]:

$$P_c \cong \frac{2V_{logic}e^{(-T_{reg}/\tau)}}{A_{Pre}V_{FS}} \quad (\text{B.1})$$

donde V_{logic} es la tensión de alimentación del comparador, T_{reg} es el tiempo de regeneración disponible para el *latch*, τ es la constante de regeneración del *latch* de salida ($\tau \approx g_m/C$), A_{Pre} es la ganancia del pre-amplificador del comparador, y V_{FS} es la máxima excursión diferencial a la entrada del comparador.

Para un conversor SAR convencional de N -bits, la probabilidad de un estado metaestable (o tasa de error de conversión) en un ciclo de aproximación/conversión completo, puede ser estimado considerando que V_{FS} se reduce a la mitad en cada aproximación. Por lo tanto, la probabilidad de un evento metaestable luego de realizar los N ciclos de aproximación, resulta en:

$$P_M = 2^0 P_c + \dots + 2^{N-1} P_c, \quad (\text{B.2})$$

$$= (2^N - 1) P_c. \quad (\text{B.3})$$

Asumiendo que $2^N \gg 1$, obtenemos

$$P_M \approx 2^N P_c = 2^N \alpha e^{(-T_{reg}/\tau)}, \quad (\text{B.4})$$

donde $\alpha = (2V_{logic})/(A_{Pre}V_{FS})$. Notar, que la probabilidad de error de conversión (B.4) para el conversor SAR es similar a la probabilidad de un conversor *flash* [94].

Entonces, para obtener una baja tasa de error de conversión, la relación (T_{reg}/τ) debería ser maximizada. Sin embargo, dado que τ es una constante definida por la tecnología del proceso de fabricación, entonces se deberá buscar el máximo valor posible de T_{reg} y estará determinado por la máxima probabilidad de metaestabilidad posible, es decir:

$$T_{reg} = \tau \left[-\ln(P_M) + \ln(2^N \alpha) \right]. \quad (\text{B.5})$$

Para una probabilidad P_M dada, el periodo de muestreo de un conversor tipo SAR *Síncrono* (S-SAR) será:

$$T_{S-SAR} \approx T_t + N(T_{reg} + T_{Logic} + T_{DAC_{set}}), \quad (\text{B.6})$$

donde T_t es el tiempo de adquisición (*tracking*) del DAC del SAR, T_{Logic} es el tiempo de propagación entre el reloj a las llaves del DAC, y $T_{DAC_{set}}$ es el tiempo de establecimiento de la salida del DAC. Por otro lado, para un conversor de topología SAR *Asíncrono* (A-SAR), el periodo de muestreo mínimo está definido por:

$$T_{A-SAR} \approx T_t + T_{reg} + M\tau + N(T_{C2DAC} + T_{DAC_{set}}), \quad (\text{B.7})$$

donde T_{reg} es el tiempo de regeneración *extra* considerado para la resolución de un posible estado metaestable y T_{C2DAC} es el tiempo de propagación desde la señal *Ready* hasta las llaves del DAC. El término $M\tau$ es el tiempo de regeneración total típico que se requiere para realizar todos los ciclos de aproximación de una conversión (sin considerar posibles estados metaestables) y donde M está definido por [13]:

$$M \approx N^2 \ln(2) - (N/2)(N-1) \ln(2) \quad (\text{B.8})$$

A partir de las simulaciones en la tecnología de diseño del chip prototipo se obtuvieron los valores de los parámetros τ , α , $T_{DAC_{set}}$, T_t , y T_{C2DAC} . Recordar que la tecnología utilizada es de $0.13 \mu\text{m}$ CMOS. Finalmente, valuando estos parámetros se calculan fácilmente las curvas presentadas en la Figura 3.1 en base a las ecuaciones (B.5), (B.6), y (B.7).

BIBLIOGRAFÍA

- [1] B. Reyes, V. Gopinathan, P. Mandolesi, and M. Hueda, “Joint sampling-time error and channel skew calibration of time-interleaved ADC in multichannel fiber optic receivers,” in *2012 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 2981–2984, May 2012.
- [2] B. Reyes, L. Tealdi, G. Paulina, E. Labat, R. Sanchez, P. Mandolesi, and M. Hueda, “A 6-bit 2gs/s CMOS time-interleaved ADC for analysis of mixed-signal calibration techniques,” in *2014 IEEE 5th Latin American Symposium on Circuits and Systems (LASCAS)*, pp. 1–4, Feb. 2014.
- [3] B. Reyes, G. Paulina, L. Tealdi, E. Labat, R. Sanchez, P. Mandolesi, and M. Hueda, “A 1.6 Gb/s CMOS LVDS transmitter with a programmable pre-emphasis system,” in *2014 IEEE 5th Latin American Symposium on Circuits and Systems (LASCAS)*, pp. 1–4, Feb. 2014.
- [4] L. Tealdi and B. Reyes, “A 250mhz to 2.5ghz 8-Phase Clock Generator with Controlled Phase for Time-Interleaved ADC,” 2012.
- [5] G. Paulina and B. Reyes, “Design of a 1.25gb/s LVDS Transmitter with Programmable Channel Pre-Equalization,” 2012.
- [6] E. Labat and B. Reyes, “Design of a Programmable Gain Amplifier for Gain Mismatch Calibration in Time-Interleaved ADC,” 2012.
- [7] P. Hurst, T. Glad, J. Illgner, and G. Landsburg, “An analog front end for v.22bis modems,” *IEEE Journal of Solid-State Circuits*, vol. 23, pp. 978–986, Aug. 1988.

-
- [8] C. Dupillier, “A Bell 212a and V22 Compatible Single Chip CMOS Modem,” in *Solid-State Circuits Conference, 1985. ESSCIRC '85. 11th European*, pp. 245–249, Sept. 1985.
- [9] “Módem,” Oct. 2014. Page Version ID: 77537432.
- [10] O. Agazzi, D. Crivelli, M. Hueda, H. Carrer, G. Luna, A. Nazemi, C. Grace, B. Ko-beissy, C. Abidin, M. Kazemi, M. Kargar, C. Marquez, S. Ramprasad, F. Bollo, V. Posse, S. Wang, G. Asmanis, G. Eaton, N. Swenson, T. Lindsay, and P. Voois, “A 90nm CMOS DSP MLS D Transceiver with Integrated AFE for Electronic Dispersion Compensation of Multi-mode Optical Fibers at 10gb/s,” in *Solid-State Circuits Conference, 2008. ISSCC 2008. Digest of Technical Papers. IEEE International*, pp. 232–609, 2008.
- [11] D. Crivelli, M. Hueda, H. Carrer, M. del Barco, R. Lopez, P. Gianni, J. Finochietto, N. Swenson, P. Voois, and O. Agazzi, “Architecture of a Single-Chip 50 Gb/s DP-QPSK/BPSK Transceiver With Electronic Dispersion Compensation for Coherent Optical Channels,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 61, pp. 1012–1025, Apr. 2014.
- [12] E. Ip, A. P. T. Lau, D. J. F. Barros, and J. M. Kahn, “Coherent detection in optical fiber systems,” *Opt. Express*, vol. 16, pp. 753–791, Jan. 2008.
- [13] S.-W. M. Chen and R. W. Brodersen, “A 6-bit 600-MS/s 5.3-mW Asynchronous ADC in 0.13 μ m CMOS,” *IEEE J. Solid-State Circuits*, vol. 41, pp. 2669–2680, Dec. 2006.
- [14] B. Murmann, “ADC Performance Survey 1997-2014,” 2014.
- [15] J. Black, W.C. and D. Hodges, “Time interleaved converter arrays,” *IEEE Journal of Solid-State Circuits*, vol. 15, no. 6, pp. 1022–1029, 1980.
- [16] A. Papoulis, “Generalized sampling expansion,” *IEEE Transactions on Circuits and Systems*, vol. 24, no. 11, pp. 652–654, 1977.
- [17] N. Kurosawa, H. Kobayashi, K. Maruyama, H. Sugawara, and K. Kobayashi, “Explicit analysis of channel mismatch effects in time-interleaved ADC systems,” *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol. 48, no. 3, pp. 261–271, 2001.
- [18] C. Vogel, “The impact of combined channel mismatch effects in time-interleaved ADCs,” *IEEE Transactions on Instrumentation and Measurement*, vol. 54, no. 1, pp. 415–427, 2005.

- [19] B. Razavi, "Problem of timing mismatch in interleaved ADCs," in *2012 IEEE Custom Integrated Circuits Conference (CICC)*, pp. 1–8, Sept. 2012.
- [20] S. M. Louwsma, A. J. M. van Tuijl, M. Vertregt, and B. Nauta, "A 1.35 GS/s, 10 b, 175 mW Time-Interleaved AD Converter in 0.13 μm CMOS," *IEEE J. Solid-State Circuits*, vol. 43, pp. 778–786, Apr. 2008.
- [21] S. Louwsma, E. Tuijl, and B. Nauta, *Time-interleaved Analog-to-Digital Converters*. Dordrecht: Springer Netherlands, 2011.
- [22] G. C. Luna, D. E. Crivelli, M. R. Hueda, and O. E. Agazzi, "Compensation of track and hold frequency response mismatches in interleaved analog to digital converters for high-speed communications," in *2006 IEEE International Symposium on Circuits and Systems, 2006. ISCAS 2006. Proceedings*, pp. 4 pp.–1634, IEEE, 2006.
- [23] M. El-Chammas and B. Murmann, "General Analysis on the Impact of Phase-Skew in Time-Interleaved ADCs," *IEEE Trans. Circuits Syst. I*, vol. 56, pp. 902–910, May 2009.
- [24] B. Murmann, "Digitally Assisted Analog Circuits," *Micro, IEEE*, vol. 26, no. 2, pp. 38–47, 2006.
- [25] M. Pelgrom, A. C. Duinmaijer, and A. Welbers, "Matching properties of MOS transistors," *IEEE Journal of Solid-State Circuits*, vol. 24, pp. 1433–1439, Oct. 1989.
- [26] E. Siragusa and I. Galton, "A digitally enhanced 1.8-V 15-bit 40-MSample/s CMOS pipelined ADC," *Solid-State Circuits, IEEE Journal of*, vol. 39, no. 12, pp. 2126–2138, 2004.
- [27] A. Panigada and I. Galton, "Digital Background Correction of Harmonic Distortion in Pipelined ADCs," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 53, no. 9, pp. 1885–1895, 2006.
- [28] K. L. Chan, J. Zhu, and I. Galton, "Dynamic Element Matching to Prevent Non-linear Distortion From Pulse-Shape Mismatches in High-Resolution DACs," *Solid-State Circuits, IEEE Journal of*, vol. 43, no. 9, pp. 2067–2078, 2008.
- [29] A. Panigada and I. Galton, "A 130 mW 100 MS/s Pipelined ADC With 69 dB SNDR Enabled by Digital Harmonic Distortion Correction," *Solid-State Circuits, IEEE Journal of*, vol. 44, no. 12, pp. 3314–3328, 2009.
- [30] A. Nazemi, C. Grace, L. Lewyn, B. Kobeissy, O. Agazzi, P. Voois, C. Abidin, G. Eaton, M. Kargar, C. Marquez, S. Ramprasad, F. Bollo, V. Posse, S. Wang, and G. Asmanis, "A 10.3gs/s 6bit (5.1 ENOB at Nyquist) time-interleaved/pipelined

- ADC using open-loop amplifiers and digital calibration in 90nm CMOS,” in *VLSI Circuits, 2008 IEEE Symposium on*, pp. 18–19, 2008.
- [31] M. Kijima, K. Ito, K. Kamei, and S. Tsukamoto, “A 6b 3gs/s flash ADC with background calibration,” in *Custom Integrated Circuits Conference, 2009. CICC '09. IEEE*, pp. 283–286, 2009.
- [32] P. Figueiredo, P. Cardoso, A. Lopes, C. Fachada, N. Hamanishi, K. Tanabe, and J. Vital, “A 90nm CMOS 1.2v 6b 1gs/s two-step subranging ADC,” in *Solid-State Circuits Conference, 2006. ISSCC 2006. Digest of Technical Papers. IEEE International*, pp. 2320–2329, 2006.
- [33] P. M. Figueiredo and J. C. Vital, *Offset Reduction Techniques in High-Speed Analog-to-Digital Converters: Analysis, Design and Tradeoffs*. Springer, 1 ed., Mar. 2009.
- [34] M. Yoshioka, K. Ishikawa, T. Takayama, and S. Tsukamoto, “A 10b 50ms/s 820uw SAR ADC with on-chip digital calibration,” in *2010 IEEE International Solid-State Circuits Conference - (ISSCC)*, (San Francisco, CA, USA), pp. 384–385, Feb. 2010.
- [35] W. Liu, P. Huang, and Y. Chiu, “A 12b 22.5/45ms/s 3.0mw 0.059mm² CMOS SAR ADC achieving over 90db SFDR,” in *2010 IEEE International Solid-State Circuits Conference - (ISSCC)*, (San Francisco, CA, USA), pp. 380–381, Feb. 2010.
- [36] T. Ogawa, T. Matsuura, H. Kobayashi, N. Takai, M. Hotta, H. San, A. Abe, K. Yagi, and T. Mori, “Non-Binary SAR ADC with Digital Error Correction for Low Power Applications,” 2010.
- [37] F. Kuttner, “A 1.2v 10b 20msample/s non-binary successive approximation ADC in 0.13um CMOS,” in *2002 IEEE International Solid-State Circuits Conference. Digest of Technical Papers (Cat. No.02CH37315)*, (San Francisco, CA, USA), pp. 176–177, 2002.
- [38] V. Giannini, P. Nuzzo, V. Chironi, A. Baschiroto, G. Van der Plas, and J. Craninckx, “An 820uw 9b 40ms/s Noise-Tolerant Dynamic-SAR ADC in 90nm Digital CMOS,” in *2008 IEEE International Solid-State Circuits Conference - Digest of Technical Papers*, (San Francisco, CA, USA), pp. 238–610, Feb. 2008.
- [39] L. Kull, T. Toifl, M. Schmatz, P. Francese, C. Menolfi, M. Brandli, M. Kossel, T. Morf, T. Andersen, and Y. Leblebici, “A 3.1 mW 8b 1.2 GS/s Single-Channel Asynchronous SAR ADC With Alternate Comparators for Enhanced Speed in 32 nm Digital SOI CMOS,” *IEEE Journal of Solid-State Circuits*, vol. 48, no. 12, pp. 3049–3058, 2013.

- [40] P. Schvan, J. Bach, C. Fait, P. Flemke, R. Gibbins, Y. Greshishchev, N. Ben-Hamida, D. Pollex, J. Sitch, S.-C. Wang, and J. Wolczanski, "A 24gs/s 6b ADC in 90nm CMOS," in *Solid-State Circuits Conference, 2008. ISSCC 2008. Digest of Technical Papers. IEEE International*, pp. 544–634, 2008.
- [41] Y. M. Greshishchev, J. Aguirre, M. Besson, R. Gibbins, C. Falt, P. Flemke, N. Ben-Hamida, D. Pollex, P. Schvan, and S.-C. Wang, "A 40gs/s 6b ADC in 65nm CMOS," in *2010 IEEE International Solid-State Circuits Conference - (ISSCC)*, (San Francisco, CA, USA), pp. 390–391, Feb. 2010.
- [42] A. Jalili, S. Masoud Sayedi, and J. Jacob Wikner, "Inter-channel offset and gain mismatch correction for time-interleaved pipelined ADCs," *Microelectronics Journal*, vol. In Press, Corrected Proof, 2010.
- [43] D. Fu, K. Dyer, S. Lewis, and P. Hurst, "Digital background calibration of a 10 b 40 M sample/s parallel pipelined ADC," in *Solid-State Circuits Conference, 1998. Digest of Technical Papers. 1998 IEEE International*, pp. 140–141, 426, 1998.
- [44] T.-H. Tsai, P. Hurst, and S. Lewis, "Correction of Mismatches in a Time-Interleaved Analog-to-Digital Converter in an Adaptively Equalized Digital Communication Receiver," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 56, no. 2, pp. 307–319, 2009.
- [45] V. Ferragina, A. Fornasari, U. Gatti, P. Malcovati, and F. Maloberti, "Gain and offset mismatch calibration in time-interleaved multipath A/D sigma-delta modulators," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 51, no. 12, pp. 2365–2373, 2004.
- [46] N. Le Dortz, J.-P. Blanc, T. Simon, S. Verhaeren, E. Rouat, P. Urard, S. Le Tual, D. Goguet, C. Lelandais-Perrault, and P. Benabes, "A 1.62gs/s time-interleaved SAR ADC with digital background mismatch calibration achieving interleaving spurs below 70dbfs," in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2014 IEEE International*, pp. 386–388, Feb. 2014.
- [47] Y. Oh and B. Murmann, "System embedded ADC calibration for OFDM receivers," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 53, no. 8, pp. 1693–1703, 2006.
- [48] C.-C. Hsu, F.-C. Huang, C.-Y. Shih, C.-C. Huang, Y.-H. Lin, C.-C. Lee, and B. Razavi, "An 11b 800ms/s Time-Interleaved ADC with Digital Background Calibration," in *2007 IEEE International Solid-State Circuits Conference. Digest of Technical Papers*, (San Francisco, CA), pp. 464–615, Feb. 2007.

- [49] M. Seo, M. J. Rodwell, and U. Madhow, "Comprehensive digital correction of mismatch errors for a 400-Msamples/s 80-dB SFDR time-interleaved analog-to-digital converter," *IEEE Transactions on Microwave Theory and Techniques*, vol. 53, no. 3, pp. 1072–1082, 2005.
- [50] P. J. A. Harpe, J. A. Hegt, and A. H. M. van Roermund, "Analog calibration of channel mismatches in time-interleaved ADCs," *Int. J. Circ. Theor. Appl.*, vol. 37, pp. 301–318, Mar. 2009.
- [51] K. Poulton, R. Neff, B. Setterberg, B. Wuppermann, T. Kopley, R. Jewett, J. Pernillo, C. Tan, and A. Montijo, "A 20 GS/s 8 b ADC with a 1 MB memory in 0.18 μm CMOS," in *Solid-State Circuits Conference, 2003. Digest of Technical Papers. ISSCC. 2003 IEEE International*, pp. 318–496 vol.1, Feb. 2003.
- [52] J. Cao, B. Zhang, U. Singh, D. Cui, A. Vasani, A. Garg, W. Zhang, N. Kocaman, D. Pi, B. Raghavan, H. Pan, I. Fujimori, and A. Momtaz, "A 500 mW ADC-Based CMOS AFE With Digital Calibration for 10 Gb/s Serial Links Over KR-Backplane and Multimode Fiber," *Solid-State Circuits, IEEE Journal of*, vol. 45, no. 6, pp. 1172–1185, 2010.
- [53] J. Elbornsson, F. Gustafsson, and J.-E. Eklund, "Blind equalization of time errors in a time-interleaved ADC system," *IEEE Transactions on Signal Processing*, vol. 53, pp. 1413–1424, Apr. 2005.
- [54] S. Saleem and C. Vogel, "Adaptive compensation of frequency response mismatches in high-resolution time-interleaved ADCs using a low-resolution ADC and a time-varying filter," in *Circuits and Systems (ISCAS), Proceedings of 2010 IEEE International Symposium on*, pp. 561–564, 2010.
- [55] C. Vogel and S. Mendel, "A Flexible and Scalable Structure to Compensate Frequency Response Mismatches in Time-Interleaved ADCs," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 56, no. 11, pp. 2463–2475, 2009.
- [56] S. Huang and B. Levy, "Adaptive blind calibration of timing offset and gain mismatch for two-channel time-interleaved ADCs," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 53, no. 6, pp. 1278–1288, 2006.
- [57] V. Divi and G. W. Wornell, "Blind Calibration of Timing Skew in Time-Interleaved Analog-to-Digital Converters," *IEEE Journal of Selected Topics in Signal Processing*, vol. 3, no. 3, pp. 509–522, 2009.
- [58] S. J. Savory, "Digital Coherent Optical Receivers: Algorithms and Subsystems," *IEEE Journal of Selected Topics in Quantum Electronics*, vol. 16, pp. 1164–1179, Oct. 2010.

- [59] C. Y. Wang and J. T. Wu, "A background timing-skew calibration technique for time-interleaved analog-to-digital converters," *IEEE Transactions on Circuits and Systems Part 2: Express Briefs*, vol. 53, no. 4, pp. 299–303, 2006.
- [60] D. Camarero, K. B. Kalaia, J. F. Naviner, and P. Loumeau, "Mixed-signal clock-skew calibration technique for Time-Interleaved ADCs," *IEEE Transactions on Circuits and Systems—I: Regular papers*, vol. 55, no. 11, pp. 3676–3687, 2008.
- [61] A. Haftbaradaran and K. Martin, "A Background Sample-Time Error Calibration Technique Using Random Data for Wide-Band High-Resolution Time-Interleaved ADCs," *Circuits and Systems II: Express Briefs, IEEE Transactions on*, vol. 55, no. 3, pp. 234–238, 2008.
- [62] C.-Y. Wang and J.-T. Wu, "A Multiphase Timing-Skew Calibration Technique Using Zero-Crossing Detection," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 56, no. 6, pp. 1102–1114, 2009.
- [63] M. El-Chammas and B. Murmann, "A 12-GS/s 81-mW 5-bit Time-Interleaved Flash ADC With Background Timing Skew Calibration," *Solid-State Circuits, IEEE Journal of*, vol. 46, no. 4, pp. 838–847, 2011.
- [64] C.-C. Huang, C.-Y. Wang, and J.-T. Wu, "A CMOS 6-Bit 16-GS/s Time-Interleaved ADC Using Digital Background Calibration Techniques," *Solid-State Circuits, IEEE Journal of*, vol. 46, no. 4, pp. 848–858, 2011.
- [65] B. Razavi, "Design Considerations for Interleaved ADCs," *IEEE Journal of Solid-State Circuits*, vol. 48, no. 8, pp. 1806–1817, 2013.
- [66] D. Stepanovic and B. Nikolic, "A 2.8 GS/s 44.6 mW Time-Interleaved ADC Achieving 50.9 dB SNDR and 3 dB Effective Resolution Bandwidth of 1.5 GHz in 65 nm CMOS," *J. Solid-State Circuits*, vol. 48, no. 4, pp. 971–982, 2013.
- [67] V.-C. Chen and L. Pileggi, "A 69.5mw 20gs/s 6b time-interleaved ADC with embedded time-to-digital calibration in 32nm CMOS SOI," in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2014 IEEE International*, pp. 380–381, Feb. 2014.
- [68] J. Elbornsson, F. Gustafsson, and J.-E. Eklund, "Blind adaptive equalization of mismatch errors in a time-interleaved A/D converter system," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 51, no. 1, pp. 151–158, 2004.
- [69] R. Payne, C. Sestok, W. Bright, M. El-Chammas, M. Corsi, D. Smith, and N. Tal, "A 12b 1gs/s SiGe BiCMOS two-way time-interleaved pipeline ADC," in *Solid-State*

- Circuits Conference Digest of Technical Papers (ISSCC), 2011 IEEE International*, pp. 182–184, 2011.
- [70] S. Jamal, D. Fu, M. Singh, P. Hurst, and S. Lewis, “Calibration of sample-time error in a two-channel time-interleaved analog-to-digital converter,” *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 51, no. 1, pp. 130–139, 2004.
- [71] D. Camarero, J.-F. Naviner, and P. Loumeau, “Digital background and blind calibration for clock skew error in time-interleaved analog-to-digital converters,” in *Integrated Circuits and Systems Design, 2004. SBCCI 2004. 17th Symposium on*, pp. 228–232, 2004.
- [72] C. H. Law, P. Hurst, and S. Lewis, “A Four-Channel Time-Interleaved ADC With Digital Calibration of Interchannel Timing and Memory Errors,” *Solid-State Circuits, IEEE Journal of*, vol. 45, no. 10, pp. 2091–2103, 2010.
- [73] S. Saleem and C. Vogel, “LMS-based identification and compensation of timing mismatches in a two-channel time-interleaved analog-to-digital converter,” in *Norchip, 2007*, pp. 1–4, 2007.
- [74] P. Satarzadeh, B. Levy, and P. Hurst, “Adaptive Semiblind Calibration of Bandwidth Mismatch for Two-Channel Time-Interleaved ADCs,” *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 56, no. 9, pp. 2075–2088, 2009.
- [75] B. Xu and Y. Chiu, “Background calibration of time-interleaved ADC using direct derivative information,” in *2013 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 2456–2459, 2013.
- [76] T. Oshima, T. Takahashi, and T. Yamawaki, “Novel sampling timing background calibration for time-interleaved A/D converters,” in *2009 52nd IEEE International Midwest Symposium on Circuits and Systems*, (Cancun, Mexico), pp. 361–364, Aug. 2009.
- [77] T. H. Tsai, P. J. Hurst, and S. H. Lewis, “Time-interleaved analog-to-digital converters for digital communications,” in *Int. Conf. on Circuits, Signals, and System*, pp. 193–198, 2004.
- [78] H. Wei, P. Zhang, B. Sahoo, and B. Razavi, “An 8 Bit 4 GS/s 120 mW CMOS ADC,” *IEEE Journal of Solid-State Circuits*, vol. 49, pp. 1751–1761, Aug. 2014.
- [79] D. E. Crivelli, H. S. Carrer, and M. R. Hueda, “Adaptive digital equalization in the presence of chromatic dispersion, PMD, and phase noise in coherent fiber optic systems,” in *IEEE Global Telecommunications Conference, 2004. GLOBECOM '04*, vol. 4, pp. 2545–2551 Vol.4, IEEE, Dec. 2004.

-
- [80] T. Tanimura, S. Oda, T. Tanaka, T. Hoshida, Z. Tao, and J. C. Rasmussen, “A simple digital skew compensator for coherent receiver,” in *35th European Conference on Optical Communication, 2009. ECOC '09*, pp. 1–2, IEEE, Sept. 2009.
- [81] M. Paskov, D. Lavery, and S. Savory, “Blind Equalization of Receiver In-Phase/Quadrature Skew in the Presence of Nyquist Filtering,” *IEEE Photonics Technology Letters*, vol. 25, pp. 2446–2449, Dec. 2013.
- [82] A. Singer, A. Bean, and J. W. Choi, “Mutual information and time-interleaved analog-to-digital conversion,” in *Information Theory and Applications Workshop (ITA), 2010*, pp. 1–5, 2010.
- [83] A. Papoulis, *Probability, Random Variables and Stochastic Processes*. McGraw-Hill Companies, 3rd ed., Feb. 1991.
- [84] R. G. Brown, *Smoothing, Forecasting and Prediction of Discrete Time Series*. Courier Dover Publications, 2004.
- [85] “La UNC se anota en el diseño de microchips para digitalizar datos,” Aug. 2013. Un estudiante de doctorado de Conicet diseñó un potente circuito microelectrónico, cuyo prototipo ya se fabricó en EE.UU. Video. <http://www.lavoz.com.ar/ciudadanos/unc-se-anota-diseno-microchips-para-digitalizar-datos>.
- [86] “Investigadores de la UNC desarrollaron un chip innovador,” July 2013. <http://www.cba24n.com.ar/content/investigadores-de-la-unc-desarrollaron-un-chip-innovador>.
- [87] “Laboratorio de la UNC desarrolló un chip para comunicaciones de alta velocidad - Redvitec,” July 2013. <http://www.redvitec.edu.ar/novedades/index/laboratorio-de-la-unc-desarrollo-un-chip-para-comunicaciones-de-alta-velocidad>.
- [88] “Laboratorio de la Facultad de Ciencias Exactas desarrolló un chip para comunicaciones de alta velocidad — Universidad Nacional de Córdoba,” July 2013. <http://www.unc.edu.ar/investigacion/cienciaytecnologia/novedades-informacion-cyt/2013/laboratorio-de-la-facultad-de-ciencias-exactas-desarrollo-un-chip-para-comunicaciones-de-alta-velocidad>.
- [89] B. P. Ginsburg and A. P. Chandrakasan, “500-MS/s 5-bit ADC in 65-nm CMOS With Split Capacitor Array DAC,” *IEEE J. Solid-State Circuits*, vol. 42, pp. 739–747, Apr. 2007.

- [90] H. J. M. Veendrick, "The behaviour of flip-flops used as synchronizers and prediction of their failure rate," *IEEE Journal of Solid-State Circuits*, vol. 15, no. 2, pp. 169–176, 1980.
- [91] J.-T. Wu and B. Wooley, "A 100-MHz pipelined CMOS comparator," *IEEE Journal of Solid-State Circuits*, vol. 23, pp. 1379–1385, Dec. 1988.
- [92] B. Zojer, R. Petschacher, and W. Luschnig, "A 6-bit/200-MHz full Nyquist A/D converter," *IEEE Journal on Solid-State Circuits (ISSN 0018-9200)*, 1985.
- [93] C. Mangelsdorf, "A 400-MHz input flash converter with error correction," *IEEE Journal of Solid-State Circuits*, vol. 25, pp. 184–191, Feb. 1990.
- [94] P. M. Figueiredo, "Comparator Metastability in the Presence of Noise," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. PP, no. 99, pp. 1–14, 2012.
- [95] P. Sonna and H. Carrer, "Broadband programmable equalizer and limiting amplifier for an XFI interface in 45nm CMOS," in *Argentine School of Micro-Nanoelectronics, Technology and Applications, 2009. EAMTA 2009*, pp. 77–80, IEEE, Oct. 2009.
- [96] B. Razavi, *Design of analog CMOS integrated circuits*. McGraw-Hill, 2001.
- [97] U. Singh and M. Green, "Dynamics of high-frequency CMOS dividers," in *IEEE International Symposium on Circuits and Systems, 2002. ISCAS 2002*, vol. 5, pp. V–421–V–424 vol.5, 2002.
- [98] J. A. Fredenburg and M. P. Flynn, "Statistical Analysis of ENOB and Yield in Binary Weighted ADCs and DACs With Random Element Mismatch," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. PP, no. 99, pp. 1–13, 2012.
- [99] J. Montanaro, R. Witek, K. Anne, A. Black, E. Cooper, D. Dobberpuhl, P. Donahue, J. Eno, W. Hoepfner, D. Kruckemyer, T. Lee, P. Lin, L. Madden, D. Murray, M. Pearce, S. Santhanam, K. Snyder, R. Stehpany, and S. Thierauf, "A 160-MHz, 32-b, 0.5-W CMOS RISC microprocessor," *IEEE Journal of Solid-State Circuits*, vol. 31, no. 11, pp. 1703–1714, 1996.
- [100] J. M. Rabaey and A. P. Chandrakasan, *Digital Integrated Circuits*. Pearson Education, 2003.
- [101] B. P. Ginsburg and A. P. Chandrakasan, "Dual Time-Interleaved Successive Approximation Register ADCs for an Ultra-Wideband Receiver," *IEEE J. Solid-State Circuits*, vol. 42, pp. 247–257, Feb. 2007.

-
- [102] Y. Oh and B. Murmann, "A Low-Power, 6-bit Time-Interleaved SAR ADC Using OFDM Pilot Tone Calibration," in *Custom Integrated Circuits Conference, 2007. CICC '07. IEEE*, pp. 193–196, 2007.
- [103] Z. Cao, S. Yan, and Y. Li, "A 32 mW 1.25 GS/s 6b 2b/Step SAR ADC in 0.13um CMOS," *Solid-State Circuits, IEEE Journal of*, vol. 44, no. 3, pp. 862–873, 2009.
- [104] H. W. Johnson and M. Graham, *High-speed signal propagation: advanced black magic*. Prentice Hall Professional, 2003.
- [105] T. Instruments, "LVDS Owner's Manual," *Jan*, 2008.
- [106] J. Liu and X. Lin, "Equalization in high-speed communication systems," *IEEE Circuits and Systems Magazine*, vol. 4, no. 2, pp. 4–17, 2004.
- [107] W. Park and S.-C. Lee, "Design of LVDS driver based CMOS transmitter for a high speed serial link," in *Electronics and Information Engineering (ICEIE), 2010 International Conference On*, vol. 1, pp. V1–300–V1–302, Aug. 2010.
- [108] V. Zwillich, M. Wollitzer, T. Wirschem, W. Menzel, and H. Leier, "Signal Integrity Analysis of a 1.5 Gbit/s LVDS Video Link," in *IEEE International Symposium on Electromagnetic Compatibility, 2007. EMC 2007*, pp. 1–6, July 2007.
- [109] Y. Zongxiong, L. Xiaohua, L. Huihua, L. Lei, and Z. Wanting, "LVDS driver design for high speed serial link in 0.13um CMOS technology," in *2011 International Conference on Computational Problem-Solving (ICCP)*, pp. 145–148, Oct. 2011.
- [110] "IEEE Standard for Low-Voltage Differential Signals (LVDS) for Scalable Coherent Interface (SCI)," *IEEE Std 1596.3-1996*, pp. i–, 1996.
- [111] M. Chen, J. Silva-Martinez, M. Nix, and M. Robinson, "Low-voltage low-power LVDS drivers," *IEEE Journal of Solid-State Circuits*, vol. 40, pp. 472–479, Feb. 2005.
- [112] A. Boni, A. Pierazzi, and D. Vecchi, "LVDS I/O interface for Gb/s-per-pin operation in 0.35- μ m CMOS," *IEEE Journal of Solid-State Circuits*, vol. 36, pp. 706–711, Apr. 2001.
- [113] "Terasic - All FPGA Main Boards - Stratix IV - Altera DE4 Development and Education Board."
- [114] "Stratix IV GX FPGA Development Kit."
- [115] "Histogram Testing Determines DNL and INL Errors - Tutorial - Maxim," 2003.
- [116] "EE247 - Analog Digital Interface Integrated Circuits," 2007.

- [117] B. Razavi, *Principles of Data Conversion System Design*. Wiley-IEEE Press, Nov. 1994.
- [118] B. Murmann, “A/D converter circuit and architecture design for high-speed data communication,” in *2013 IEEE Custom Integrated Circuits Conference (CICC)*, pp. 1–78, 2013.
- [119] “Low Pass Filter - VLF-490 - Mini-Circuits.”