



UNIVERSIDAD NACIONAL DEL SUR

Tesis Magister en Ingeniería

**Circuito Integrado para la Reducción de la Distorsión
Armónica en Amplificadores Conmutados**

Oscar Andrés Aymonino

BAHÍA BLANCA

ARGENTINA

2012

Prefacio

Esta Tesis se presenta como parte de los requisitos para optar al grado Académico de Magister en Ingeniería, de la Universidad Nacional del Sur (UNS) y no ha sido presentada previamente para la obtención de otro título en esta Universidad u otra. La misma contiene los resultados obtenidos en investigaciones llevadas a cabo en el Grupo de Investigaciones en Sistemas Electrónicos y Electromecatrónicos, dependiente del Departamento de Ingeniería Eléctrica y Computadoras, durante el período comprendido entre octubre de 2004 y marzo de 2007, bajo la dirección del Dr. Alejandro Oliva y el Dr. Pablo Mandolesi, ambos Profesores Adjuntos pertenecientes al Departamento de Ingeniería Eléctrica y Computadoras, UNS.

06 de Agosto de 2012

Oscar Andrés Aymonino

DEPARTAMENTO DE INGENIERÍA ELÉCTRICA Y DE COMPUTADORAS
UNIVERSIDAD NACIONAL DEL SUR

A Verónica y a Magalí por el tiempo que les quité, y a mis padres por el apoyo que siempre me dieron.

Resumen

Los amplificadores conmutados han tenido una excelente aceptación en los últimos años, debido fundamentalmente a la eficiencia energética con la que trabajan. Sin embargo existen aún aplicaciones en las cuales no han logrado el desempeño equivalente al de un amplificador lineal en lo que respecta a distorsión armónica de la señal. Este trabajo trata acerca del desarrollo de un circuito integrado específico para la implementación práctica de un método de compensación aplicable en amplificadores conmutados de potencia, con objeto de disminuir las alinealidades que en ellos se producen durante el proceso de reconstrucción de las señales a reproducir, ya sea como parte de un amplificador de audio conmutado, un dispositivo de control de velocidad de un motor de inducción, o una aplicación de un sistema de energía ininterrumpida (UPS). En todos estos casos, el resultado obtenido producto de la aplicación directa del esquema de modulación ideal en la etapa inversora, puede arrojar un resultado insatisfactorio, ya sea por no poder calificar como de alta fidelidad en el caso del amplificador de audio, o bien generar una circulación de corrientes armónicas no deseadas por la carga en los casos restantes. De allí surge la necesidad de contar con un esquema de compensación para aquellas situaciones donde se requiera una alta calidad de reproducción de señales.

En lo que respecta a la organización del trabajo, se realiza en principio una introducción básica a los amplificadores conmutados, su principio de funcionamiento y esquemas de modulación típicos, como así también la identificación de los puntos en los cuales se generan las alinealidades que conllevan a la distorsión de la señal reproducida. Luego se

abordan diferentes metodologías propuestas por diversos autores con objeto de mejorar esta problemática, haciendo hincapié en aquella técnica adoptada para su implementación en el presente trabajo. Seguidamente se describe la implementación en sí, realizando un profundo análisis en torno al diseño del circuito integrado a medida, que fue construido específicamente para esta aplicación particular; y por último se exponen los resultados experimentales obtenidos, como así también las conclusiones surgidas a lo largo del desarrollo de esta tarea y futuras mejoras a incorporar.

Cabe aclarar que al día de la fecha existen herramientas de diseño e integración mucho más avanzadas que hubiesen permitido arribar al mismo resultado de manera mucho más simple, y en menor tiempo. Sin embargo, la esencia de este trabajo se fundamentó en la formación de recursos humanos en relación al diseño de circuitos integrados, área que recién estaba comenzando a surgir dentro de la universidad, empleando para ello las únicas herramientas que se encontraban disponibles en ese entonces.

Abstract

Switch-mode power amplifiers have been widely used in last years, mainly due to the high efficiency they achieve. However, there are still several applications in which they have not yet reached the equivalent performance to a linear amplifier, especially regarding to the harmonic distortion in the output signal. This thesis work is about the development of a custom integrated circuit (IC) to be applied in a practical implementation of a compensation method to reduce the harmonic distortion in switch-mode power amplifiers. Distortion of the output signal in this class of amplifiers appears because of nonlinearities in the inverter stage, such as dead time insertion and voltage drops in free-wheel diodes and semiconductor switches. Typical applications are class-D audio amplifiers, variable frequency drives (VFD), and uninterruptible power supplies (UPS). Commanding the inverter stage according to the classical pulse width modulation (PWM) scheme, may lead to unsatisfactory results, such as low fidelity performance in the audio amplifier example, or harmonic currents presence in the load for the remaining cases. The need for a compensation method is hence mandatory for such applications requiring a very high quality output signal.

Regarding the organization of this book, a basic explanation about switch-mode amplifiers is firstly introduced. Working principles, modulation schemes, nonlinearities and harmonic distortion sources are also presented in this chapter. Then, different compensation methods are deeply analyzed, including a method locally developed that was the one implemented into the custom IC. The next chapter shows the IC design from schematics

to layout, and finally the practical implementation is described, as well as measurements and results of laboratory tests. Future further improvements are also presented, together with an annex section where some particular topics are explained, and source codes are listed.

Índice general

1. Introducción	1
1.1. Introducción a los amplificadores conmutados	1
1.2. Esquemas de modulación	4
1.2.1. Modulación PWM bipolar	7
1.2.2. Modulación PWM unipolar	10
1.3. Distorsión armónica	12
1.3.1. Proceso de modulación	12
1.3.2. Tiempos muertos	13
1.3.3. Caída de tensión en las llaves y diodos	16
1.4. Síntesis	19
2. Métodos de compensación de no linealidades	21
2.1. Introducción	21
2.2. Método descrito en A. Cichowski et al. 2005 [CN05]	21
2.3. Método descrito en D. Leggate et al. 1997 [LK97]	24
2.4. Método descrito en I. Park et al. 1996 [PY96]	28
2.5. Método descrito en A. Muñoz et al. 1999 [ML99]	32
2.6. Método descrito en K. Smith et al. 1999 [SLS99]	38
2.7. Método descrito en A. Oliva et al. 2004 [OABC04]	43
2.8. Síntesis	44

3. Método de compensación propuesto	47
3.1. Introducción	47
3.2. Problemática de la modulación PWM	47
3.3. Descripción del método	57
3.3.1. Compensación de las caídas de tensión	58
3.3.2. Compensación de los tiempos muertos	67
3.3.3. Método general de compensación de tiempos muertos y caídas de tensión	71
3.4. Síntesis	81
4. Diseño del circuito integrado	83
4.1. Introducción	83
4.2. Arquitectura del circuito integrado	84
4.2.1. Generalidades del diseño	88
4.2.2. Interfaz serie	92
4.2.3. Decodificación	95
4.2.4. Memoria RAM	98
4.2.5. Etapa de conteo	99
4.2.6. Bloque de comparación	102
4.2.7. Control de las llaves	104
4.3. Simulación del circuito integrado	108
4.4. Layout del circuito integrado	110
4.5. Verificación layout versus esquemático	115
4.6. Síntesis	116
5. Implementación práctica del sistema de modulación PWM	117
5.1. Introducción	117
5.2. Arquitectura del sistema implementado	118

5.2.1. Plataforma DSP	119
5.2.2. Placa con el CI desarrollado	121
5.2.3. Placa del inversor	124
5.2.4. Software del DSP	127
5.3. Ensayos efectuados sobre el CI	129
5.4. Ensayos efectuados sobre el sistema completo	136
5.5. Síntesis	147
6. Conclusiones Finales	149
A. Dimensionado de transistores MOS	153
B. Protección electrostática en circuitos integrados	157
C. Rutinas de simulación en Matlab	163
D. Rutinas de simulación en IRSim	173
E. Resultado de la comparación layout versus esquemático	181
F. Rutinas de ejecución en el DSP	185

Capítulo 1

Introducción

1.1. Introducción a los amplificadores conmutados

Históricamente, todas las aplicaciones referentes a amplificadores de audio eran resueltas mediante el empleo de dispositivos electrónicos, ya sean válvulas de vacío o semiconductores, trabajando siempre en la zona activa o zona lineal de operación, permitiendo así lograr una muy baja distorsión armónica en la señal reproducida, conjuntamente con una sencillez única en el diseño electrónico. Sin embargo, es bien sabido que los amplificadores lineales adolecen de una desventaja muy grande como es el bajo rendimiento. En efecto, el hecho que los dispositivos funcionen permanentemente en la zona activa redundante en una disipación calórica muy importante en la etapa de potencia, lo cual disminuye drásticamente la eficiencia del amplificador. Hoy en día este bajo rendimiento tiende a ser prohibitivo, sobre todo en las aplicaciones portátiles o móviles que dependen de baterías para su funcionamiento, donde la premisa fundamental de diseño pasa tanto por la autonomía como por la reducción de volumen. En contraparte, los amplificadores conmutados basan su funcionamiento en la operación de los semiconductores en la zona no lineal de trabajo (corte y saturación), permitiendo de esta forma manejar la carga con una eficiencia que idealmente puede llegar al 100 %. A diferencia del amplificador lineal, es

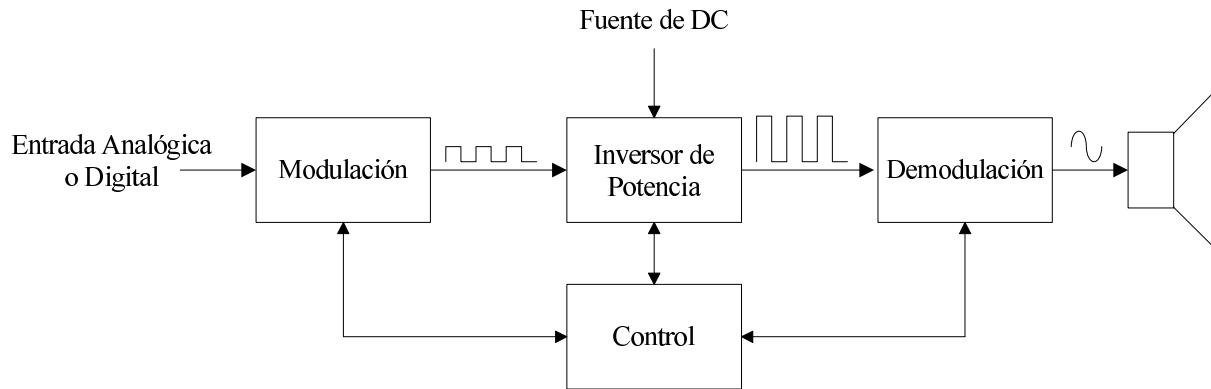


Figura 1.1: Diagrama de un amplificador conmutado.

posible además comandar un amplificador conmutado directamente con señales digitales, lo que abre un abanico de aplicaciones muy amplio a partir de la aparición de medios de almacenamiento digital para audio, tales como los reproductores de CD y MP3. Estos dispositivos procesan toda la información en el campo digital y efectúan la conversión al campo analógico al momento de la reproducción. El hecho de contar con un amplificador conmutado permitiría además reducir el nivel de ruido originado mayormente en las etapas intermedias analógicas de la versión lineal. Si bien la concepción de los amplificadores conmutados data de hace más de medio siglo [Bla53], fue necesario esperar el advenimiento de nuevas tecnologías en los dispositivos semiconductores para poder ser llevados a la práctica. Hoy en día es habitual el empleo de transistores MOSFET de alta velocidad para su implementación. Si bien las ventajas que presentan los amplificadores conmutados son diversas, el principal problema del que aún adolecen, es la distorsión armónica en la señal reproducida. Debido al propio principio de funcionamiento, se evidencian en la salida innumerables componentes espectrales que requieren de un filtrado adicional para su completa remoción. La Fig. 1.1 ilustra un diagrama en bloques de un amplificador conmutado [San84]. La señal entrante, ya sea en el campo analógico o digital, ingresa a un dispositivo llamado modulador que la convierte en un tren de pulsos adecuado para manejar la etapa de potencia, comúnmente llamada inversor, que tiene la finalidad de amplificar en tensión y corriente el tren de pulsos, que luego de pasar por la etapa de

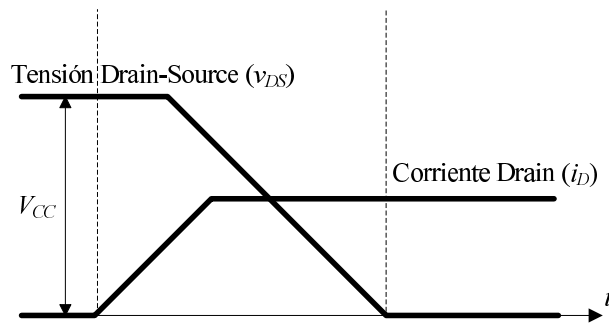


Figura 1.2: Conmutación del estado apagado a encendido de un transistor MOSFET.

demodulación se aplica finalmente sobre la carga. El proceso de demodulación consiste generalmente en un filtro pasivo LC de muy bajas pérdidas que se utiliza para remover el contenido espectral de alta frecuencia producto del proceso de modulación previamente aplicado. A su vez el control del amplificador conmutado puede efectuarse ya sea a lazo abierto o a lazo cerrado en función de la topología empleada y el desempeño que quiera lograrse. Es en la etapa del inversor donde se logra la alta eficiencia de estos amplificadores respecto a su contraparte lineal. Como se mencionó anteriormente, los semiconductores se manejan aquí en las zonas de corte y saturación, como si fuesen simples llaves; así cuando la llave se encuentra abierta (dispositivo en corte) la corriente es nula, mientras que cuando la llave se encuentra cerrada (dispositivo saturado), la corriente que circula queda determinada por la carga. Esto hace que el producto tensión-corriente sea idealmente cero en la llave, lo que le confiere una gran eficiencia. Sin embargo, en la realidad existe una disipación de potencia, producto de los tiempos de conmutación no nulos en los semiconductores, ya sea para conmutar del estado abierto a cerrado (t_{ON}) o viceversa (t_{OFF}) [MUR95]. La Fig. 1.2 representa un ejemplo típico de conmutación del estado de apagado a encendido de un transistor MOSFET, donde se observan la tensión presente entre los terminales *Drain-Source* (v_{DS}) y la corriente que lo atraviesa (i_D). Durante el intervalo de tiempo delimitado por las líneas punteadas se disipa energía, debido a que el producto de la tensión y corriente no es nulo. Algo similar ocurre en el caso opuesto, es decir cuando el dispositivo cambia del estado de encendido al de apagado. A su vez, la

disipación de potencia dependerá de la tasa de cambio de estados que se produzcan en los dispositivos del inversor por unidad de tiempo. A este término se lo denomina habitualmente frecuencia de conmutación (f_s) y es un parámetro característico de diseño en un amplificador conmutado. A mayor f_s habrá más cantidad de conmutaciones por unidad de tiempo, y por ende será mayor la disipación.

Existen factores de pérdida adicionales en los semiconductores, como lo son las pérdidas por conducción. Cualquier dispositivo semiconductor presenta entre sus bornes una resistencia no nula cuando conduce corriente. Estos valores dependen de la capacidad de manejo de corriente del dispositivo, y pueden variar desde algunos $m\Omega$ hasta unos pocos Ω . Esto provoca una pérdida de potencia del tipo i^2r cada vez que el dispositivo conduce; lo cual contribuye a disminuir aún más la eficiencia del amplificador conmutado. Sin embargo, en la práctica es común encontrar valores de eficiencia de entre el 85 % y 95 % dependiendo del rango de potencias a entregar en la carga. Este valor, comparado con los de su contraparte lineal, que en los mejores casos llega al 60 % sigue siendo una excelente razón para que los amplificadores conmutados se hayan desarrollado ampliamente en los mercados actuales.

1.2. Esquemas de modulación

Si bien hasta ahora se ha presentado un enfoque de los amplificadores conmutados orientado a audio, en realidad se emplean en todas aquellas aplicaciones donde sea necesario generar una onda de tensión arbitraria. Las aplicaciones típicas van desde variadores de velocidad industriales para motores de corriente alterna (VFD), sistemas de energía eléctrica ininterrumpida (UPS), lámparas fluorescentes de bajo consumo, vehículos híbridos, generadores eólicos, inyección de energía a la red eléctrica, etc [Moh03]. La Fig. 1.3 muestra un esquema de un inversor típico [MUR95, Skv02], donde las llaves M_1 a M_4 representan los dispositivos semiconductores sobre los que se controla el estado de aper-

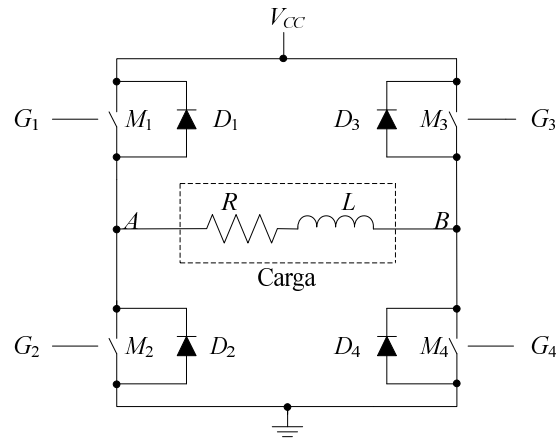


Figura 1.3: Esquema básico de un inversor.

tura o cierre (corte o saturación), para obtener los diferentes niveles de tensión (V_{AB}) necesarios sobre la carga ($R + j\omega L$). G_1 a G_4 simbolizan las líneas de control para la operación de las llaves, que corresponderían a los terminales de *Gate* en el caso que se emplearan transistores MOSFET. La carga representada en la Fig. 1.3 muestra una componente resistiva (R) que modela la transferencia de potencia activa a la carga, y una componente inductiva (L) que es representativa de, por ejemplo, la bobina de un parlante de un amplificador de audio, o el devanado estatórico de un motor de inducción. Esta última componente entra en juego en el intercambio de energía reactiva entre el inversor y la carga; y a su vez, como se verá más adelante, contribuye al filtrado de la corriente de carga, lo que posibilita obtener una forma de onda menos distorsionada. Por otra parte, el hecho de manejar una carga inductiva obliga al empleo en el inversor de diodos volantes (D_1 a D_4) en paralelo con las llaves, a fin de facilitar un camino de circulación para la corriente durante los instantes en que las llaves se encuentran abiertas y exista energía magnética almacenada en la carga. Cabe aclarar que, con objeto de poder efectuar un análisis simplificado en relación a la tensión y corriente de carga, no se tendrá en cuenta en ningún momento la fuerza electromotriz (FEM) propia de algunas cargas.

Existen diversos esquemas de modulación que difieren fundamentalmente en el manejo de las llaves del inversor, y que definen ciertas características sobre la forma de onda

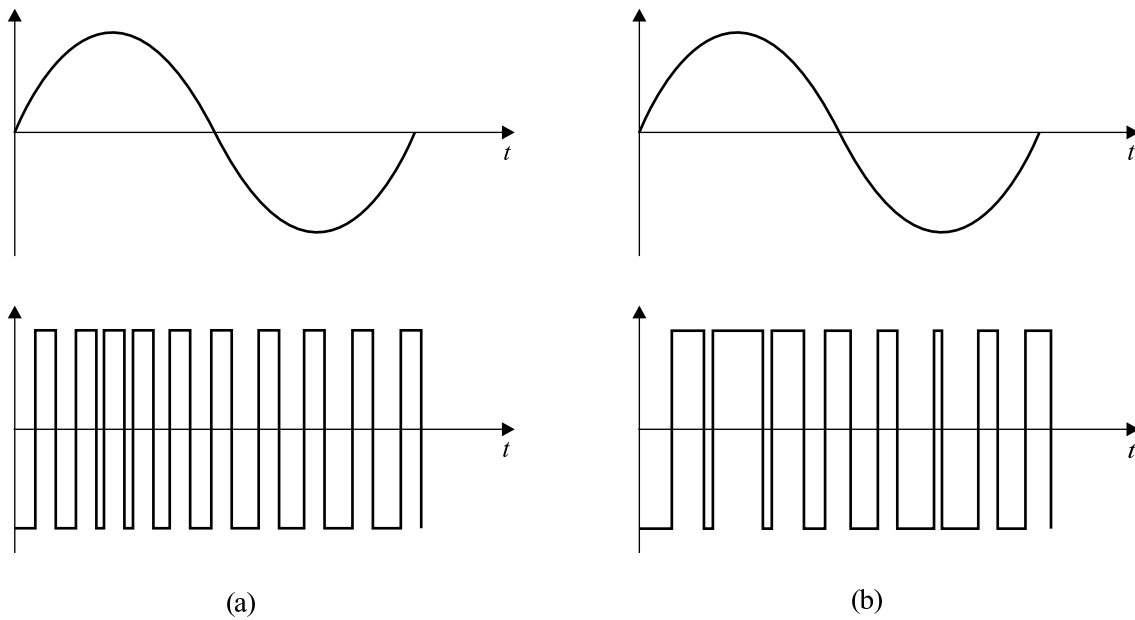


Figura 1.4: Diferentes tipos de modulación: (a) Densidad de pulso (PDM); (b) Ancho de pulso (PWM).

de tensión generada en la carga, como ser niveles de voltaje, espectro en frecuencia de la señal resultante, etc. Hay dos técnicas comúnmente utilizadas en la práctica para el proceso de modulación; una de ellas es conocida como Modulación por Densidad de Pulso (PDM) y la otra como Modulación por Ancho de Pulso (PWM) [Bla53]. La Fig. 1.4 ilustra ambas técnicas. La modulación PDM emplea pulsos de ancho constante, pero cuya densidad o cantidad por unidad de tiempo varía en función de la señal a representar. En el caso mostrado en la Fig. 1.4 (a), la densidad de pulsos es mayor cuanto mayor es el valor instantáneo de la onda a representar. En tanto en la modulación PWM mostrada en la Fig. 1.4 (b) se establece una cantidad fija de pulsos por unidad de tiempo, y la representación de la señal analógica se efectúa controlando el ancho o ciclo de trabajo de cada uno de estos pulsos; es decir la relación entre la duración del estado activo del pulso frente a la duración total. En particular para el caso mostrado, el ancho de los pulsos es mayor cuanto mayor es el valor instantáneo de la señal a representar. Entre estas dos técnicas, y debido principalmente a su desarrollo espectral, la que más auge ha tenido en

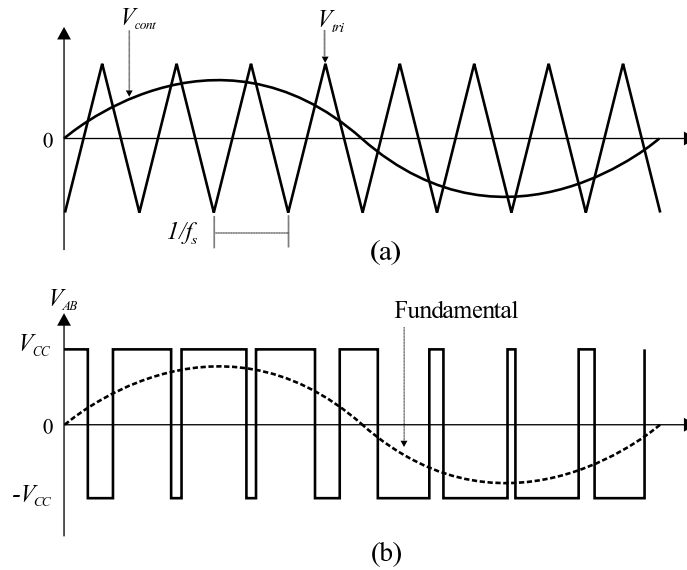


Figura 1.5: Modulación bipolar: (a) Señales de control; (b) Tensión de salida.

el campo de aplicaciones tanto de audio, como de síntesis de formas de onda senoidales para control de motores, es la PWM; por lo cual de ahora en adelante el enfoque sólo se centrará en este tipo de modulación. A su vez dentro de la técnica de PWM, y en base a la modalidad de control de las llaves del inversor, podrán obtenerse diferentes esquemas de modulación, los que se describen seguidamente [HL03].

1.2.1. Modulación PWM bipolar

La Fig. 1.5 muestra el proceso de generación del tren de pulsos en este esquema de modulación. La señal entrante, llamada V_{cont} (señal de control o señal a representar mediante la modulación) es comparada en todo momento con la señal V_{tri} (señal triangular) generada internamente en el modulador, como se muestra en la Fig. 1.5 (a). Esta onda triangular es la que define la frecuencia de conmutación (f_s) de las llaves del inversor y tiene la particularidad de tener un valor de frecuencia muy superior al de la señal de control, lográndose así que esta última permanezca prácticamente invariable mientras se realiza la comparación en cada ciclo de la señal V_{tri} . En este tipo de modulación la activación de las llaves se efectúa de a pares y de manera complementaria. Cuando las llaves M_2 y

M_3 se encuentran encendidas (ver Fig. 1.3), M_1 y M_4 permanecen apagadas; y viceversa. La lógica de activación de las llaves es tal que cuando la señal V_{cont} se encuentra por debajo de la señal V_{tri} , se enciende el par M_2 y M_3 ; mientras que cuando se encuentra por encima se enciende el par M_1 y M_4 . La tensión obtenida en bornes de la carga (V_{AB}) se muestra en la Fig. 1.5 (b), donde el ancho de los pulsos varía en función de la señal de control, y la línea punteada representa la componente fundamental de la onda que resulta del tren de pulsos, coincidente en forma con la señal a representar (V_{cont}). En este tipo de modulación solamente es posible obtener sobre la carga dos niveles de tensión; $-V_{CC}$ y $+V_{CC}$. Tanto la amplitud de esta componente fundamental, como el espectro resultante en la salida quedan establecidos en función de los siguientes parámetros característicos del modulador [MUR95, Skv02, HL03]:

- **Índice de modulación de amplitud (m_a):** es la relación entre los valores pico de tensión de la señal de control (\hat{V}_{cont}) y la señal triangular (\hat{V}_{tri}). Se utiliza a modo de control de ganancia del inversor, y define la amplitud que tendrá la onda de tensión de salida. Este factor debe mantenerse por debajo de 1 para asegurar el funcionamiento del inversor en la denominada zona lineal.

$$m_a = \frac{\hat{V}_{cont}}{\hat{V}_{tri}} \quad (1.1)$$

- **Índice de modulación de frecuencia (m_f):** es la relación entre la frecuencia de la señal triangular (frecuencia de conmutación) y la frecuencia de la señal de control, y define el contenido espectral del tren de pulsos de salida del inversor.

$$m_f = \frac{f_s}{f_1} \quad (1.2)$$

El espectro resultante en la salida para este tipo de modulación, y considerando la situación particular de $m_a = 0,8$, se muestra en la Fig. 1.6, donde las componentes (f_h)

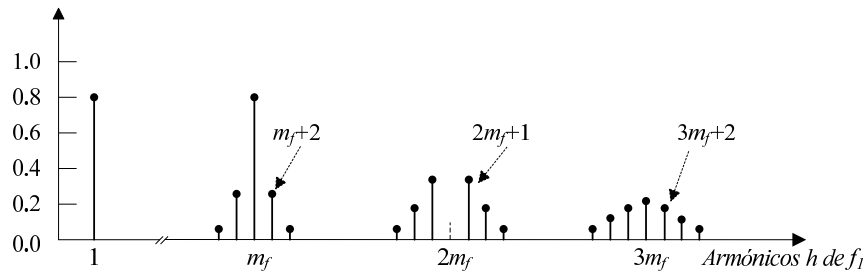


Figura 1.6: Espectro de la modulación bipolar ($m_a = 0,8$).

referidas a la frecuencia de la señal de control (f_1) se rigen por la siguiente ley:

$$f_h = (jm_f \pm k)f_1 \quad (1.3)$$

Para valores impares de j , solamente existen armónicos para valores pares de k ; y viceversa. Observando la Ec. (1.3) se desprende la conveniencia de emplear un índice de modulación m_f impar. En efecto, esto trae aparejado como ventaja la cancelación de los armónicos pares, quedando solamente los impares. Sin embargo, para lograr este cometido es necesario que la señal V_{tri} esté permanentemente sincronizada con V_{cont} , de manera de mantener el índice m_f constante. A esto se lo denomina modulación sincrónica. El hecho de mantener una modulación asincrónica, provoca la aparición de subarmónicas muy difíciles de filtrar por debajo de la frecuencia fundamental. En la práctica se suele adoptar entonces un valor de m_f grande (> 21) para minimizar este efecto, de forma tal que los subarmónicos sean despreciables, y a su vez permita emplear la simplicidad a nivel circuital de la técnica de modulación asincrónica. Cabe aclarar que todo lo expuesto en relación al análisis espectral es solamente válido para valores del índice m_a por debajo de 1, es decir que el funcionamiento se encuentre dentro de la zona lineal de trabajo. En caso de sobrepasar este valor se ingresa a una zona alineal de sobremodulación, y si bien se produce un incremento adicional en la amplitud de salida, el espectro comienza a mostrar un número mayor de componentes alrededor de las frecuencias múltiplos de m_f , como así también alrededor de la banda base.

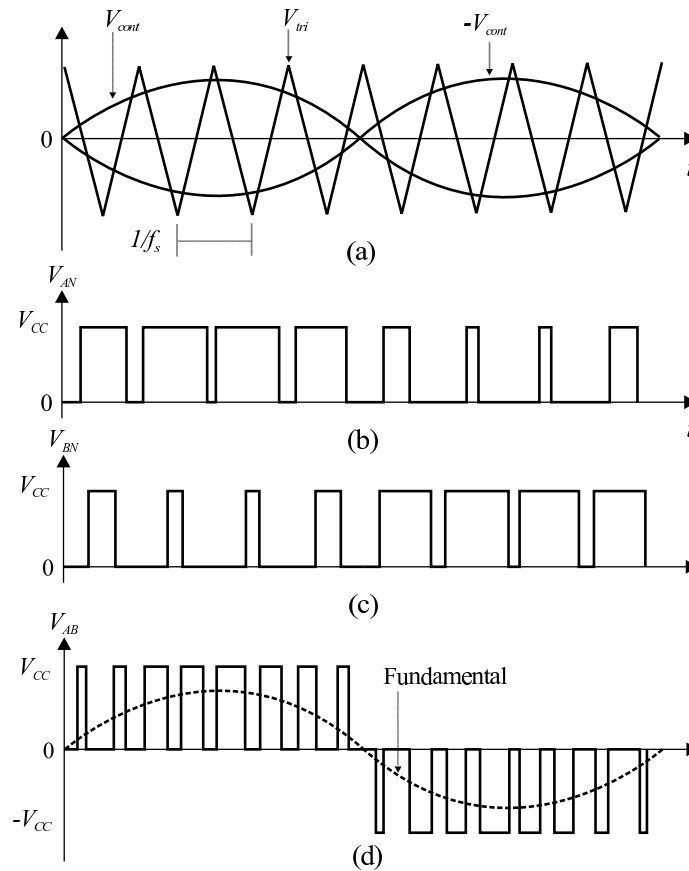


Figura 1.7: Modulación unipolar: (a) Señales de control; (b) y (c) Salidas en cada pierna; (d) Tensión en la carga.

1.2.2. Modulación PWM unipolar

La Fig. 1.7 muestra el proceso de generación del tren de pulsos y formas de onda en este esquema de modulación. Aquí el control de cada llave se hace de manera individual. Para ello a partir de la señal de entrada (V_{cont}) se obtiene la inversa ($-V_{cont}$), y luego ambas son comparadas con la onda triangular (V_{tri}), tal como lo muestra la Fig. 1.7 (a). La lógica de decisión para la actuación de las llaves (ver Fig. 1.3) es la siguiente:

- $V_{cont} > V_{tri} \rightarrow M_1$ encendida
- $V_{cont} < V_{tri} \rightarrow M_2$ encendida
- $-V_{cont} > V_{tri} \rightarrow M_3$ encendida
- $-V_{cont} < V_{tri} \rightarrow M_4$ encendida

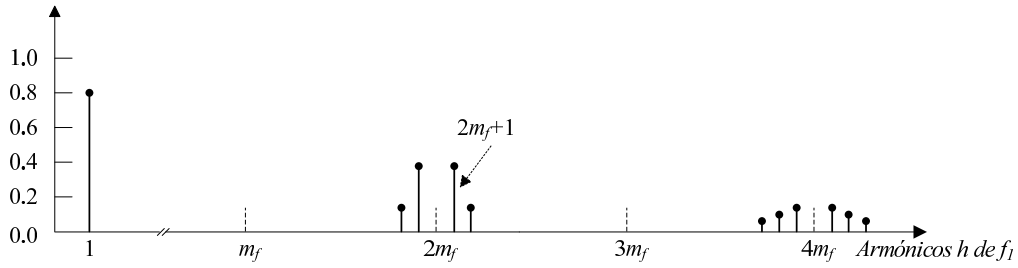


Figura 1.8: Espectro de la modulación unipolar ($m_a = 0,8$).

De esta forma se obtiene un control independiente de cada mitad del inversor (pierna), según se muestra en las Figs. 1.7 (b) y (c). La combinación de las tensiones a ambos lados de la carga (V_{AN} y V_{BN}) da como resultado el tren de pulsos que se aprecia en la Fig. 1.7 (d). Con este tipo de modulación es posible ahora obtener tres niveles de tensión sobre la carga; $-V_{CC}$, 0 y V_{CC} . En lo que respecta al contenido espectral de la salida, las componentes de tensión presentes sobre la carga siguen la siguiente ley:

$$f_h = (2jm_f \pm k)f_1, \quad (1.4)$$

Donde k puede tomar sólo valores impares, y por ende el espectro está compuesto en su totalidad por armónicos impares. En este caso existen bandas laterales únicamente en los múltiplos pares de m_f según lo muestra la Fig. 1.8, nuevamente para el caso particular de $m_a = 0,8$. Si se utiliza un índice m_f par, es posible además cancelar las componentes múltiplos de m_f , incluyendo la fundamental. Este tipo de modulación duplica la frecuencia efectiva de conmutación del inversor por el hecho de manejar independientemente cada pierna. Como resultado, las componentes frecuenciales que en la modulación bipolar aparecían por debajo de m_f , aquí no existen, facilitando así el proceso de filtrado de la señal de salida. Al igual que en el caso anterior, este análisis es válido siempre y cuando el índice de modulación de amplitud m_a se mantenga por debajo de 1, es decir en la denominada zona lineal de trabajo.

1.3. Distorsión armónica

Como se mencionó anteriormente, si bien la eficiencia es la característica más destacable de los amplificadores conmutados, éstos adolecen de un serio problema en lo que respecta a la deformación o distorsión presente en la onda de tensión de salida. La distorsión armónica total (THD) es un parámetro que define la relación que existe para una señal cualquiera, entre el valor medio cuadrático de las componentes armónicas presentes, respecto a su componente fundamental. Se expresa habitualmente de manera porcentual, a través de la siguiente relación:

$$\text{THD} [\%] = \frac{\sqrt{\sum_{i=2}^{\infty} h_i^2}}{h_1} * 100 \quad (1.5)$$

donde h_i es la componente armónica de orden i -ésimo, y h_1 es la componente fundamental. La aparición de distorsión en la forma de onda de tensión de salida del inversor tiene diversas fuentes de origen, pero particularmente nos enfocaremos en tres de ellas que se detallan a continuación [OABC04], propias del proceso de modulación, inserción de tiempos muertos, y caídas de tensión en las llaves y diodos.

1.3.1. Proceso de modulación

Esta fuente de distorsión es inherente al proceso de modulación en sí. Acorde a lo mencionado en los puntos anteriores, el amplificador conmutado funciona en base a un sistema que muestrea la señal a modular a intervalos fijos de tiempo, y mediante comparaciones de tensiones decide cuál debe ser el estado de cada llave del inversor. Esto genera un patrón de armónicos alrededor de la frecuencia de conmutación y sus múltiplos (a partir del doble de la frecuencia de conmutación en el caso de modulación unipolar). Si el índice m_f se mantiene alto, es posible eliminar estos armónicos de alta frecuencia con un filtro

pasivo de diseño simple; o bien en los casos donde se utilice una carga inductiva, dejar que la propia carga atenúe las componentes de alta frecuencia. En aquellos casos donde sea necesario el empleo de filtros de salida, deben extremarse los recaudos en cuanto al diseño del mismo, a fin de evitar que sea el propio filtro el que introduzca una distorsión adicional, producto de las alinealidades que pudiese presentar. Asimismo, este tipo de filtrado puede introducir desfasajes dependientes de la frecuencia, lo cual redundará en lo que se conoce como distorsión de fase. Este tema, aplicado a amplificadores de audio, es ampliamente tratado en [LPV82].

1.3.2. Tiempos muertos

Idealmente, el proceso de conmutación en los dispositivos semiconductores que conforman las llaves del inversor se produce instantáneamente. Sin embargo, y tal como se mencionó en la sección 1.1, estos tiempos no son nulos, y lo que es peor aún es que el tiempo de apagado de los semiconductores que habitualmente se utilizan para este propósito (MOSFET, IGBT) se encuentra entre 3 y 7 veces por encima del tiempo de encendido. Esto provoca que durante las conmutaciones que se realizan en los dispositivos de la misma pierna del inversor, se produzcan cortocircuitos temporarios en la fuente de alimentación debido a que cuando uno de los semiconductores comienza a conducir, el otro aún no se ha apagado. Para solucionar esto, se agrega durante el temporizado de las llaves lo que se conoce como tiempo muerto (TM), que consiste en una demora luego de apagar una de las llaves, hasta efectivamente impartir la orden de encendido de la otra [MUR95]. El proceso de generación de tiempos muertos al inicio de cada conmutación o cambio de estado de las llaves, hace que existan pequeños intervalos de tiempo en los cuales ambas llaves de una misma pierna se encuentran momentáneamente abiertas, haciendo que la corriente presente en la carga cambie su valor, o bien adopte otros caminos de circulación, según la naturaleza de la carga que se maneje. Si se está ante la presencia de una carga inductiva,

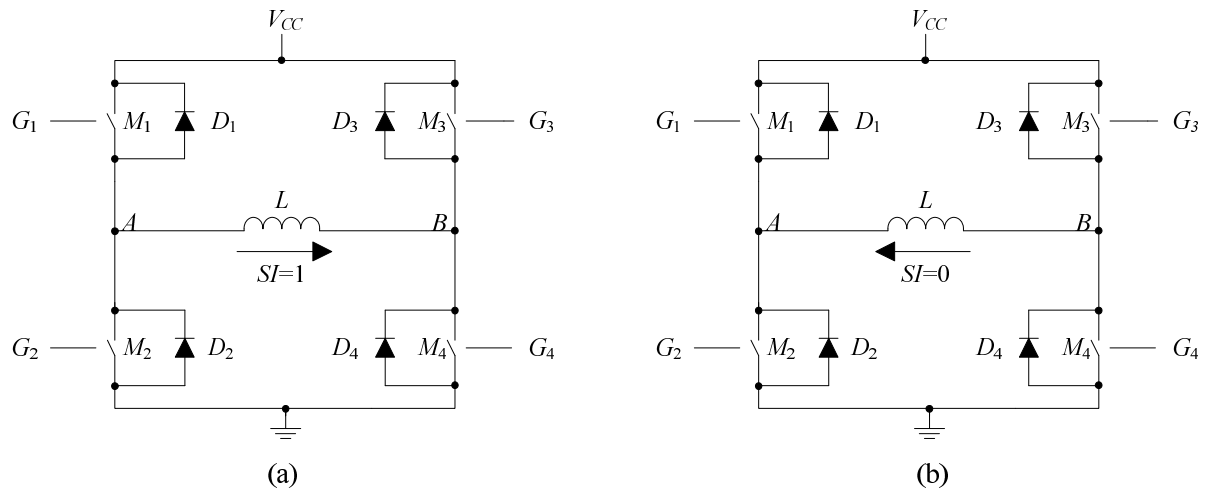


Figura 1.9: Convención de signos: (a) Corriente positiva; (b) Corriente negativa.

como es en la mayoría de las aplicaciones, la corriente buscará un camino alternativo de circulación a través de alguno de los diodos volantes que se encuentran en paralelo con los semiconductores; dependiendo esto del sentido que tenga la corriente en ese preciso momento.

Las Figs. 1.9 (a) y (b) muestran los dos posibles sentidos de circulación para la corriente de carga. La nomenclatura $SI = 1$ significa que la corriente circula desde el punto A al punto B de la carga, y viceversa para $SI = 0$. Con respecto a la tensión, se adopta $SV = 1$ cuando el potencial en el punto A es mayor al del punto B , y $SV = 0$ para la situación contraria; determinando así los cuatro cuadrantes de operación del inversor.

Cabe aclarar que si bien la carga se modeló en un comienzo como una componente resistiva y una inductiva, en la mayoría de los casos, y sobre todo a la frecuencia de trabajo del inversor, la componente inductiva es la predominante; por ello de ahora en más nos referiremos a la carga sólo a través de esta componente L . En función del signo de la corriente se tendrán entonces los siguientes escenarios posibles:

- ($SI = 1$): Supongamos que se debe finalizar la secuencia de encendido del par de llaves $\{M_2, M_3\}$ que están definiendo un nivel de $-V_{CC}$ sobre la carga, para pasar al estado de llaves $\{M_2, M_4\}$ y fijar así un nivel de 0 V. La inserción del TM se haría

apagando primeramente la llave M_3 , y recién luego de un instante (TM) encendiendo M_4 . Esto hace que la duración del estado $\{M_2, M_4\}$ sea más corta de lo que debiera ser por la inserción previa del TM. Durante este TM, la corriente circulará por el diodo D_3 , fijando una tensión de $-V_{CC}$ en lugar de 0 V como se pretendía, resultando por ende en un voltaje medio menor sobre la carga. Algo similar ocurre cuando se pasa de la secuencia $\{M_2, M_3\}$ a la $\{M_1, M_3\}$. En este caso la conducción se hace a través del diodo D_2 y la tensión media en la carga también resulta ser menor.

- ($SI = 0$): Supongamos que se debe finalizar la secuencia de encendido del par de llaves $\{M_1, M_4\}$ que están definiendo un nivel de V_{CC} sobre la carga, para pasar al estado de llaves $\{M_2, M_4\}$ y fijar así un nivel de 0 V. La inserción del TM se haría apagando primeramente la llave M_1 , y recién luego de un instante (TM) encendiendo M_2 . El nuevo estado tendrá una duración menor por la inserción del TM. Durante este lapso de tiempo la corriente circulará por el diodo D_1 , fijando una tensión de V_{CC} en lugar de 0 V como se pretendía, resultando por ende en un valor medio de tensión mayor. Algo similar ocurre cuando se pasa de la secuencia $\{M_1, M_4\}$ a la $\{M_1, M_3\}$. En este caso la conducción se hace a través del diodo D_4 y la tensión media sobre la carga también resulta ser mayor.

Generalizando, se concluye que si la corriente es positiva ($SI = 1$), el valor de tensión resultante en la carga será menor; mientras que si el sentido es negativo ($SI = 0$), la tensión será mayor. El resultado de la inserción de estos tiempos muertos (TMs) se manifiesta sobre la carga como lo muestra la Fig. 1.10. Para una mejor comprensión se grafican solamente las componentes espectrales de bajo orden tanto de la tensión (V_0) como de la corriente (I_0), y no las de orden superior propias del proceso de modulación. La línea llena en el gráfico superior de la Fig. 1.10 representa la forma de onda ideal de tensión que debería esperarse durante la modulación; mientras que, producto de la inserción de los TMs, en realidad se observa la onda representada por la línea punteada. Esta distorsión

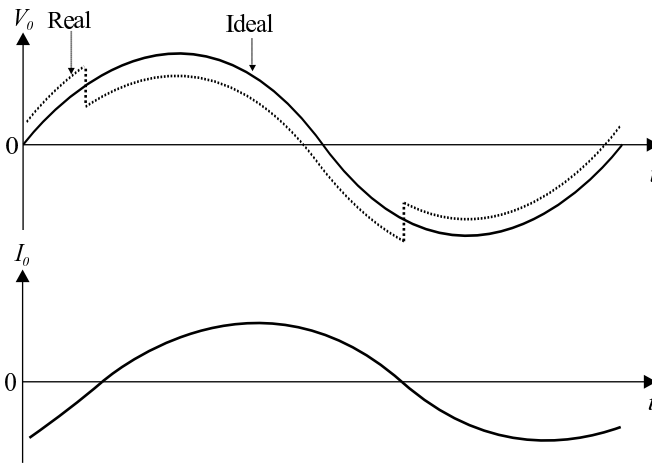


Figura 1.10: Efecto de los tiempos muertos sobre la carga.

genera desde el punto de vista espectral, una serie de armónicos de baja frecuencia (3° , 5° , 7° , etc.) que son muy difíciles y sumamente costosos de eliminar. Un análisis más profundo del impacto que produce la inserción de TMs sobre la carga puede encontrarse en [MMB99] y [CP10].

1.3.3. Caída de tensión en las llaves y diodos

Hasta ahora se han considerado a las llaves del inversor y los diodos volantes, como dispositivos ideales en lo que respecta a sus características tensión-corriente. En la práctica ambos elementos presentan un voltaje no nulo en sus bornes cuando son atravesados por una corriente, dando como resultado que los niveles reales de tensión que aparecen sobre la carga difieran de los ideales, siendo más apreciable la diferencia cuanto menor sea la tensión en la barra de continua que alimenta al inversor. Consideremos el funcionamiento de un inversor en la modalidad unipolar, donde los valores ideales de tensión que debieran aparecer sobre la carga son $\{-V_{CC}, 0, V_{CC}\}$; y analicemos las diferentes combinaciones de las llaves del inversor en base a los signos tanto de la tensión (SV) como de la corriente (SI).

Secuencia		Tensión de salida V_{AB}			
SV	SI	HI	0	LO	TM
0	1	X	$-V_D - V_{ON}$	$-V_{CC} - 2V_D$	LO
0	0	X	$V_D + V_{ON}$	$-V_{CC} + 2V_{ON}$	0
1	1	$V_{CC} - 2V_{ON}$	$-V_D - V_{ON}$	X	0
1	0	$V_{CC} + 2V_D$	$V_D + V_{ON}$	X	HI

Tabla 1.1: Niveles de tensión en la carga para modulación unipolar.

- ($SV = 1, SI = 1$): Aquí la corriente circula a través de las llaves $\{M_1, M_4\}$. Si consideramos que la caída de tensión en ambas llaves es igual y de valor constante V_{ON} , la tensión resultante en la carga será $\rightarrow V_{AB} = V_{CC} - 2V_{ON}$.
- ($SV = 0, SI = 0$): La corriente circula a través de las llaves $\{M_2, M_3\}$. La tensión resultante en la carga será $\rightarrow V_{AB} = -V_{CC} + 2V_{ON}$.
- ($SV = 0, SI = 1$): La corriente circula a través de los diodos $\{D_2, D_3\}$. Si consideramos que la caída de tensión en ambos diodos es igual y de valor constante V_D , la tensión resultante en la carga será $\rightarrow V_{AB} = -V_{CC} - 2V_D$.
- ($SV = 1, SI = 0$): La corriente circula a través de los diodos $\{D_1, D_4\}$. La tensión resultante en la carga será $\rightarrow V_{AB} = V_{CC} + 2V_D$.

Los casos considerados corresponden a los niveles de tensión no nulos que pueden presentarse en la carga para las diferentes combinaciones; pero cabe recordar que en el caso de la modulación unipolar existen instantes de tiempo en donde la tensión sí se hace nula. Esto se logra encendiendo ambas llaves superiores de cada pierna o ambas llaves inferiores (ver Fig. 1.9). Analicemos estos casos:

- ($SI = 1$): El nivel 0 en la carga puede lograrse con la combinación de llaves $\{M_1, M_3\}$ o la combinación $\{M_2, M_4\}$. En cualquiera de los dos casos, la corriente circula por una llave y un diodo volante. La tensión resultante en la carga será $\rightarrow V_{AB} = -V_D - V_{ON}$.

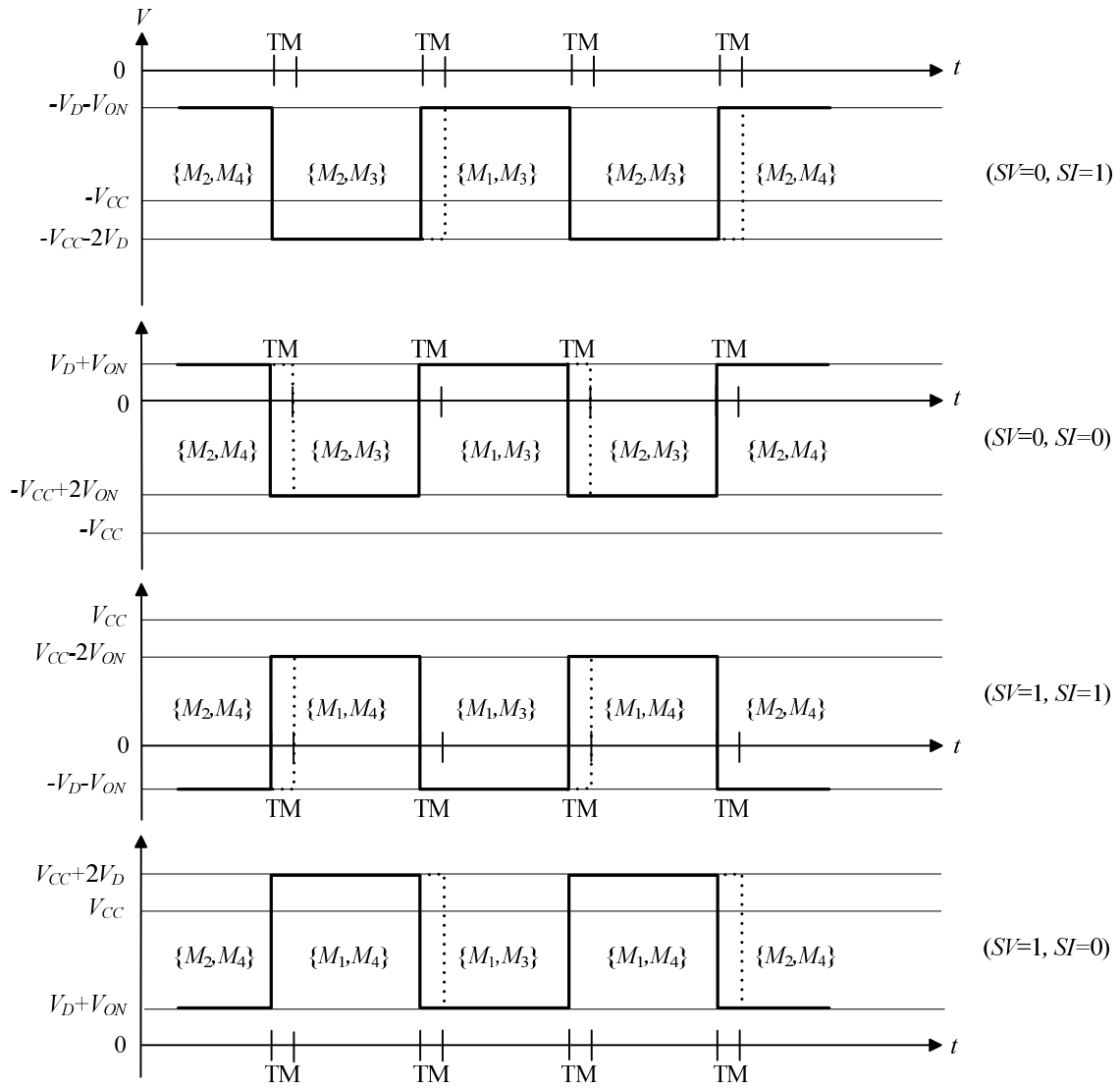


Figura 1.11: Diagramas temporales para modulación unipolar.

- ($SI = 0$): El nivel 0 en la carga puede lograrse también con la combinación $\{M_1, M_3\}$ o la combinación $\{M_2, M_4\}$. En cualquiera de los dos casos, la tensión resultante en la carga será $\rightarrow V_{AB} = V_D + V_{ON}$

La Tabla 1.1 muestra un resumen con las posibles combinaciones de llaves para generar el esquema de modulación unipolar y los diferentes niveles de tensión obtenidos en cada caso sobre la carga. Los gráficos de la Fig. 1.11 ilustran la secuencia temporal de activación de llaves en el inversor para los posibles signos de tensión y corriente (SV, SI), como así

también el nivel de tensión alcanzado sobre la carga para cada una de las combinaciones de llaves. Las columnas HI , 0 y LO de la Tabla 1.1 indican el valor de tensión real en la carga para los estados ideales V_{CC} , 0 , y $-V_{CC}$ respectivamente (niveles positivo, cero y negativo); mientras que la columna TM expresa cuál de los tres posibles niveles queda establecido durante la inserción de los tiempos muertos. Así por ejemplo en el caso de tener $SV = 1$ y $SI = 1$, la tensión será siempre positiva, y por ende sólo aparecerán sobre la carga pulsos positivos con valores idealmente entre V_{CC} y 0 , según se observa en el semiciclo positivo de la onda de la Fig. 1.7 (d). Sin embargo, la Tabla 1.1 indica para este caso que el nivel positivo tendrá en realidad un valor de $V_{CC} - 2V_{ON}$ y el nivel cero real será $-V_D - V_{ON}$. En cuanto al nivel negativo, esta secuencia de llaves en el inversor no genera en ningún momento tensiones negativas; de allí que figure una cruz (X) en la tabla. Con respecto a los TMs, durante estos intervalos en que ambas llaves de una pierna se encuentran abiertas, quedará establecido en la carga un nivel cero; es decir $-V_D - V_{ON}$. Estos instantes de inserción de TMs se muestran en los diagramas temporales de la Fig. 1.11 como líneas punteadas, presentes durante las transiciones de estados de las llaves del inversor. Como resultado del apartamiento de los niveles de tensión reales respecto de los ideales, nuevamente se presenta en la onda de salida del inversor una distorsión armónica con componentes de baja frecuencia que son sumamente difíciles y costosas de eliminar.

1.4. Síntesis

En este capítulo se introdujo el principio de funcionamiento de los amplificadores conmutados, observando sus características principales, ventajas y desventajas, como así también las problemáticas que surgen en las aplicaciones de la vida real, fundamentalmente aquellas que conllevan a la deformación de la señal presente en la carga. El alto grado de distorsión que puede observarse en la onda de salida producto de las alinealidades que

se presentan, ya sea a causa de las caídas de tensión en los dispositivos semiconductores, como así también a la inserción de tiempos muertos, es el objetivo principal de estudio de este trabajo, lo que resultará en la aplicación de técnicas de pre-procesamiento y/o compensación que serán abordadas en los capítulos subsiguientes.

Capítulo 2

Métodos de compensación de no linealidades

2.1. Introducción

En este capítulo se analizan diferentes alternativas planteadas por diversos autores, tendientes a compensar los errores introducidos en la etapa de inversión de un amplificador conmutado, producto de la inserción de tiempos muertos, como así también de las caídas de tensión en las llaves y sus diodos volantes. Entre ellos se analiza el trabajo que dará lugar al posterior desarrollo de un circuito integrado, a fin de verificar su eficacia en una aplicación práctica. Cabe aclarar que tanto la denominación de los parámetros, como así también la nomenclatura empleada en la descripción de cada trabajo es coincidente con la utilizada por los propios autores.

2.2. Método descrito en A. Cichowski et al. 2005 [CN05]

En este trabajo, los autores proponen un método de compensación global; es decir tiempos muertos, caídas de tensión y otros fenómenos habitualmente no modelados, orientado

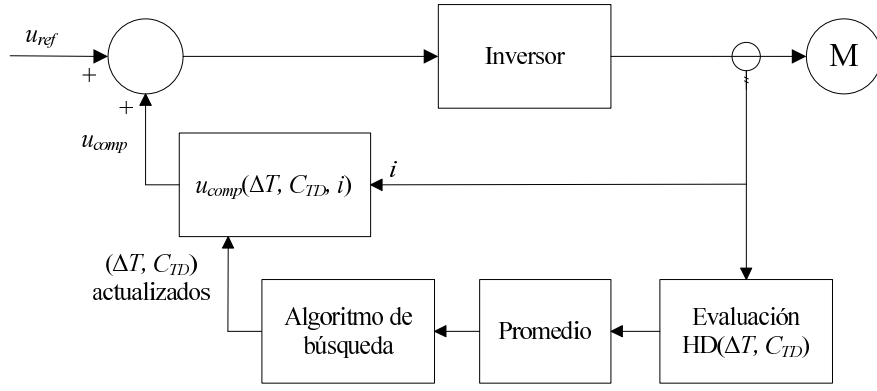


Figura 2.1: Sistema de compensación propuesto.

a variadores de velocidad de motores de corriente alterna del tipo fuente de tensión (VSI). La Fig. 2.1 ilustra un diagrama en bloques del esquema de compensación propuesto. Este esquema funciona a partir de la premisa de incorporar una señal de compensación (u_{comp}) conjuntamente con la referencia de tensión que ingresa al inversor (u_{ref}). Esta tensión de compensación se calcula permanentemente en base al signo y amplitud de la corriente medida sobre la carga (i). Lo novedoso de esta técnica es que los parámetros involucrados en la función de compensación (ΔT y C_{TD}) se obtienen a partir de un algoritmo de optimización que se ejecuta en línea, y que busca minimizar la distorsión armónica en la corriente del motor. Este algoritmo no se ejecuta de manera continua, sino que puede invocarse a voluntad, ya sea durante la puesta en servicio del motor, o en cualquier otro momento que se crea necesario, permitiendo incluso tener en cuenta efectos adicionales no modelados habitualmente, como ser la capacidad parásita presente en las llaves y en el cable de interconexión entre el variador de velocidad y el motor.

La tensión de compensación surge de aplicar un conjunto de igualdades de acuerdo a la amplitud y signo de la corriente de carga, según se muestra en la Ec. (2.1).

$$u_{comp}(i) = \left\{ \begin{array}{ll} -\frac{\Delta T}{T_c} u_{dc} - \frac{C_{TD} u_{dc}^2}{T_c^2} & \text{si } i \leq -\frac{2C_{TD}}{\Delta T} u_{dc} \\ \frac{\Delta T^2}{4C_{TD} T_c} i & \text{si } -\frac{2C_{TD}}{\Delta T} u_{dc} < i < \frac{2C_{TD}}{\Delta T} u_{dc} \\ \frac{\Delta T}{T_c} u_{dc} - \frac{C_{TD} u_{dc}^2}{T_c^2} & \text{si } i \geq \frac{2C_{TD}}{\Delta T} u_{dc} \end{array} \right\} \quad (2.1)$$

donde T_c es el período de la modulación PWM, u_{dc} es la tensión en la barra de continua, ΔT representa el error en el ancho del pulso de modulación, y C_{TD} equivale a la capacidad parásita presente en las llaves del inversor. Este conjunto de ecuaciones se obtiene de modelar los mecanismos de distorsión presentes en un inversor.

Los parámetros que se ajustan con el algoritmo de optimización son ΔT y C_{TD} . Si bien explícitamente no entran en juego en estas ecuaciones las caídas de tensión en llaves y diodos, se ha demostrado que este conjunto es lo suficientemente flexible como para acomodar igualmente estas fuentes de error durante el proceso de optimización.

Como se mencionó previamente, el algoritmo de optimización para encontrar los valores de los parámetros ΔT y C_{TD} se basa en minimizar la distorsión armónica en la corriente de carga. Se utiliza para ello la expresión de la Ec. (2.2).

$$\text{HD}(\Delta T, C_{TD}) = \frac{I_5^2 + I_7^2}{I_1^2} \quad (2.2)$$

donde I_1^2 es el cuadrado de la componente fundamental de la corriente, e I_5^2 e I_7^2 corresponden a los cuadrados de la 5ª y 7ª componente armónica, respectivamente. Se utiliza un método estándar de gradiente para obtener el conjunto de parámetros óptimo, evaluando permanentemente las componentes armónicas mediante una transformación de Fourier discreta (DFT).

Los resultados experimentales obtenidos mediante esta técnica muestran una notable mejora en la distorsión de la corriente. Así, con el sistema de ensayo basado en un inversor de 50 A, 1200 V y un motor de inducción de 5,5 kW, 380 V, sin ningún método de compensación se observa una distorsión armónica de 7,44%; mientras que luego de aplicar el método, se reduce al 0,77%.

Si bien esta técnica minimiza el efecto de las diferentes fuentes de error que aparecen en la etapa del inversor, e incluye efectos que generalmente no son modelados, padece de la problemática usual de la medición de la corriente de carga y detección del signo, que en el

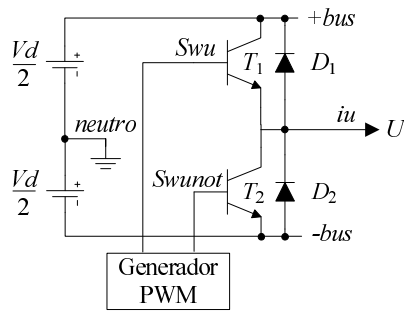


Figura 2.2: Esquema de una pierna del inversor.

trabajo no se menciona. En efecto, la corriente de carga incluye el rizado producto de la modulación, por lo cual se hace muy dificultosa la tarea de detección del cruce por cero. Otro punto a tener en cuenta para la implementación de este método es el alto grado de procesamiento que se necesita para resolver en tiempo real la optimización de los parámetros de la función de compensación, pues entran en juego, además de muchos cálculos matemáticos, la resolución de transformadas de Fourier de manera permanente.

2.3. Método descrito en D. Leggate et al. 1997 [LK97]

Aquí los autores analizan una de las principales fuentes de error en un inversor de potencia, como lo es la inserción de tiempos muertos en cada una de las llaves. Se presenta también la problemática que esto trae aparejado para el caso de aplicaciones en variadores de velocidad de motores de inducción, debido a la aparición de un alto contenido armónico de baja frecuencia que puede resultar en oscilaciones o inestabilidades en el motor comandado, sobre todo a bajas velocidades y bajos regímenes de carga.

El método de corrección propuesto se denomina *Compensador de Tiempos Muertos Basado en Pulsos* o *Pulse-Based Dead-Time Compensator* (PBDTC). Es una técnica de preprocesamiento que en función del signo de la corriente de carga, determina si los instantes de encendido y/o apagado de las llaves de cada pierna del inversor deben mantenerse inalterados, o deben modificarse para contemplar el efecto de los tiempos muertos. La

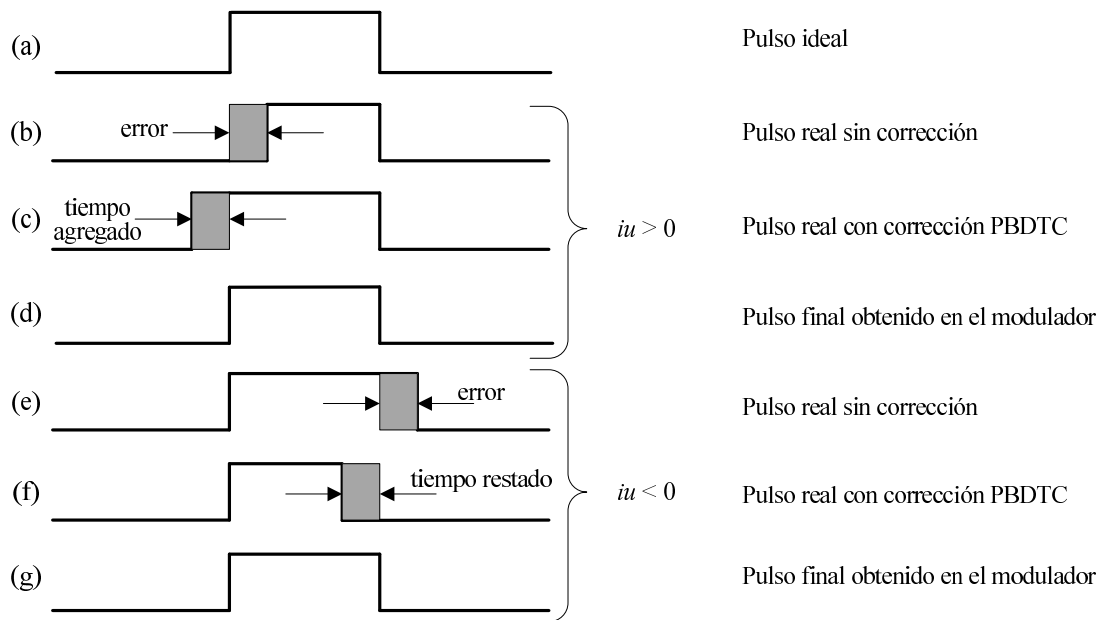


Figura 2.3: Patrón de pulsos ideal y compensado.

Fig. 2.2 muestra el esquema de una de las piernas del inversor, indicando el sentido de la corriente (i_u) cuando la misma es positiva, y la tensión de una de las fases (U) que alimentan al motor.

Por otro lado, la Fig. 2.3 ilustra el patrón de conmutación propuesto para este método. Suponiendo que la corriente (i_u) es positiva, y se deba realizar el apagado de la llave T_2 , para encender la llave T_1 , el temporizado ideal para comandar la llave T_1 sería el que se muestra en la Fig. 2.3 (a). Pero en realidad, al insertar el tiempo muerto en la activación de T_1 , se estará ante la situación mostrada en (b); es decir que se comete un cierto error en la duración total del pulso, que modifica el valor de tensión instantánea presente en la carga. A fin de compensar esta pérdida, se agrega un tiempo extra tal como se muestra en (c), de forma tal que luego cuando el modulador inserte el tiempo muerto, el pulso real que llegue a la carga sea el mostrado en (d); coincidente con el que se pretendía obtener en un comienzo. Algo similar ocurre para los casos restantes, salvo que ahora la corriente i_u es negativa y la secuencia que se describe es el apagado de T_1 para dar lugar al encendido de T_2 . En este caso la demora del encendido de T_2 hace que la corriente permanezca

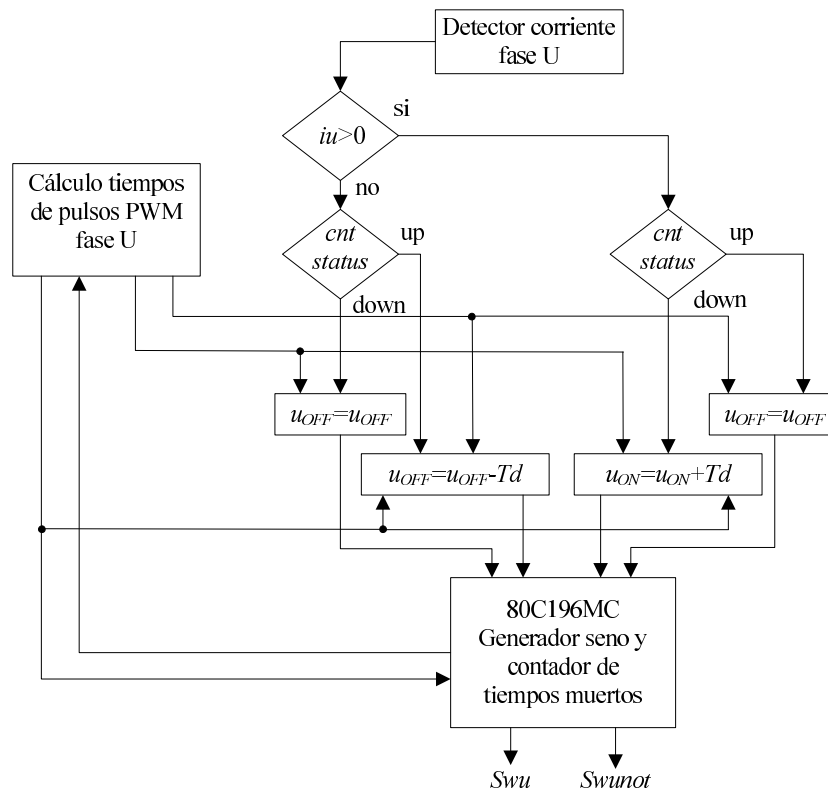


Figura 2.4: Algoritmo de corrección PBDTC.

circulando por el diodo D_1 , tal como ocurría cuando T_1 se encontraba encendido, lo que modifica nuevamente el valor instantáneo de tensión en la carga, como se muestra en (e). La solución aquí pasa por disminuir el tiempo total de activación de T_1 de manera que T_2 pueda activarse antes, como se observa en (f), obteniendo sobre la carga la duración de pulso mostrada en (g), que coincide nuevamente con el valor original. Los valores correspondientes al tiempo agregado en un caso, y restado en el otro, pueden estimarse en base a las especificaciones de los componentes empleados como llaves; e incluso pueden tener magnitudes diferentes, acorde a la diferencia existente en la mayoría de los dispositivos semiconductores referente al tiempo de encendido (t_{ON}) y tiempo de apagado (t_{OFF}). La Fig. 2.4 muestra el diagrama de flujo correspondiente a una de las fases (U) del algoritmo implementado en un microcontrolador INTEL 80C196MC, con el cual se llevaron a cabo las pruebas experimentales. La compensación del efecto de tiempos muertos se

realiza ajustando el temporizado del modulador PWM previo al contador de inserción de tiempos muertos. El registro *cnt status* toma el valor *up* o *down* ya sea que haya que encender o apagar la llave superior de la pierna de esa fase. Así entonces, en el caso de tener una corriente positiva ($i_u > 0$), y la duración del pulso calculada por el bloque de *Cálculo de tiempos de pulsos PWM* para encender la llave T_1 es u_{ON} , el algoritmo va a determinar que en realidad hay que agregar un tiempo adicional Td , tal como se observó en la Fig. 2.3 (c). En este caso, el tiempo de apagado de la llave T_1 no se ve afectado. Un análisis similar en el diagrama de flujo del algoritmo, pero ahora considerando una corriente negativa ($i_u < 0$), resulta en que solamente es modificado el tiempo de apagado de la llave T_1 , mientras que no se modifica el instante de encendido.

Los resultados experimentales se llevaron a cabo con un variador de velocidad con control V/F y frecuencia de conmutación de 4 kHz, utilizando como carga un motor de inducción de 10 HP, 460 V, 18 Apk. Sin compensación alguna, y con una frecuencia de trabajo de 15 Hz, se observó una distorsión muy importante en la corriente con componentes espectrales laterales ubicadas a 6,5 Hz y 23,5 Hz, y con una magnitud del 50 % de la componente fundamental de 15 Hz. Luego de aplicar el método de compensación PBDTC se evidenció una reducción de unas 12 veces en las componentes laterales; demostrando así la eficacia de este método.

Un simple análisis del algoritmo propuesto en este trabajo, revela que se trata de algo sumamente fácil de implementar, ya que es posible incluirlo en el propio modulador, en el caso que se haga de forma digital. Sin embargo, esta simpleza trae aparejada una corrección parcial de los mecanismos que generan distorsión en la salida, pues solamente se tiene en cuenta la componente debida a los tiempos muertos. Por otro lado, es necesario conocer perfectamente las características de conmutación de las llaves empleadas en el inversor, o bien efectuar ensayos fuera de línea para poder modelar estos parámetros de forma correcta. Al igual que en otros trabajos, no se analiza la obtención del signo de la corriente, hecho que es crítico en este tipo de metodología.

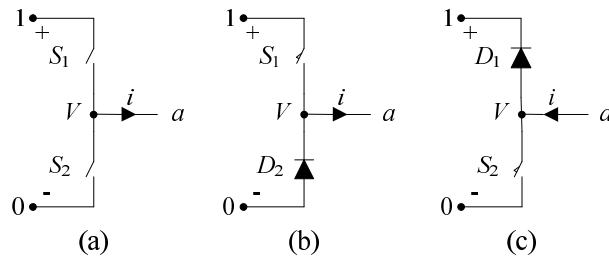


Figura 2.5: (a) Modelo básico de una pierna; (b) Condición para $V > 0$ e $i > 0$; (c) Condición para $V > 0$ e $i < 0$.

2.4. Método descrito en I. Park et al. 1996 [PY96]

Si bien en este trabajo no se presenta una técnica específica de reducción de distorsión armónica, es interesante analizarlo porque parte del mismo será aplicado en el método que luego se implementará mediante el desarrollo de un circuito integrado a medida.

Los métodos clásicos de modulación para el manejo de un inversor, se basan en conmutar continuamente los estados de las llaves de cada una de las piernas que integran el inversor, teniendo la precaución de insertar tiempos muertos entre cada apertura y cierre, a fin de evitar un cortocircuito transitorio en la barra de continua. Este trabajo analiza la secuencia de manejo de las llaves, y determina que no siempre es necesario accionar todas ellas. En efecto, en función del signo de la corriente y el estado de las llaves, habrá momentos en los cuales la conducción se realice a través de los diodos volantes, con lo cual es indistinto que la llave asociada se encuentre cerrada o abierta. Esto resulta en una simplificación en la lógica de comando de las llaves, como así también una mejora en la eficiencia global del sistema debido al ahorro de potencia consumida por la etapa que maneja las llaves (*driver*). Algo novedoso en este trabajo es también el hecho que la detección del signo de la corriente no se realiza a través de una medición directa, sino a partir de los pulsos de tensión que recibe la carga.

La Fig. 2.5 (a) muestra la topología básica de una pierna del inversor. Las llaves S_1 y S_2 representan los dispositivos semiconductores que conectan el punto de salida a tanto al potencial positivo de la barra de continua como al negativo, respectivamente. También se

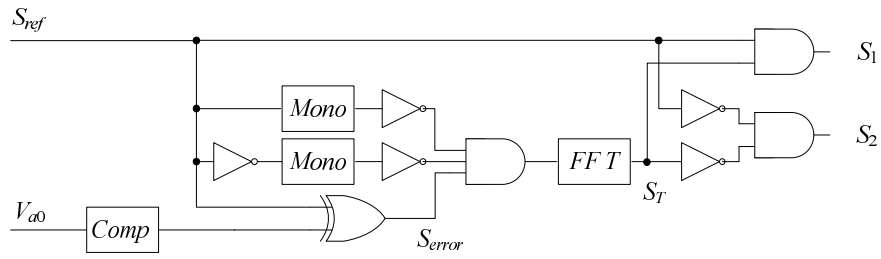


Figura 2.6: Diagrama propuesto para la medición indirecta del signo de la corriente.

observa la convención adoptada para una corriente positiva de carga. En (b) se muestra el comportamiento cuando la corriente de carga es positiva. En este caso, cuando la llave S_1 se cierra, la corriente fluye desde el potencial positivo de la barra de continua a través de S_1 , mientras que el diodo D_2 permanece polarizado en inversa. Luego, cuando la llave S_1 se abre, la corriente fluye desde el potencial negativo a través del diodo D_2 que ahora sí se polariza en directa. La situación mostrada en (c) es similar, salvo que en este caso la corriente de carga es negativa, y el diodo que conduce es el D_1 cuando la llave S_2 se encuentra abierta.

A partir de los escenarios recién planteados, resulta evidente que no es necesario comandar el encendido de la llave S_2 cuando la corriente de carga es positiva, ni comandar el encendido de S_1 cuando la corriente es negativa. Esto representa un ahorro significativo de potencia en los circuitos de comando de las llaves.

Ahora bien, para implementar este método es necesario conocer el signo de la corriente; y es aquí donde entra en juego la medición indirecta a partir de la tensión de salida de la pierna. La metodología empleada consiste en comparar el nivel instantáneo de tensión en el punto a al momento de comandar alguna de las llaves de la pierna, con respecto al valor de referencia. Esta comparación se efectúa luego de transcurrido el transitorio de encendido y/o apagado de la llave para evitar una falsa lectura. La Fig. 2.6 muestra el diagrama lógico propuesto para esto.

S_{ref} es una señal de referencia binaria que adopta valores lógicos 1 o 0, ya sea que deba conectarse el punto de salida de la pierna a al potencial positivo de la barra o al potencial

negativo, respectivamente. Esta señal proviene directamente del modulador PWM. S_1 y S_2 son las señales de comando para las llaves superior e inferior de la pierna (ver Fig. 2.5 (a)). Un estado lógico 1 hace que la llave se encienda, mientras que un estado lógico 0 indica que se apague. V_{a0} es la tensión real medida en el punto de salida a de la pierna, cuyo valor dependerá del estado de las llaves y el sentido de circulación de corriente en la carga. En el caso que el potencial de a se encuentre al potencial en la barra de continua, luego del bloque comparador (*Comp*) encargado de la transformación a niveles digitales, se obtendrá un estado lógico 1, mientras que cuando a se encuentre al potencial de tierra, se obtendrá a la salida del comparador un estado lógico 0. El *flip-flop* T (*FFT*) habilita en todo momento solamente a una de las llaves para ser comandada. Los bloques que implementan circuitos monostables (*Mono*) inhiben a la compuerta *AND* de tres entradas a funcionar durante los cambios de nivel en S_{ref} ; es decir que tienen en cuenta los períodos transitorios de encendido y/o apagado de las llaves para evitar una falsa detección del signo de la corriente. Uno de ellos funciona durante la transición de 0 a 1, mientras que el otro lo hace en la transición inversa de 1 a 0.

Consideremos entonces el caso de tener la llave S_1 encendida con una corriente de carga positiva. En estas condiciones, la tensión en el punto a (V_{a0}) será igual al potencial positivo de la barra de continua; es decir un estado lógico 1, mientras que la referencia S_{ref} también tendrá un valor 1. En estas condiciones los estados de las señales de comando para las llaves serán $S_1 = 1$ y $S_2 = 0$. El *flip-flop* tendrá su salida en 1 para habilitar la compuerta *AND* que comanda S_1 . Posteriormente, cuando el modulador envíe la orden de apagar la llave S_1 y encender S_2 , colocará S_{ref} en estado 0 apagando inmediatamente la llave S_1 . Cuando esto ocurra, la corriente circulará a través del diodo D_2 (Fig. 2.5 (b)), y la tensión V_{a0} tomará el valor lógico 0. Luego de pasado el transitorio del monostable correspondiente al cambio de estado producido en la entrada S_{ref} , la salida de la compuerta *XOR* (S_{error}) será 0, con lo cual no habrá cambio en el estado del *flip-flop*; y por ende ambas salidas S_1 y S_2 permanecerán a nivel 0, manteniendo así las llaves apagadas.

En este caso se evita el encendido innecesario de la llave S_2 . El mismo razonamiento, pero ahora suponiendo una corriente de carga negativa, hubiese dado como resultado que la tensión de salida V_{a0} fuese 1 (conducción a través de D_1), generando así una señal S_{error} también con valor 1, y por ende hubiese conmutado de estado el *flip-flop*. Esta secuencia resultaría en la activación de la llave S_2 . Razonamientos similares pueden aplicarse para los casos restantes.

Este método propuesto genera un manejo de las llaves del inversor sin necesidad de insertar tiempos muertos; por lo cual es una fuente de error que no es necesario compensar como en los métodos antes vistos. Solamente cuando se producen los cruces por cero de la corriente, es necesaria la inserción de un tiempo muerto; es decir que para aplicaciones típicas en control de motores, se tendrán como máximo 2 tiempos muertos por cada ciclo de la tensión de referencia. Los resultados experimentales fueron llevados a cabo empleando un inversor trifásico con llaves IGBT de 450 V y 30 A nominales, una referencia de frecuencia de 122 Hz y una frecuencia de conmutación de 6,1 kHz. Las alternativas que se evaluaron fueron, por un lado la modulación clásica con la inserción de tiempos muertos, donde claramente se evidencia una marcada distorsión en la forma de onda de tensión; y por el otro la que surge de aplicar este método propuesto, donde si bien no se realizaron las mediciones pertinentes de THD, no se observa a simple vista una distorsión grosera en la tensión de salida como en el caso anterior sin compensar.

Lo importante a destacar de este trabajo son dos cosas; por un lado la posibilidad de manejo de un inversor sin la inserción de tiempos muertos cuando la corriente se encuentra fuera del cruce por cero; como así también la novedad de la obtención del signo de la corriente a través de una simple medición de tensión que puede lograrse empleando tan sólo un divisor resistivo y un comparador. Sí es importante tener en cuenta aquí la aislación galvánica necesaria entre la parte de alta tensión de salida del inversor y el resto de la electrónica de control.

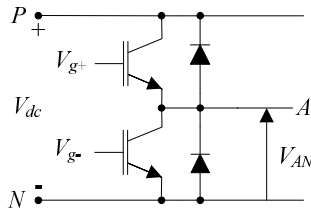


Figura 2.7: Estructura de una de las piernas del inversor.

2.5. Método descrito en A. Muñoz et al. 1999 [ML99]

Aquí los autores introducen una técnica de compensación de tiempos muertos observando el error cometido en la tensión de salida (ΔV) en cada ciclo del modulador PWM. Este error se adiciona o sustrae de la referencia de tensión en función del signo de la corriente de carga, restaurando así la tensión de salida al valor correcto.

La Fig. 2.7 muestra la estructura de una de las piernas del inversor, donde V_{dc} representa la tensión en la barra de continua, V_{AN} es la tensión de salida de la fase A respecto al punto común N , y V_{g+} , V_{g-} son las señales de control de las llaves superior e inferior, respectivamente.

En la Fig. 2.8 pueden observarse las formas de onda ideales tanto para la portadora de la modulación PWM, como así también para la referencia de tensión V^* . Se muestra también el patrón ideal para el manejo de las llaves superior e inferior (V_{g+} y V_{g-}). V_{AN}^* es la tensión ideal de salida, mientras que V_{AN} es la tensión real que se observa teniendo en cuenta los retardos de encendido y/o apagado en las llaves (t_{on} y t_{off}) e inserción de tiempos muertos (t_d); esto último sin esquema de compensación alguno. Finalmente V_{ANc} muestra la tensión de salida luego de implementar el método de compensación propuesto en este trabajo, considerando una corriente positiva de carga. En las últimas dos formas de onda es posible apreciar además el error cometido en la amplitud instantánea de los niveles de tensión, producto de las caídas de tensión tanto en las llaves (V_{sat}) como en los diodos (V_d).

Cuando el esquema de modulación se lleva a cabo insertando tiempos muertos para evitar

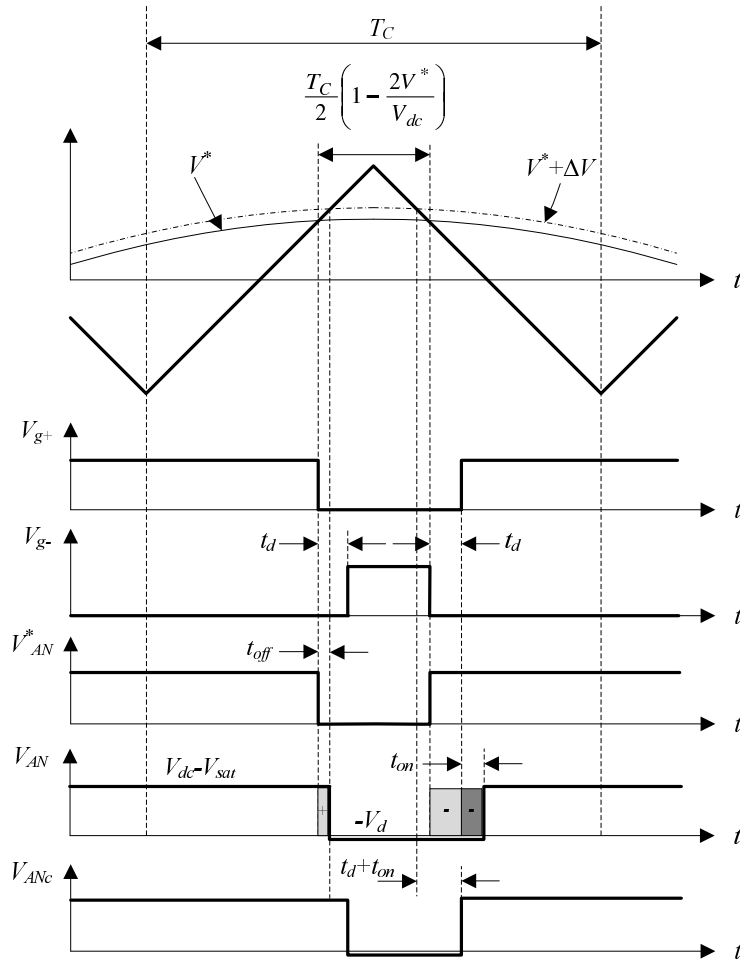


Figura 2.8: Formas de onda PWM para una corriente de carga positiva.

el cortocircuito transitorio de la barra de continua, la tensión media de salida en cada ciclo de modulación presenta un error respecto al valor ideal que debiese tener. En función del sentido de circulación de corriente en la carga, el error cometido será en exceso o en defecto. El conjunto de expresiones que se muestra en la Ec. (2.3) indica el valor medio real de la tensión de salida en función del error introducido (ΔV) por las no linealidades presentes en el proceso de conmutación, tanto para una corriente de carga positiva como negativa.

$$\bar{V}_{AN} \approx \begin{cases} V_{dc} \left[\frac{1}{2} + \frac{V^*}{V_{dc}} \right] - \Delta V & \text{si } i \geq 0 \\ V_{dc} \left[\frac{1}{2} + \frac{V^*}{V_{dc}} \right] + \Delta V & \text{si } i < 0 \end{cases} \quad (2.3)$$

donde V^* es el valor de tensión de referencia con el cual se comanda el modulador PWM. A su vez, el error cometido en la modulación (ΔV) puede hallarse a partir de la diferencia entre el valor medio de la tensión real y la tensión ideal, restando simplemente las áreas bajo las curvas para un ciclo del modulador (T_c). Este resultado se expresa en la Ec. (2.4).

$$\Delta V = \frac{t_d + t_{on} + t_{off}}{T_c} \left[V_{dc} - V_{sat} + V_d \right] + \frac{V_{sat} - V_d}{V_{dc}} V^* + \frac{V_{sat} + V_d}{2} \quad (2.4)$$

Volviendo a la Fig. 2.8, allí se puede visualizar gráficamente el error cometido durante el ciclo de modulación. Las áreas sombreadas en el anteuúltimo gráfico indican los diferentes puntos donde se producen los mayores apartamientos respecto al temporizado ideal. Así, por ejemplo, la zona denotada con el signo (+) significa que debido al retardo en el apagado de la llave superior, se produce un aumento en el valor medio de la tensión. Las dos zonas sucesivas con el signo (-) denotan una disminución en el valor medio, producto de la inserción del tiempo muerto y la posterior demora en el encendido de la llave superior. El efecto neto a lo largo de un ciclo de modulación es una disminución en la tensión media, en un valor igual a ΔV . Un análisis similar para una corriente de carga negativa, resulta en un aumento en ΔV en la tensión neta a lo largo del ciclo de modulación. A su vez, debe agregarse el error adicional originado por la diferencia en los niveles instantáneos de tensión reales frente a los ideales, producto de las caídas de tensión tanto en las llaves como en los diodos. Esto último se suele considerar como un factor constante, pero en realidad es necesario modelarlo o tabularlo en función de la magnitud de la corriente de carga.

Otro de los aspectos relevantes del método propuesto, radica en la medición de la corriente

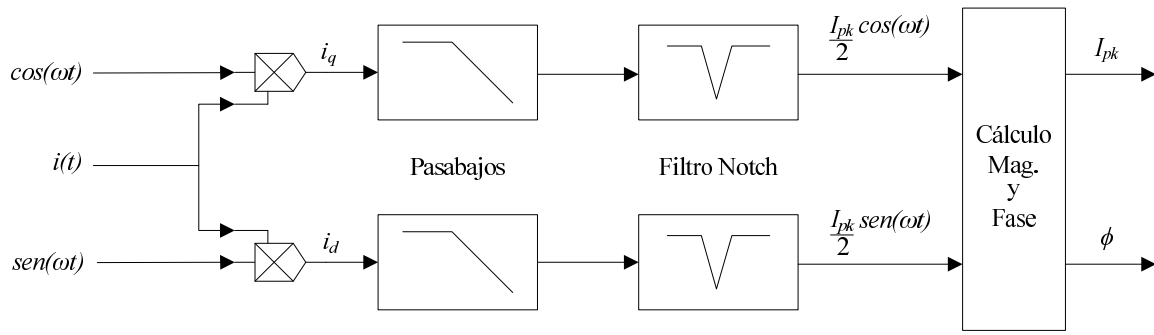


Figura 2.9: Medición de la corriente y descomposición en magnitud y fase.

de carga a fin de obtener su magnitud y signo. Es bien sabida la problemática que este tipo de medición trae aparejada, debido principalmente a su alto contenido de *ripple* o rizado producto del proceso de modulación. La técnica aquí propuesta se basa en el muestreo de la misma, y su posterior transformación empleando un esquema similar a lo que sería una referencia sincrónica $d-q$. Si se parte de una corriente senoidal, y se la multiplica por $\cos(\omega t)$ y $\sin(\omega t)$, se llega a las expresiones de las Ec. (2.5) y (2.6).

$$i_q = I_{pk} \cos(\omega t - \phi) \cos(\omega t) = \frac{I_{pk}}{2} \left[\cos(2\omega t - \phi) + \cos(\phi) \right] \quad (2.5)$$

$$i_d = I_{pk} \cos(\omega t - \phi) \sin(\omega t) = \frac{I_{pk}}{2} \left[\sin(2\omega t - \phi) + \sin(\phi) \right] \quad (2.6)$$

donde I_{pk} es el valor pico de la corriente de carga, y ϕ es el ángulo de desfase respecto de la señal de referencia. Esta referencia es justamente la onda senoidal que se pretende sintetizar a través de la modulación PWM, por lo cual no representa una carga extra de procesamiento para el esquema de compensación. La descomposición de la corriente de carga en i_d e i_q , genera en ambas una componente del doble de la frecuencia original, que debe ser filtrada para poder obtener tanto la amplitud de la corriente como su fase respecto a la tensión. Para ello se emplea un filtro del tipo *notch*, que debe moverse acorde a la frecuencia de la señal que se esté generando. Esto sí requiere una carga de procesamiento extra para evaluar los coeficientes del filtro en línea. Adicionalmente se agrega un

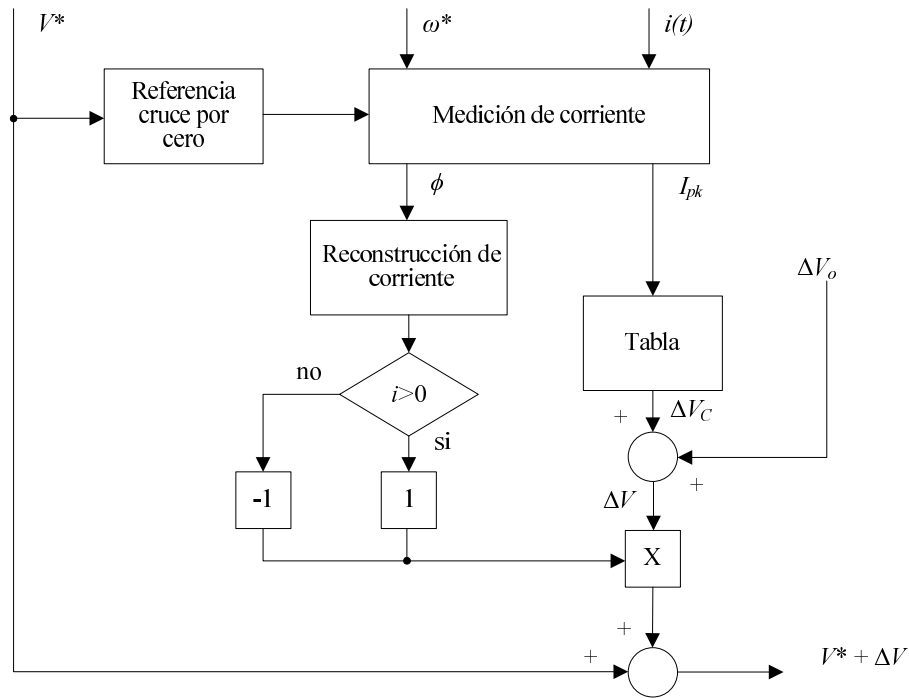


Figura 2.10: Diagrama en bloques del algoritmo de compensación propuesto.

filtro pasabajos para eliminar las componentes de mayor orden provenientes del proceso de modulación. La Fig. 2.9 muestra el proceso para la obtención de los parámetros de la corriente de carga.

Una vez obtenida la información de fase, es simple determinar el instante en el cual se produce el cambio de signo en la corriente de carga, posibilitando aplicar la metodología de compensación. Un diagrama en bloques del esquema aquí propuesto, puede verse en la Fig. 2.10.

A partir de la tensión de referencia V^* , se realiza la transformación $d-q$ de la corriente medida, obteniendo así el valor pico y la fase respecto a la tensión. Con esta última información, se reconstruye la corriente y se determina su valor instantáneo a fin de conocer el signo. Por otro lado, y con objeto de estimar el error producido en la tensión ΔV , se parte de un valor inicial ΔV_0 obtenido mediante mediciones fuera de línea de las llaves y diodos volantes. Este valor es corregido con el parámetro ΔV_C que se obtiene de una tabla previamente definida, a la cual se accede a partir del valor pico de la corriente de

carga. De esta forma se tienen en cuenta las variaciones en las caídas de los dispositivos en función de la magnitud de la corriente que los atraviesa. Se obtiene así el valor final ΔV para modificar la consigna de la tensión de referencia. Resta saber si esta diferencia debe sumarse o restarse; para ello se emplea el signo de la corriente previamente obtenido, sumándose para el caso de corriente positiva, y restándose para el caso contrario. Finalmente, el valor corregido $V^* + \Delta V$ se envía al modulador como nueva tensión de referencia.

Se realizaron ensayos experimentales con este método de compensación, utilizando un motor de inducción de 3 Hp, 230 V, 9 A, 60 Hz y 1740 RPM nominales; y el período para el muestreo de la corriente se fijó en 1 ms. Si bien no se indican valores medidos para el THD en la corriente de carga, es posible observar a simple vista la mejora al incorporar el algoritmo de compensación. Los errores introducidos por las no linealidades son más notorios a bajas revoluciones (frecuencia de 1 Hz) donde la tensión en bornes del motor es baja, y cualquier pequeño desvío del valor ideal es sumamente apreciable. Para valores altos de revoluciones (frecuencia por encima de 30 Hz), la tensión en bornes del motor es mayor, y las no linealidades no influyen tanto en la distorsión de la corriente.

En resumen, este trabajo presenta una novedad en lo que refiere a la medición de la corriente de carga, pues se independiza del rizado que pueda contener, además de efectuar un muestreo de la misma a baja frecuencia, lo que significa una solución de bajo costo. Sin embargo es necesario continuamente estar ajustando el filtro *notch* para remover las frecuencias dobles que se originan en la transformación *d-q*, lo cual hace que no sea un método aplicable a un amplificador de audio conmutado, donde se presentan simultáneamente una gran cantidad de componentes espectrales.

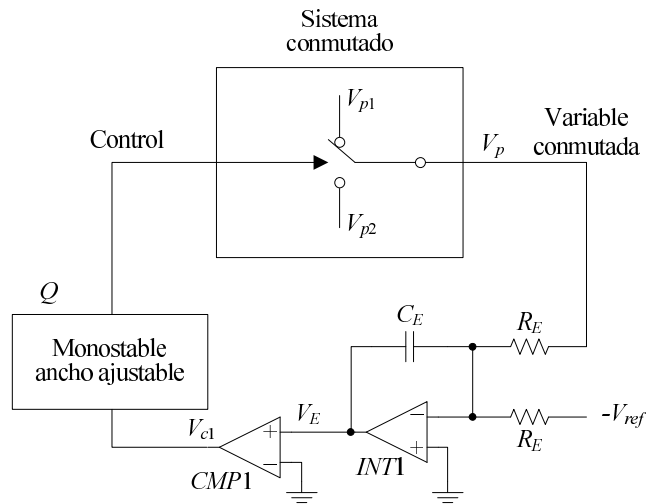


Figura 2.11: Diagrama conceptual del método *one-cycle control*.

2.6. Método descrito en K. Smith et al. 1999 [SLS99]

En este trabajo se presenta una técnica de manejo de un modulador PWM empleando un control no lineal con un tiempo de respuesta de un ciclo de modulación, orientado mayormente a amplificadores de audio conmutados. Se basa en la integración del error existente entre la magnitud obtenida en la salida del amplificador, y la tensión de referencia que se pretende generar. En base a esta integración, se actúa directamente sobre el modulador, modificando levemente su frecuencia de conmutación para lograr mantener el error en un valor nulo. Esto se hace para cada ciclo de modulación. La Fig. 2.11 muestra el diagrama conceptual del método propuesto, al que se lo conoce habitualmente como *one-cycle control*.

En cada ciclo de modulación, la variable V_p proveniente del sistema conmutado, es restada de la tensión de referencia del modulador V_{ref} e integrada en el bloque $INT1$. La señal error resultante se introduce al bloque comparador $CMP1$; y la salida de este bloque es quien controla a través de un circuito monostable el estado de las llaves del inversor y el sistema conmutado en sí. La variable V_p adopta en función de los estados de las llaves dos valores diferentes llamados V_{p1} y V_{p2} , que representan los dos potenciales de la barra de

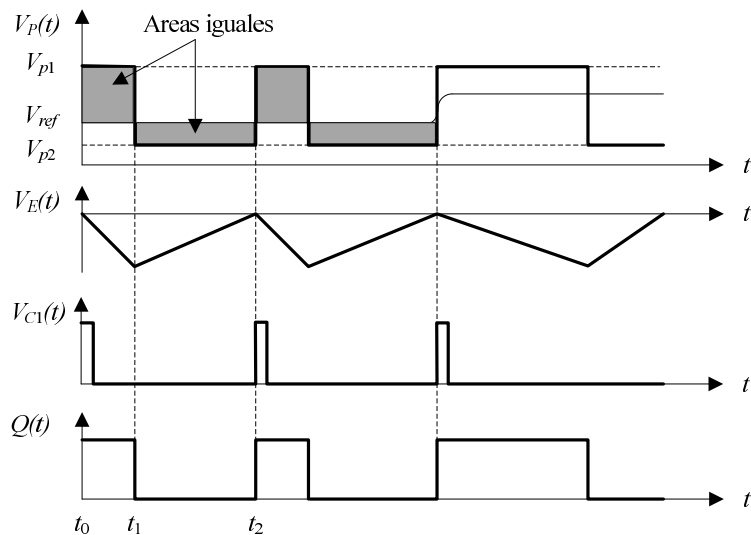


Figura 2.12: Temporizado del método de control.

continua del inversor. En la Fig. 2.12 se observan las formas de onda correspondientes. El ciclo comienza en t_0 con un pulso positivo en la señal V_{c1} (salida del comparador $CMP1$). El flanco creciente produce el disparo del circuito monostable cuya salida $Q(t)$ pasa al estado lógico 1, accionando la llave superior del inversor y fijando la variable $V_p(t)$ al potencial V_{p1} . A partir de este momento el bloque $INT1$ comienza a integrar la diferencia $V_{p1}-V_{ref}$, cuya salida se observa en la gráfica de $V_E(t)$. En t_1 el monostable finaliza su pulso y $Q(t)$ pasa al estado lógico bajo, conmutando así las llaves del inversor, con lo cual V_p queda ahora al potencial inferior V_{p2} . A partir de este instante, la señal $V_E(t)$ cambia de pendiente al integrar la diferencia $V_{ref}-V_{p2}$. Esto continúa hasta el tiempo t_2 donde la integración vuelve a tener un valor nulo, y se activa nuevamente el comparador $CMP1$, repitiendo otra vez el ciclo; y así sucesivamente.

En esta misma figura se pone en evidencia el hecho que una variación en la tensión de referencia provoca también una variación en la frecuencia de conmutación. Esto ocurre para el último pulso, donde V_{ref} aumenta su valor, con lo cual para mantener invariable esta frecuencia, es necesario modificar dinámicamente la duración del ancho del pulso del monostable. En el caso mostrado, ante un aumento en V_{ref} el pulso del monostable (señal

$Q(t)$) debe tener una duración mayor.

Para que se mantenga constante la frecuencia de conmutación, debe cumplirse en todo momento la igualdad de la Ec. (2.7).

$$\frac{1}{T_E} \int_{t_0}^{t_1} (V_{p1} - V_{ref})dt + \frac{1}{T_E} \int_{t_1}^{T_s} (V_{p2} - V_{ref})dt = 0 \quad (2.7)$$

donde $T_E=R_EC_E$ es la constante de tiempo del integrador, y $T_S=t_2-t_0$ es el período de conmutación. El primer término representa la integración del error mientras la salida V_p se encuentra al potencial V_{p1} ; y el segundo término corresponde a la integración cuando la salida V_p se encuentra al potencial V_{p2} . Si la consigna es mantener inalterable el período de conmutación T_S , la duración del pulso del monostable (T_{one}) debe satisfacer la Ec. (2.8).

$$t_{one} = \left[\frac{V_{ref}-V_{p2}}{V_{p1}-V_{p2}} \right] T_S \quad (2.8)$$

que en términos de integración es equivalente a la expresión de la Ec. (2.9).

$$\frac{1}{T_0} \int_0^{t_{one}} (V_{p1} - V_{p2})dt = V_{ref} - V_{p2} \quad (2.9)$$

donde $T_0 = T_S$, que es justamente la consigna que se pretende conseguir. Una implementación de este razonamiento se muestra en la Fig. 2.13, donde se observa que el bloque correspondiente al monostable, en realidad se implementa con un integrador con capacidad de *reset* (entrada R_i), y la variable de integración es la diferencia $V_{p1}-V_{p2}$. De esta forma, cuando en t_0 se inicie el ciclo de modulación con la aparición del pulso del comparador $CMP1$, se activará la entrada *Set* (S) del *flip-flop* y su salida Q tomará el estado lógico 1, aplicando el potencial V_{p1} en la salida del inversor. Por otro lado el terminal \overline{Q} del *flip-flop* tomará el valor 0, liberando la entrada de *reset* (R_i) del integrador, y permitiendo así que comience la integración del valor $V_{p1}-V_{p2}$. Cuando la integración llegue al valor de $V_{ref}-V_{p2}$, el comparador $CMP2$ cambiará de estado y se activará la entrada de *Reset* (R)

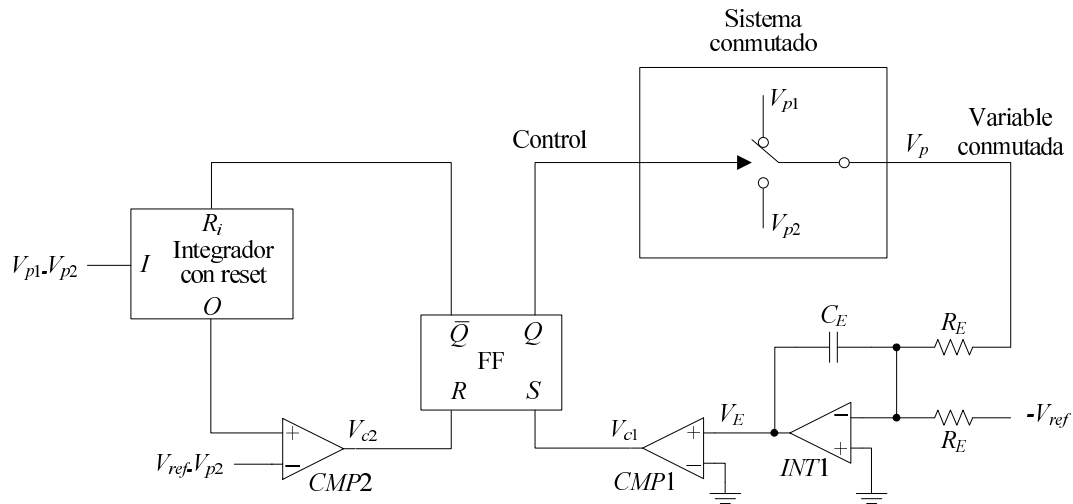


Figura 2.13: Diagrama de implementación con el integrador.

del *flip-flop*, conmutando su salida Q a 0, y aplicando ahora el potencial V_{p2} en la salida del inversor. Durante este intervalo se activa la entrada de *Reset* (R_i) del integrador, para fijar las condiciones iniciales adecuadas para cuando comience el próximo ciclo.

Lo notable de esta implementación se encuentra en la lógica de *reset* del integrador. Habitualmente es necesario disponer de una lógica de alta velocidad para efectuar esta secuencia, y normalmente durante la fase de *reset* se genera un fenómeno transitorio que puede llegar a afectar la salida del inversor. En este caso, el *reset* del integrador se realiza durante la fase en la que la salida del inversor se encuentra al potencial V_{p2} , que corresponde para el caso de la Fig. 2.12 a la diferencia entre t_2 y t_1 ; es decir un tiempo por demás suficiente como para que el requerimiento de alta velocidad no sea imprescindible. Si bien esta implementación tiene como finalidad mantener inalterable la frecuencia de conmutación, en realidad van a existir variaciones transitorias cada vez que haya cambios tanto en la tensión de referencia como en la barra de continua, producto esto último del rizado o *ripple* que pudiese contener luego del proceso de rectificación.

Los ensayos experimentales fueron hechos sobre un amplificador de audio de 95 W de potencia, un ancho de banda de 0-20 kHz, una frecuencia de conmutación de 250 kHz y una resistencia de carga de 8 Ω . Se realizaron diversos ensayos para verificar la inmunidad

del sistema frente a diferentes estímulos. Así por ejemplo, el rechazo frente a variaciones en la fuente de alimentación de la barra de continua (PSRR), arrojó un valor de 63 dB ante perturbaciones de amplitud del 15 % y una frecuencia de 120 Hz. En ningún caso el rechazo fue menor a 55 dB para las combinaciones restantes de amplitud y frecuencia. En cuanto al desvío en la frecuencia de conmutación respecto a su valor ideal, se registró un apartamiento no mayor a 2,25 % frente a cambios de tensión en la barra de continua. Si bien este valor es bajo, no ocurre lo mismo cuando se presentan cambios en la fase de la señal de referencia, donde las variaciones llegaron a ubicarse cerca del 30 %. En lo que respecta al THD, las mediciones arrojaron números muy bajos; del orden del 0,1 %, mientras que la distorsión por intermodulación (CCIF) resultó estar por debajo del 0,01 %.

Un rápido análisis de este trabajo permite concluir que si bien el método propuesto es novedoso y pareciera ser aplicable en la práctica con excelentes resultados, hay algunos aspectos que no se han contemplado, tales como las características no lineales de las llaves del inversor, ni la inserción de tiempos muertos; algo que puede traer aparejado un importante grado de distorsión teniendo en cuenta la alta frecuencia de conmutación en juego en esta aplicación (250 kHz). Asimismo, si bien se presenta un análisis teórico del resultado final en relación a la influencia que tienen los retardos de todos los componentes involucrados (lógica digital, integradores, módulos de *reset*, etc), no se hace mención alguna de las posibles problemáticas que esto haya traído aparejado durante la fase experimental. Sin embargo, cabe aclarar que en el año 2004 fue fundada la empresa *One-Cycle Control Inc.*, dedicada a la implementación práctica de esta técnica de control en numerosos dispositivos, tales como correctores de factor de potencia, filtros activos de potencia, convertidores bidireccionales, fuentes de alimentación DC-DC, etc. A la fecha, su actual presidente es Gregory Smedley; mientras que su líder de desarrollo es Keyue Smedley, una de los autores del trabajo recién analizado. Esto habla a las claras, el éxito que ha tenido hasta el presente esta técnica.

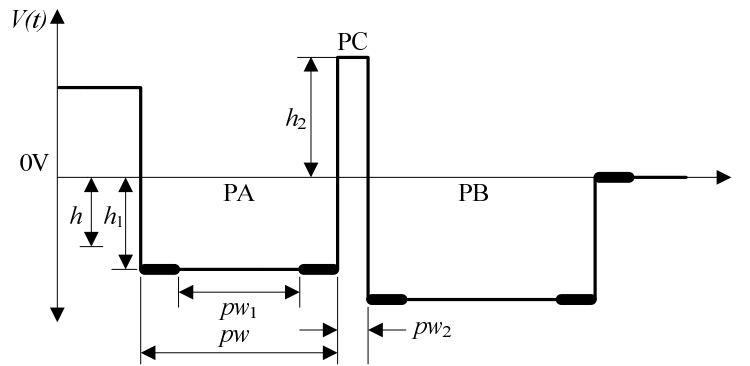


Figura 2.14: Método de compensación general.

2.7. Método descrito en A. Oliva et al. 2004 [OABC04]

Este es el trabajo que dio origen al desarrollo del circuito integrado a medida objeto de esta tesis, a fin de verificar su funcionalidad a nivel práctico. Aquí se realiza una breve descripción del método, pues en el capítulo siguiente se abordará con total profundidad. La solución propuesta para la compensación, tanto de tiempos muertos como caídas de tensión en llaves y diodos, es una extensión del método introducido en [LK97] en combinación con el método descrito en [CYLK99]. Se basa en la compensación del área de cada pulso generado por el modulador, agregando para ello pequeños pulsos adicionales de forma de igualar el área real frente al valor ideal. Para esto es necesario una vez más conocer el signo de la corriente. La Fig. 2.14 ilustra el concepto del método de compensación. Aquí se muestra el caso en que el modulador ha determinado que debe generarse el pulso PA con una duración pw y una altura h ; pero en realidad, debido tanto a la inserción de tiempos muertos, como a las caídas de tensión en llaves y diodos, la realidad muestra un pulso con una duración pw_1 y una altura h_1 . Para compensar esta diferencia, es posible entonces incluir seguidamente otro pulso (PC) con duración pw_2 y altura h_2 , de manera que el área total del pulso principal, más el pulso de compensación sea el ideal de ancho pw y altura h que se pretendía originalmente. Tanto la duración del pulso de compensación como su polaridad se determinan en línea, en función tanto de la duración y polaridad del pulso principal, como así también del signo de la corriente de carga.

Los ensayos experimentales realizados con este método, arrojaron una notable mejora en la distorsión de tensión de salida del amplificador conmutado. Se utilizó un sistema compuesto por un microprocesador de 8 bits y 20 Mhz de señal de reloj, más una lógica digital para el manejo de las llaves del inversor, el que estaba conformado por un puente H con transistores MOSFET de uso general.

Debido a las limitaciones propias del microcontrolador, se sintetizó una onda senoidal con una frecuencia de 6,1 Hz y una frecuencia de conmutación de 610 Hz; es decir un índice de modulación de frecuencia de 1:100. Asimismo, y debido a esta misma limitación, sólo se implementó la compensación para tiempos muertos. La carga consistió en una resistencia de valor igual a $4,7 \Omega$ en serie con una componente inductiva de 2,3 H. Sin aplicar método de compensación alguno, e introduciendo un tiempo muerto del 5% del período de conmutación, se observó un THD de tensión de 17,9% en bornes de la carga, y un voltaje de 2,65 Vpp. Luego al aplicar el método propuesto, esta distorsión bajó a 0,59%, mientras que el voltaje se incrementó a 2,72 Vpp.

Este trabajo, conjuntamente con [AMAO06] derivó posteriormente en el que se trata en el capítulo siguiente, donde gracias al desarrollo del circuito integrado dedicado, pudo implementarse de manera completa el esquema de compensación.

2.8. Síntesis

En este capítulo se abordaron una serie de metodologías propuestas por diversos autores, tendientes a compensar y/o minimizar los errores cometidos por las no linealidades existentes en la etapa de inversión de un amplificador conmutado. Algunas de estas técnicas son aplicables tanto en amplificadores de audio como en sistemas de control de velocidad de motores de inducción, mientras que otros, por su propia concepción, solamente pueden emplearse en aplicaciones relativas a control de motores, donde las exigencias en lo que respecta a rango dinámico y composición espectral de la onda generada, son mucho

menores.

No se trató aquí de hacer comparativas entre las distintas alternativas de compensación que proponen los autores, sino presentar las diferentes formas en las que puede abordarse esta temática. Es así que la elección del método de compensación, se basó fundamentalmente en que había sido desarrollado de manera local, y lo que se pretendía era demostrar de manera práctica su funcionamiento.

Capítulo 3

Método de compensación propuesto

3.1. Introducción

En este capítulo se analiza con mayor profundidad el método propuesto para efectuar la compensación tanto de tiempos muertos como caídas de tensión en llaves y diodos, a fin de minimizar la distorsión armónica en la tensión de salida de un amplificador conmutado de potencia. El trabajo analizado en la Sección 2.7 derivó posteriormente en una publicación en el año 2005 en la revista *Latin American Applied Research* [OCAM05]. El presente capítulo se basa fundamentalmente en la descripción del contenido de esta publicación.

3.2. Problemática de la modulación PWM

En la Sección 1.2 se mencionaron las técnicas más ampliamente utilizadas para la síntesis de señales en un amplificador conmutado. Particularmente nos enfocaremos en la Modulación PWM unipolar que fuera tratada en la Sección 1.2.2, remitiendo al lector a la Fig. 1.7 donde se muestra el proceso completo de generación del tren de pulsos para

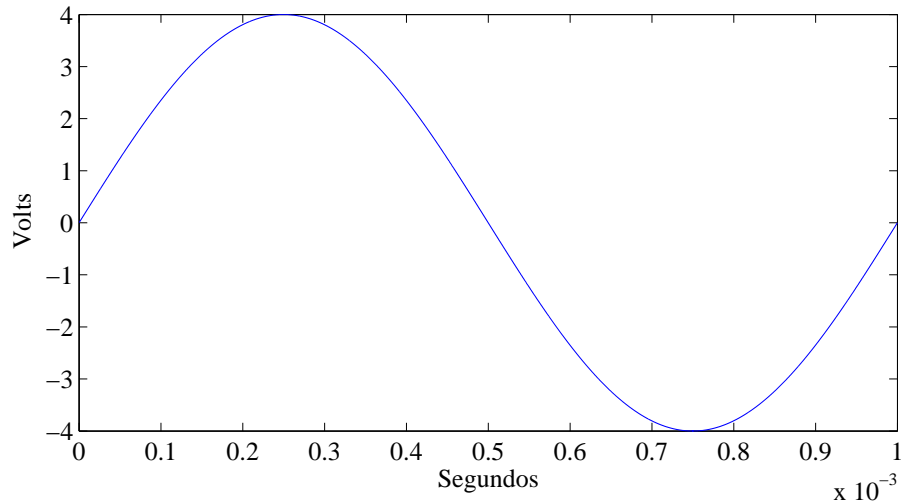


Figura 3.1: Forma de onda ideal de tensión.

este esquema. El desarrollo del método de compensación propuesto se hará con la ayuda de una serie de rutinas de software para ser ejecutadas en la herramienta de simulación *Matlab*. Los códigos correspondientes pueden consultarse en la Sección de Anexos.

Para comenzar con el análisis, se parte de la tensión que se pretende obtener sobre la carga, la que se muestra en la Fig. 3.1. Se trata de una onda senoidal con una amplitud de 8 Vpp y una frecuencia de 1 kHz. Si se considera un factor de ganancia unitario para la etapa de modulación, esta misma señal se corresponde entonces con la referencia que ingresa al modulador PWM.

El esquema de modulación ideal en la etapa del inversor no incluye la inserción de tiempos muertos. Si tampoco se tienen en cuenta las caídas de tensión en los dispositivos semiconductores, la salida del inversor será como se muestra en el gráfico de la Fig. 3.2 (a), donde se observa el resultado para una frecuencia de conmutación de 500 kHz. La tensión en la barra de continua corresponde en este caso a un valor de 16 V. Para mayor claridad, en la Fig. 3.2 (b) se muestra una ampliación hecha sobre la zona del cruce por cero donde los pulsos del modulador cambian de signo. En tanto la Fig. 3.2 (c) ilustra también la salida del inversor, pero considerando solamente las componentes de baja frecuencia. Para

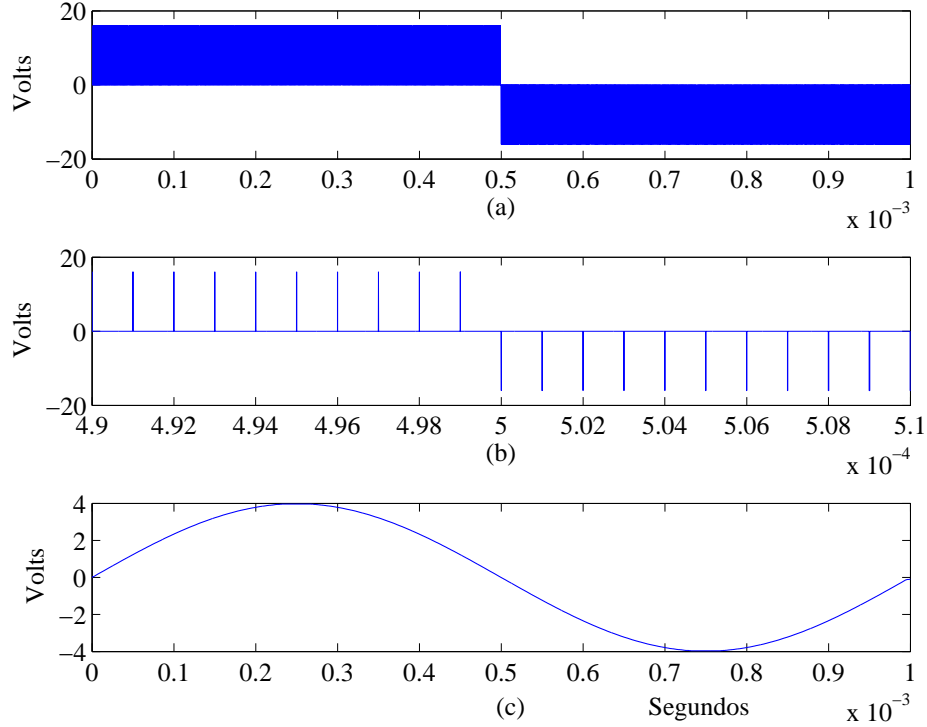


Figura 3.2: Salida del inversor con esquema de modulación ideal: (a) Período completo; (b) Zona del cruce por cero; (c) Salida procesada con un filtro pasabajos.

esto se procesa la señal resultante del modulador, con un filtro pasabajos *Butterworth* de orden 4 con una frecuencia de corte en 100 kHz. Al considerar una ganancia unitaria en la etapa de modulación, la salida filtrada coincide en amplitud con la señal original que se pretendía sintetizar con el modulador.

Interesa en esta instancia calcular el valor de la distorsión armónica total (THD) en la tensión de salida, a fin de compararla luego con la que se obtenga al incorporar tanto los tiempos muertos, como las caídas de tensión en llaves y diodos. Considerando un solo período y teniendo en cuenta los primeros 20 armónicos, la distorsión resulta:

$$\text{THD} [\%] = \frac{\sqrt{\sum_{i=2}^{20} h_i^2}}{h_1} * 100 = 0,0798 \% \quad (3.1)$$

Al ser la frecuencia de modulación muy alta en relación a la frecuencia de la señal a sintetizar, y al mantener el esquema de conmutación de las llaves sin inserción de tiempos muertos, el valor de distorsión armónica es prácticamente nulo. En realidad, la pequeña magnitud observada en el resultado se debe a dos causas; por un lado los errores numéricos introducidos durante el proceso de cálculo de la Transformación Rápida de Fourier (FFT); y por otro lado el hecho de resolver un sistema que no es continuo, sino muestreado. En efecto, la modulación analógica compara continuamente la onda triangular de alta frecuencia con la señal de referencia, según se mostró en la Sección 1.2.2. En cambio para resolver la modulación de forma numérica utilizando la herramienta *Matlab*, la señal de referencia se muestrea a una frecuencia muy elevada (1000 MHz en este caso), convirtiéndolo así en un sistema discreto en el tiempo, con lo cual la comparación de ambas señales no se produce de forma continua. Esto se traduce en pequeños errores en la variable tiempo durante las comparaciones, y por ende resulta un valor no nulo en el THD.

El paso siguiente es incorporar las caídas de tensión en los dispositivos, las que se consideran constantes y con valores de 0,3 V y 0,7 V para las llaves y diodos, respectivamente. Se supone además, que la carga es tal que se establece una corriente de 2 App retrasada 30° respecto a la tensión. Cabe aclarar que en este caso no se tienen en cuenta los tiempos muertos entre conmutaciones de las llaves de una misma pierna. La Fig. 3.3 (a) muestra ahora la tensión resultante en la salida del inversor, mientras que en la Fig. 3.3 (b) se observa nuevamente la ampliación sobre la zona del cruce por cero de la tensión. Es notable la distorsión que se produce debido a las no linealidades introducidas. En lugar de mantenerse los valores picos de los pulsos en los niveles de la fuente de alimentación (± 16 V en este caso), se observa que por momentos se encuentra por encima, y por momentos por debajo. Una medición directa sobre el gráfico revela valores entre 15,4 V y 17,4 V, lo cual coincide con lo expuesto en la Tabla 1.1. Allí se establece que los límites, teniendo en cuenta las caídas de tensión, corresponden a $V_{CC} - 2V_{ON}$ y $V_{CC} + 2V_D$. Asimismo los

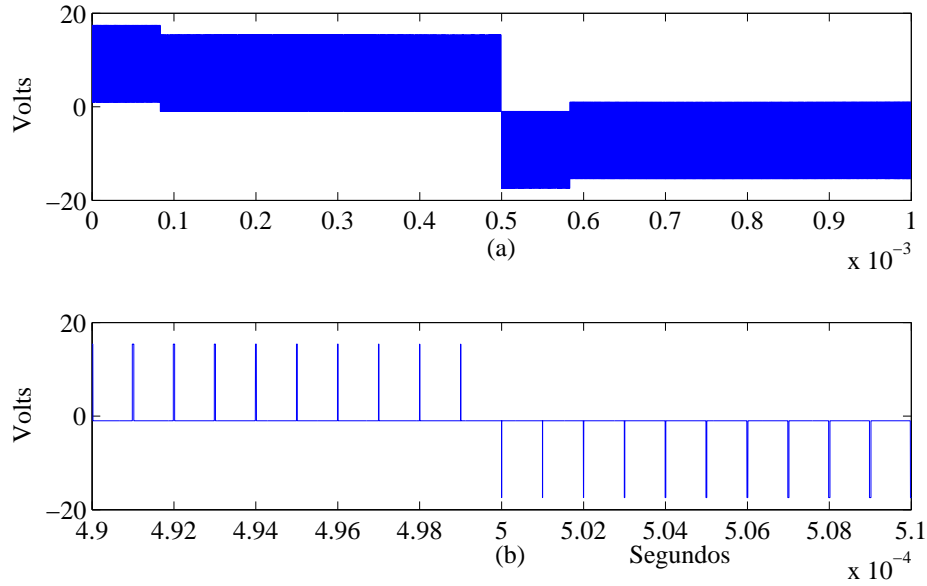


Figura 3.3: Salida del inversor considerando las caídas de tensión: (a) Período completo; (b) Zona del cruce por cero.

niveles de 0 V también se alejan del valor ideal. Las mediciones sobre el gráfico muestran que fluctúa entre -1 V y 1 V, coincidente una vez más con la Tabla 1.1, que indica niveles de $-V_D - V_{ON}$ y $V_D + V_{ON}$.

Los cambios abruptos que se observan en los niveles de salida del inversor, para los tiempos $t = 83,2 \mu\text{s}$ y $t = 583,2 \mu\text{s}$ se corresponden con los cruces por cero en la onda de corriente de carga. En efecto, y tal como se comentó en la Sección 1.3.2 es el signo de la corriente quien determina qué llave y diodo conduce en cada instante, y por ende define el valor instantáneo de tensión presente en bornes de la carga.

La Fig. 3.4 muestra las formas de onda tanto de tensión como de corriente en la carga, teniendo en cuenta solamente las componentes de baja frecuencia, y es de suma utilidad para observar el efecto que producen las alinealidades introducidas. Puede verse que el resultado neto es una deformación similar a la que se mostrara en la Fig. 1.10. Si se efectúa

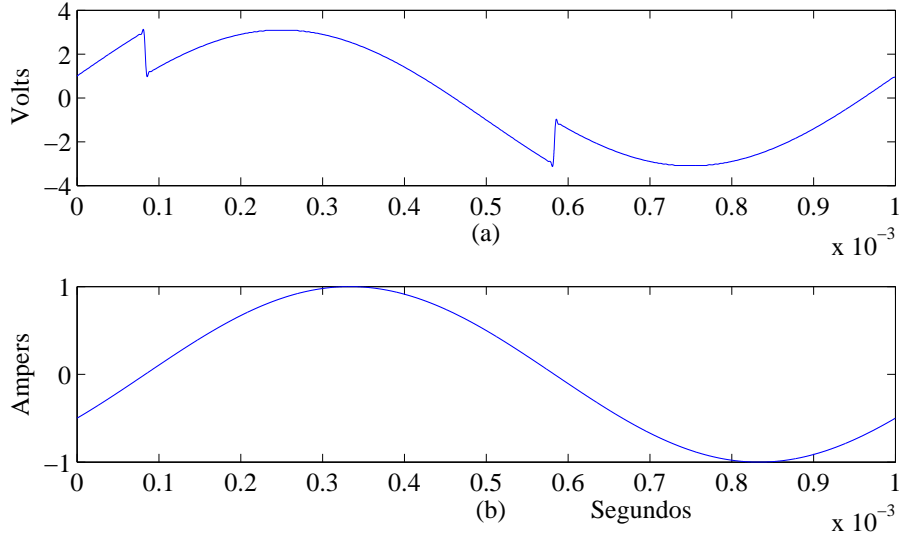


Figura 3.4: Componentes de baja frecuencia de la tensión (a) y corriente (b) de carga considerando caídas de tensión solamente.

nuevamente el cálculo de THD sobre esta forma de onda, se llega a:

$$\text{THD} [\%] = \frac{\sqrt{\sum_{i=2}^{20} h_i^2}}{h_1} * 100 = 18,93\% \quad (3.2)$$

Cabe aclarar que este tipo de distorsión presenta componentes de baja frecuencia, por lo cual resulta sumamente dificultosa y costosa su remoción. De allí es que surjan diferentes esquemas de compensación, con objeto de minimizar este efecto.

Si solamente se considera la inserción de tiempos muertos en las llaves, y se desprecia la caída de tensión en los dispositivos, el resultado es tal como lo muestra la Fig. 3.5. En este caso, si bien los niveles de tensión en la salida del inversor no se desvían de los ideales, el resultado es similar al anterior en cuanto a que se genera una distorsión de baja frecuencia. El hecho de retrasar el encendido de las llaves durante las conmutaciones, hace que el estado que tenía el inversor en el instante previo se extienda o no, mientras dure la inserción del tiempo muerto, en función del signo de la corriente de carga, tal como se

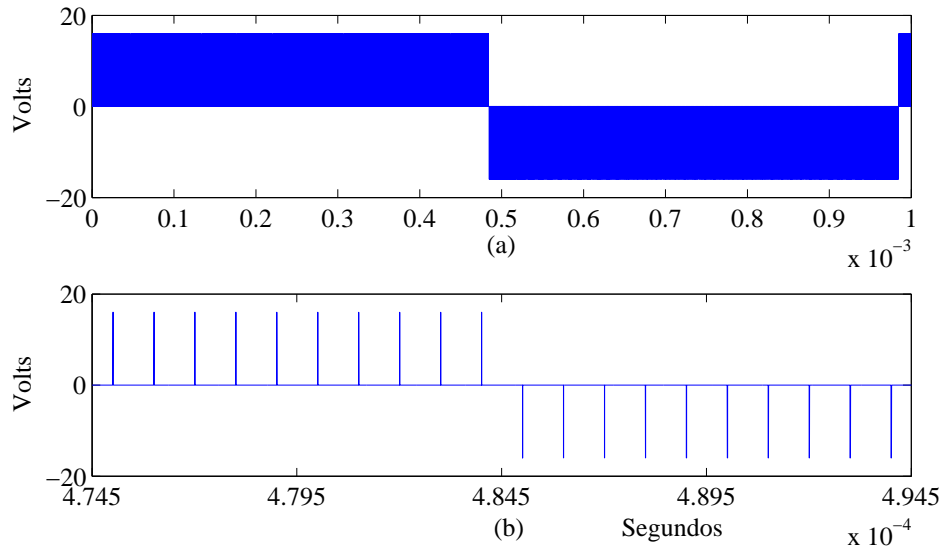


Figura 3.5: Salida del inversor considerando sólo tiempos muertos: (a) Período completo; (b) Zona del cruce por cero.

mostró en la Sección 1.3.2. El resultado neto es tanto una modificación en la amplitud de la onda generada, como así también un desfase en el cruce por cero de la misma; es así que en la ampliación hecha en la Fig. 3.5 (b) se nota que el cruce no se produce en el tiempo $t = 500 \mu\text{s}$, como debería ocurrir idealmente, sino en un tiempo $t = 484,5 \mu\text{s}$. El valor considerado aquí para el tiempo muerto entre encendidos de llaves es de 24 ns, lo que equivale a 1,2% del período de modulación PWM. Idealmente, durante el cruce por cero de la tensión de referencia, las salidas de ambas piernas son iguales y tienen un ciclo de trabajo de 50%; el resultado es entonces una tensión nula en la carga. Ahora al incorporar los tiempos muertos los ciclos dejan de ser 50% y se desbalancean acorde al porcentaje de retraso aplicado. En nuestro caso particular, y considerando un signo positivo de la corriente, los ciclos pasan a ser de 48,8% para la pierna formada por las llaves M_1 y M_2 (ver Fig. 1.9) y 51,2% para la pierna restante. Este desbalance total de 2,4% sobre una tensión en la barra de continua de 16 V, origina una tensión residual de $-0,384 \text{ V}$.

Nuevamente, la Fig. 3.6 muestra las formas de onda tanto de tensión como de corriente en

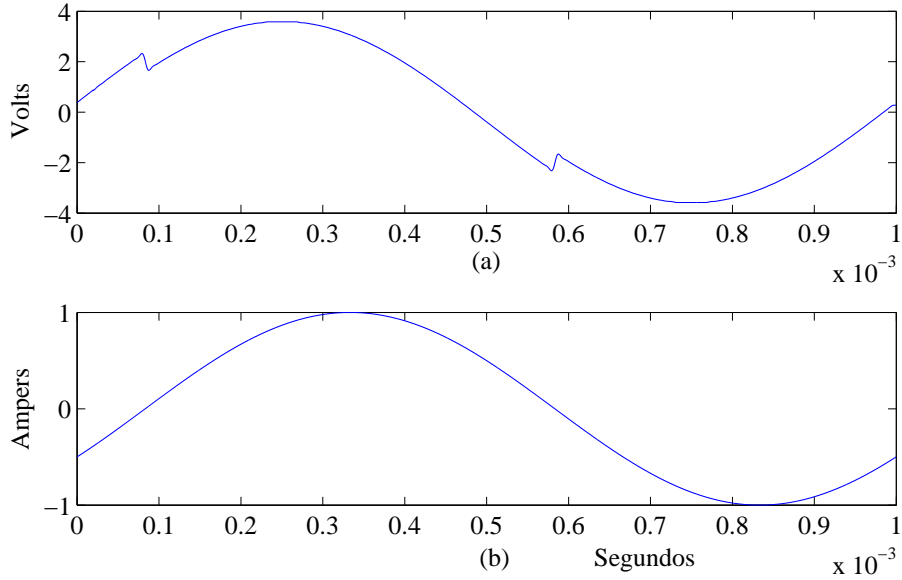


Figura 3.6: Componentes de baja frecuencia de la tensión (a) y corriente (b) de carga considerando tiempos muertos solamente.

la carga, teniendo en cuenta solamente las componentes de baja frecuencia. Una medición sobre el gráfico de la Fig. 3.6 (a) para el tiempo $t = 500 \mu\text{s}$ donde debería ocurrir el cruce por cero, arroja un valor de $-0,384 \text{ V}$, coincidente con el hallado anteriormente. El cálculo de THD sobre la forma de onda de la tensión resulta en:

$$\text{THD} [\%] = \frac{\sqrt{\sum_{i=2}^{20} h_i^2}}{h_1} * 100 = 6,27 \% \quad (3.3)$$

Finalmente, se introducen todas las alinealidades consideradas, es decir tanto caídas de tensión en los dispositivos como así también la inserción de tiempos muertos. El efecto ahora es acentuar aún más la distorsión mostrada anteriormente. En la Fig. 3.7 se observa la salida del inversor, mientras que la Fig. 3.8 muestra las formas de onda tanto de tensión como de corriente en la carga, teniendo en cuenta solamente las componentes de baja

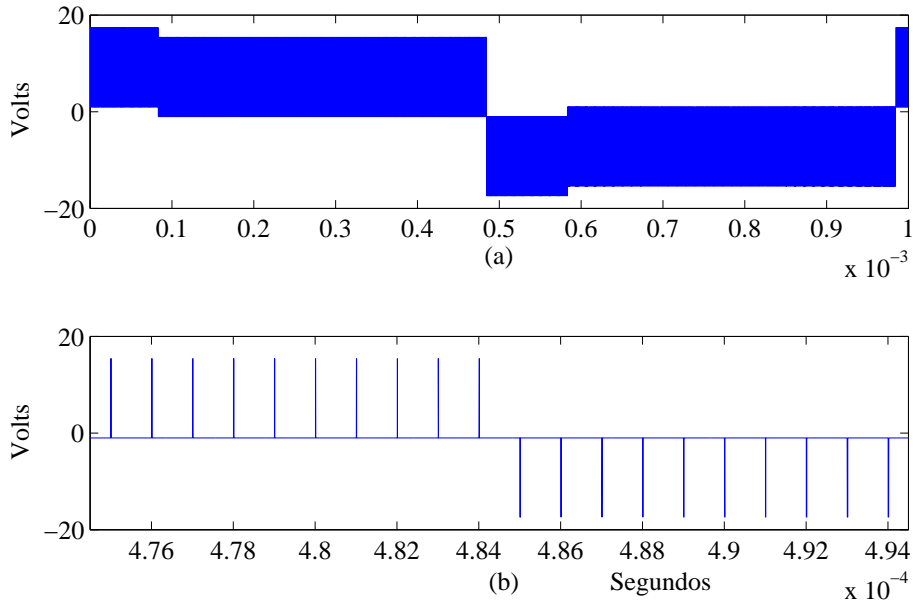


Figura 3.7: Salida del inversor considerando tiempos muertos y caídas de tensión: (a) Período completo; (b) Zona del cruce por cero.

frecuencia. El valor de THD calculado para este caso es:

$$\text{THD} [\%] = \frac{\sqrt{\sum_{i=2}^{20} h_i^2}}{h_1} * 100 = 29,61 \% \quad (3.4)$$

Como era de esperar, la inclusión de todos los efectos no lineales resulta en una mayor distorsión en la forma de onda de la tensión. Este valor es exageradamente grande e inadmisibles para muchas aplicaciones.

El hecho de considerar una caída de tensión de 0,3 V y 0,7 V para las llaves y diodos respectivamente, representa una situación muy cercana a la realidad para aplicaciones de baja potencia cuando se emplean componentes semiconductores comunes, como ser MOSFET de Silicio, que incluyen un diodo parásito entre los terminales *Drain* y *Source*. Un caso más favorable podría constituirlo, por ejemplo, una aplicación cuya corriente de carga no supere 1 A, se empleen llaves con una resistencia de encendido del orden

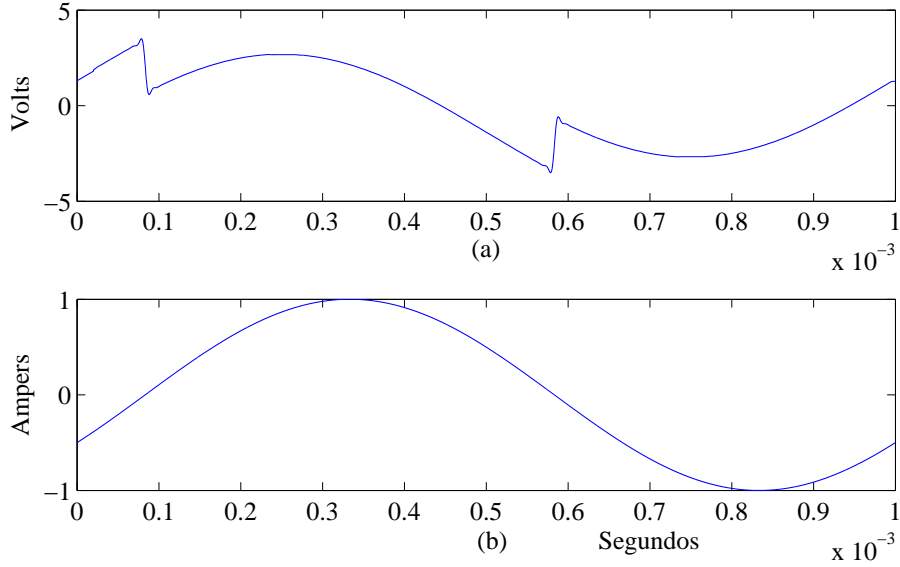


Figura 3.8: Componentes de baja frecuencia de la tensión (a) y corriente (b) de carga considerando caídas de tensión y tiempos muertos.

de los $\mu\Omega$, y diodos volantes del tipo Schottky. En este caso sería de esperar caídas de tensión del orden de 0,1 V y 0,3 V en las llaves y diodos, respectivamente. Un análisis similar al efectuado recientemente revelaría ahora un valor de THD, considerando todas las alinealidades producidas en el inversor, de:

$$\text{THD} [\%] = \frac{\sqrt{\sum_{i=2}^{20} h_i^2}}{h_1} * 100 = 14,07\% \quad (3.5)$$

La gran diferencia aquí radica solamente en los distintos valores de tensión adoptados para los dispositivos. La componente de distorsión producto de los tiempos muertos se mantiene, pues se han supuesto idénticos en ambos escenarios.

Otros factores a considerar, y que determinan en gran medida el valor de THD en la tensión de salida, lo constituyen tanto la magnitud de la tensión en la barra de continua, como la amplitud de la señal sintetizada por el inversor. El efecto provocado por las caídas de tensión en los dispositivos se traduce en un salto o escalón toda vez que la corriente

Secuencia		Tensión de salida V_{AB}			
SV	SI	HI	0	LO	TM
0	1	X	$-V_D - V_{ON}$	$-V_{CC} - 2V_D$	LO
0	0	X	$V_D + V_{ON}$	$-V_{CC} + 2V_{ON}$	0
1	1	$V_{CC} - 2V_{ON}$	$-V_D - V_{ON}$	X	0
1	0	$V_{CC} + 2V_D$	$V_D + V_{ON}$	X	HI

Tabla 3.1: Niveles de tensión en la carga para modulación unipolar.

cambia de signo. La amplitud del escalón es constante; por lo cual su incidencia en el resultado total del THD tiene relación directa con la amplitud de la señal; a medida que la amplitud es menor el efecto de esta alinealidad tiene mayor incidencia sobre el THD. Respecto a la barra de continua, para valores de tensión mayores, la incidencia de los tiempos muertos en el THD es más notoria, porque para lograr una misma tensión instantánea en el inversor, el ancho de los pulsos es cada vez menor, y por ende, más peso tienen los retardos de encendido de las llaves sobre la duración de los pulsos. La conclusión de esto es que el efecto de corrimiento del cruce por cero de la tensión visto en la Fig. 3.5 es más acentuado.

3.3. Descripción del método

El método propuesto, tal como se indicó en la Sección 2.7, consta básicamente en la compensación de áreas en cada pulso del modulador PWM. Para ello debemos analizar primeramente cuáles son los errores cometidos en la etapa de modulación, respecto a los niveles de tensión presentes en bornes de la carga para las diferentes combinaciones de llaves del inversor. Esto fue oportunamente estudiado en la Sección 1.3.3, cuyos resultados se repiten por comodidad en la Tabla 3.1, donde SI es el signo de la corriente de carga (1 significa positiva y 0 negativa); SV es el signo de la tensión de carga (1 significa positiva y 0 negativa); V_{CC} es el valor de tensión en la barra de continua que alimenta el inversor; V_D es la caída de tensión en los diodos volantes; V_{ON} es la caída de tensión en las llaves

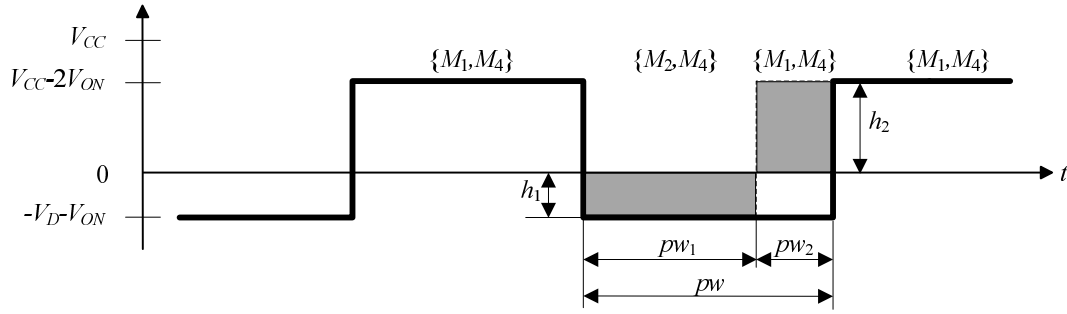


Figura 3.9: Compensación caídas de dispositivos. Caso nivel cero (0). $SV = 1$ y $SI = 1$.

del inversor, y HI , 0 , LO son los niveles de tensión reales que se obtienen en la salida para el estado alto, medio y bajo respectivamente. Idealmente estos estados deberían corresponderse con V_{CC} , 0 , y $-V_{CC}$. Los estados marcados con una cruz (X) significan que son valores de tensión que no pueden lograrse con esa combinación de llaves.

3.3.1. Compensación de las caídas de tensión

El modulador PWM ideal calcula los anchos de los pulsos basado en las tres amplitudes posibles; $-V_{CC}$, 0 y V_{CC} . Así por ejemplo, un pulso de ancho pw y altura $h = 0$ debería tener un área igual a cero. Pero en la realidad, y debido a las caídas de tensión en los dispositivos, la altura será $-V_D - V_{ON}$ o $V_D + V_{ON}$, con lo cual el área ya no será nula. Algo similar ocurre cuando se pretenden lograr los niveles $-V_{CC}$, o V_{CC} . Veamos en esta instancia cómo se logran compensar estas diferencias de áreas producto de las caídas de tensión. La solución a aplicar depende, como se muestra a continuación, del signo tanto de la tensión como de la corriente, es decir cuál es la secuencia que está llevando a cabo el modulador.

- **Nivel 0** = $-V_D - V_{ON}$, $SV = 1$ y $SI = 1$

La Fig. 3.9 muestra el temporizado y combinación de llaves del inversor para este caso. El nivel de 0 V se produce durante el funcionamiento del par de llaves $\{M_2, M_4\}$. Aquí el área obtenida al aplicar este pulso es negativa. El objetivo es entonces dis-

minuir la duración del pulso original pw a un valor pw_1 , agregando luego un pulso con área positiva de duración pw_2 , de manera de lograr tener en el tiempo pw el área nula buscada, tal como se esperaría en el modulador ideal. La secuencia de llaves que sigue luego de la combinación $\{M_2, M_4\}$ es la $\{M_1, M_4\}$, que aporta un área positiva, con lo cual la compensación se realiza de una forma simple; es decir adelantando el comienzo de este último pulso en un valor igual a pw_2 . La manera de calcular los anchos pw_1 y pw_2 es la siguiente:

$$\begin{aligned}
pw &= pw_1 + pw_2 \\
pw_1 \cdot h_1 + pw_2 \cdot h_2 &= 0 \\
h_1 &= -V_D - V_{ON} \\
h_2 &= V_{CC} - 2V_{ON} \\
(pw - pw_2)h_1 + pw_2 \cdot h_2 &= 0 \\
pw \cdot h_1 - pw_2 \cdot h_1 + pw_2 \cdot h_2 &= 0 \\
pw \cdot h_1 - pw_2 \cdot h_1 + pw_2 \cdot h_2 &= 0 \\
pw \cdot h_1 + pw_2(h_2 - h_1) &= 0 \\
pw_2 &= -pw \cdot \frac{h_1}{h_2 - h_1} \tag{3.6}
\end{aligned}$$

$$\begin{aligned}
pw_1 &= pw - pw_2 = pw + pw \cdot \frac{h_1}{h_2 - h_1} \\
pw_1 &= pw \left(1 + \frac{h_1}{h_2 - h_1} \right) = pw \cdot \frac{h_2 - h_1 + h_1}{h_2 - h_1} \\
pw_1 &= pw \cdot \frac{h_2}{h_2 - h_1} \tag{3.7}
\end{aligned}$$

Cabe aclarar que, tanto aquí como en los casos que restan aún por estudiar, la compensación del nivel cero solamente se trata para la combinación de llaves $\{M_2, M_4\}$, pero en realidad durante la secuencia de modulación está presente también la combinación de llaves $\{M_1, M_3\}$, cuyo resultado sobre la carga es exactamente el mismo.

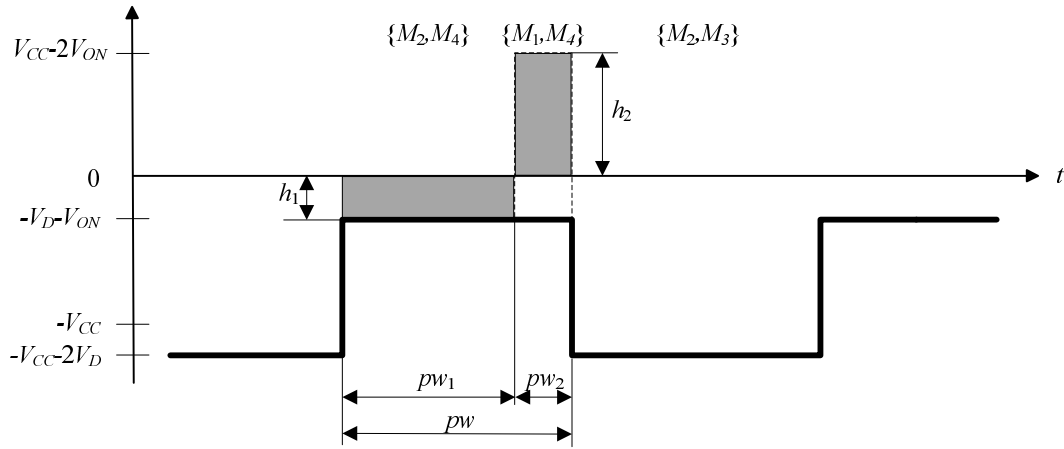


Figura 3.10: Compensación caídas de dispositivos. Caso nivel cero (0). $SV = 0$ y $SI = 1$.

Debe tenerse presente entonces que también se aplica la compensación de áreas para esta última combinación.

■ **Nivel 0** = $-V_D - V_{ON}$, $SV = 0$ y $SI = 1$

La Fig. 3.10 muestra el temporizado y combinación de llaves para este otro caso. El nivel de 0 V ocurre nuevamente durante el funcionamiento del par de llaves $\{M_2, M_4\}$. El área obtenida al aplicar este pulso es también negativa, pero a diferencia del caso anterior, la secuencia de llaves que le sigue $\{M_2, M_3\}$ no aporta área positiva. Por este motivo no puede aplicarse aquí el razonamiento anterior de adelantar el pulso siguiente; sino que la única alternativa posible para obtener una tensión nula es el agregado de un pulso extra con área positiva. Esto se logra mediante el encendido de las llaves $\{M_1, M_4\}$ durante un instante de tiempo pw_2 . Las ecuaciones se hallan de forma similar al caso antes visto:

$$h_1 = -V_D - V_{ON}$$

$$h_2 = V_{CC} - 2V_{ON}$$

$$pw_2 = -pw \cdot \frac{h_1}{h_2 - h_1} \quad (3.8)$$

$$pw_1 = pw \cdot \frac{h_2}{h_2 - h_1} \quad (3.9)$$

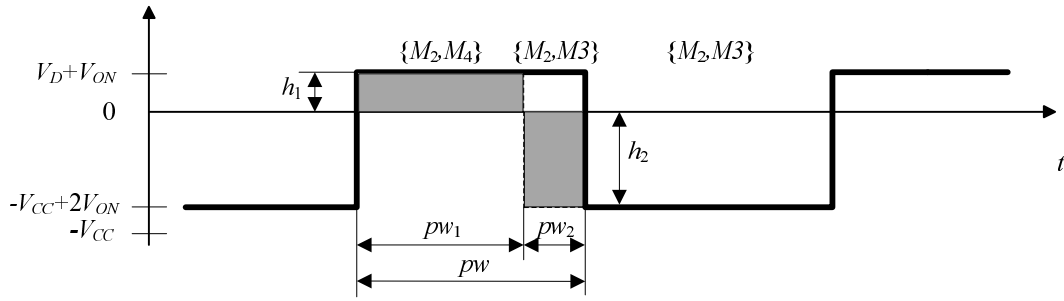


Figura 3.11: Compensación caídas de dispositivos. Caso nivel cero (0). $SV = 0$ y $SI = 0$.

■ **Nivel 0** = $V_D + V_{ON}$, $SV = 0$ y $SI = 0$

La Fig. 3.11 muestra el temporizado y estado de llaves para esta combinación de signos de tensión y corriente. El nivel de 0 V ocurre durante el funcionamiento del par de llaves $\{M_2, M_4\}$. El área obtenida al aplicar este pulso es positiva; pero la secuencia siguiente de llaves aplica un área negativa. Es por ello que la solución pasa por adelantar en un tiempo pw_2 el encendido del par de llaves $\{M_2, M_3\}$. Las ecuaciones se hallan nuevamente de forma similar a los casos antes vistos:

$$h_1 = V_D + V_{ON}$$

$$h_2 = -V_{CC} + 2V_{ON}$$

$$pw_2 = -pw \cdot \frac{h_1}{h_2 - h_1} \quad (3.10)$$

$$pw_1 = pw \cdot \frac{h_2}{h_2 - h_1} \quad (3.11)$$

■ **Nivel 0** = $V_D + V_{ON}$, $SV = 1$ y $SI = 0$

La Fig. 3.12 muestra el temporizado y estado de llaves para la última combinación posible de signos de tensión y corriente. El nivel de 0 V ocurre una vez más durante el funcionamiento del par de llaves $\{M_2, M_4\}$. El área obtenida al aplicar este pulso es positiva; pero ahora la secuencia siguiente de llaves aplica también un área positiva.

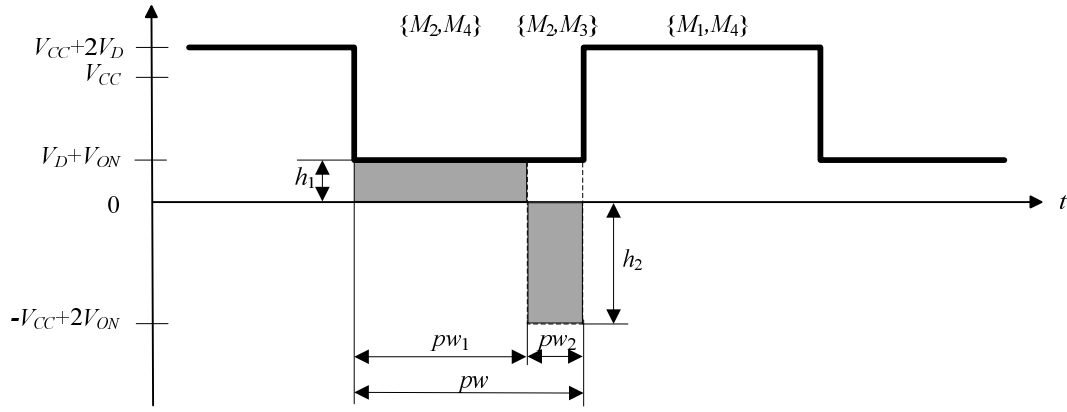


Figura 3.12: Compensación caídas de dispositivos. Caso nivel cero (0). $SV = 1$ y $SI = 0$.

La solución es, al igual que para el caso $SV = 0$ y $SI = 1$, agregar un pulso adicional de ancho pw_2 con el par de llaves $\{M_2, M_3\}$ que adicione área negativa, para lograr así una integración nula. Las ecuaciones aquí resultan:

$$h_1 = V_D + V_{ON}$$

$$h_2 = -V_{CC} + 2V_{ON}$$

$$pw_2 = -pw \cdot \frac{h_1}{h_2 - h_1} \quad (3.12)$$

$$pw_1 = pw \cdot \frac{h_2}{h_2 - h_1} \quad (3.13)$$

- **Nivel HI** $= V_{CC} - 2V_{ON}$ y $SI = 1$

En esta secuencia del modulador no es posible obtener un nivel de tensión más elevado que $V_{CC} - 2V_{ON}$, por lo cual no hay compensación posible para llevar a cabo; es decir que no existe combinación de llaves que permita alcanzar el nivel deseado V_{CC} . Esta es una limitante que dará como resultado que las amplitudes máximas se normalicen a $V_{CC} - 2V_{ON}$ y no a V_{CC} . A nivel de la onda de salida del inversor, se refleja como un simple factor de escala que no trae aparejada distorsión alguna.

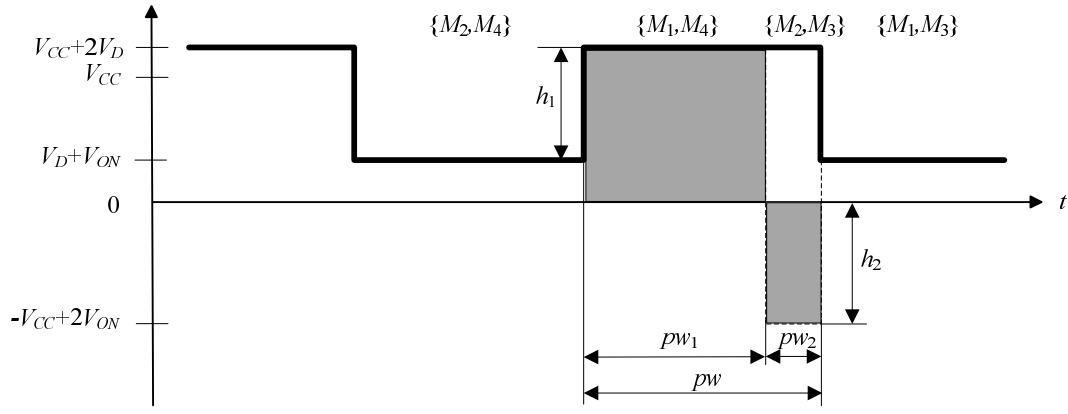


Figura 3.13: Compensación caídas de dispositivos. Caso nivel alto (HI). $SI = 0$.

■ Nivel $HI = V_{CC} + 2V_D$ y $SI = 0$

La Fig. 3.13 muestra el temporizado y estado de llaves para este caso. El nivel alto sí sobrepasa aquí al valor de tensión en la barra de continua V_{CC} . A fin de normalizar este estado alto a $V_{CC} - 2V_{ON}$, deberá adicionarse un área negativa; lo cual se logra con el agregado del pulso de ancho pw_2 obtenido con la combinación de llaves $\{M_2, M_3\}$. Las ecuaciones que rigen aquí son:

$$h = V_{CC} - 2V_{ON}$$

$$h_1 = V_{CC} + 2V_D$$

$$h_2 = -V_{CC} + 2V_{ON}$$

$$pw = pw_1 + pw_2$$

$$pw \cdot h = pw_1 \cdot h_1 + pw_2 \cdot h_2$$

$$pw \cdot h = pw_1 \cdot h_1 + h_2(pw - pw_1)$$

$$pw \cdot h = pw_1 \cdot h_1 + pw \cdot h_2 - pw_1 \cdot h_2$$

$$pw(h - h_2) = pw_1(h_1 - h_2)$$

$$pw_1 = pw \cdot \frac{h - h_2}{h_1 - h_2} \quad (3.14)$$

$$pw_2 = pw - pw_1 \quad (3.15)$$

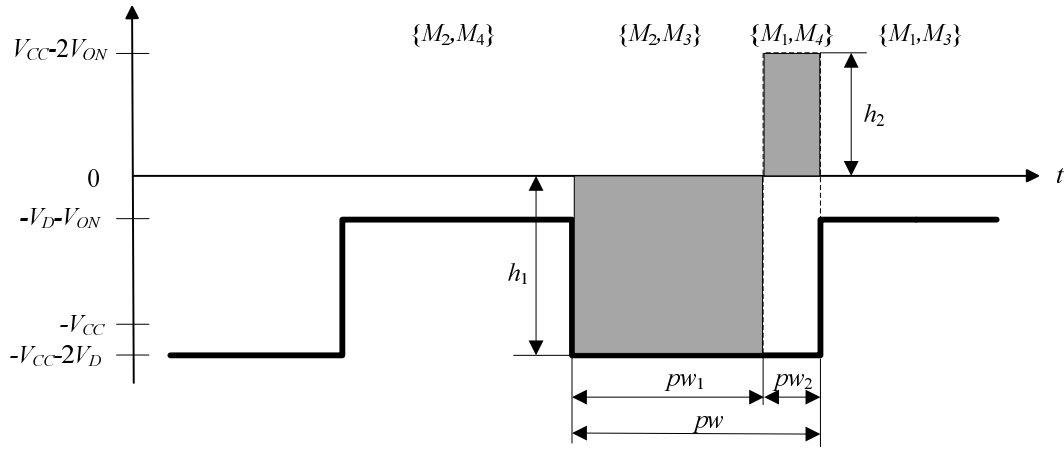


Figura 3.14: Compensación caídas de dispositivos. Caso nivel bajo (LO). $SI = 1$.

- **Nivel $LO = -V_{CC} + 2V_{ON}$ y $SI = 0$**

De forma similar al caso antes visto para el nivel HII , en esta secuencia del modulador no es posible obtener un nivel de tensión más bajo que $-V_{CC} + 2V_{ON}$. Por ello no hay compensación posible para llevar a cabo. Se normaliza entonces la amplitud mínima al valor $-V_{CC} + 2V_{ON}$ y no a $-V_{CC}$.

- **Nivel $LO = -V_{CC} - 2V_D$ y $SI = 1$**

La Fig. 3.14 muestra el temporizado y estado de llaves para este caso. El nivel bajo sí disminuye aquí por debajo del valor de tensión en la barra de continua $-V_{CC}$. A fin de normalizar el estado bajo a $-V_{CC} + 2V_{ON}$, deberá adicionarse un área positiva; lo cual se logra con el agregado del pulso de ancho pw_2 obtenido con la combinación de llaves $\{M_1, M_4\}$. Las ecuaciones resultan:

$$h = -V_{CC} + 2V_{ON}$$

$$h_1 = -V_{CC} - 2V_D$$

$$h_2 = V_{CC} - 2V_{ON}$$

$$pw = pw_1 + pw_2$$

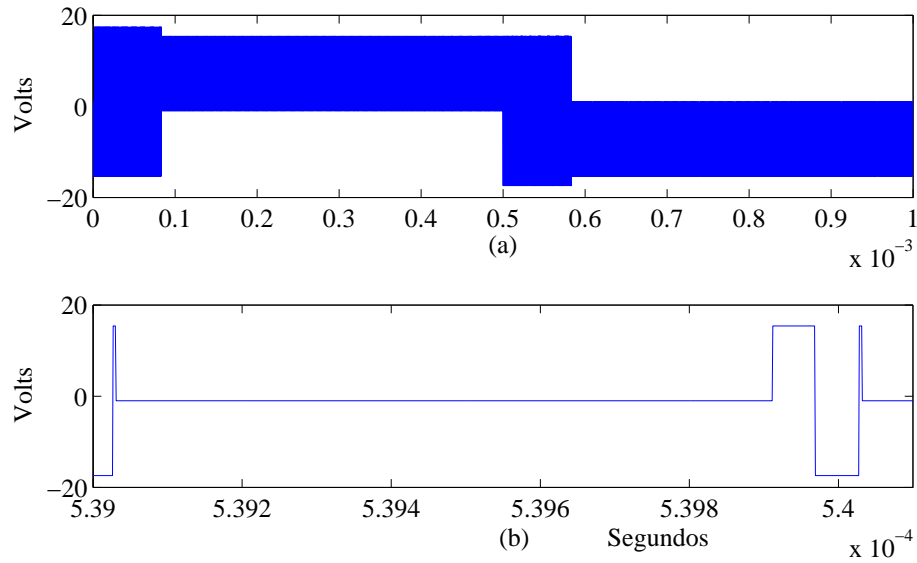


Figura 3.15: Salida del inversor con compensación de las caídas de dispositivos: (a) Período completo; (b) Ampliación zona de cruce por cero de la corriente.

$$pw.h = pw_1.h_1 + pw_2.h_2$$

$$pw_1 = pw \cdot \frac{h - h_2}{h_1 - h_2} \quad (3.16)$$

$$pw_2 = pw - pw_1 \quad (3.17)$$

Resultados teóricos

La aplicación directa del método de compensación recién descrito al ejemplo simulado desde el comienzo de este capítulo, indica que si solamente se tienen en cuenta las caídas de tensión, y se suponen tiempos de conmutación nulos, con lo cual no se generan tiempos muertos, el agregado de los pulsos de compensación logran disminuir el valor de distorsión armónica a:

$$\text{THD} [\%] = \frac{\sqrt{\sum_{i=2}^{20} h_i^2}}{h_1} * 100 = 0,1905 \% \quad (3.18)$$

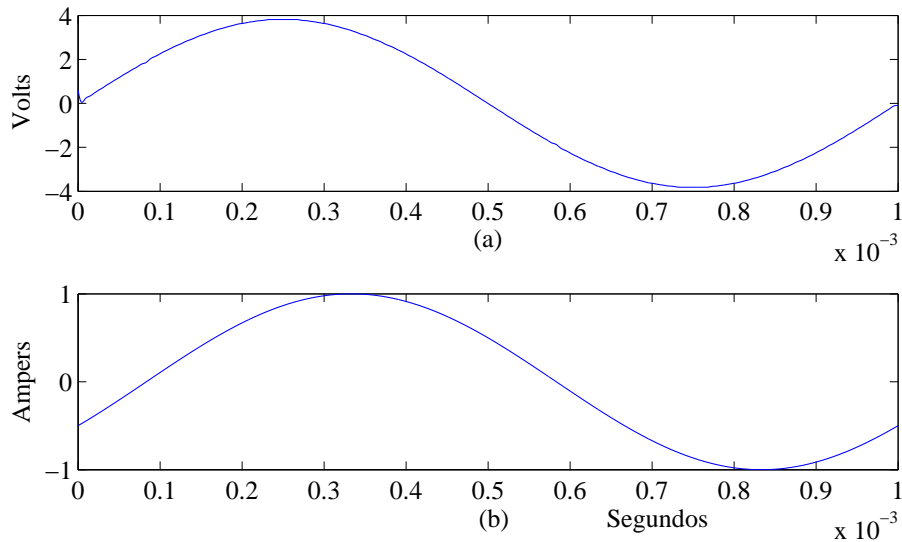


Figura 3.16: Componentes de baja frecuencia de la tensión (a) y corriente (b) de carga compensando las caídas de tensión.

Nuevamente, el valor no nulo se debe a lo expuesto anteriormente, sumado a los errores numéricos que surgen en la variable tiempo al agregar los pulsos de compensación.

La Fig. 3.15 muestra la salida del inversor aplicando el algoritmo de compensación de caídas de tensión. Obsérvese que en las zonas del cruce por cero de la corriente, existen pulsos tanto positivos como negativos. Una ampliación de esta zona se muestra en la Fig. 3.15 (b). Allí la tensión es negativa ($SV = 0$) y la corriente es positiva ($SI = 1$). Para la compensación de los ceros se aplica el caso analizado en la Fig. 3.10. Esto puede verse en el pulso de compensación hacia arriba, que comienza en $t = 539,9 \mu s$ para anular el área negativa del pulso que lo precedió. Luego le sucede un pulso hacia abajo producto de la modulación original, pero éste también debe ser compensado, y es allí donde se inserta el pequeño pulso hacia arriba en $t = 540,5 \mu s$. Esto último corresponde al caso visto en esta misma sección, esquematizado en la Fig. 3.14.

La Fig. 3.16 muestra las componentes filtradas tanto de la tensión como la corriente de carga. Es notable que sobre la forma de onda de la tensión no se evidencia distorsión alguna.

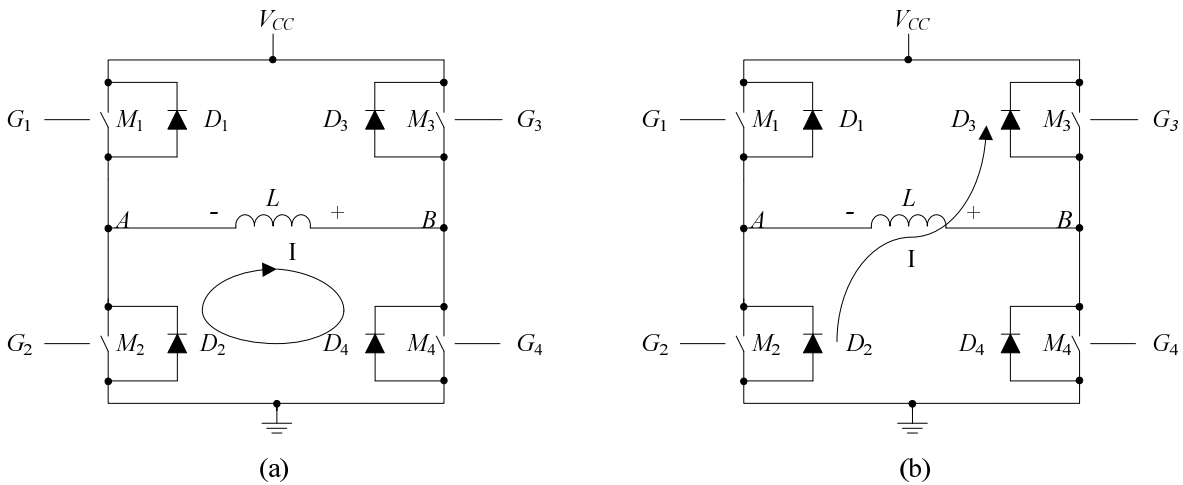


Figura 3.17: Circulación de corriente para el caso $SV = 0$ y $SI = 1$: (a) Combinación de llaves $\{M_2, M_4\}$; (b) Combinación de llaves $\{M_2, M_3\}$.

3.3.2. Compensación de los tiempos muertos

Hasta ahora se ha considerado que toda vez que el inversor debe hacer una conmutación entre las llaves de una misma pierna, es necesario insertar un tiempo muerto (TM) entre el apagado de una y el encendido de la otra, a fin de evitar un cortocircuito transitorio en la barra de continua. Sin embargo, resulta evidente que no siempre es necesaria ni la inserción de los tiempos muertos ni el encendido de todas las llaves. Esto dependerá tanto del estado de las llaves, como del signo de la tensión y corriente.

La Fig. 3.17 muestra parte de la secuencia de llaves para sintetizar una tensión negativa ($SV = 0$), con una circulación de corriente positiva ($SI = 1$). La secuencia completa está formada por las combinaciones de llaves $\{M_2, M_4\}$, $\{M_2, M_3\}$, $\{M_1, M_3\}$ y $\{M_2, M_3\}$ (ver Fig. 1.11). En la Fig. 3.17 (a), correspondiente a la combinación de llaves $\{M_2, M_4\}$, la circulación de corriente en realidad se produce por el diodo D_2 y la llave M_4 ; con lo cual es irrelevante el encendido de la llave M_2 , y por ende puede obviarse. Algo similar ocurre en la Fig. 3.17 (b), que corresponde en este caso a la combinación de llaves $\{M_2, M_3\}$, donde la circulación ahora se realiza solamente a través de los diodos D_2 y D_3 . Aquí no es necesario el encendido de ninguna de las llaves.

Secuencia	Estado de las llaves			
	M_1	M_2	M_3	M_4
$\{M_2, M_4\}$	0	0	0	1
$\{M_2, M_3\}$	0	0	0	0
$\{M_1, M_3\}$	1	0	0	0
$\{M_2, M_3\}$	0	0	0	0

Tabla 3.2: Estados de las llaves para la secuencia $SV = 0$ y $SI = 1$.

Si se analiza ahora la secuencia completa, pareciera que no fuese necesario insertar tiempos muertos, pues los cambios de estado de las llaves a lo largo de la secuencia de modulación no se presentan de manera complementaria en una misma pierna. Para obtener la secuencia antes vista, correspondiente al caso $SV = 0$ y $SI = 1$, los estados que deben adoptar las llaves del inversor, obviando aquellos encendidos no necesarios, son los que figuran en la Tabla 3.2. Un estado 0 significa llave apagada, y un estado 1 significa llave encendida. Más allá de la simplificación en la lógica de manejo que significa el no encender las llaves innecesariamente, una ventaja adicional que se logra con esto es el aumento global en la eficiencia del inversor. En efecto, los transistores que se emplean habitualmente en el inversor, y sobre todo si se trata de tecnología MOSFET, requieren un pico de corriente muy importante en el terminal de *Gate* para lograr un rápido encendido, el que debe ser entregado por el circuito de disparo (*driver*) asociado.

Este razonamiento respecto a no encender todas las llaves, puede extenderse al resto de las combinaciones de tensión (SV) y corriente (SI). Si se analizan todos los casos se notará que efectivamente es así. Si bien, idealmente, es posible que el inversor trabaje sin inserción de tiempos muertos, la decisión de cuáles llaves pueden no encenderse pasa fundamentalmente por el signo de la corriente. El problema surge cuando se está en la zona próxima del cruce por cero en la corriente. En el caso que el cambio de signo se produzca en medio de un ciclo en el cual se está prescindiendo del encendido de alguna llave, la corriente tomará un camino diferente del esperado, y la tensión de salida diferirá totalmente del valor que se pretendía sintetizar. Esto origina inevitablemente una compo-

nente de distorsión muy elevada. Es por ello que la técnica de obviar el encendido de las llaves debe aplicarse siempre y cuando la corriente se encuentre lejos del cruce por cero. Suele tomarse un límite de corriente (ΔI) que depende principalmente del tipo de sensado que se utilice y la tasa de variación esperada en la corriente misma. Entonces si el valor absoluto de la corriente se encuentra por debajo de este límite ($|I| < \Delta I$), se genera el temporizado completo con el encendido de todas las llaves correspondientes y la inserción de los tiempos muertos; mientras que si se encuentra fuera del límite ($|I| > \Delta I$), se utiliza el temporizado simplificado sin tiempos muertos. En el caso que se trate de una carga fija con una corriente senoidal, es posible predecir fácilmente los cruces por cero, con lo cual el límite de la banda para tomar la decisión puede reducirse aún más.

Ahora bien, mientras el inversor funciona con el temporizado completo, e inserta tiempos muertos, es necesario efectuar algún tipo de compensación para reducir la distorsión en la onda de salida. Según se observó en la Sección 1.3.2, el hecho de insertar tiempos muertos prolonga en algunos casos el estado previo que tenía la salida del inversor, modificando así la amplitud de la onda sintetizada. Volviendo nuevamente a la secuencia anterior para el caso $SV = 0$ y $SI = 1$, la primera transición ocurre desde el par de llaves $\{M_2, M_4\}$ al par $\{M_2, M_3\}$. En este caso, M_4 se apaga, y luego del tiempo muerto se enciende la llave M_3 . Mientras dura el tiempo muerto, la corriente deja de circular a través de la llave M_4 como lo hacía, y pasa ahora a circular a través del diodo D_3 ; es decir que adopta el mismo camino que tendrá en el estado siguiente con la combinación de llaves $\{M_2, M_3\}$. Esto significa que el esquema de modulación no se ve alterado por la inserción del tiempo muerto. Sin embargo esto no ocurre siempre; así por ejemplo la siguiente transición en la secuencia de las llaves $\{M_2, M_3\}$ al par $\{M_1, M_3\}$ resulta en una extensión del estado previo, pues durante el tiempo muerto entre el apagado de M_2 y el encendido de M_1 la corriente continúa circulando por los diodos D_2 y D_3 , y no por M_1 y D_3 como debería ser. La solución en este caso resulta simple, pues solamente debe reducirse la duración del pulso conformado por las llaves $\{M_2, M_3\}$, adelantando para ello el apagado de la llave

Secuencia		Nivel de tensión de salida				Compensación de TM
<i>SV</i>	<i>SI</i>	<i>HI</i>	0	<i>LO</i>	TM	
0	1	X	$-V_D - V_{ON}$	$-V_{CC} - 2V_D$	<i>LO</i>	$\{M_2, M_3\} = \{M_2, M_3\} - \text{TM}$
0	0	X	$V_D + V_{ON}$	$-V_{CC} + 2V_{ON}$	0	$\{M_2, M_4\} = \{M_2, M_4\} - \text{TM}$ $\{M_1, M_3\} = \{M_1, M_3\} - \text{TM}$
1	1	$V_{CC} - 2V_{ON}$	$-V_D - V_{ON}$	X	0	$\{M_2, M_4\} = \{M_2, M_4\} - \text{TM}$ $\{M_1, M_3\} = \{M_1, M_3\} - \text{TM}$
1	0	$V_{CC} + 2V_D$	$V_D + V_{ON}$	X	<i>HI</i>	$\{M_1, M_4\} = \{M_1, M_4\} - \text{TM}$

Tabla 3.3: Compensación de tiempos muertos para $|I| < \Delta I$.

M_2 y el encendido de M_1 en un valor igual al tiempo muerto insertado, según se muestra a continuación:

$$ancho \{M_2, M_3\}_{comp} = ancho \{M_2, M_3\} - \text{TM}$$

De esta forma se logran mantener las áreas originales en el temporizado de la tensión de salida del inversor. Generalizando este análisis para el resto de la secuencia, y las diferentes combinaciones de signos de tensión (*SV*) y corriente (*SI*), se llega a las expresiones que se muestran en la Tabla 3.3. Los estados marcados con una cruz (*X*) significan que son valores de tensión que no pueden lograrse con esa combinación de llaves.

Para el caso de pretender compensar solamente los tiempos muertos, sin tener en cuenta las caídas de tensión en los dispositivos, no tiene sentido aplicar el método al ejemplo tratado en este capítulo. Nótese que el hecho de retrasar las conmutaciones de estado de algunas de las llaves, conlleva indefectiblemente a obtener un temporizado cuyo resultado al pasar por el inversor es idéntico a aquel que se obtiene con la modulación ideal sin tiempos muertos, desde el cual se partió originalmente. Este método sí cobra sentido cuando se lo aplica en forma conjunta con el de compensación de caídas de tensión, tal como se explica en el punto siguiente.

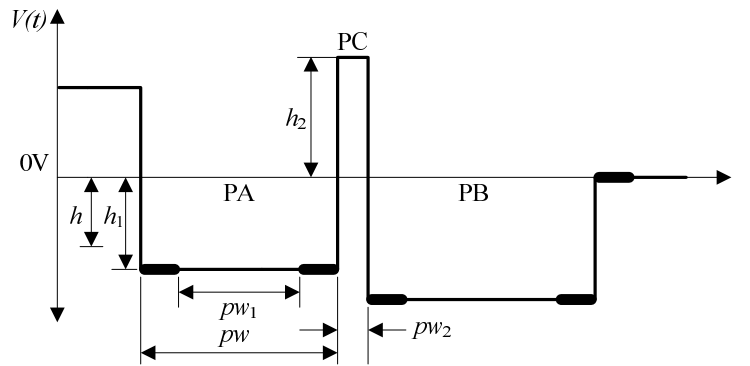


Figura 3.18: Método de compensación general.

3.3.3. Método general de compensación de tiempos muertos y caídas de tensión

Los dos métodos de compensación vistos pueden combinarse para ser aplicados en forma conjunta a un esquema de modulación ideal, de manera de disminuir así la distorsión causada por ambas fuentes de alinealidad.

La Fig. 3.18 ilustra el concepto básico del método general de compensación. Aquí el modulador ideal ha determinado que debe generarse el pulso PA con una duración pw y una altura h . En realidad, debido a las alinealidades en juego, la salida del inversor muestra un pulso con una duración alterada por la inserción de tiempos muertos, y una altura h_1 provocada por las caídas en los dispositivos. Para compensar entonces esta diferencia, se incluye seguidamente otro pulso (PC) con una duración pw_2 y altura h_2 , de manera que el área total del pulso PA, más el pulso de compensación sea el ideal de ancho pw y altura h que se pretendía originalmente. Los trazos más gruesos en el gráfico corresponden a la inserción de los tiempos muertos. El conjunto de ecuaciones que permite lograr la compensación es el siguiente:

$$pw = pw_1 + 2TM + pw_2 \quad (3.19)$$

$$pw.h = (pw_1 + 2TM)h_1 + pw_2.h_2 \quad (3.20)$$

La primera ecuación mantiene inalterado el ancho o duración total del pulso original; mientras que la segunda busca el área deseada. La solución para este conjunto de ecuaciones viene dada por:

$$pw_1 = pw.k_1 - 2TM \quad (3.21)$$

$$pw_2 = pw.k_2 \quad (3.22)$$

donde

$$k_1 = \frac{h_2 - h}{h_2 - h_1} \quad (3.23)$$

$$k_2 = \frac{h - h_1}{h_2 - h_1} \quad (3.24)$$

Acorde al gráfico anterior, existen dos tiempos muertos asociados al pulso PA: uno al comienzo del mismo, y el otro al comienzo del pulso siguiente de compensación PC. Se ha supuesto que en ambos tiempos muertos la salida del inversor se mantiene en el valor h_1 . La Fig. 3.19 muestra las secuencias completas de compensación para las diferentes combinaciones de signo de tensión (SV) y corriente (SI). Las líneas gruesas representan los instantes en los cuales se realiza la inserción de los tiempos muertos. A su vez, en cada una de las diferentes zonas se indican las llaves que se encuentran activadas en ese momento. Nótese que se ha cambiado para facilitar la lectura en el gráfico, la nomenclatura que se seguía hasta ahora para indicar el par de llaves activadas. Así, por ejemplo, la leyenda M_1M_4 significa que tanto la llave M_1 como la M_4 se encuentran encendidas; M_1 se interpreta como que solamente la llave M_1 está habilitada; y la leyenda N significa que ninguna de las cuatro llaves se encuentra encendida.

A través de este gráfico se demuestra también la veracidad de suponer que se mantiene el nivel h_1 durante los tiempos muertos en los pulsos PA. Así, por ejemplo, tomando el caso del gráfico correspondiente a $SV = 0$ y $SI = 1$, puede verse que la inserción de los

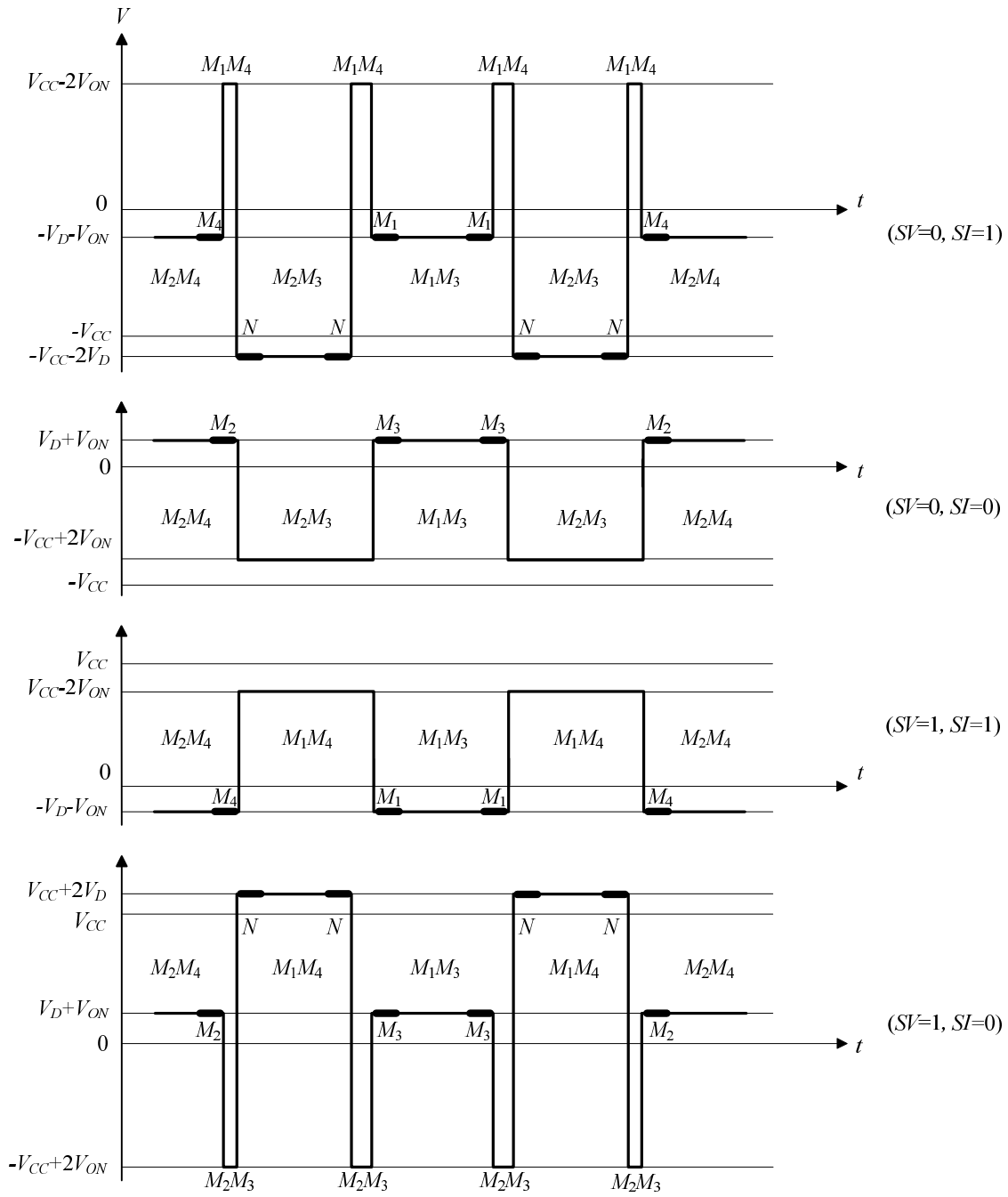


Figura 3.19: Temporizado del método de compensación general.

tiempos muertos en el pulso con el par de llaves $\{M_2, M_3\}$ activado, resulta en una tensión de salida de $-V_{CC} - 2V_D$, coincidente con el que adopta el resto del pulso. Algo similar ocurre con los pulsos generados al activar los pares de llaves $\{M_1, M_3\}$ y $\{M_2, M_4\}$.

Haciendo referencia a la Fig. 3.19, y considerando los diferentes niveles de tensión que deben compensarse, es posible encontrar los valores de k_1 y k_2 para resolver las Ecs. (3.23) y (3.24) del método general de compensación.

■ **Caso A: Nivel 0** = $-V_D - V_{ON}$

Este caso ocurre durante el cambio de estado formado por el par de llaves $\{M_2, M_4\}$ al par $\{M_2, M_3\}$; y del par $\{M_1, M_3\}$ al par $\{M_2, M_3\}$; para una tensión de salida negativa ($SV = 0$) y una corriente positiva ($SI = 1$). Aquí se cumple lo siguiente:

$$h = 0$$

$$h_1 = -V_D - V_{ON}$$

$$h_2 = V_{CC} - 2V_{ON}$$

Reemplazando en las Ec. (3.23) y (3.24), se llega a:

$$k_1 = \frac{h_2 - h}{h_2 - h_1} = \frac{V_{CC} - 2V_{ON}}{V_{CC} - 2V_{ON} + V_D + V_{ON}} = \frac{V_{CC} - 2V_{ON}}{V_{CC} + V_D - V_{ON}} \quad (3.25)$$

$$k_2 = \frac{h - h_1}{h_2 - h_1} = \frac{0 + V_D + V_{ON}}{V_{CC} - 2V_{ON} + V_D + V_{ON}} = \frac{V_D + V_{ON}}{V_{CC} + V_D - V_{ON}} \quad (3.26)$$

■ **Caso B: Nivel 0** = $V_D + V_{ON}$

Este caso ocurre durante el cambio de estado formado por el par de llaves $\{M_2, M_4\}$ al par $\{M_1, M_4\}$; y del par $\{M_1, M_3\}$ al par $\{M_1, M_4\}$; para una tensión de salida

positiva ($SV = 1$) y una corriente negativa ($SI = 0$). Las ecuaciones son:

$$h = 0$$

$$h_1 = V_D + V_{ON}$$

$$h_2 = -V_{CC} + 2V_{ON}$$

Reemplazando en las Ec. (3.23) y (3.24), se llega a:

$$k_1 = \frac{h_2 - h}{h_2 - h_1} = \frac{-V_{CC} + 2V_{ON}}{-V_{CC} + 2V_{ON} - V_D - V_{ON}} = \frac{V_{CC} - 2V_{ON}}{V_{CC} + V_D - V_{ON}} \quad (3.27)$$

$$k_2 = \frac{h - h_1}{h_2 - h_1} = \frac{0 - V_D - V_{ON}}{-V_{CC} + 2V_{ON} - V_D - V_{ON}} = \frac{V_D + V_{ON}}{V_{CC} + V_D - V_{ON}} \quad (3.28)$$

■ **Caso C: Nivel $LO = -V_{CC} - 2V_D$**

Este caso ocurre durante el cambio de estado formado por el par de llaves $\{M_2, M_3\}$ al par $\{M_1, M_3\}$; y del par $\{M_2, M_3\}$ al par $\{M_2, M_4\}$; para una tensión de salida negativa ($SV = 0$) y una corriente positiva ($SI = 1$). Aquí se cumple lo siguiente:

$$h = -V_{CC} + 2V_{ON}$$

$$h_1 = -V_{CC} - 2V_D$$

$$h_2 = V_{CC} - 2V_{ON}$$

Reemplazando en las Ec. (3.23) y (3.24), se llega a:

$$k_1 = \frac{h_2 - h}{h_2 - h_1} = \frac{V_{CC} - 2V_{ON} + V_{CC} - 2V_{ON}}{V_{CC} - 2V_{ON} + V_{CC} + 2V_D} = \frac{V_{CC} - 2V_{ON}}{V_{CC} + V_D - V_{ON}} \quad (3.29)$$

$$k_2 = \frac{h - h_1}{h_2 - h_1} = \frac{-V_{CC} + 2V_{ON} + V_{CC} + 2V_D}{V_{CC} - 2V_{ON} + V_{CC} + 2V_D} = \frac{V_D + V_{ON}}{V_{CC} + V_D - V_{ON}} \quad (3.30)$$

■ **Caso D:** Nivel $HI = V_{CC} + 2V_D$

Este último caso ocurre durante el cambio de estado formado por el par de llaves $\{M_1, M_4\}$ al par $\{M_1, M_3\}$; y del par $\{M_1, M_4\}$ al par $\{M_2, M_4\}$; para una tensión de salida positiva ($SV = 1$) y una corriente negativa ($SI = 0$). Las ecuaciones son:

$$h = V_{CC} - 2V_{ON}$$

$$h_1 = V_{CC} + 2V_D$$

$$h_2 = -V_{CC} + 2V_{ON}$$

Reemplazando en las Ec. (3.23) y (3.24), se llega a:

$$k_1 = \frac{h_2 - h}{h_2 - h_1} = \frac{-V_{CC} + 2V_{ON} - V_{CC} + 2V_{ON}}{-V_{CC} + 2V_{ON} - V_{CC} - 2V_D} = \frac{V_{CC} - 2V_{ON}}{V_{CC} + V_D - V_{ON}} \quad (3.31)$$

$$k_2 = \frac{h - h_1}{h_2 - h_1} = \frac{V_{CC} - 2V_{ON} - V_{CC} - 2V_D}{-V_{CC} + 2V_{ON} - V_{CC} - 2V_D} = \frac{V_D + V_{ON}}{V_{CC} + V_D - V_{ON}} \quad (3.32)$$

Como puede observarse, el resultado obtenido para k_1 y k_2 es exactamente el mismo en todos los casos analizados, lo cual simplifica la aplicación del método de compensación. En base a esto se puede implementar el algoritmo de corrección, cuyo diagrama de flujo se muestra en la Fig. 3.20. El algoritmo trabaja sobre el temporizado ideal de la modulación PWM. Cada vez que debe enviarse un nuevo pulso al inversor con la combinación de llaves xx y duración pw (xx, pw), se observa el signo de la corriente en ese momento, y en base a eso se verifica si el pulso a generar corresponde al encendido del par de llaves $\{M_2, M_3\}$ o $\{M_1, M_4\}$ para los casos de $SI = 0$ o $SI = 1$, respectivamente. En caso de ser así, el temporizado no se modifica en lo absoluto y se envía tal cual al inversor para su síntesis. Caso contrario, es necesario insertar el pulso de compensación. Nuevamente en función del signo de la corriente, la inserción se hace a través del encendido del par de llaves

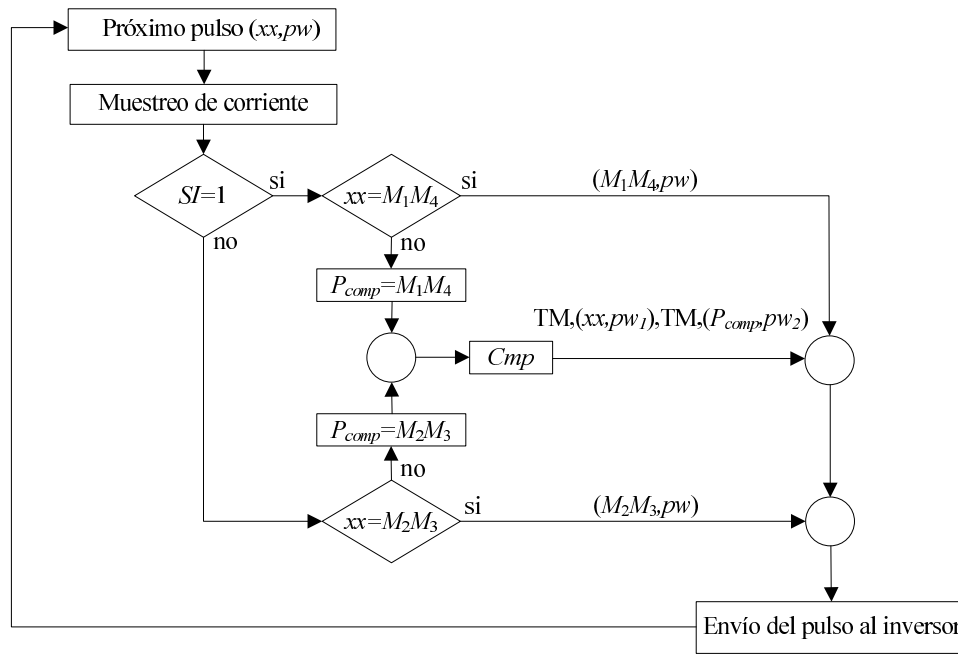


Figura 3.20: Diagrama de flujo del método de compensación general.

$\{M_2, M_3\}$ o $\{M_1, M_4\}$ para $SI = 0$ y $SI = 1$, respectivamente. El bloque *Cmp* se encarga de calcular los nuevos anchos pw_1 y pw_2 del pulso original y del de compensación. Esta nueva información, conjuntamente con sus tiempos muertos asociados, luego es enviada al inversor para su síntesis.

La Fig. 3.21 ilustra el diagrama de flujo del bloque *Cmp* donde se realiza la compensación. Como variables de entrada a este bloque están el ancho del pulso original (pw), el par de llaves del pulso original (xx) y el par de llaves para generar el pulso de compensación (P_{comp}); y por último la magnitud de la corriente tanto en amplitud como en signo (I). En esta etapa se determinan efectivamente los anchos pw_1 y pw_2 acorde a las Ec. (3.21) y (3.22). Adicionalmente se verifica si es necesaria la inclusión de los tiempos muertos, o si es posible manejar el inversor con el temporizado simplificado sin tiempos muertos; siempre y cuando la corriente esté fuera del límite prefijado ($|I| > \Delta I$). Si efectivamente ocurre esto, se ejecuta el bloque *Inhibir Gates* que se encarga justamente de eliminar los tiempos muertos y encendidos de llaves que son innecesarios. En la Fig. 3.22 se muestra el

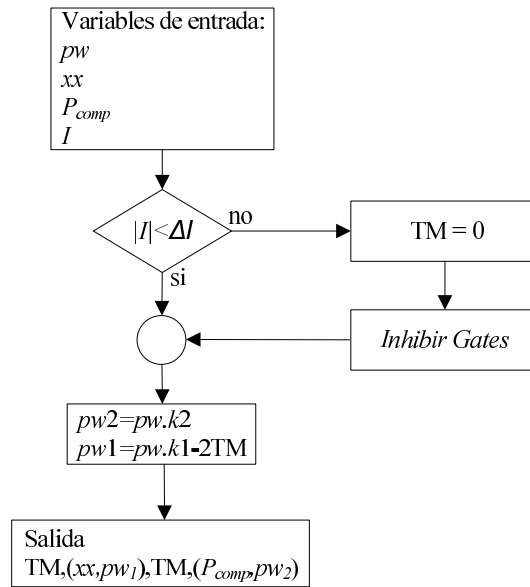


Figura 3.21: Diagrama de flujo del bloque *Cmp* del método de compensación general.

diagrama de flujo correspondiente a este bloque. Acorde a lo visto en la Sección 3.3.2, y en función del signo de la corriente, se determina cuál de las llaves debe habilitarse para su encendido, y cuál no. Así por ejemplo para $SI = 1$, y el pulso originado por el par de llaves $\{M_2, M_4\}$, la llave M_2 no es necesario que sea encendida porque la corriente circula por el diodo asociado D_2 y no por la llave; por ende se inhibe el encendido de M_2 , y solamente se enciende M_4 , no siendo necesario tampoco incluir tiempos muertos. Si en cambio el pulso es el originado por el par de llaves $\{M_1, M_3\}$, ahora la que sólo se encenderá será M_1 , pues la corriente circulará por el diodo D_3 . Un razonamiento similar puede aplicarse a los dos casos restantes con combinaciones de llaves $\{M_2, M_4\}$ y $\{M_1, M_3\}$, pero con una corriente negativa ($SI = 0$).

Resultados teóricos

Nuevamente, la aplicación del método de compensación general recién descrito al ejemplo simulado desde el comienzo de este capítulo, indica que el valor de distorsión, teniendo en cuenta ahora sí tanto las caídas de tensión en los dispositivos, como la inserción

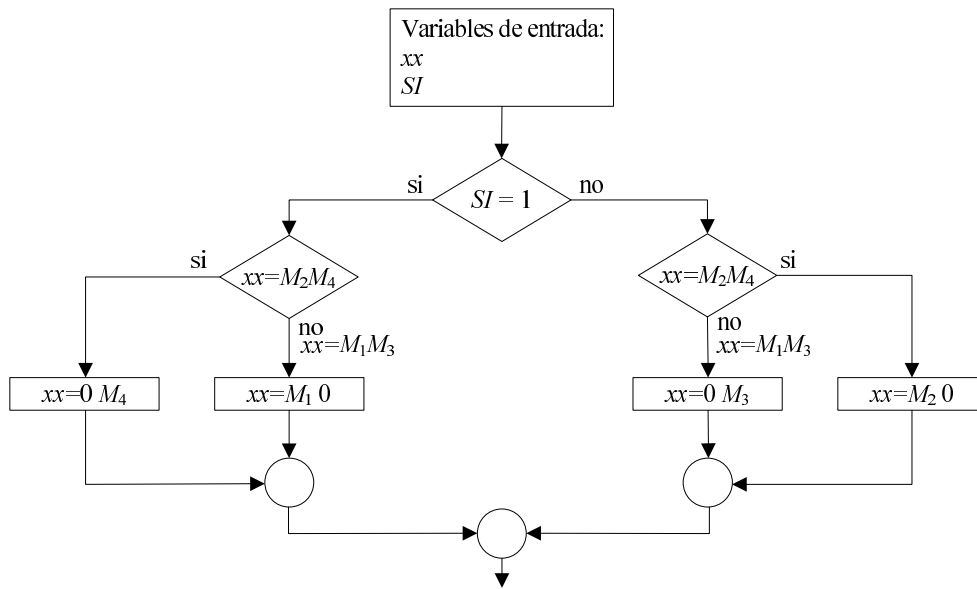


Figura 3.22: Diagrama de flujo del bloque *Inhibir Gates* del método de compensación general.

de tiempos muertos, logra reducirse al valor:

$$\text{THD} [\%] = \frac{\sqrt{\sum_{i=2}^{20} h_i^2}}{h_1} * 100 = 0,1905 \% \quad (3.33)$$

Esto prueba, al menos de manera teórica, la eficacia del método para compensar las alienalidades más comunes que se presentan en un inversor real.

El algoritmo implementado para obtener este resultado puede consultarse en la Sección de Anexos. Incluye todas las etapas vistas hasta ahora; es decir que además de la compensación de las caídas de tensión y tiempos muertos, observa también la magnitud de la corriente para así establecer si es necesario encender todas las llaves o simplemente puede manejarse el inversor con el temporizado simplificado. El umbral considerado en la corriente para tomar la decisión de emplear el temporizado completo o simplificado es del 5% de la amplitud pico; es decir ± 50 mA en nuestro ejemplo.

Es de notar que el valor de la distorsión obtenido con el método general coincide con el de

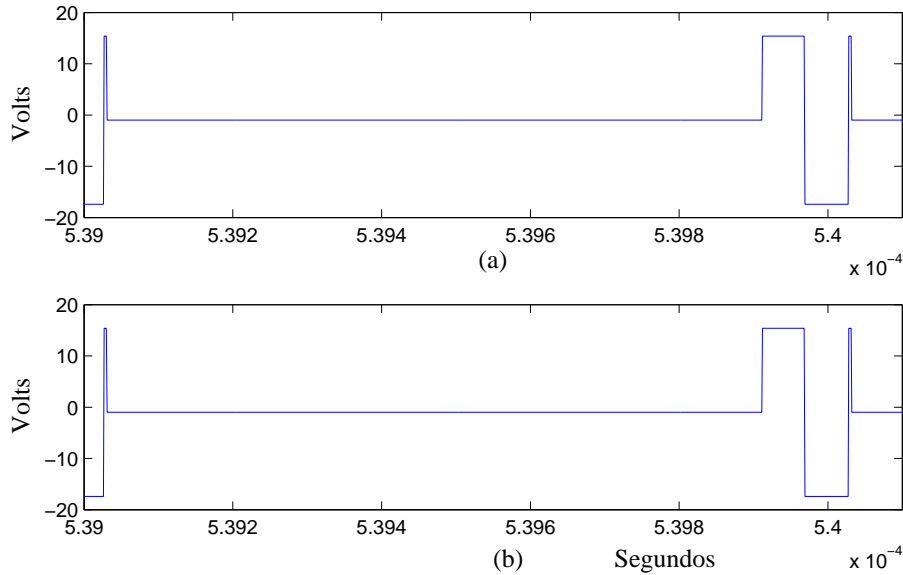


Figura 3.23: Ampliación de la salida del inversor: (a) Método de compensación de sólo caídas de tensión; (b) Método general.

la Ec. (3.18), correspondiente a la compensación de caídas de tensión solamente. El hecho que las dos expresiones sean coincidentes se debe a que en ambos escenarios los resultados obtenidos a nivel temporal, luego de la aplicación del método de compensación, son idénticos. En el primer caso no se consideró la inserción de tiempos muertos, al suponer llaves con características de conmutación ideales; mientras que en el segundo caso sí se tuvo en cuenta la inserción de los tiempos muertos. El método general de compensación difiere del que corrige solamente caídas, en que tiene en cuenta además los errores cometidos por la inserción de tiempos muertos, para lo cual efectúa un reajuste (*re-timing*) de los instantes en los cuales se producen los cambios de estado en las llaves del inversor. Como consecuencia de este reajuste, se obtiene un temporizado que resulta ser idéntico al que se tenía en el primer caso donde no se habían considerado los tiempos muertos; de allí que ambos resultados de distorsión armónica sean iguales. Como prueba de esta coincidencia, se muestran en la Fig. 3.23 las ampliaciones de los diagramas temporales alrededor del punto $t = 539,5 \mu\text{s}$ para ambas salidas del inversor; es decir con el método

de compensación de sólo caídas de tensión (a), y con la aplicación del método general (b).

3.4. Síntesis

En este capítulo se describió el método de compensación a implementar, de manera de minimizar simultáneamente las alinealidades provocadas tanto por las caídas de tensión en los dispositivos como la inserción de tiempos muertos. Si bien en términos de simulaciones teóricas los resultados son muy prometedores, existen una serie de limitaciones prácticas que hacen que los resultados que se obtengan en cuanto al THD de la onda de tensión en la salida del inversor no sean exactamente iguales. En primer lugar se encuentra el condicionamiento impuesto por la medición de la corriente de carga, que como es sabido tiene un contenido espectral muy amplio con componentes de alta frecuencia. Para tener una medición confiable es necesario filtrarla adecuadamente, lo que puede introducir un retraso de fase que hay que tener en cuenta a la hora de aplicar el método. Además, por el propio contenido de ruido presente en la medición, el cruce por cero de la corriente puede llegar a ser difícil de determinar. Por otro lado existe una limitación en lo que se refiere a la velocidad de encendido y apagado de las llaves del inversor. La aplicación del método genera pulsos adicionales, cuya duración es ampliamente variable, y pueden tornarse tan angostos que las llaves no sean capaces de responder (limitación por *slew rate*). En estos casos el método directamente no puede aplicarse, con lo cual la compensación no será completa. Por último, la implementación del método será efectuada a partir de una modulación PWM digital, por lo cual todo lo expuesto en la Sección 3.2 para un sistema que es muestreado en el tiempo, contribuirá a aumentar el valor de la distorsión.

Hay un tema sobre el cual no se ha hablado aún, que se relaciona con la frecuencia de conmutación del inversor. Tal como se manifestó en la Sección 1.1, toda vez que una llave conmuta de estado, existe un instante de tiempo en el cual se encuentra transitando en la zona activa, y por ende disipa potencia. Cuantas más conmutaciones hayan por unidad de

tiempo, mayor será la energía disipada durante el funcionamiento. El método aquí visto compensa las alinealidades a expensas de agregar pulsos extras, lo que implica una mayor cantidad de conmutaciones de estados en las llaves por unidad de tiempo, es decir que la variable eficiencia se vería, en principio, degradada. Sin embargo, ésto no constituye un problema grave pues por un lado se prescinde del encendido de algunas llaves cuando la corriente se encuentra lejos del cruce por cero, disminuyendo el consumo en los circuitos de disparo; y por otro lado al permitir disminuir drásticamente la distorsión, es posible trabajar a frecuencias de conmutación menores, con lo cual se incrementaría la eficiencia. Sin embargo, más allá de estas cuestiones de rendimiento, no debe perderse el foco principal de este trabajo, que consiste en la implementación práctica del método para demostrar su funcionalidad a partir del desarrollo de un circuito integrado a medida.

Capítulo 4

Diseño del circuito integrado

4.1. Introducción

Aquí se analizan las etapas que se siguieron para el diseño del circuito integrado (CI) a medida, con objeto de implementar de manera práctica el método visto en el capítulo anterior para la compensación de la modulación PWM.

La metodología empleada para el desarrollo de todo el CI giró en torno al diseño de celdas básicas, las que fueron luego formando estructuras cada vez más complejas. Todo el proceso se realizó de manera manual, tanto para la elaboración de los circuitos esquemáticos, como para la etapa de generación del *layout*, es decir el pasaje del circuito a la oblea de silicio. El diseño se basó fundamentalmente en el uso del paquete de software de Tanner Research [Tan] que contenía un editor de circuitos esquemáticos (*S-Edit V8.1*), uno para la elaboración del *layout* (*L-Edit V9.3*), y otro programa que permitía verificar la coincidencia a nivel circuital entre ambos diseños (*LVS V9.3 - layout vs schematic*). Finalmente, como herramienta de simulación, se empleó el software para MS-DOS llamado *IrSim* que permite obtener el comportamiento lógico de un circuito digital utilizando para ello modelos matemáticos simplificados.

Finalizado el diseño, el CI se envió para su fabricación a través del programa educativo

de la empresa MOSIS [MOSa]. En realidad se fabricaron dos versiones en proceso CMOS AMIS 0,5 μm (hoy en día aún se encuentra disponible este proceso, pero bajo el nombre de ON-SEMI 0,5 μm): primeramente, una reducida que sirvió para ensayar las diferentes estructuras, y luego una versión final completa. Se trata en este capítulo la última de las versiones. El proceso total de diseño, fabricación y ensayos de ambos CIs tomó alrededor de un año y medio, incluyendo las demoras propias en la fabricación y entrega de los CIs. El primero de ellos fue fabricado el día 08/04/2004 bajo el código de proceso T41C, mientras que la segunda versión se fabricó el día 20/09/2005 con código de proceso T56H.

4.2. Arquitectura del circuito integrado

El método de compensación propuesto no deja de ser algo complejo como para implementarlo en su totalidad dentro de un CI. Involucra operaciones aritméticas de suma y multiplicación, adquisición de señales analógicas, detección del signo de la corriente, elaboración de la señal de referencia que se pretende sintetizar, etc. La limitación principal de la mayoría de las opciones de hardware disponibles para la implementación en ese entonces, pasaba por la generación de un temporizado tan preciso para el control de las llaves del inversor, tal como el que es necesario para este caso. De acuerdo al análisis que se efectuó en el capítulo anterior, la compensación se basa en el agregado de pequeños pulsos en el inversor, los que pueden resultar ser extremadamente pequeños. Dejando de lado la limitante del tiempo de conmutación de las llaves, es factible que el método de compensación genere pulsos con duración de unos pocos nanosegundos. Por estos motivos, la elección se inclinó finalmente por implementar en el CI la parte de generación del temporizado de las llaves, que resultaba ser la más difícil, sino imposible, de lograr con un procesador comercial. De esta forma, la topología del sistema completo quedó definida a grandes rasgos, tal como lo muestra la Fig. 4.1 Allí se observa que todas las funciones relacionadas con el procesamiento de variables analógicas, quedan a cargo de un procesador

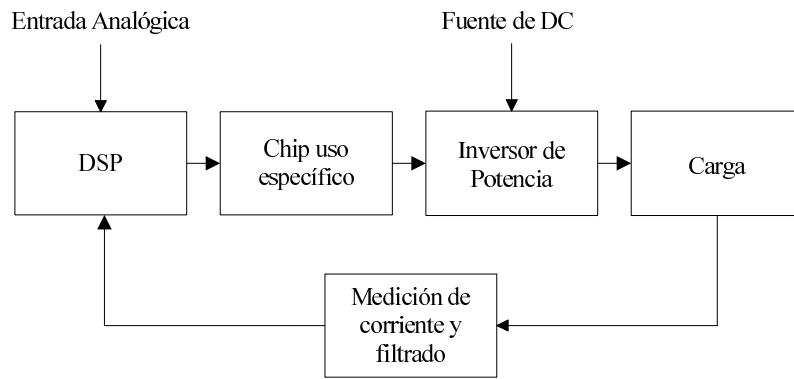


Figura 4.1: Topología del sistema a implementar.

de señales digitales (DSP) comercial, mientras que la generación precisa del temporizado se hace a partir del CI a diseñar. Así, el DSP elabora primeramente el temporizado ideal de las llaves del inversor, y luego aplica los pulsos de compensación en base al signo de la corriente y tensión. El temporizado resultante con el esquema compensado se comunica al CI dedicado, y este último es quien se encarga de llevarlo a cabo. Toda esta secuencia se repite en cada ciclo de modulación.

Dejando de lado la parte implementada dentro del DSP, que será tratada posteriormente, el CI dedicado comprende los bloques que se muestran en la Fig. 4.2.

Puede observarse la existencia de una interfaz serie para la comunicación con el DSP, de manera que el CI pueda ser programado en tiempo real para generar el temporizado de las llaves en cada ciclo de modulación. No hay necesidad que la transmisión serie sea bidireccional, pues el flujo de información solamente viaja desde el DSP al CI. La interfaz serie transforma la secuencia de datos recibidos a una presentación del tipo paralela. Allí se encuentra información respecto a qué registro de memoria grabar, y los datos que deben ser grabados. Una lógica de decodificación habilita el registro correspondiente, y temporiza la secuencia de grabación. Por otro lado, una cadena de contadores avanza mediante la señal de un reloj externo, y su valor actual es comparado con parte del contenido escrito en los registros. Esta comparación se realiza de manera permanente y simultánea con todos los registros de la memoria. En caso de existir una coincidencia, se activa la lógica de control

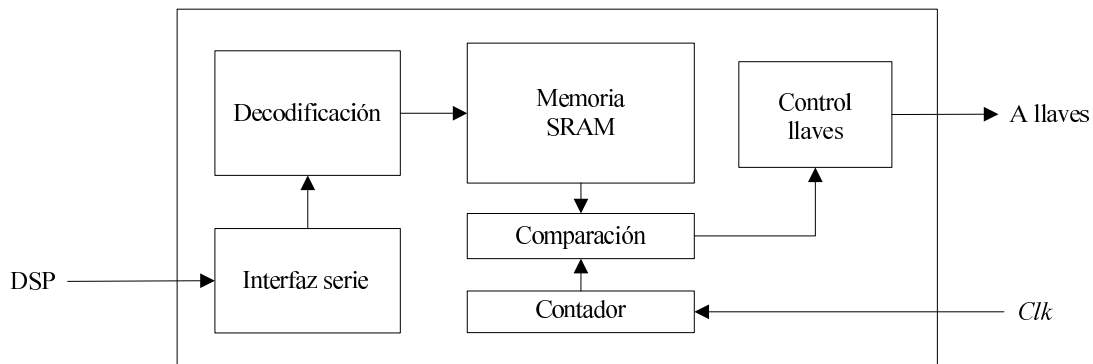


Figura 4.2: Bloques constitutivos del CI.

de las llaves, y se envían los estados lógicos correspondientes al puente inversor.

En un modulador PWM analógico, existe una señal triangular que se compara continuamente con la señal a sintetizar (ver Secciones 1.2.1 y 1.2.2). Del resultado de la comparación se decide acerca de la activación o no de las llaves del inversor. En un modulador digital, tal como es este el caso, la señal triangular se reemplaza por un contador que avanza a muy alta velocidad, y toda vez que llega a su valor máximo vuelve nuevamente a cero, marcando así el inicio de otro ciclo de modulación. El instante de cambio en los estados de las llaves se referencia entonces en base al inicio de conteo, y consiste en una consigna digital que está comprendida dentro del rango de valores que puede tomar el contador. Así por ejemplo si el contador tiene un valor máximo de conteo de 1000, la consigna de tiempo 500 corresponderá a un cambio de estado justamente en la mitad del ciclo de modulación. Este mismo razonamiento se utiliza para el funcionamiento del CI dedicado, donde el bloque contador de la Fig. 4.2 está compuesto por una cadena de contadores sincrónicos que forman un ancho total de palabra de 12 bits. Esto significa que se tiene una resolución en el tiempo de $1/4096$ partes de un ciclo de modulación. En este caso el contador avanza desde 000h hasta FFFh, para luego volver nuevamente a 000h. En un caso hipotético donde el ciclo de modulación sea de $50 \mu\text{s}$ (20 kHz), la resolución será de unos 12 ns, y la frecuencia de reloj necesaria para el conteo (Clk) será de unos 82 MHz.

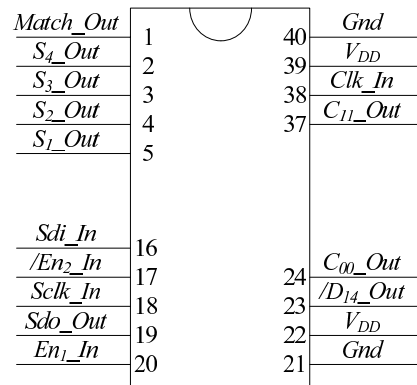


Figura 4.3: Encapsulado y distribución de señales del CI.

El bloque de memoria SRAM consiste en 32 registros idénticos, cada uno con capacidad de almacenar 17 bits de información. 12 bits son empleados para definir el instante de tiempo dentro del ciclo de modulación, 4 bits se utilizan para definir el estado de las 4 llaves del inversor, y el último bit se emplea para indicar si el registro contiene información válida o no.

El bloque de comparación determina en todo momento si los 12 bits del estado actual del contador coinciden con los 12 bits de la consigna de tiempo que se encuentra programada en cualquiera de los 32 registros de memoria. Si es así, y además el bit de información válida es correcto, los 4 bits que contienen el estado de las llaves son leídos y enviados hacia los terminales de salida del CI. Estos terminales son los que se conectan directamente a la lógica de control de las llaves del inversor. A su vez, para todo cambio que se sucede en el estado de las llaves, esa información es retenida y mantenida hasta el próximo cambio de estado; es decir que no hay necesidad de disponer de un elemento externo del tipo *latch*.

El hecho de contar con 32 registros hace posible tener hasta 32 cambios de estado en las llaves por cada ciclo de modulación, lo cual excede los requerimientos habituales en cualquier tipo de modulación, incluso aplicando pulsos de compensación extras como es el caso en análisis. Además, tener la capacidad de poder programar los registros con una diferencia de 1 en la consigna de tiempo, hace que sea posible obtener pulsos tan angostos

Nombre	Pin	Tipo	Función
<i>Gnd</i>	21-40	Potencia	Conexión a masa del CI.
<i>V_{DD}</i>	22-39	Potencia	Alimentación 5V DC del CI.
<i>Sdi_In</i>	16	Entrada	Datos serie provenientes desde el DSP.
<i>Sdo_Out</i>	19	Salida	Datos serie. Se emplea para verificación.
<i>Sclk_In</i>	18	Entrada	Señal de reloj para temporizar el ingreso de datos.
<i>En₁_In</i>	20	Entrada	Habilitación para escritura en registro.
<i>/D₁₄_Out</i>	23	Salida	Salida decodificación registro 14. Para verificación.
<i>Clk_In</i>	38	Entrada	Señal de reloj para la cadena de contadores.
<i>C₁₁_Out</i>	37	Salida	MSB de la cadena de contadores.
<i>C₀₀_Out</i>	24	Salida	LSB de la cadena de contadores. Para verificación.
<i>/En₂_In</i>	17	Entrada	Habilitación salida de control de llaves.
<i>Match_Out</i>	1	Salida	Indicador actualización de salida a llaves.
<i>S₁_Out</i>	5	Salida	Control llave 1. Corresponde a <i>D₁₂</i> en el registro.
<i>S₂_Out</i>	4	Salida	Control llave 2. Corresponde a <i>D₁₃</i> en el registro.
<i>S₃_Out</i>	3	Salida	Control llave 3. Corresponde a <i>D₁₄</i> en el registro.
<i>S₄_Out</i>	2	Salida	Control llave 4. Corresponde a <i>D₁₅</i> en el registro.

Tabla 4.1: Asignación de terminales del CI.

como resolución se tenga, es decir, 12 ns según el ejemplo anterior. El bit más significativo de la cadena de contadores se encuentra accesible desde el exterior, permitiendo sincronizar el funcionamiento del CI con el del DSP.

La Fig. 4.3 muestra el encapsulado del tipo DIP-40, y asignación de pines del CI ya finalizado. Solamente se observan aquellos terminales que tienen funcionalidad para este trabajo. Los terminales restantes fueron utilizados para el conexionado de estructuras pertenecientes a proyectos ajenos. Las funciones asignadas para cada uno de los pines se encuentran listadas en la Tabla 4.1.

4.2.1. Generalidades del diseño

De acuerdo a lo expuesto hasta ahora, resulta evidente que el CI a diseñar contiene sólo bloques digitales, y se encarga específicamente del temporizado, mientras que todo el procesamiento queda a cargo del DSP. Esto simplifica el diseño, pues solamente se trata de elaborar celdas a nivel de compuertas, para luego formar estructuras más complejas,

	NMOS		PMOS	
	λ	μm	λ	μm
Ancho (W)	6	1,8	10	3
Largo (L)	2	0,6	2	0,6

Tabla 4.2: Tamaños mínimos de transistores en tecnología AMIS 0,5 μm , donde $\lambda = 0,3 \mu\text{m}$.

como ser *flip-flops*, memorias, decodificadores, registros, etc. En cuanto a requerimientos o especificaciones de partida para el diseño del CI, no hay grandes exigencias porque solamente se pretende verificar de manera práctica el funcionamiento de un algoritmo, y no desarrollar un producto comercial. Por este motivo, no hay restricciones en lo que se refiere al consumo de potencia, área máxima del CI sobre el silicio, etc. Sin embargo, sí es importante lograr una velocidad de funcionamiento alta, de forma tal que pueda implementarse cómodamente la modulación PWM. El objetivo propuesto desde un comienzo fue operar con una frecuencia de conmutación de 20 kHz, con lo cual el CI debiera ser capaz de funcionar correctamente con una frecuencia de reloj de al menos 82 MHz, tal como el ejemplo antes mencionado. La elección del proceso de fabricación CMOS AMIS 0,5 μm se hizo justamente en base a esta necesidad. Los siguientes ítems enumeran puntualmente los aspectos sobre los cuales se puso especial énfasis durante el diseño, a fin de lograr la premisa de velocidad.

Tamaño de transistores

El diseño del CI en su totalidad se basó en estructuras con transistores de tamaño mínimo. De esta forma se logra disminuir tanto las capacidades de entrada de los dispositivos, como el consumo dinámico de potencia. A igual disponibilidad de corriente, una capacidad pequeña podrá ser cargada y descargada en menor tiempo, haciendo que los retardos de propagación sean también pequeños, y por ende el dispositivo sea más rápido [RCN03].

Las reglas de diseño del proceso empleado para la fabricación del CI, establecen que las

dimensiones mínimas que pueden tener los transistores son las que se muestran en la Tabla 4.2. El parámetro λ representa la mínima unidad de longitud, que equivale en este caso a $0,3 \mu\text{m}$. Nótese la diferencia importante de tamaño entre los dos tipos de transistores, NMOS y PMOS. En efecto, la longitud del canal (L) en ambos dispositivos es la misma, pero no así el ancho (W), cuya relación es de 10 a 6. Esto se hace para compensar la diferencia de corrientes de *Drain* que presentarían los transistores si tuviesen exactamente el mismo ancho. Esto sucede a causa de la menor movilidad que tienen los portadores positivos (huecos) presentes en un PMOS, respecto a los portadores negativos (electrones) presentes en un NMOS. Adoptando la relación antes mencionada se logra entonces ecualizar las características, lo que puede verse fácilmente en la implementación de la compuerta lógica más básica que existe, que es el inversor formado por dos transistores. La Fig. 4.4 (a) muestra el esquema de una compuerta inversora implementada con transistores de tamaño mínimo, acorde a lo expuesto en la Tabla 4.2; mientras que en la Fig. 4.4 (b) puede verse una simulación hecha con el software *LTSpice* [Lin] de la transferencia de salida (*Out*) versus entrada (*In*). Una de las observaciones más relevantes radica en que la conmutación de estados en la salida ocurre prácticamente en la mitad del voltaje de la fuente de alimentación; es decir $2,5 \text{ V}$ ($V_{DD} = 5 \text{ V}$). Esto permite lograr, además de una simetría en los rangos de tensión para los niveles lógicos 0 y 1, el máximo margen de ruido posible que puede obtenerse, garantizando así una alta inmunidad frente a ruidos eléctricos [RCN03]. Se remite al lector a la sección de Anexos para un análisis más profundo de este tema. Cabe aclarar que la simulación está realizada con los parámetros propios del proceso que se empleó para la fabricación del CI. El software de simulación permite incluir modelos externos estándares. En particular el que se empleó en este caso es del tipo *Star-HSPICE Level 49*.

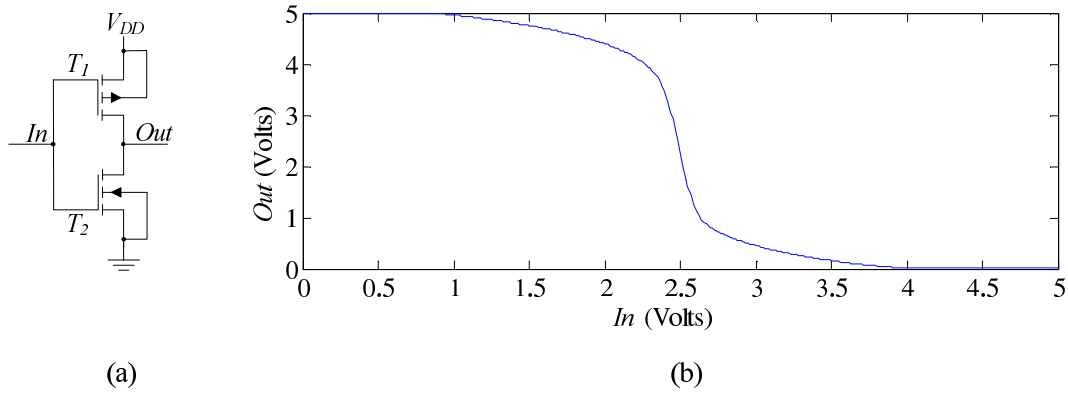


Figura 4.4: Inversor CMOS en proceso AMIS 0,5 μm : (a) Esquema eléctrico; (b) Curva de transferencia obtenida con *LTSpice*. $V_{DD} = 5 \text{ V}$.

Capacidad de carga

La capacidad de carga o *Fan-Out* de un circuito digital representa la cantidad de compuertas de su misma especie que puede manejar, manteniendo las especificaciones preestablecidas. Para una aplicación de alta velocidad, no interesan tanto las características de capacidad de carga estáticas, sino las dinámicas que están relacionadas con los retardos de propagación y tiempos de establecimiento de los niveles lógicos. En la medida de lo posible, se trató de mantener durante el diseño del CI el *Fan-Out* por debajo de 5 [RCN03]; es decir que toda vez que una señal debía manejar una cantidad de compuertas por encima de ese número, o bien debía propagarse por un canal de datos, que habitualmente tiene una capacidad parásita asociada muy grande, esa misma señal previamente se amplificaba en corriente empleando una estructura del tipo *buffer*. Este tipo de amplificadores está formado por una gran cantidad de compuertas inversoras con transistores de tamaño mínimo, y conectadas en paralelo tanto del lado de entrada como de salida. Así es posible obtener una mayor capacidad de corriente para manejar una gran carga capacitiva. En realidad la construcción de un *buffer* se hace de forma escalonada, es decir que sobre la entrada hay una cierta cantidad de inversores en paralelo, cuya salida se conecta a otro número aún mayor de etapas inversoras. En particular, para el CI en desarrollo se emplearon mayormente configuraciones de 4 inversores, es decir 4 etapas conectadas en

paralelo para formar un *buffer* inversor con *Fan-Out* de 20; y configuraciones de 4 a 16, para lo cual se disponen 4 etapas en paralelo en la entrada, que luego se conectan a 16 etapas más, conformando así un *buffer* no inversor con *Fan-Out* de 80. En menor medida se utilizaron otras configuraciones para casos más puntuales.

Alimentación

Las líneas de alimentación de un circuito digital son fundamentales para lograr una alta velocidad de operación. Deben presentar una componente resistiva e inductiva lo más baja posible. Si bien en parte esto puede solucionarse utilizando pistas gruesas y cortas, a altas frecuencias la componente inductiva es la que suele limitar. Por más que haya sido excelente el diseño de un amplificador de corriente, no sirve de nada si las líneas de alimentación no son capaces de proporcionar el pico de corriente necesario para cambiar el estado de la carga capacitiva. Es por ello que dentro del CI se aprovecharon los espacios libres que quedaban, para implementar pequeños capacitores de filtrado de alimentación, de manera de reducir el problema recién planteado. Esta solución mejora sensiblemente las características de conmutación del CI.

4.2.2. Interfaz serie

Como se mencionó anteriormente, este bloque permite que la secuencia de estado de las llaves sea programada dentro del CI en cada ciclo de modulación. Cada registro de memoria es grabado con la información correspondiente para un solo cambio de estado en un tiempo determinado; por lo cual para lograr la secuencia completa del manejo de las llaves, es necesario programar varios de estos registros de memoria. Toda la información viaja a través de la interfaz serie y la programación se hace por tramas; una para cada registro en particular. Los datos ingresados contienen la ubicación temporal dentro del ciclo de modulación del cambio en el estado de las llaves, los estados de las 4 llaves,

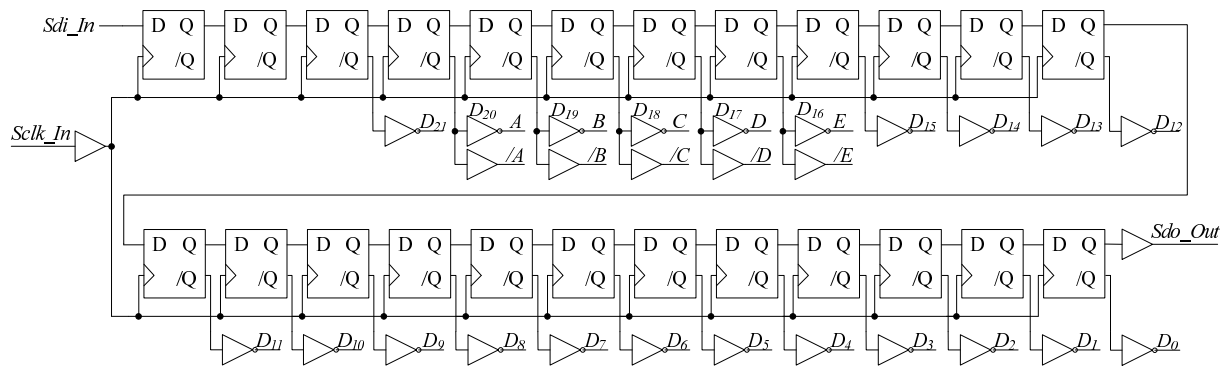


Figura 4.5: Esquema de la interfaz serie.

la habilitación del registro para su comparación con el valor actual del contador, y la dirección del número de registro donde será grabada esta información. La organización de los datos es la siguiente:

- **Bits D_0 a D_{11} :** Corresponden a los 12 bits de la consigna de tiempo, referida al comienzo de conteo del bloque contador (000h). Cuando el contador coincida su valor con esta consigna, y el registro se encuentre habilitado para la comparación, la información del estado de las llaves aparecerá sobre los pines de salida del CI.
- **Bits D_{12} a D_{15} :** Corresponden a los 4 bits que representan el estado de las llaves. Un estado lógico 0 indica apagar la llave, mientras que un estado 1 indica encender la llave. El bit D_{12} se corresponde con la salida S_1_Out del CI; D_{13} con S_2_Out , y así sucesivamente.
- **Bits D_{16} a D_{20} :** Corresponden a los 5 bits para el direccionamiento del registro de destino. El bit D_{16} es el menos significativo, y el bit D_{20} el más significativo.
- **Bit D_{21} :** Este es el bit de habilitación de registro. Un estado lógico 0 indica registro deshabilitado y un 1 lógico indica registro con información válida. Cuando la información es válida se utiliza el registro para su comparación con el bloque de conteo; mientras que cuando se encuentra deshabilitado, la comparación con ese registro en particular se ignora.

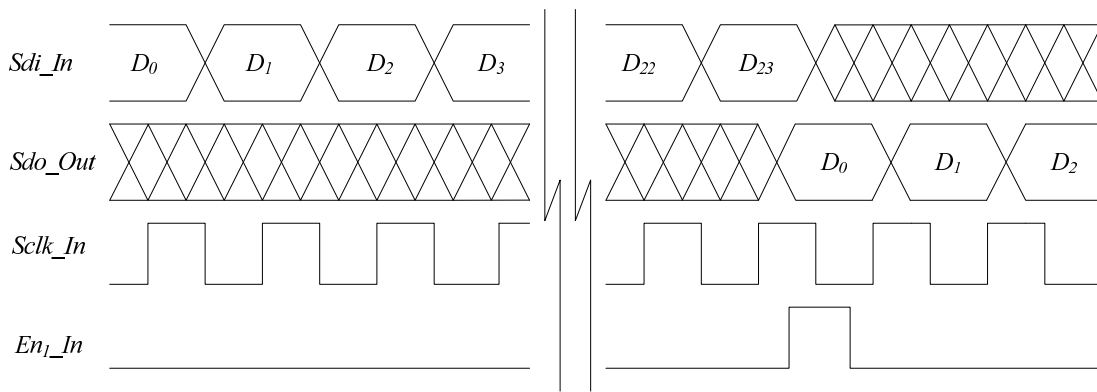


Figura 4.6: Temporizado interfaz serie del CI.

- **Bits D_{22} a D_{23} :** Sin uso. Pueden tomar tanto el valor lógico 0 o 1, y se utilizan simplemente como relleno para lograr tener un número total de bits que sea múltiplo de 8, que es lo que habitualmente maneja una interfaz serie de cualquier procesador comercial.

La estructura a nivel de hardware de la interfaz serie está hecha de forma tal que pueda ser manejada por una unidad SPI (*Serial Peripheral Interface*) estándar. Se cuenta con un terminal por donde ingresan los datos seriados (Pin *Sdi_In*) y una señal de reloj que valida cada uno de los bits allí presentes (Pin *Sclk_In*). La Fig. 4.5 muestra el circuito esquemático de la interfaz, formada principalmente por una cadena de 24 *flip-flops* del tipo D (*latch*), de manera que la salida de uno se corresponde con la entrada del siguiente, conformando así un registro serie-paralelo de 24 bits de longitud. La señal de reloj valida cada dato ingresado, y simultáneamente permite que cada uno de los *flip-flops* adopte el estado que tenía el anterior. Esta señal de reloj proveniente del exterior, en realidad es amplificada por un *buffer* no inversor que le permite manejar simultáneamente todas las entradas de reloj de los *flip-flops*.

Con fines de ensayo y validación de funcionamiento, se dejó disponible un terminal de salida de datos seriados (Pin *Sdo_Out*), que se corresponde con el estado del último *flip-flop* de la cadena. De esta forma es posible observar cómo el ingreso de un bit determinado,

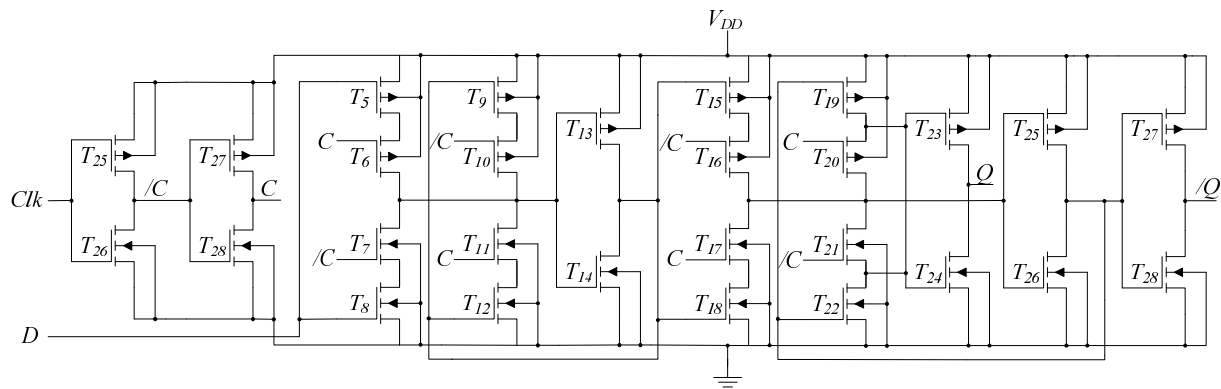


Figura 4.7: Estructura del *flip-flop* D.

aparece replicado sobre el terminal de salida 24 ciclos de reloj después. En la Fig. 4.6 se muestra el temporizado de la interfaz serie, destacándose el hecho que los datos son validados en cada flanco positivo de la señal de reloj (*Sclk_In*).

La Fig. 4.7 muestra el diseño empleado para los *flip-flops* tipo D, que está basado en un enfoque C2MOS (*Clocked CMOS*) y una estructura *Master-Slave* [RCN03]. Así el dato a almacenar (*D*) queda efectivamente retenido a partir del flanco positivo de la señal de reloj (*Clk*). A nivel interno se generan 2 señales de reloj adicionales (*C* y */C*), que se emplean como habilitación para los transistores de paso T_6 , T_7 , T_{10} , T_{11} , T_{16} , T_{17} , T_{20} y T_{21} . La topología empleada en el diseño del *flip-flop* brinda una excelente inmunidad frente a posibles solapamientos que puedan existir entre las señales internas de reloj *C* y */C*. Cabe aclarar que este componente forma parte de la librería estándar de Tanner para el proceso AMIS 0,5 μm .

4.2.3. Decodificación

El bloque de decodificación tiene como objetivo direccionar el registro de memoria que se pretende escribir. Una vez que se han ingresado todos los datos a la interfaz serie, la información correspondiente a los bits D_{16} a D_{20} es enviada a 2 *buffers* amplificadores de corriente; uno del tipo no inversor y el otro inversor. Las 5 señales originales pasan a

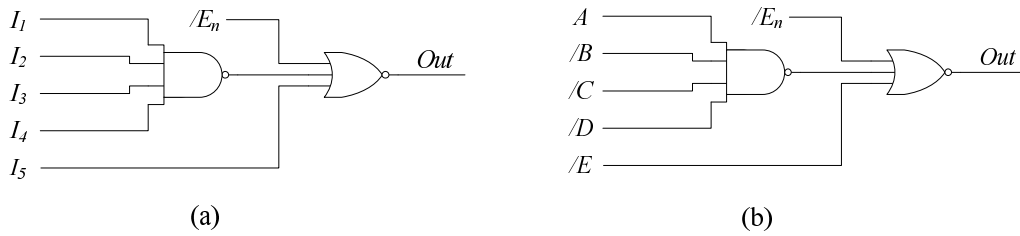


Figura 4.8: Decodificador de registros de memoria: (a) Esquema general; (b) Conexionado para decodificación del registro 17.

llamarse ahora A , B , C , D y E , donde A es el bit más significativo y se corresponde con D_{20} del registro de la interfaz serie, y D_{16} se corresponde con la señal E , siendo el bit menos significativo. En tanto las señales negadas pasan a llamarse $/A$, $/B$, $/C$, $/D$, y $/E$ (ver Fig. 4.5).

La lógica de decodificación se encuentra distribuida en cada uno de los registros de memoria; y está conformada por una compuerta del tipo *NAND* de 4 entradas y otra del tipo *NOR* de 3 entradas, según se muestra en la Fig. 4.8 (a). Los terminales I_1 a I_5 representan los 5 bits de la palabra a decodificar y se conectan a las señales A , B , C , D , E , $/A$, $/B$, $/C$, $/D$, o $/E$ según corresponda, de forma tal que solamente uno de los registros se active a la vez. La primera de las compuertas se habilitará presentando un estado lógico 0 en su salida, solamente cuando todas sus entradas se encuentren en estado 1; mientras que la segunda compuerta se habilitará presentando un estado lógico 1 en su salida, cuando todas sus entradas se encuentren en estado 0. Así por ejemplo, y según se muestra en la Fig. 4.8 (b), si se pretende decodificar el registro de memoria número 17 (combinación 10001 en binario), las entradas I_1 a I_4 de la primera compuerta se conectarán a las señales A , $/B$, $/C$, y $/D$ respectivamente; mientras que I_5 se conectará a $/E$. De esta manera la compuerta *NAND* se activará ante la combinación 1000 en binario, mientras que la compuerta *NOR* necesitará que la entrada I_5 esté en estado 0; es decir la señal E en estado 1. Además de esto, es necesario también que la entrada $/E_n$ se encuentre en estado lógico 0 para la activación de la segunda compuerta. Esta señal proviene desde el exterior a partir del terminal En_1_In (pin 20), la que es amplificada por un *buffer* del tipo inversor, y

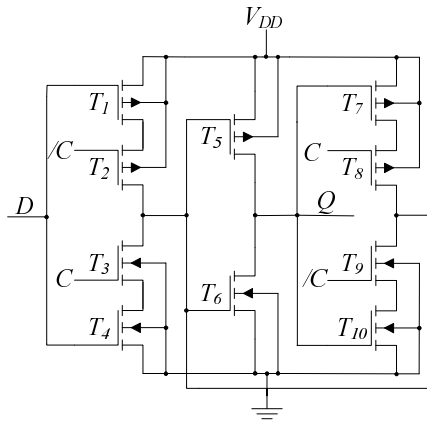


Figura 4.9: Unidad de almacenamiento de memoria.

que se utiliza para efectivamente temporizar la escritura en cada uno de los registros de memoria.

La secuencia completa para programar la memoria del CI sería entonces mantener la entrada En_1_In en estado 0, llenar el registro serie de la interfaz con la información correspondiente, y luego aplicar un pulso positivo en el terminal En_1_In (ver Fig. 4.6) para efectivizar la escritura. Esto se repite para cada uno de los registros que sean necesarios programar. Es fundamental mantener En_1_In en estado 0 durante el ingreso de los datos por la interfaz serie, porque la lógica de decodificación funciona de manera permanente, es decir que a medida que se llena el registro serie, las salidas de los decodificadores tomarán estados totalmente inciertos, pudiendo provocar la destrucción de la información previamente almacenada. De allí que sea necesario comandar la entrada En_1_In recién cuando se hayan establecido totalmente los datos del registro serie de la interfaz.

Adicionalmente, y con objeto de verificar el buen funcionamiento de este bloque, se dejó accesible desde el exterior la salida de decodificación del registro número 14 (Pin $/D_{14_Out}$). El estado normal de este terminal es 1; mientras que cuando el registro 14 es direccionado, puede observarse un pulso negativo con la misma duración que el pulso positivo aplicado sobre la entrada En_1_In .

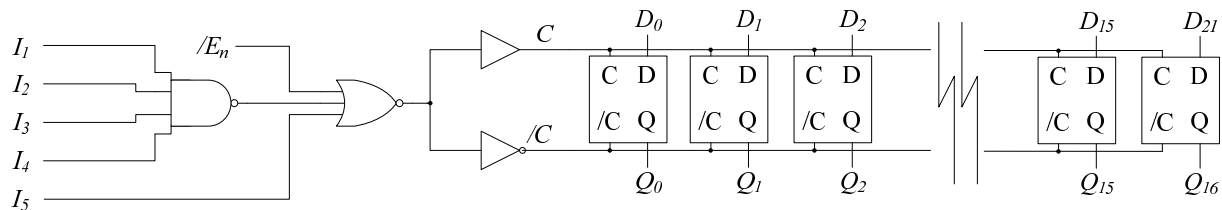


Figura 4.10: Registro de memoria con su bloque de decodificación.

4.2.4. Memoria RAM

Este bloque está compuesto por 32 registros de memoria de 17 bits de ancho de palabra, donde se almacenan las consignas de cambios de estado de las llaves del inversor. La información de cada bit se guarda en celdas de memoria como la que muestra la Fig. 4.9. Normalmente, las señales C y $/C$ se encuentran en estado lógico 0 y 1, respectivamente. En esta condición, los transistores de paso T_2 y T_3 se encuentran apagados, y T_8 y T_9 encendidos. Como resultado de esto, el valor previamente grabado (disponible en la salida Q) se encuentra retenido a partir de la realimentación existente entre la segunda y tercera etapa de inversión, formadas por T_5 y T_6 , y por T_7 a T_{10} , respectivamente. Cualquier variación en la entrada D no afectará al valor previamente guardado. Si ahora los estados lógicos de C y $/C$ cambian a 1 y 0, los transistores T_2 y T_3 se encenderán, mientras que T_8 y T_9 se apagarán, abriendo así el lazo de realimentación que existía anteriormente con objeto de retener el dato. De esta forma, ahora solamente estarán funcionando la primera y segunda etapa de inversión, y en estas condiciones la salida Q copiará en todo momento el valor que adopte la entrada D . Posteriormente, y al momento que ocurra nuevamente el cambio de estado en C y $/C$, se producirá otra vez la retención del último valor de D .

Las señales C y $/C$, provienen en realidad del bloque de decodificación de cada registro. En efecto, y tal como lo muestra la Fig. 4.10, la salida de la compuerta *NOR* que se emplea para decodificar el número de registro a direccionar, es amplificada por 2 *buffers*; uno del tipo no inversor y el otro inversor, y se envían simultáneamente a las 17 celdas de memoria para habilitar la escritura. Las primeras 16 celdas de memoria (Q_0 a Q_{15}) guardan los bits

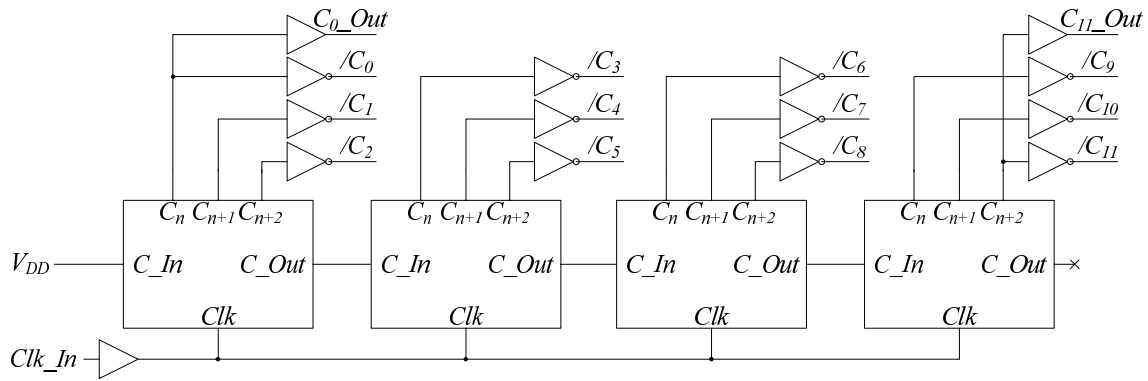


Figura 4.12: Bloque de conteo conformado por celdas sincrónicas de 3 bits.

simultáneamente a todos los *flip-flops* de la cadena de conteo. Volviendo al esquema de la celda básica de la Fig. 4.11, es posible observar la existencia de una entrada para el acarreo proveniente de la etapa previa (C_In), como así también una salida de acarreo para propagar a la etapa posterior (C_Out). Cabe aclarar que la primera celda tiene su entrada de acarreo conectada al valor lógico 1; mientras que la salida de acarreo de la última celda no tiene uso alguno. El funcionamiento de esta celda sincrónica se basa en tomar el estado actual de los *flip-flops*, y evaluar mediante una lógica combinacional cuál será el estado lógico de las entradas de estos mismos *flip-flops*, para que en el próximo flanco creciente del reloj evolucionen de acuerdo al conteo binario. Si la entrada de acarreo se encuentra en estado lógico 0, la entrada superior de la compuerta *XOR* perteneciente al primer *flip-flop* se encontrará en estado 1, no permitiendo que este *flip-flop* cambie de estado. Asimismo todas las entradas del lado superior de las compuertas *NAND* se encontrarán en estado 0, y por ende sus salidas permanecerán en estado 1, bloqueando así también el cambio de estado de los 2 *flip-flops* restantes. Recién al momento en que la entrada de acarreo tome el valor 1, se habilitará el primer *flip-flop* para que cambie de estado. Por otro lado, y en función de los valores lógicos que se encontraban presentes en ese momento, podrá ser factible la habilitación de alguno de los *flip-flops* restantes para su cambio de estado. Un caso especial se tiene cuando los 3 *flip-flops* poseen un estado lógico 1, y la entrada de acarreo también se establece en el valor 1. En estas condiciones,

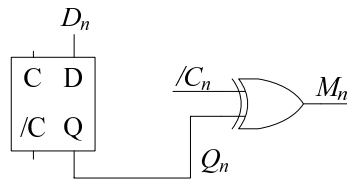


Figura 4.13: Comparación con el contador a nivel celda de memoria.

en las 4 entradas de la compuerta *AND* se hallarán establecidos todos estados lógicos 1, por lo que la salida de esta compuerta será también un estado 1, propagando así el acarreo a la celda de conteo siguiente. Por otro lado, las entradas de todas las compuertas *NAND* estarán en estado 1, por lo que sus salidas se encontrarán en estado 0. Esto permitirá a través de las compuertas *XOR*, que todos los *flip-flops* cambien de estado al momento del arribo del flanco creciente del reloj. Esto se logra con la realimentación existente desde las salidas $/Q$ de cada uno de los *flip-flops*. Como resultado de esto, el estado final será todos los *flip-flops* en estado 0, sumado a la evolución de la celda siguiente al haber propagado previamente la señal de acarreo.

De acuerdo a lo mencionado anteriormente, para la implementación del método de compensación se necesita de la ayuda de un procesador DSP a fin de manejar las señales analógicas y efectuar el agregado de los pulsos necesarios para la corrección. Para esto es vital tener una realimentación entre el CI y el DSP, a fin de mantener sincronizados ambos dispositivos. Esta señal proviene del bit más significativo del bloque de conteo. En efecto, el bit C_{11} se amplifica con un *buffer* de corriente no inversor, y se envía al mundo exterior, transformándose en el terminal C_{11_Out} . Por otro lado, y de manera semejante al resto de las etapas, aquí también se dejó accesible un punto de control para observar el buen funcionamiento del bloque de conteo. Así entonces el bit menos significativo, también se encuentra disponible externamente a través del terminal C_{00_Out} . Aquí se observa una onda cuadrada con un ciclo de trabajo de 50 %, y una frecuencia igual a la mitad de la del oscilador externo.

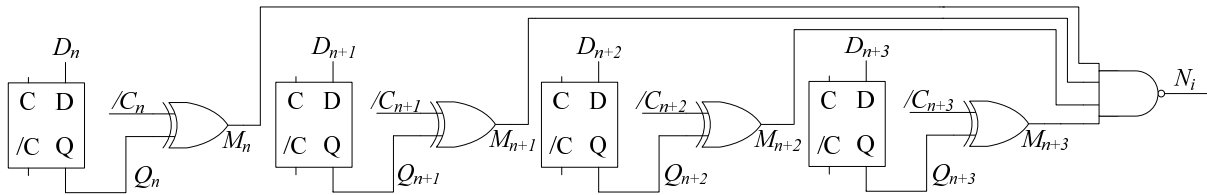


Figura 4.14: Agrupación de señales de comparación.

4.2.6. Bloque de comparación

Esta parte del CI tiene como función principal buscar la coincidencia entre el valor actual del contador de 12 etapas, y los bits correspondientes a la consigna de tiempo de los 32 registros de memoria RAM. La comparación se efectúa de manera permanente y simultánea. De acuerdo a lo visto anteriormente, la información de la consigna de tiempo se encuentra almacenada en los bits Q_0 a Q_{11} dentro de los registros de memoria. Por un lado los 12 bits del contador son amplificados por *buffers* inversores (ver Fig. 4.12) y se envían a cada uno de los registros. La comparación se hace a nivel registro, tal como lo muestra la Fig. 4.13, donde cada bit del registro de memoria es comparado con la versión negada del bit con mismo peso del bloque de conteo. La salida de la compuerta *XOR* tomará el valor lógico 1 solamente cuando ambas entradas ($/C_n$ y Q_n) tengan valores complementarios, o lo que es lo mismo C_n y Q_n iguales. Si bien este tipo de comparación se hace para cada una de las 12 primeras celdas de memoria, las salidas de las compuertas *XOR* que realizan la comparación, se agrupan de a 4 según lo muestra la Fig. 4.14. En este caso, cuando las 4 salidas M_n a M_{n+3} se encuentren en estado 1, indicando una coincidencia en los 4 bits que se están comparando, la compuerta *NAND* presentará en su salida N_i un estado lógico 0. Existen en realidad 3 bloques de comparación de 4 bits cada uno, de manera de lograr la verificación de los 12 bits. Esta situación se muestra en la Fig. 4.15, donde es posible observar que las salidas de cada bloque de comparación (N_0 a N_2) se unen en una compuerta *NOR* para dar como resultado la comparación total. En el caso que los 3 bloques de comparación observen una

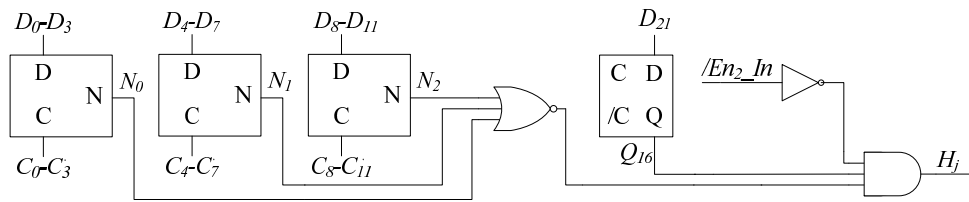


Figura 4.15: Esquema completo del bloque de comparación de registros.

coincidencia en la totalidad de sus bits, todas las salidas estarán a nivel lógico 0, y por ende la compuerta *NOR* entregará un nivel 1; es decir que este punto adoptará el nivel 1 solamente cuando concuerden los 12 bits del registro con los 12 bits del bloque de conteo. Además de esto, no debe perderse el detalle que en cada registro de memoria se encuentra asignado un bit que está dedicado a la habilitación del propio registro para la tarea de comparación. En efecto, durante la puesta en marcha, y al momento de la energización del CI, las celdas de memoria pueden contener cualquier valor. En algún momento del proceso de conteo, los 12 bits de la consigna de tiempo coincidirán con los del bloque contador, y la información correspondiente al estado de las llaves será enviada al inversor provocando una salida indeseada. Es justamente para evitar este tipo de situación, que se incorporó un bit de habilitación, de forma tal que durante la inicialización del CI, se establezcan en estado 0 todos los bits de habilitación de los registros de memoria que no serán utilizados posteriormente. La Fig. 4.15 muestra el funcionamiento de esta parte del circuito, donde la información proveniente de la compuerta *NOR* que indica coincidencia en los 12 bits, se intersecta en una compuerta *AND* conjuntamente con el estado del bit de habilitación proveniente de la celda de memoria Q_{16} , y con una señal de habilitación global que proviene del pin de entrada $/En_2_In$, la cual se amplifica con un *buffer* inversor, y se distribuye al bloque de comparación de todos los registros. Así cuando este terminal se encuentra en estado lógico 1, las entradas superiores de las compuertas *AND* de los bloques de comparación de todos los registros de memoria, se encontrarán deshabilitados, y no se producirán cambios de estado en los terminales del CI que se conectan al control de las llaves; mientras que al pasar al estado lógico 0, ahora

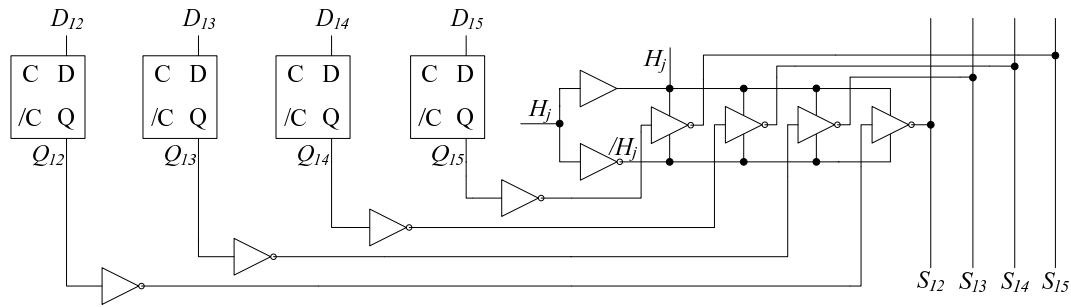


Figura 4.16: Actualización de los estados de las llaves.

sí todas las comparaciones exitosas provocarán un cambio de estado en las señales para las llaves. Cabe aclarar nuevamente que toda la lógica recién mostrada para realizar la comparación entre la consigna de tiempo y el estado actual del contador se aplica para cada uno de los registros de memoria.

4.2.7. Control de las llaves

En la sección anterior se mostró el proceso de comparación que permite determinar el momento exacto dentro del ciclo de modulación donde debe producirse el cambio de estado en las llaves del inversor. La actualización de los estados se hace mediante el manejo de un canal común para los 32 registros de memoria, el cual se encuentra habitualmente en estado de alta impedancia. En el caso de encontrarse una coincidencia en alguno de los registros, se habilitan *buffers* amplificadores de corriente con control de alta impedancia, que colocan sobre el canal común los nuevos estados para las llaves. La Fig. 4.16 muestra el esquema de esta sección. Tanto el resultado de la comparación del registro de memoria (H_j), como su versión negada ($/H_j$) se utilizan para controlar el estado de alta impedancia de los 4 *buffers* amplificadores de corriente que manejan el canal. Así entonces, cuando la comparación de la consigna resulta en un estado lógico 0 porque no existe coincidencia, los *buffers* se encuentran en estado de alta impedancia; mientras que al producirse la coincidencia, la comparación tomará ahora sí un estado lógico 1, y por ende habilitará a los *buffers* a colocar su estado sobre el canal. La información que se establece en las

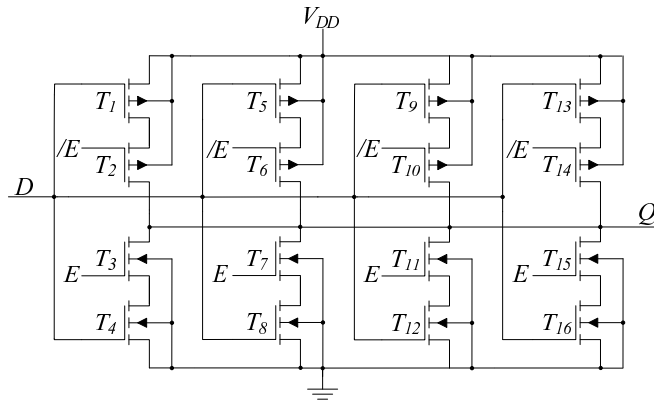


Figura 4.17: Estructura de un *buffer* inversor con control de alta impedancia.

líneas del canal S_{12} a S_{15} proviene de las celdas Q_{12} a Q_{15} , respectivamente del registro de memoria. Cabe recordar que estas celdas justamente son las que almacenan el estado que deberán tomar las llaves del inversor para ese instante de tiempo en particular. Todo este proceso tiene una duración de 1 ciclo de conteo, que es el tiempo durante el cual permanece la condición de coincidencia de la consigna, o lo que es equivalente, un período del oscilador externo que maneja a la etapa del contador. Así por ejemplo, volviendo al caso antes planteado en la Sección 4.2 con una frecuencia externa de 82 MHz, el tiempo de habilitación de los *buffers* para colocar los datos sobre el canal común será de 12 ns. En este tiempo es necesario cargar o descargar todas las capacidades asociadas a las líneas del canal que recorren los 32 registros de memoria. Por este motivo, los *buffers* con control de alta impedancia están conformados por 4 etapas en paralelo, de forma tal de tener buena capacidad de corriente, y reducir el tiempo de establecimiento de los estados lógicos en el canal. Este esquema puede verse en la Fig. 4.17, donde las señales E y $/E$ controlan los transistores NMOS y PMOS interiores de cada inversor. Así cuando E tiene el valor 0 ($/E = 1$) estos transistores se encuentran apagados y la salida Q permanecerá en estado de alta impedancia. Solamente cuando E tome el valor 1 ($/E = 0$) los transistores interiores se pondrán en conducción, permitiendo ahora sí colocar el nivel de los inversores formados por los transistores exteriores en el punto de salida, que se corresponderá con la entrada D negada. Cabe aclarar que las líneas de control E y $/E$ provienen del bloque

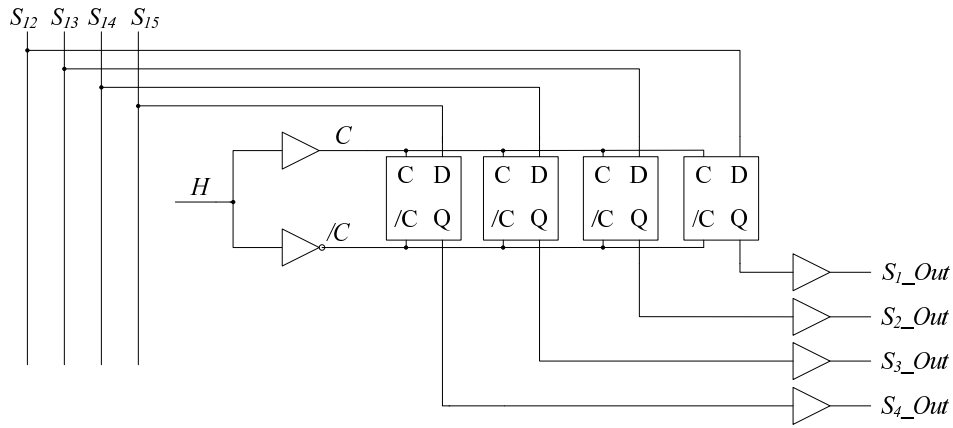


Figura 4.18: Etapa de salida para el control de las llaves.

de comparación antes mencionado (señales H_j y $/H_j$).

Hasta ahora se ha visto cómo se maneja el canal en base a los amplificadores *buffers* con control de alta impedancia; pero además de esto es necesario mantener siempre los últimos valores lógicos del canal hasta que ocurra el próximo cambio de estado. Esto debe hacerse porque la actualización del canal se realiza solamente durante un ciclo del contador, y luego se vuelve al estado de alta impedancia. Para ello se dispone de 4 celdas de memoria con una topología idéntica a las utilizadas en los registros de memoria RAM (ver Fig. 4.9), donde las señales de habilitación (C y $/C$) provienen de los bloques de comparación de la consigna de tiempo de cada uno de los registros de memoria. De esta forma, toda vez que ocurre una coincidencia en la consigna de tiempo en alguno de los registros, los *flip-flops* capturan el nuevo estado del canal, y un ciclo de conteo después, cuando desaparece la señal de comparación, se produce la retención del nuevo estado. Cada una de estas celdas de memoria, a su vez es amplificadas por *buffers* no inversores, y enviada al mundo exterior a través de los terminales S_1_Out a S_4_Out para comandar las llaves del inversor. Esto puede apreciarse en la Fig. 4.18.

Si bien los *flip-flops* para mantener el estado del canal se comandan a partir de las señales de coincidencia de los registros, hay en realidad 32 resultados de comparación. Todos ellos se concentran para formar una única línea de control, utilizando para ello compuertas del

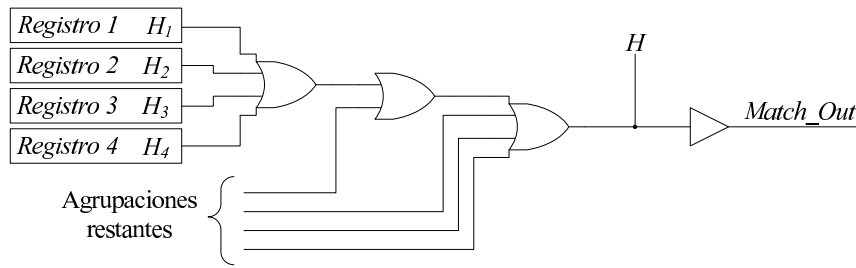


Figura 4.19: Agrupación de las señales de comparación de los registros.

tipo *OR*. La forma empleada para agrupar todas ellas, es en principio formar grupos de 4 registros, con una compuerta *OR* de 4 entradas; luego se concentran 2 grupos de 4 registros empleando otra compuerta *OR*, pero ahora de 2 entradas; y por último se unen los 4 grupos de 8 registros mediante otra compuerta *OR* de 4 entradas. De esta forma, cualquier bloque de comparación que pase al estado lógico 1 porque encuentra una coincidencia, se propagará hasta la salida del concentrador y habilitará los *flip-flops* para la retención del estado del canal. La Fig. 4.19 muestra esta agrupación, cuyo resultado final (H) se utiliza tanto para el control de retención del estado del canal, como así también como posible señal de control para el circuito externo. En efecto, luego de pasar a través de un *buffer* no inversor, esta línea se hace accesible desde el exterior a través del terminal *Match_Out* (pin 1), cuyo estado pasará a 1 cada vez que ocurra una coincidencia en alguno de los registros; y su duración será también la de un ciclo del oscilador externo que comanda el bloque de conteo.

En la Fig. 4.20 se puede visualizar el temporizado completo de la etapa de salida del CI. Mientras la entrada $/En_2_In$ se encuentre en estado inactivo (1) cualquier coincidencia que pueda ocurrir dentro del CI no se refleja sobre la salida. Esto se ilustra en el gráfico en el punto con la leyenda *Coincidencia j*; mientras que si la habilitación ahora se encuentra activada (estado 0), cualquier coincidencia que ocurra, cambiará el estado de las 4 salidas de las llaves (S_1_Out a S_4_Out). Esto se observa en el punto con la leyenda *Coincidencia j+1*. Como resultado de esto, la salida se actualizará desde el *Estado n* al *Estado n+1*. Asimismo, la salida *Match_Out* se activará por un período de reloj (Clk_In).

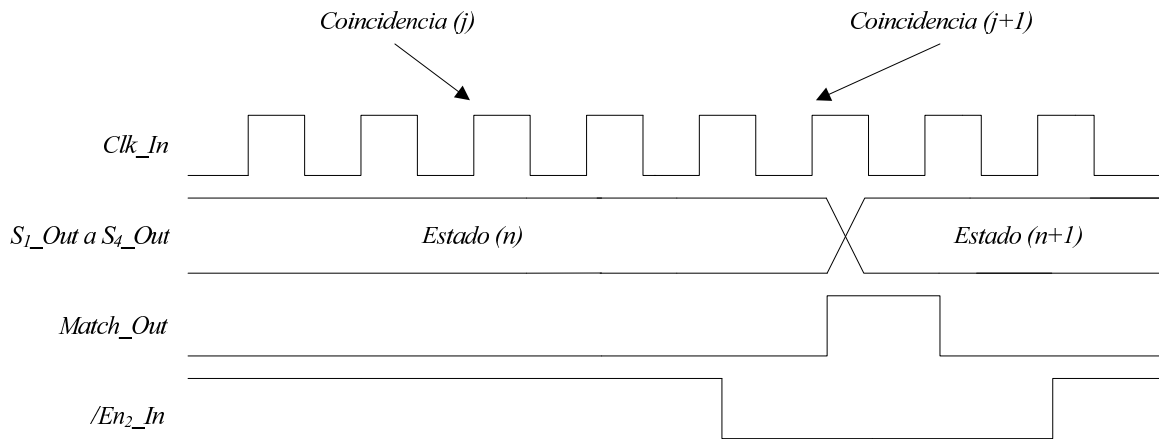


Figura 4.20: Temporizado de la etapa de salida.

4.3. Simulación del circuito integrado

Durante el desarrollo de cada etapa del CI se efectuaron simulaciones parciales; y luego de finalizado completamente el diseño se realizaron simulaciones globales, a fin de verificar el correcto funcionamiento de todos los bloques en conjunto. Debido a que se trata de un circuito puramente digital, la elección de la herramienta de simulación recayó en el software *IRSim V9.5*. Se trata de un programa de libre distribución, hecho en lenguaje C, y desarrollado en la Universidad de Stanford [Sta]. Se ejecuta bajo entorno MS-DOS, y permite observar la evolución de un sistema digital a partir de un archivo con comandos (*script*), donde se establecen los estados lógicos de los nodos de interés, a modo de estímulo. Se fija un paso o período de muestreo del sistema, y es posible verificar el comportamiento en cada uno de estos pasos, invocando para ello el nombre del nodo cuyo estado quiere conocerse. El esquema de conexionado de los dispositivos con sus nodos correspondientes, se obtiene a partir del circuito esquemático que se trató en la sección 4.2. En efecto, el software *S-Edit* permite generar lo que se conoce como *netlist*; es decir un archivo donde se establece la interconexión de todos los componentes y la numeración de los nodos. Esta misma numeración es la que se utiliza en el software de simulación. En relación a estos archivos de comandos, en la sección de Anexos pueden consultarse

algunos de los que se emplearon para la simulación tanto de las principales etapas, como así también para el CI completo.

En cuanto a la resolución del circuito digital, este software emplea modelos muy sencillos, donde los transistores se manejan como simples llaves controladas en base a la tensión umbral de conducción, teniendo en cuenta además la resistencia de canal y las capacidades asociadas. Esto permite simular sistemas muy complejos en tiempos relativamente pequeños, lo cual sería imposible de lograr mediante una herramienta de simulación analógica, como *LTSpice*, debido a la complejidad de los modelos que utiliza. En el caso del software *IRSim*, los modelos para los transistores se definen a partir de un archivo con extensión *.prm*, y consisten en una serie de parámetros que pueden calcularse a partir del modelo completo que entrega el fabricante del CI (*Star-HSPICE Level 49*). En nuestro caso, y por una cuestión de no disponibilidad de los modelos exactos en formato *IRSim*, se emplearon los modelos de un proceso CMOS genérico de 0,6 μm . Para mayor información acerca del funcionamiento y documentación de este software de simulación digital, se remite al lector a [Dig].

Con esta herramienta se simularon entonces todos los bloques en conjunto, desde la programación de los registros por la interfaz serie, hasta la aparición de la señal de coincidencia *Match_Out* y correcta actualización de las salidas *S₁_Out* a *S₄_Out*. Se efectuaron también simulaciones tendientes a determinar la máxima velocidad de operación del CI, obteniendo un valor de 190 MHz para el reloj del bloque de conteo (*Clk_In*). Sin embargo, este resultado es meramente orientativo, porque fue hallado a partir de modelos muy simplificados para los dispositivos activos, e incluso, no tiene en cuenta las capacidades parásitas de las líneas de interconexión, ni las componentes resistivas e inductivas en las líneas de alimentación.

4.4. Layout del circuito integrado

Luego de finalizado el diseño a nivel esquemático, y simulado su comportamiento secuencial mediante la herramienta *IRSim*, el paso siguiente consiste en su implementación a nivel físico, llamado confección del *layout*. La metodología seguida para este proceso es similar a la del esquemático; es decir que se comienza con celdas básicas como ser compuertas, inversores, etc; y luego se van armando partes cada vez más complejas. Hay una serie de consideraciones a tener en cuenta, que son determinantes para la correcta funcionalidad del dispositivo, sobre todo a altas frecuencias de operación. Entre estas consideraciones se encuentran el correcto dimensionamiento y distribución de las líneas de alimentación a las diferentes etapas; la distribución de las señales de reloj que sean comunes a diversos bloques, *Fan-Out*, y el aprovechamiento del área de silicio para minimizar el tamaño [Tsi02]. A partir de esto se ideó un esquema de ubicación de las distintas etapas, aprovechando aquellos espacios libres para implementar pequeños capacitores de filtrado para la fuente de alimentación, y así disminuir la componente inductiva de las líneas de metal. La distribución de la alimentación se hizo a manera de peine, partiendo de pistas principales verticales para V_{DD} y V_{SS} , y tomando derivaciones de forma horizontal para cada parte del circuito.

En la Fig. 4.21 se observa el *layout* completo para el CI. Está conformado por diversas filas, donde se intentó agrupar en cada una de ellas bloques completos del circuito. Así las dos primeras filas superiores corresponden a la interfaz serie paralelo con los 24 *flip-flops* D para almacenar la trama enviada por el procesador, más los amplificadores *buffers* para llevar esta información al bloque de memoria RAM. Sobre la parte central del CI se agrupan los 32 registros de memoria, donde cada fila representa un registro completo; es decir decodificación para el direccionamiento del registro sobre su parte izquierda, celdas de memoria y bloques de comparación de la consigna sobre la zona central, y amplificadores *buffers* con control de alta impedancia sobre la parte derecha. Finalmente sobre la parte

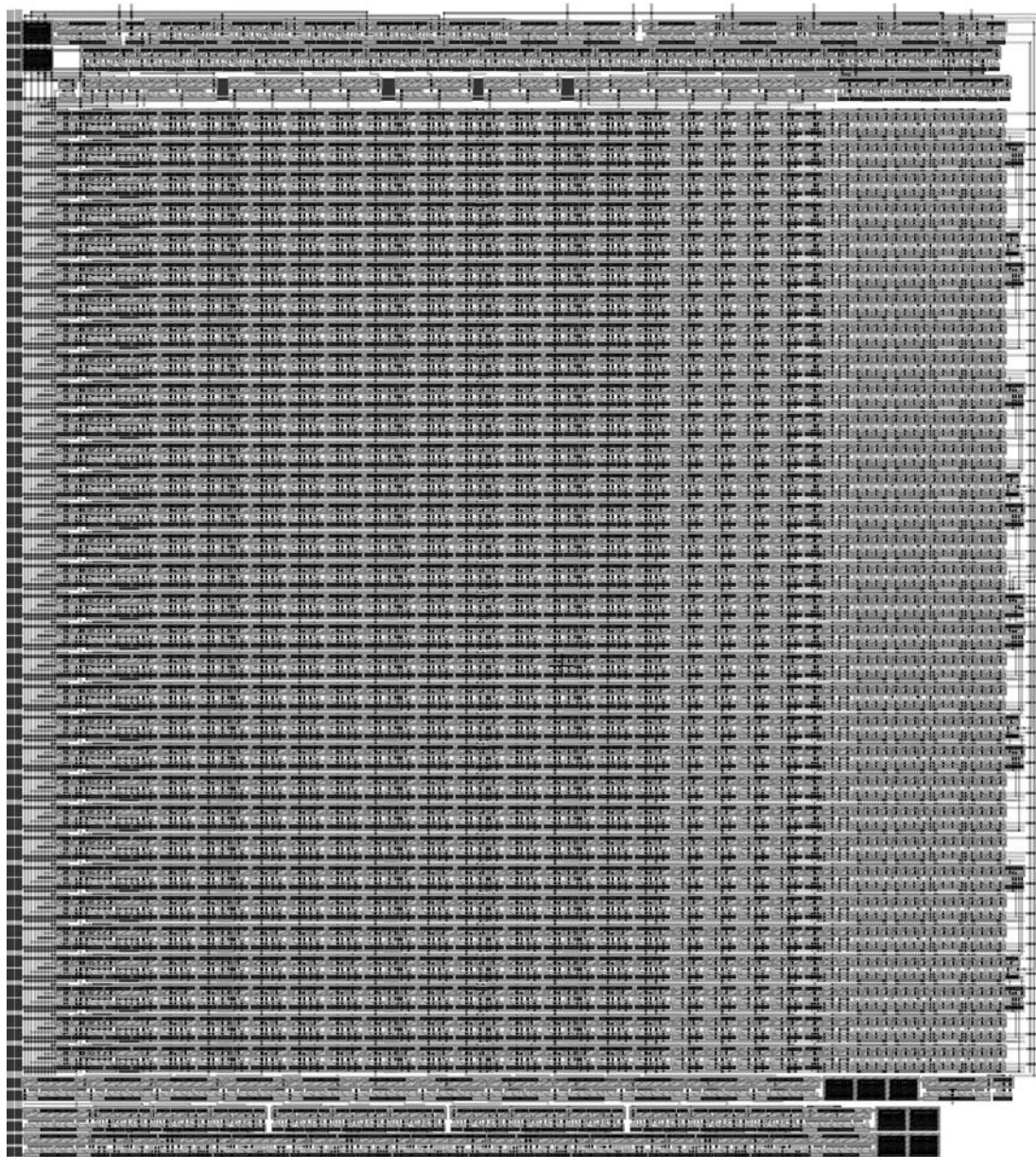


Figura 4.21: *Layout* del circuito integrado.

inferior del CI, las tres últimas filas concentran las 12 etapas sincrónicas del bloque contador y sus amplificadores *buffers* para llevar la información a cada uno de los comparadores de consigna dentro de los registros de memoria. A su vez, sobre el extremo izquierdo y de manera vertical, se encuentran las líneas de alimentación principales que distribuyen la tensión de fuente a todo el circuito, como así también las 10 líneas para la decodificación de los 32 registros ($A, B, C, D, E, /A, /B, /C, /D, \text{ y } /E$). Sobre el extremo derecho se encuentra el canal de 4 bits en el cual confluyen todas las actualizaciones del estado de las llaves. Los registros de memoria para este canal, como así también los amplificadores *buffers* asociados para enviar estos datos al mundo exterior, se encuentran sobre la fila superior, junto al bloque de la interfaz serie.

En relación a las capas o *layers* disponibles en el proceso AMIS 0,5 μm , se utilizaron 4 de ellas para la confección del CI; *Poly, Metal 1, Metal 2 y Metal 3*. Tanto la capa de *Poly* como la de *Metal 1* se reservaron casi exclusivamente para la elaboración de las estructuras básicas, como ser compuertas, inversores, *flip-flops*, etc, y además, para llevar las líneas de alimentación (V_{DD} y V_{SS}) de forma horizontal a los transistores que conforman cada una de las etapas. En tanto la capa de *Metal 2* se utilizó para distribuir de manera vertical la alimentación; para interconexiones entre las estructuras de una misma etapa; para llevar la información del bloque de conteo a todos los registros de comparación; para transmitir las líneas de decodificación de los registros; y como canal de datos para la actualización de los estados de las llaves. Por último la capa de *Metal 3* se reservó exclusivamente para interconexiones entre las estructuras de una misma etapa. Los capacitores de filtrado de la alimentación se implementaron utilizando *Poly y Metal 1* para conformar ambas placas. La Fig. 4.21 muestra solamente la parte funcional del CI. Faltan allí los puntos de conexión con el encapsulado, llamados *pads*. Cada *pad* brinda no solamente el contacto físico para la soldadura del alambre que lo vinculará al mundo exterior a través del encapsulado, sino también la circuitería adicional para proveer tanto de amplificación en corriente, como para definir la dirección de la información (entrada o salida), y la protección contra

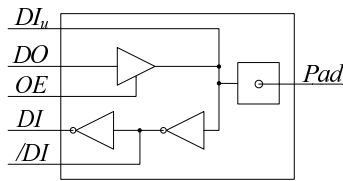


Figura 4.22: Diagrama interno de un *pad* digital.

descargas electrostáticas (ESD) y/o sobretensiones. Los *pads* utilizados en este diseño corresponden a elementos de librería del paquete de software de Tanner. En la Fig. 4.22 se muestra un esquema interno de un *pad* del tipo digital. Se trata de un componente bidireccional; es decir que puede utilizarse tanto para ingresar información digital al CI, como para enviarla hacia el circuito externo. Las señales DI y \overline{DI} entregan tanto el nivel lógico presente en la entrada al terminal, como su versión negada. Ambas atraviesan amplificadores de corriente *buffers* del tipo inversor que permiten manejar grandes cargas dentro del CI. Por otro lado, el terminal DO permite propagar una señal desde el interior del CI hacia afuera, pasando también por un amplificador de corriente del tipo no inversor. La particularidad de este último amplificador, es que tiene control de alta impedancia, de forma tal de no colisionar con la señal que está ingresando al *pad*. Esto se controla a partir del terminal OE . Cuando se lo coloca a un nivel lógico 1, se habilita la parte de salida; mientras que cuando el valor lógico es 0, permanece en estado de alta impedancia, y solamente puede utilizarse como entrada. Constructivamente, cada uno de estos amplificadores de corriente está implementado con transistores de gran tamaño. En particular, los 2 amplificadores inversores para manejar la entrada al CI, se componen de transistores de tamaño $W=30 \lambda$, $L=2 \lambda$ y $W=52 \lambda$, $L=2 \lambda$ para el NMOS y PMOS, respectivamente. En cuanto al amplificador de salida, debe tener una capacidad de corriente importante para poder manejar cargas externas. En este caso las dimensiones son de $W=100 \lambda$, $L=3 \lambda$ tanto para el transistor NMOS como el PMOS.

Como se mencionó anteriormente, los *pads* integran también la protección ESD, que evita el deterioro del CI, a raíz tanto de las descargas electrostáticas impulsivas de alta tensión,

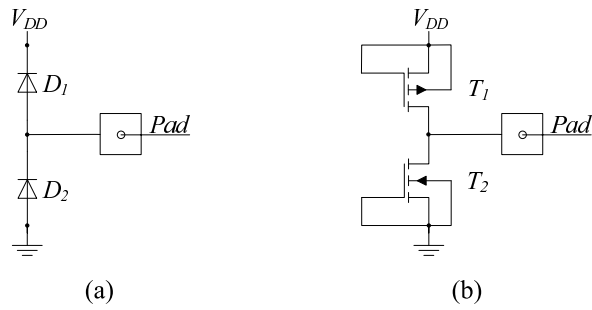


Figura 4.23: Protección ESD del *pad*: (a) Enclavamiento con diodos; (b) Implementación real con transistores.

como así también de las sobretensiones a las cuales puedan estar sometidas las entradas de manera permanente. Este esquema de protección consiste básicamente en 2 diodos de anclaje, uno hacia la fuente positiva (V_{DD}), y el otro hacia masa; tal como se muestra en la Fig. 4.23 (a). Los diodos permiten un camino hacia puntos de baja impedancia, como lo son tanto la fuente de alimentación (V_{DD}) como el propio punto de masa, para la corriente que pudiese circular en caso que se superen los límites de tensión en el terminal de entrada. Esto ocurre cuando el voltaje excede unos 0,7 V por encima de la fuente V_{DD} , o bien disminuye por debajo de $-0,7$ V del nivel de masa; esto último considerando diodos de silicio. En caso de emplear diodos de juntura metálica tipo Schottky, las tensiones serán menores. Sin embargo, la implementación real en los *pads* utilizados no se hace a partir de diodos, sino empleando transistores MOS, tal como se aprecia en la Fig. 4.23 (b). El tamaño de estos transistores debe ser generoso, de forma tal que puedan manejar grandes corrientes durante su funcionamiento como sistema de anclaje. En particular para el caso en cuestión, el tamaño es de $W=1200 \lambda$ y $L=3 \lambda$ tanto para el transistor NMOS como el PMOS. Nótese que estos transistores tienen unidos los terminales *Gate* y *Source*, por lo cual la única manera de entrar en conducción es mediante el control de la tensión de *Drain*, disminuyéndola por debajo de 0 V para el dispositivo NMOS y superando V_{DD} para el PMOS. En realidad la conducción se producirá tanto a través del canal del dispositivo MOS, como a través de la juntura de silicio que queda formada entre el Sustrato (*Bulk*)

y la zona de *Drain*. El resultado final es un voltaje de enclavamiento similar a como si se utilizasen diodos de silicio. Un análisis introductorio de este tema puede consultarse en la sección de Anexos.

Por último, las dimensiones resultantes del CI tal cual se mostró en Fig. 4.21, es decir sin los *pads* es de 2700λ de ancho por 3100λ de alto, lo que equivale a $810 \mu\text{m}$ por $930 \mu\text{m}$. En cuanto a la cantidad de transistores que integran el CI, el número total con *pads* incluidos asciende a un valor cercano a 20000.

4.5. Verificación layout versus esquemático

Como última etapa dentro del diseño del CI, existe un paso más para la validación final, que consiste en verificar la coincidencia entre el circuito eléctrico previamente elaborado y el esquema del *layout* del CI. Para esto, la herramienta *L-Edit* cuenta con una opción llamada extracción, que consiste en un barrido completo del dibujo del CI, con la capacidad de reconocer los diversos componentes que lo integran, como así también las interconexiones entre ellos. Del resultado de esta extracción, se obtiene un archivo del tipo *netlist* similar al que puede generarse desde el editor de circuitos esquemáticos *S-Edit*. Así entonces, ambos archivos pueden compararse para detectar si son idénticos o existe alguna diferencia entre ellos. El proceso de comparación tiene varias etapas, comenzando primeramente con los dispositivos que pueden ser identificados de manera unívoca, para seguir luego con aquellos que forman parte de estructuras que se repiten; o bien configuraciones que incluyen transistores similares conectados en paralelo. A estas estructuras que no pueden resolverse fácilmente se las conoce como Clases Auto-morfológicas (*Automorph Classes*), y es necesario un proceso iterativo hasta poder encontrar la solución definitiva. Una vez finalizado el proceso de comparación, el resultado indica si los circuitos son iguales o no. El proceso de comparación llevado a cabo para el CI desarrollado puede consultarse en la sección de Anexos.

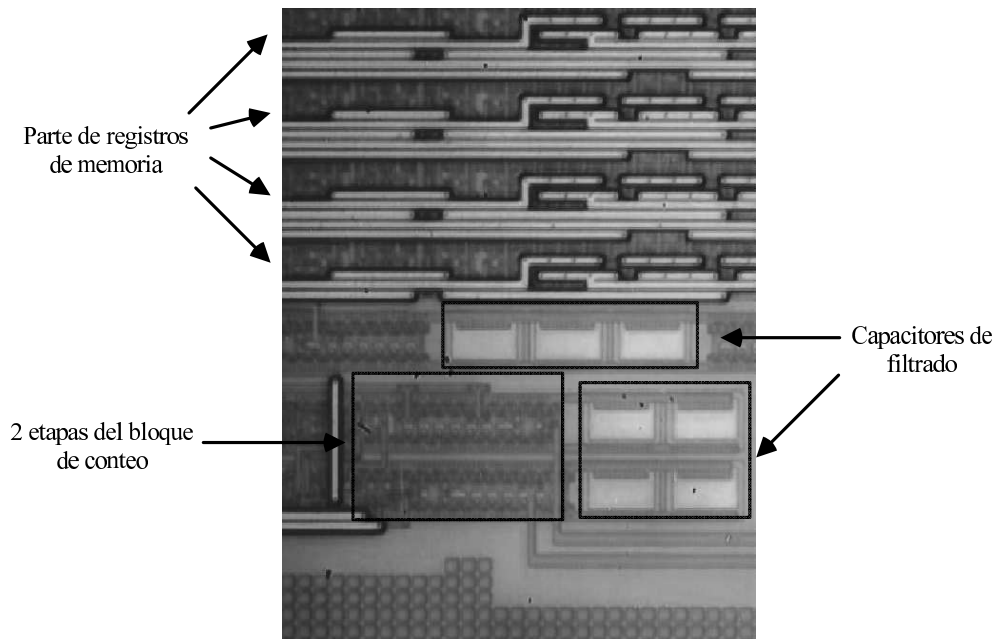


Figura 4.24: Fotografía tomada con microscopio del CI una vez fabricado. Detalle de las etapas de conteo y capacitores de filtrado de fuente.

4.6. Síntesis

Este capítulo fue totalmente dedicado al desarrollo del CI que dio origen a este trabajo. Se presentó la estructura interna general y se mostraron en detalle cada uno de los bloques, mencionando sus características más importantes, e incluso las premisas que se pretendían lograr. También se abordaron los detalles funcionales tanto para su programación, como el control de las señales de salida.

Como se mencionó al comienzo de este capítulo, luego de finalizadas todas las etapas de diseño, verificación y simulación, el CI fue enviado a fabricar a través de la empresa MOSIS. En la Fig. 4.24 se observa una fotografía real tomada con microscopio, enfocada sobre la zona inferior derecha correspondiente a una parte del bloque de conteo y capacitores de filtrado de la alimentación.

En el capítulo siguiente se presentan todas las mediciones realizadas sobre el propio CI, como así también el montaje y puesta en marcha de un prototipo para ensayar y verificar el método de compensación propuesto.

Capítulo 5

Implementación práctica del sistema de modulación PWM

5.1. Introducción

En este capítulo se presentan los ensayos realizados sobre el circuito integrado (CI) fabricado. Se incluyen tanto las mediciones del CI por sí sólo, como así también del sistema completo que se implementó para demostrar la eficacia del método de compensación de la modulación PWM. En primera instancia, se muestran los resultados obtenidos a través de las diversas pruebas llevadas a cabo para verificar el funcionamiento de las etapas internas del CI. Luego, se evalúa la implementación del método de compensación de forma global, analizándolo principalmente desde el punto de vista de las componentes armónicas presentes en la tensión de carga y la distorsión asociada. Esto se repite tanto antes como después de aplicar la compensación.

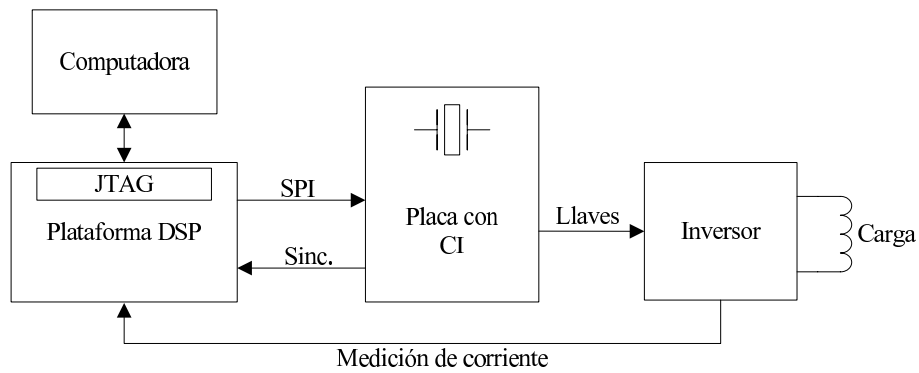


Figura 5.1: Arquitectura del sistema implementado para los ensayos.

5.2. Arquitectura del sistema implementado

Como se observó en el capítulo anterior, el CI necesita del soporte de un procesador capaz de adquirir la señal de corriente, efectuar algunas operaciones aritméticas, y programar las consignas de cambios de estado de las llaves en los diferentes registros del CI. La plataforma elegida como soporte consiste en una placa de desarrollo de la firma *Texas Instruments*, basada en un procesador de señales digitales (DSP) del tipo TMS320F2812 [dde]. Para conformar el sistema completo, esta plataforma se conecta a un circuito que contiene el CI a ensayar, quien a su vez transmite la información a una tercera placa, correspondiente al puente inversor. La Fig. 5.1 muestra los bloques principales, con las diversas líneas de interconexión. El procesador de señales puede programarse y comandarse desde una computadora personal mediante una interfaz JTAG y un emulador. En particular, el modelo de plataforma utilizado lo implementa de forma tal que la comunicación se efectúa a través de un puerto paralelo estándar (LPT).

El procesador, luego de realizar los cálculos y ubicar temporalmente los cambios de estado de las llaves del inversor, programa el CI a través de una interfaz SPI (*Serial Peripheral Interface*). A su vez, se mantiene la sincronización entre ambos dispositivos para que el DSP pueda saber en todo momento, qué parte del ciclo de modulación se encuentra generando el CI. Esta señal de sincronismo proviene del bloque de conteo, según se detalló en la Sección 4.2.5. Finalmente la salida del CI contiene los estados de las llaves, que se

transmiten a la placa del inversor. En ésta se encuentran los dispositivos que manejan las llaves (*drivers*), las propias llaves implementadas con transistores MOSFET, y un circuito adicional de sensado y filtrado tanto de tensión como de corriente. La variable corriente es realimentada al DSP para saber en todo momento cuál es el signo y la magnitud de la misma, y determinar así la compensación a efectuar.

5.2.1. Plataforma DSP

La placa de desarrollo utilizada como soporte contiene básicamente el procesador de señales, una memoria externa del tipo SRAM de 64K x 16 bits, un CI dedicado a supervisión y control de las alimentaciones del DSP, y la electrónica asociada a la interfaz JTAG (IEEE 1149.1) para la comunicación vía puerto paralelo con una computadora. El ambiente de software para trabajar con esta plataforma se denomina *Code Composer Studio* (CCS), e integra una serie de herramientas bajo el mismo entorno: un editor de textos para escribir el código; un compilador, tanto para lenguaje *Assembler*, como *C++*; funciones de depuración de código (*breakpoints*, *trace*); y la posibilidad de inspeccionar variables, lugares de memoria y representar gráficamente el contenido de vectores.

A nivel *hardware* las facilidades que ofrece el DSP en esta plataforma son:

- 150 MIPS de velocidad de ejecución.
- 128K x 16 bits de memoria FLASH para código.
- 18K x 16 bits de memoria SARAM (*Single Access RAM*).
- 16 canales de conversión A/D de 12 bits de resolución y 12.5 Msps.
- 3 *timer* de 32 bits y 4 de 16 bits.
- 2 interfaces de comunicación UART, 1 interfaz SPI, y 1 CAN.
- 12 salidas de PWM.

P4	Señal	P8	Señal	P8	Señal
1	+5V	1	+5V	2	+5V
2	XINT2/ADCSOC	3	SCITXDA	4	SCIRXDA
3	MCLKXA	5	XINT1n/XBIO _n	6	CAP1/QEP1
4	MCLKRA	7	CAP2/QEP2	8	CAP3/QEPI1
5	MFSXA	9	PWM1	10	PWM2
6	MFSRA	11	PWM3	12	PWM4
7	MDXA	13	PWM5	14	PWM6
8	MDRA	15	T1PWM/T1CMP	16	T2PWM/T2CMP
9	Nada	17	TDIRA	18	TCLKINA
10	GND	19	GND	20	GND
11	CAP5/QEP4	21	Nada	22	XINT1N/XBIO _n
12	CAP6/QEPI2	23	SPISIMOA	24	SPISOMIA
13	T3PWM/T3CMP	25	SPICKA	26	SPISTEA
14	T4PWM/T4CMP	27	CANTXA	28	CANRXA
15	TDIRB	29	XCLKOUT	30	PWM7
16	TCLKINB	31	PWM8	32	PWM9
17	XF/XPLLDIS _n	33	PWM10	34	PWM11
18	SCITXDB	35	PWM12	36	CAP4/QEP3
19	SCIRXDB	37	T1CTRIIP/PDPINTA _n	38	T3CTRIIP/PDPINTB _n
20	GND	39	GND	40	GND

Tabla 5.1: Asignación de funciones digitales de la plataforma de DSP. Conectores de expansión P4 y P8

En relación al último punto, el DSP permite implementar por hardware modulaciones PWM, tanto para el control de convertidores DC/DC como motores de AC trifásicos. Sin embargo, no es posible obtener el temporizado para el método de compensación estudiado, por el hecho que sería necesario modificar por *software*, y de manera permanente, los registros del DSP correspondientes al modulador PWM interno. Esto debería hacerse a una velocidad comparable al ciclo de ejecución de instrucciones, lo cual resulta imposible.

La información que interesa de esta placa de desarrollo, tiene que ver con la accesibilidad a los pines del DSP que implementan las funciones de *hardware* que se describieron previamente. Existen para ello una serie de conectores de expansión, cuyas funciones se listan en las Tablas 5.1 y 5.2.

Respecto a las entradas analógicas de la plataforma de desarrollo, el rango de tensión admitido se encuentra entre 0 V y 3 V. Esto queda determinado por las fuentes de referencia

P5	Señal	P9	Señal	P9	Señal
1	ADCINB0	1	GND	2	ADCINA0
2	ADCINB1	3	GND	4	ADCINA1
3	ADCINB2	5	GND	6	ADCINA2
4	ADCINB3	7	GND	8	ADCINA3
5	ADCINB4	9	GND	10	ADCINA4
6	ADCINB5	11	GND	12	ADCINA5
7	ADCINB6	13	GND	14	ADCINA6
8	ADCINB7	15	GND	16	ADCINA7
9	ADCREFM	17	GND	18	VREFLO
10	ADCREFP	19	GND	20	Nada

Tabla 5.2: Asignación de señales conversor A/D de la plataforma de DSP. Conectores de expansión P5 y P9

de tensión internas al DSP correspondientes al bloque A/D. En relación a la parte digital, el DSP es un procesador que utiliza una tensión de alimentación de 1,9 V para el núcleo, y 3,3 V para la parte de entradas/salidas. Esto hace que deba prestarse especial atención al momento de conectar componentes con lógica que funciona con 5 V, sobre todo en lo que respecta a entradas del DSP, pues no son tolerantes a este voltaje. En nuestro caso el CI desarrollado se alimenta con 5 V, así que se optó por limitar la tensión entrante al DSP mediante el empleo de diodos zener de 3,0 V, y resistencias limitadoras de corriente en serie. El mismo razonamiento se siguió para las entradas analógicas.

La Fig. 5.2 muestra una fotografía de la plataforma de desarrollo, donde pueden observarse en primer plano las tiras de pines de los conectores de expansión.

5.2.2. Placa con el CI desarrollado

Esta placa contiene básicamente el CI a ensayar, conjuntamente con algunos componentes adicionales para su funcionamiento, como ser un regulador de tensión lineal que le entrega el voltaje de alimentación de 5 V, un oscilador de 80Mhz para la etapa de conteo, capacitores de filtrado de fuente, y conectores para las diferentes señales del CI. El circuito esquemático puede observarse en la Fig. 5.3.

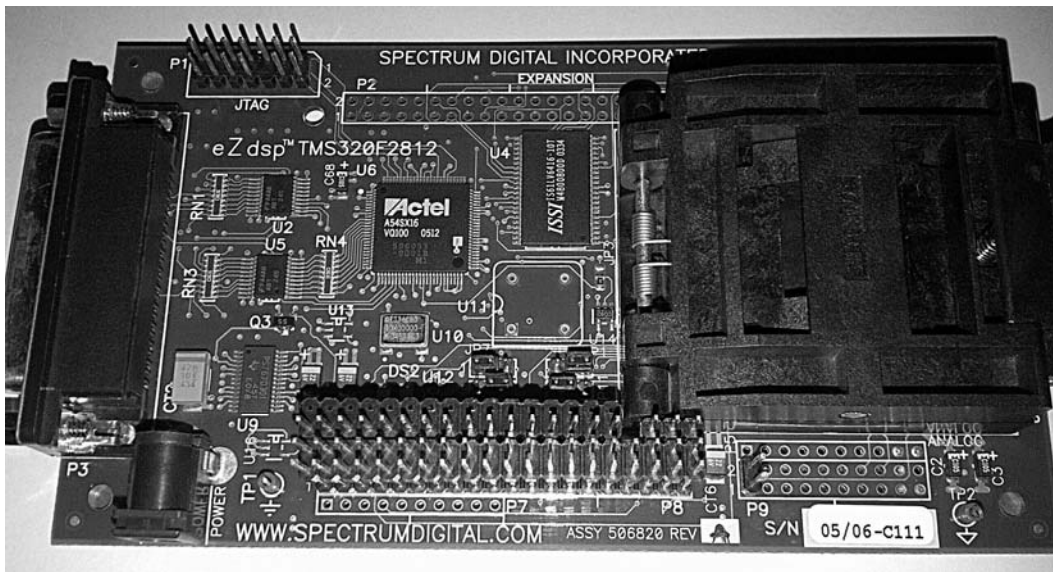


Figura 5.2: Fotografía de la plataforma de desarrollo.

El conector JP3 comunica esta placa con la plataforma de desarrollo del DSP. Las señales SPISIMOA y SPICLKA corresponden al módulo de transmisión serie (SPI) del DSP y se emplean para la programación de los registros del CI, mientras que tanto la señal de habilitación de escritura de registro en el CI (En_1_In), como la realimentación del bloque de conteo (C_{11_Out}) se vinculan al DSP a través de terminales de propósito general (GPIOB1 y GPIOF6, respectivamente). Por otro lado, el conector JP5 tiene como finalidad llevar las señales de estado de las llaves a la placa del inversor. Respecto a los niveles de tensión de los dispositivos empleados, y tal como se mencionara, el DSP funciona con lógica de 3,3 V, mientras que el CI lo hace con lógica de 5 V. Al observar la hoja de datos del DSP, el fabricante declara que con baja corriente de carga ($<50 \mu A$), el nivel de salida de un estado lógico 1 se encuentra por encima de 3,1 V. Por otro lado, y según se estudió en la Sección 4.2.1, el umbral de conmutación de los circuitos CMOS implementados en el CI se ubica alrededor de la mitad de la tensión de alimentación; es decir 2,5 V. Si se conectan entonces de manera directa las salidas del DSP a las entradas del CI, los niveles lógicos serán adecuados para que el conjunto funcione. Si bien el margen de ruido para el nivel alto será pequeño, al tratarse de un sistema cuya finalidad es para ensayos, y no un

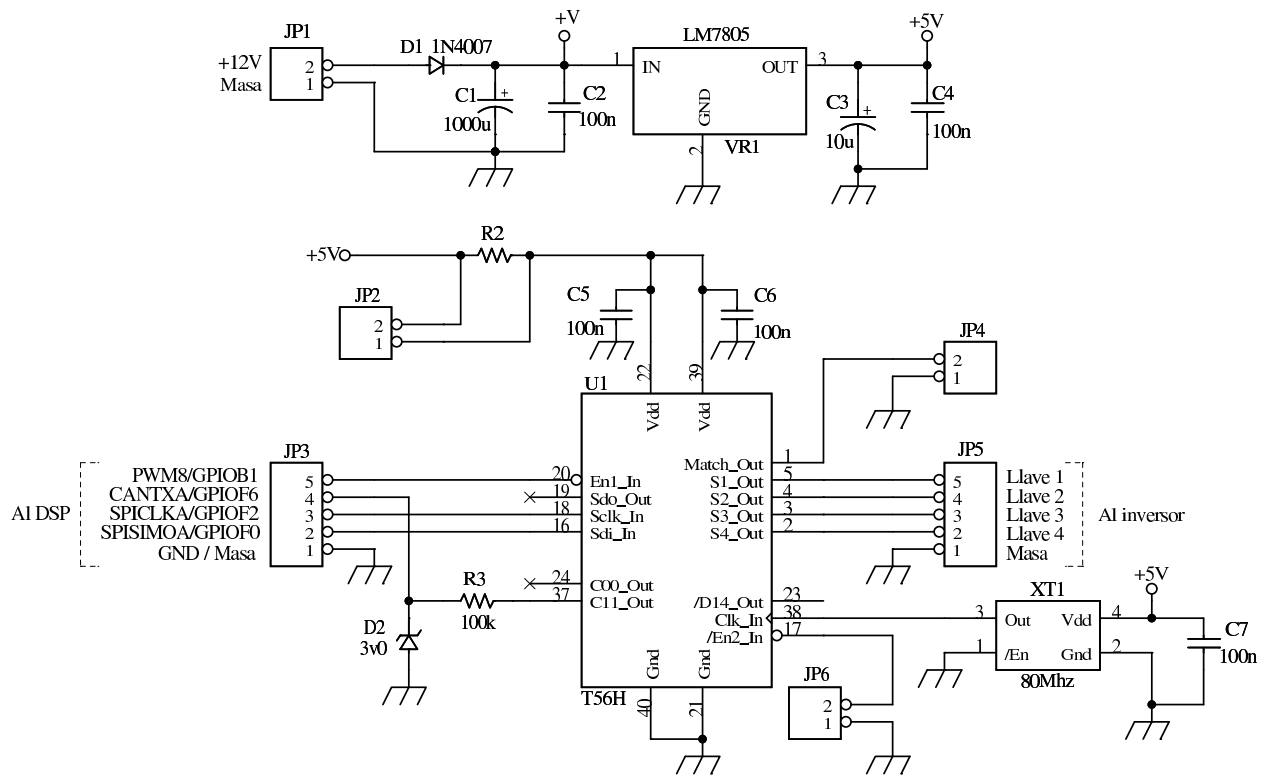


Figura 5.3: Circuito esquemático de la placa con el CI desarrollado.

diseño para un producto comercial, se optó por la conexión directa sin ningún elemento que traslade los niveles.

Adicionalmente, se agregaron en esta placa puntos de medición y componentes para poder llevar a cabo las pruebas de funcionamiento y validación. Así por ejemplo, la resistencia R2 se encuentra con el propósito de poder medir el consumo del CI a partir de la caída de tensión en la misma. Luego de la medición es posible puentearla a través del conector JP2. El conector de prueba JP6 se emplea para habilitar o no la etapa de comparación de los registros con el bloque de conteo; mientras que JP4 permite acceder a la señal de coincidencia una vez que la comparación se encuentra habilitada.

La fotografía de la Fig. 5.4 muestra la implementación de este circuito en una placa de fibra de vidrio (FR4).

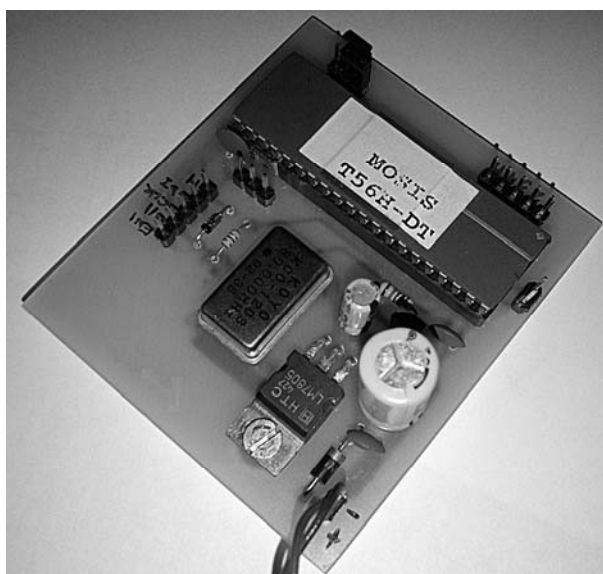


Figura 5.4: Placa montada con el CI desarrollado y sus componentes asociados.

5.2.3. Placa del inversor

En esta placa se implementó un inversor típico de dos piernas, y baja potencia, con control independiente para cada llave, sumado a una electrónica adicional que permite el sensado de la corriente y tensión de carga. Al tratarse de un sistema que se emplea con el propósito de verificar el funcionamiento del método de compensación, se eligieron componentes comunes tanto para las llaves como para los diodos volantes. Es así que los transistores MOSFET utilizados presentan una elevada resistencia de canal (valor típico $1,4 \Omega$), justamente para que el efecto de la caída de tensión en ellos sea más pronunciado. Asimismo los diodos volantes que se emplearon son de juntura de silicio y no del tipo Schottky, con objeto también de hacer aún más apreciable la caída de tensión, y por ende más evidente la distorsión presente en la tensión de la carga. En la Fig. 5.5 se muestra el diagrama esquemático del inversor y las etapas de medición asociadas.

Los terminales de salida del CI se conectan directamente a las entradas de los amplificadores que comandan las llaves (*drivers*). Cada uno de ellos maneja una sola pierna, y disponen de control independiente tanto para la llave superior como para la inferior.

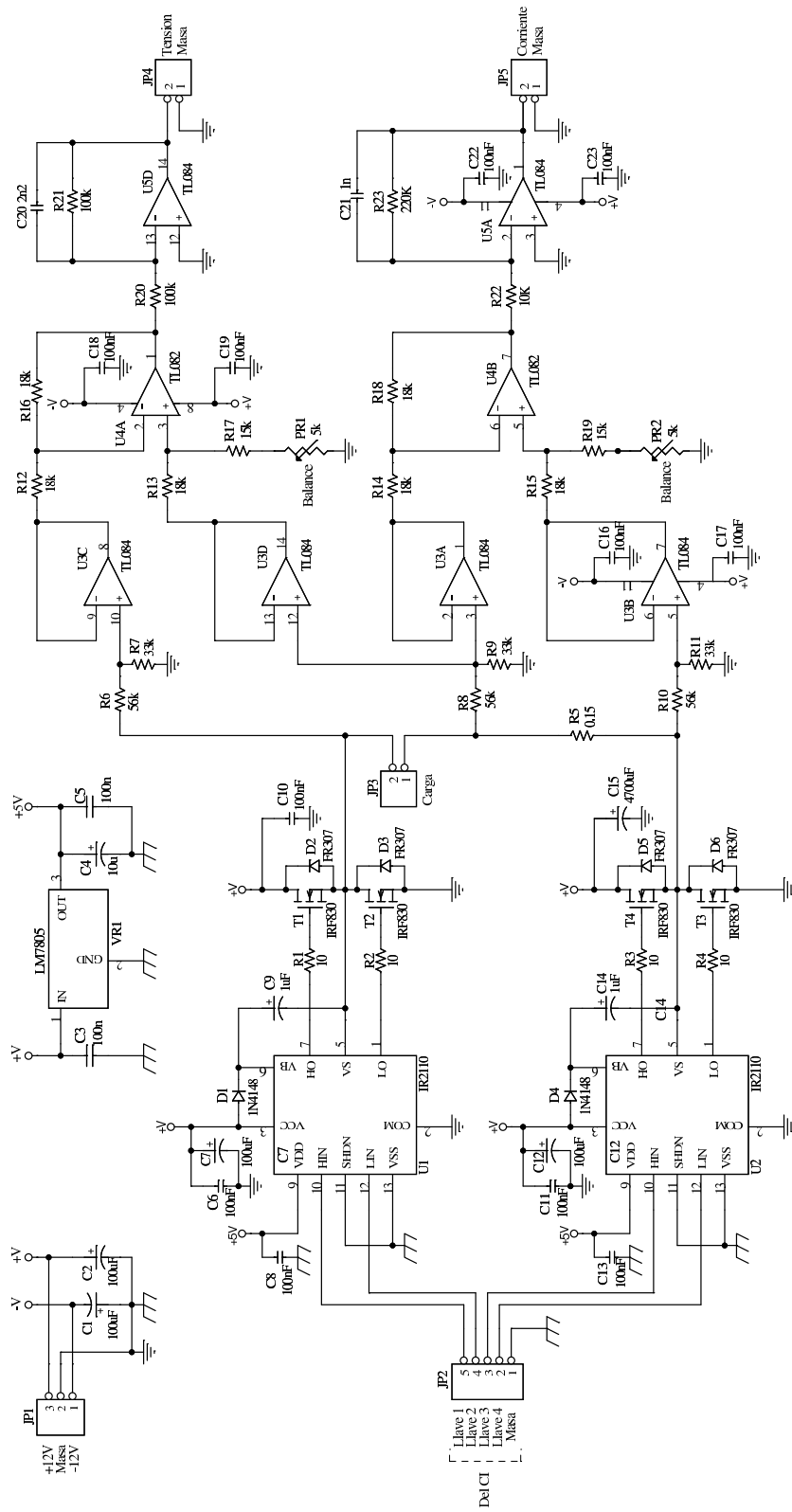


Figura 5.5: Esquema eléctrico del inversor y los circuitos de medición asociados.

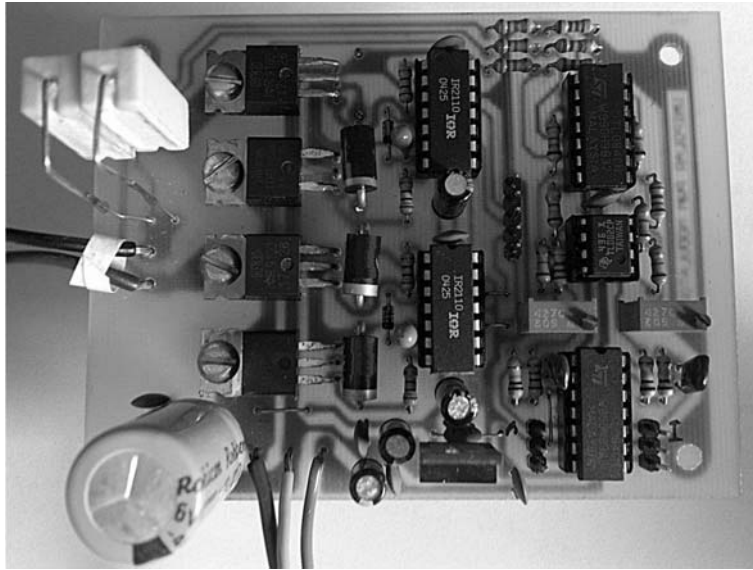


Figura 5.6: Implementación práctica de la etapa de inversión y medición de parámetros.

Incorporan además un sistema conocido como *bootstrapping* que permite elevar la tensión al valor necesario para comandar la llave superior, cuyo terminal de *Source* no se encuentra al potencial de masa, sino a un voltaje más alto. De esta manera es posible implementar un puente inversor con todos sus transistores MOSFET de canal N. Otra de las características fundamentales de los *drivers* es que tienen un gran manejo de corriente para lograr que los MOSFET puedan conmutar de estado rápidamente. Recordar que este tipo de transistores posee una capacidad equivalente de entrada del orden de 1 nF.

Desde el punto de vista de la carga, es posible obtener los parámetros tanto de tensión como de corriente. El primero de ellos se logra a través de la medición directa en bornes de la carga, mientras que para la corriente se lo hace indirectamente a partir de la caída de tensión en una resistencia *shunt* conectada en serie con la carga. Ambas mediciones se realizan de forma diferencial con los amplificadores operacionales U3A a U3D y U4A, U4B; y por último son amplificadas y filtradas con los operacionales U5A y U5D. Estos tienen como propósito, más allá del factor de amplificación, el de filtrar las componentes de alta frecuencia producto del proceso de conmutación en el inversor. Introducen un polo simple a una frecuencia cercana a los 700 Hz, lo que provoca un pequeño desfase que,

luego de ser caracterizado, se introduce en el algoritmo que se ejecuta sobre el DSP a modo de compensación, para lograr una correcta detección del cruce por cero de la corriente. En lo que respecta a la potencia a manejar por el inversor, se espera trabajar con corrientes por debajo de 1 A; mientras que la tensión en la barra de continua se fijó en 12 V. Se eligió adrede un valor de tensión bajo, pues en estas circunstancias las caídas de tensión, tanto en las llaves como en los diodos volantes son muy significativas, y por ende se reflejan fácilmente como distorsión armónica sobre la tensión de carga; algo que no ocurriría si se trabajase con tensiones en la barra de continua de algunos cientos de voltios. La Fig. 5.6 muestra una fotografía del montaje correspondiente a esta etapa también realizado sobre una placa de fibra de vidrio.

5.2.4. Software del DSP

A nivel general, el software implementado en el DSP sigue exactamente todos los lineamientos vistos en la Sección 3.3.3. Los ensayos realizados giran en torno a la síntesis de una onda senoidal fija de una frecuencia de 50 Hz, y 15 V de amplitud pico a pico, la que se obtiene recorriendo una tabla con los valores ya precalculados. En base al valor instantáneo de la tensión a generar en el inversor, se determinan los instantes de cambio de estado de las llaves, tomando como base la duración de un ciclo de modulación, equivalente al período de acarreo del bloque de conteo del CI. Tal como se mencionara en la Sección 4.2.5, este bloque tiene 12 bits de longitud, es decir que le toma 4096 ciclos de reloj (presente en la entrada *Clk_In*) para completar un período. Si la frecuencia de la señal que ingresa por este terminal es de 80 MHz, significa que el período será de 51,2 μ s, y una frecuencia equivalente de 19,531 kHz. El DSP ubica entonces los cambios de estados de las llaves utilizando esa base de tiempo que adopta valores entre 000h y FFFh. En todo momento, el software es capaz de determinar en qué punto del ciclo de modulación se encuentra, a partir de la realimentación del bit más significativo del bloque de conteo

(C_{11_Out}). Cuando esta señal conmuta del estado 1 al 0 significa que comienza un nuevo ciclo; mientras que cuando conmuta del estado 0 a 1 indica que comienza la segunda mitad del ciclo.

El cálculo del temporizado para la modulación puede realizarse de tres formas diferentes en función del valor asignado a una variable de control. Estas tres modalidades incluyen, una modulación clásica sin ningún tipo de compensación; un esquema donde solamente se compensan los tiempos muertos; y por último el esquema de compensación completo, que tiene en cuenta además las caídas de tensión en los dispositivos. Esto permite comparar fácilmente los resultados de las distintas alternativas a ensayar.

En cuanto a la transmisión de la información al CI, el software programa la interfaz SPI del DSP para trabajar a una velocidad de reloj de 37,5 MHz y un ancho de palabra de 8 bits. Esto hace que se requieran tres ciclos de escritura para completar la programación de un registro del CI. Estimativamente cada escritura de registro demanda unos 1,1 μ s. Si se analizan los gráficos de la Fig. 3.19, se aprecia que la secuencia más compleja requiere por ciclo unos 17 cambios de estados en las llaves. Si agregamos algún tiempo extra para recargar los registros del módulo SPI, se estará en el orden de los 19 μ s el tiempo necesario para transmitir la información de un ciclo completo al CI. Esto representa un porcentaje muy elevado en relación al período de modulación (38 %), lo que reduce notablemente el rango de trabajo del modulador por el hecho que no es posible programar consignas de tiempo que se encuentren en ese primer sector dentro del ciclo. Para solucionar esto se implementan dos actualizaciones por cada ciclo, de forma tal que mientras en el CI se está ejecutando la primera mitad del ciclo, el DSP programa las consignas de la segunda mitad; y mientras se ejecuta la segunda mitad, se programan las consignas de la primera mitad del ciclo siguiente. A su vez, al hacer actualizaciones en cada mitad, se puede observar el signo de la corriente con mayor frecuencia y minimizar posibles errores en la aplicación del método de compensación. Esta modalidad demanda ahora la programación de un máximo de 9 registros en el CI para cada mitad del ciclo.

En lo que respecta a la medición de la corriente, en cada semiciclo de modulación cuando se efectúan los cálculos para el temporizado de las llaves, se realiza la adquisición de una muestra. Si bien esta variable proviene ya filtrada desde la placa del inversor, igualmente contiene un residuo de la componente de alta frecuencia producto de la modulación. Para mejorar la detección del cruce por cero, se aplica un filtrado digital a las muestras adquiridas. En particular se utiliza un filtro FIR de fase lineal y de orden 50, con una frecuencia de corte ubicada en 1 kHz. Por otro lado, al conjunto total de filtrado (analógico más digital) se lo ensayó previamente para determinar la componente de retraso de fase que producía a la frecuencia de interés, es decir, 50 Hz. Este retraso, en grados, representado ahora en cantidad de muestras, es incorporado en el software para corregir la lectura de la corriente y determinar el preciso instante donde ocurre el cambio de signo. Cabe aclarar que las estrategias implementadas para los métodos de corrección, no incorporan la eliminación de tiempos muertos e inhibición de encendido de llaves cuando la corriente se encuentra lejos del cruce por cero. Esto obedece a que la simplificación en la estrategia de disparo tiene como principal ventaja una reducción del consumo en los circuitos *drivers*, y por ende un aumento en la eficiencia; y en nuestro caso esto escapa al objetivo fundamental que es demostrar la disminución en la distorsión sobre la carga.

Parte del código implementado en el DSP para los diferentes ensayos, puede consultarse en la sección de Anexos.

5.3. Ensayos efectuados sobre el CI

Aquí se presentan todas las mediciones y pruebas realizadas solamente sobre el CI desarrollado, y no sobre el sistema de modulación completo. El objetivo principal es verificar que cada uno de los bloques internos sea totalmente funcional, y responda al comportamiento esperado, según lo expuesto durante la etapa de diseño. Las pruebas se llevaron a cabo ya sea con la placa del CI solamente, o bien con el conjunto placa de DSP y

placa del CI. Se ejecutaron diversas rutinas de software en el DSP para poner en evidencia aquellos aspectos que querían verificarse. Estas rutinas consistieron mayormente en la ejecución cíclica de una secuencia de programación de registros en el CI, cuyos resultados eran sabidos de antemano, y se comprobaron a través de instrumental que efectivamente se cumpliesen. Por otro lado hay algunas comprobaciones que no requirieron del soporte del DSP, pues están presentes desde el momento en que se energiza el CI.

La primera medición llevada a cabo se realizó con la placa del CI solamente, y consistió en la medición del consumo estático de corriente. Al momento previo de energizar el CI se desconoce si funciona en su totalidad, o en partes, o bien existe algún cortocircuito interno. Aquí entra en juego la resistencia R2 que muestra la Fig. 5.3, cuya función en este caso es limitar la corriente en las líneas de alimentación para casos extremos de consumo, evitando así la destrucción del CI por sobrettemperatura. Para esta prueba en particular se colocó una resistencia con un valor de 100 k Ω . Asimismo se deshabilitó el oscilador externo de 80 MHz para que no haya elementos conmutando dentro del CI, y se colocaron a niveles lógicos inactivos las entradas tanto de datos como de control. En esta condición estática, y para una tensión de alimentación de 5 V, se midió de forma indirecta la corriente resultando en el siguiente valor:

$$I_{CC1} = 1,5 \text{ nA}$$

Seguidamente se mantuvieron las entradas inactivas al igual que antes, pero se habilitó el oscilador externo, de forma tal que ahora tanto el bloque de conteo, como las etapas de comparación de registros funcionen normalmente. Aquí se debió reemplazar la resistencia de sensado de corriente por una de valor mucho menor. En particular se empleó una de 18 Ω para minimizar la caída de tensión. En estas condiciones se obtuvo un consumo de:

$$I_{CC2} = 5,7 \text{ mA}$$

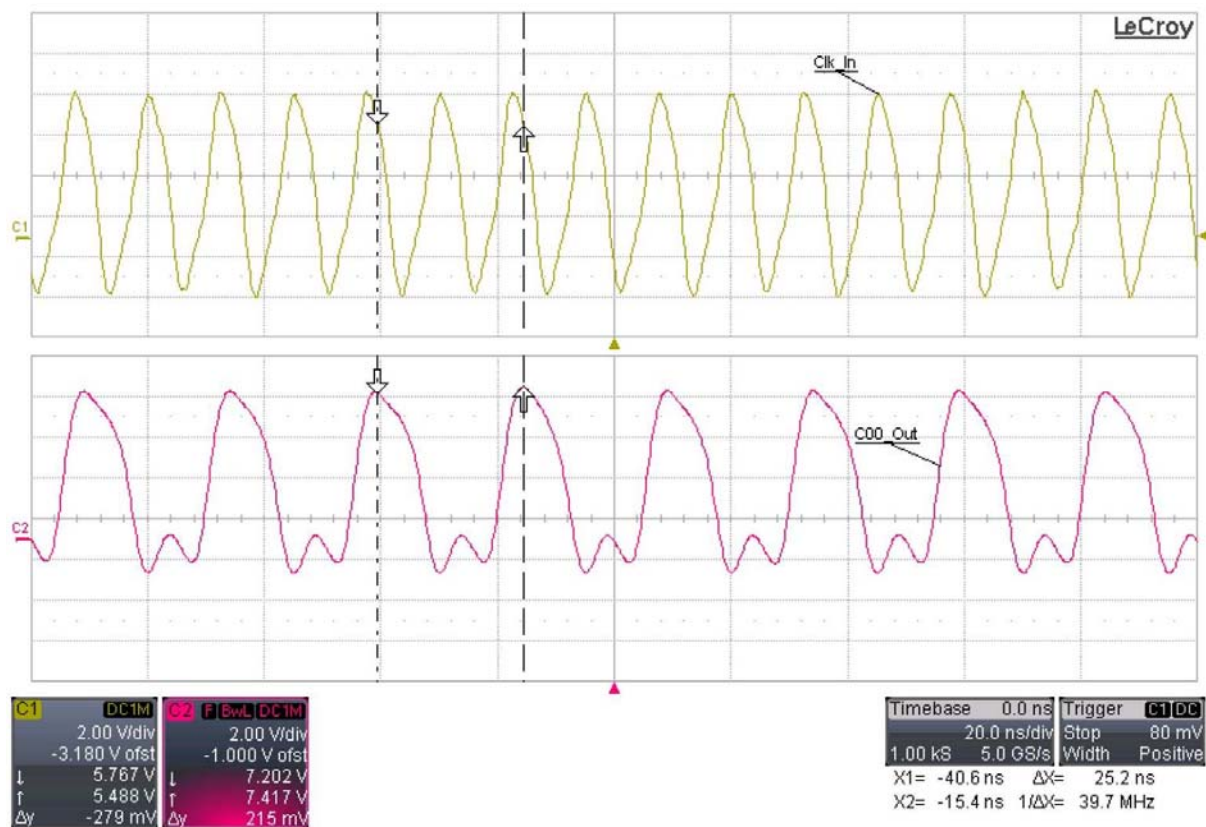


Figura 5.7: Captura de las señales del bloque de conteo. Entrada de reloj Clk_In en canal 1 (C1), y salida del terminal C_{00_Out} en canal 2 (C2).

Con esta misma configuración fue posible verificar el funcionamiento del bloque de conteo. En la Sección 4.2.5 se mencionó que existen dos terminales de salida de etapas internas de la cadena de conteo; la salida C_{11_Out} , que corresponde al bit más significativo, y C_{00_Out} que corresponde al bit menos significativo. Con una frecuencia de reloj de 80 MHz, es de esperar que la frecuencia de la onda cuadrada en esos terminales sea de 19,531 kHz y 40 MHz, respectivamente. La Fig. 5.7 muestra una captura en osciloscopio de la salida del bit menos significativo, conjuntamente con la señal de reloj de entrada. Obsérvese la lectura de frecuencia hecha con los cursores sobre el trazo inferior, coincidente con el valor mencionado. Asimismo, también fue posible observar la salida del bit más significativo verificando que sus niveles lógicos y período eran correctos.

Posteriormente se vincularon las placas de DSP y la del CI para efectuar ensayos de la

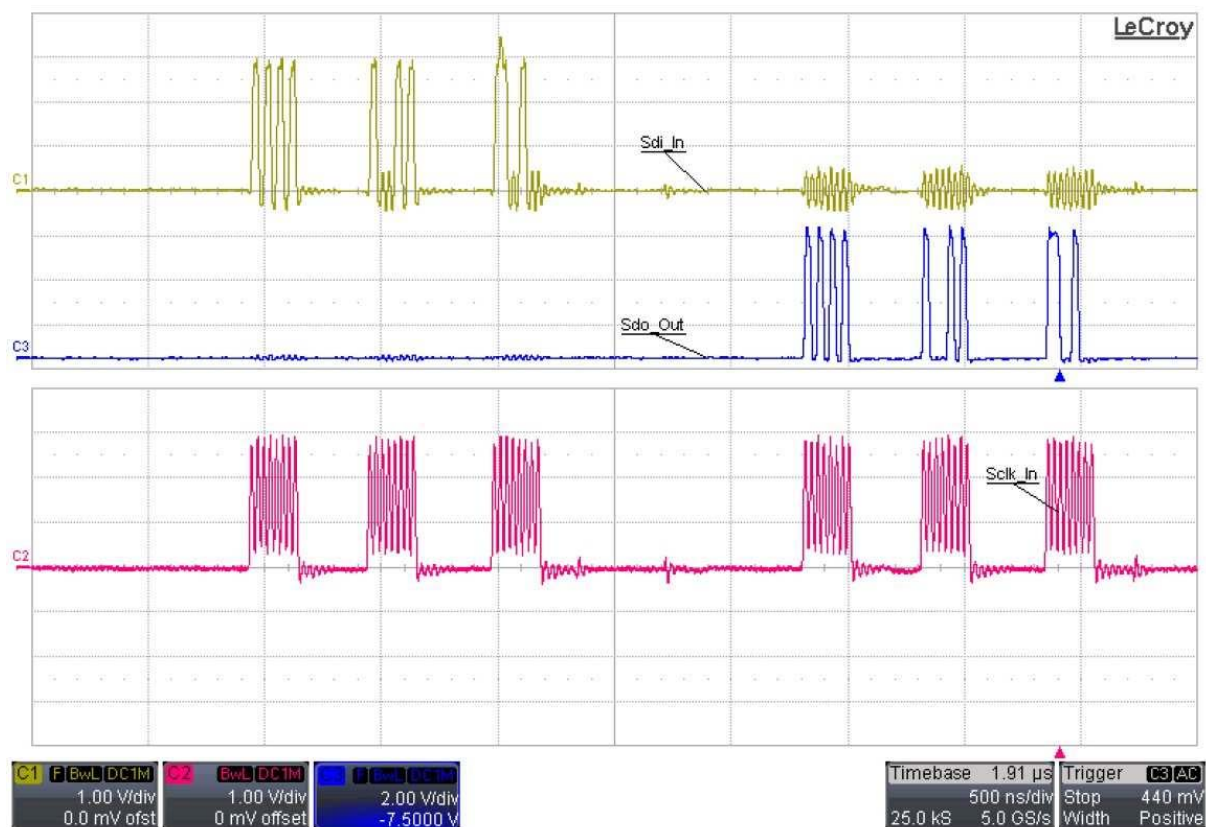


Figura 5.8: Temporizado de la interfaz serie. Entrada de datos Sdi_In en C1, señal de reloj $Sclk_In$ en C2, y salida de datos Sdo_Out en C3.

transmisión serie. El único terminal de prueba que hay disponible en esta etapa es la salida de los datos serie (Sdo_Out), luego de pasar por todos los registros de desplazamiento. Aquí se empleó un algoritmo en el DSP que solamente escribe un patrón de datos en la interfaz serie, siendo posible observar que 24 ciclos de reloj ($Sclk_In$) más tarde ese patrón se recibe por el terminal de salida. En este caso al DSP únicamente le basta con manejar las dos líneas de la interfaz serie, mientras que la habilitación de escritura en los registros (En_1_In) puede permanecer inactiva en estado 0.

La Fig. 5.8 muestra la captura referente a este ensayo, donde se observa claramente en el terminal de salida, la repetición del patrón de entrada. Cada ráfaga en la señal de reloj (trazo inferior en canal 2) representa un ciclo de escritura de 8 bits en la interfaz serie del CI. La carga de datos en un registro se completa con tres de estos ciclos. En el caso

particular planteado en la Fig. 5.8, primeramente se envía la consigna 2AAh para un cambio de estados en las llaves a 1010 (llaves 1 a 4, respectivamente), en el registro 0Ch (12), habilitando la comparación (estado lógico 1). Posteriormente se envía a la interfaz una secuencia con todos estados 0 para poder observar que el patrón de salida sea el de la trama que se escribió anteriormente. La primera escritura se codifica de la siguiente forma:

- La consigna 2AAh se representa como 0010 1010 1010 en binario. La transmisión se hace partiendo del bit menos significativo, con lo cual la secuencia se traduce en 01010101 0100.
- El estado de las llaves 1010 se codifica sin cambios, es decir 1010.
- El número de registro 0Ch se representa como 01100 en binario. La transmisión se hace nuevamente partiendo del bit menos significativo. La codificación resulta entonces en 00110.
- La habilitación del registro se codifica con un estado 1.
- Para completar los 24 bits, se rellena con 2 estados lógicos 0. La codificación resulta en 00.
- Agrupando toda la información, y separándola en paquetes de 8 bits, la trama enviada resulta 01010101 01001010 00110100.

La segunda orden se codifica directamente con todos sus bits en estado 0. Cabe aclarar que estas pruebas se efectuaron a una velocidad de reloj de la interfaz (tasa de ingreso de datos) de 37,5 MHz, que es el valor más alto que puede lograrse con el procesador DSP elegido, funcionando a máxima frecuencia (150 MHz).

Otra de la pruebas realizadas consistió en la verificación de la lógica de decodificación de registros. Para ello se implementó en el DSP una serie de escrituras en el registro número

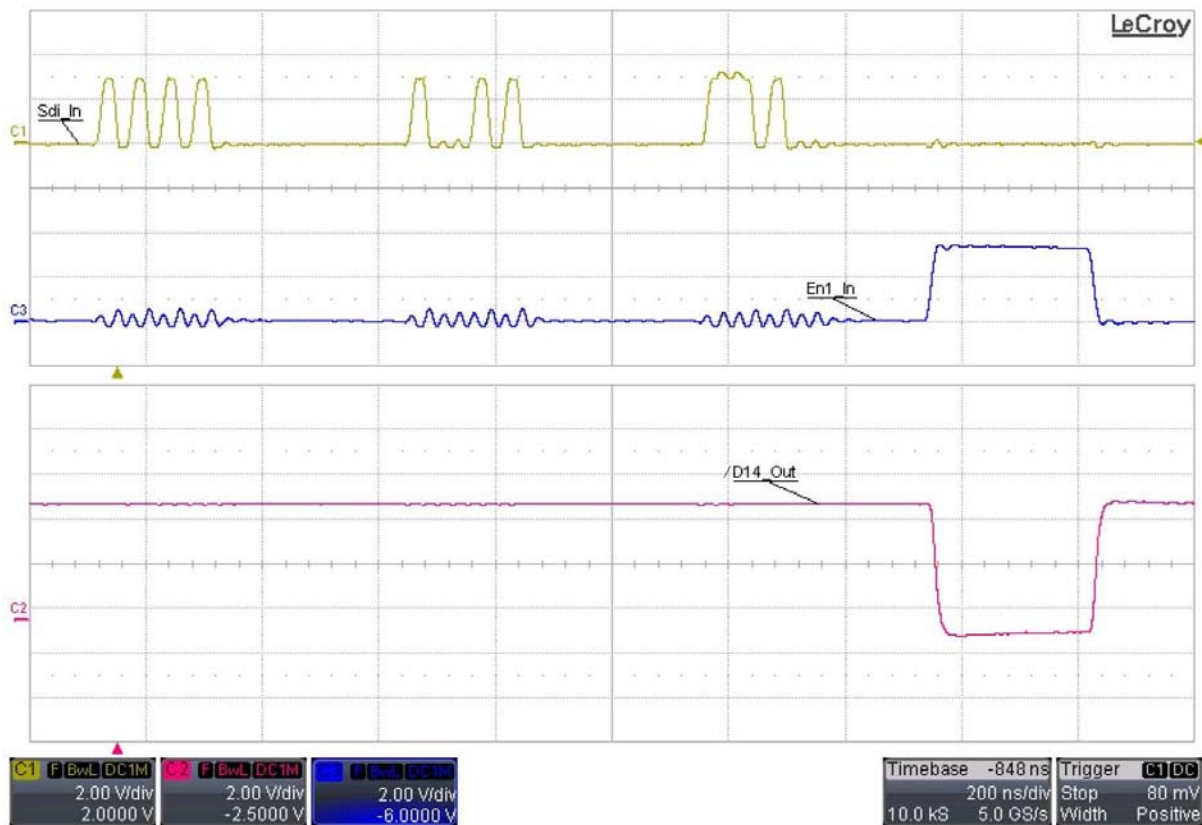


Figura 5.9: Decodificación del registro número 14. Entrada de datos *Sdi_In* en C1, habilitación de escritura *En1_In* en C2, y salida de decodificación del registro 14 */D14_Out* en C3.

14, de forma de observar la activación de la salida */D14_Out* toda vez que se accede a ese registro. El resultado de ello se muestra en la Fig. 5.9, donde luego de enviar a la interfaz un comando para el registro 14, y activar la señal de escritura (canal 3), la salida de decodificación pasa de su estado inactivo alto a un estado activo bajo. La duración del pulso en este terminal es coincidente con el de habilitación de escritura *En1_In*.

Finalmente resta verificar que la etapa de comparación y actualización de las salidas funcione correctamente. Una de las primeras pruebas realizadas consistió en la programación de dos registros cualquiera con consignas de tiempo diferentes, y estados de llaves complementarios. La Fig. 5.10 muestra el caso donde se programan las consignas 7FFh y 920h en los registros 4 y 15, respectivamente; y de forma tal que el estado de las llaves cambie a nivel alto en la primera consigna, y a nivel bajo en la segunda. El resultado de

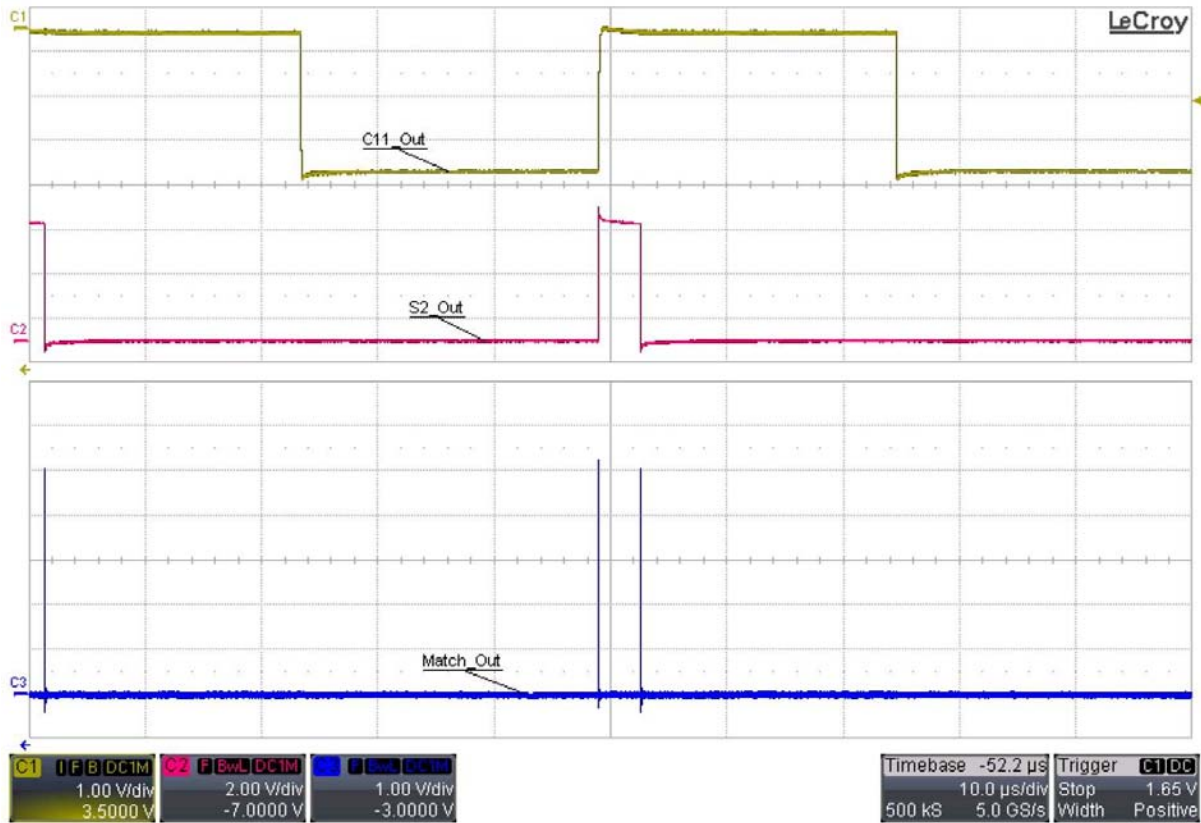


Figura 5.10: Verificación etapa de comparación. Bit más significativo C_{11_Out} en C1, salida de llave S_2_Out en C2, y salida de señal de coincidencia $Match_Out$ en C3.

esto es un pulso positivo en todas las salidas de llaves, que comienza cuando el bloque de conteo llega al valor 7FFh, y finaliza cuando toma el valor 920h (trazo en canal 2 para la salida S_2_Out). A su vez, en ambas consignas se activa la señal $Match_Out$ (canal 3) indicando que internamente se produce la coincidencia entre el bloque contador y alguno de los registros. Este pulso de coincidencia tiene una duración de un ciclo de reloj (Clk_In). El trazo superior (canal 1) ilustra el bit más significativo del bloque de conteo que se utiliza como indicador de comienzo de ciclo cuando pasa del estado alto al bajo.

Otra prueba del correcto funcionamiento de todos los registros y bloques de comparación se visualiza en la Fig. 5.11. Aquí se programan los 32 registros con consignas diferentes dentro del ciclo de modulación, y con estados de llaves tal que se genera un patrón similar al que tiene un contador binario de 4 etapas. Cada uno de los trazos de la Fig. 5.11

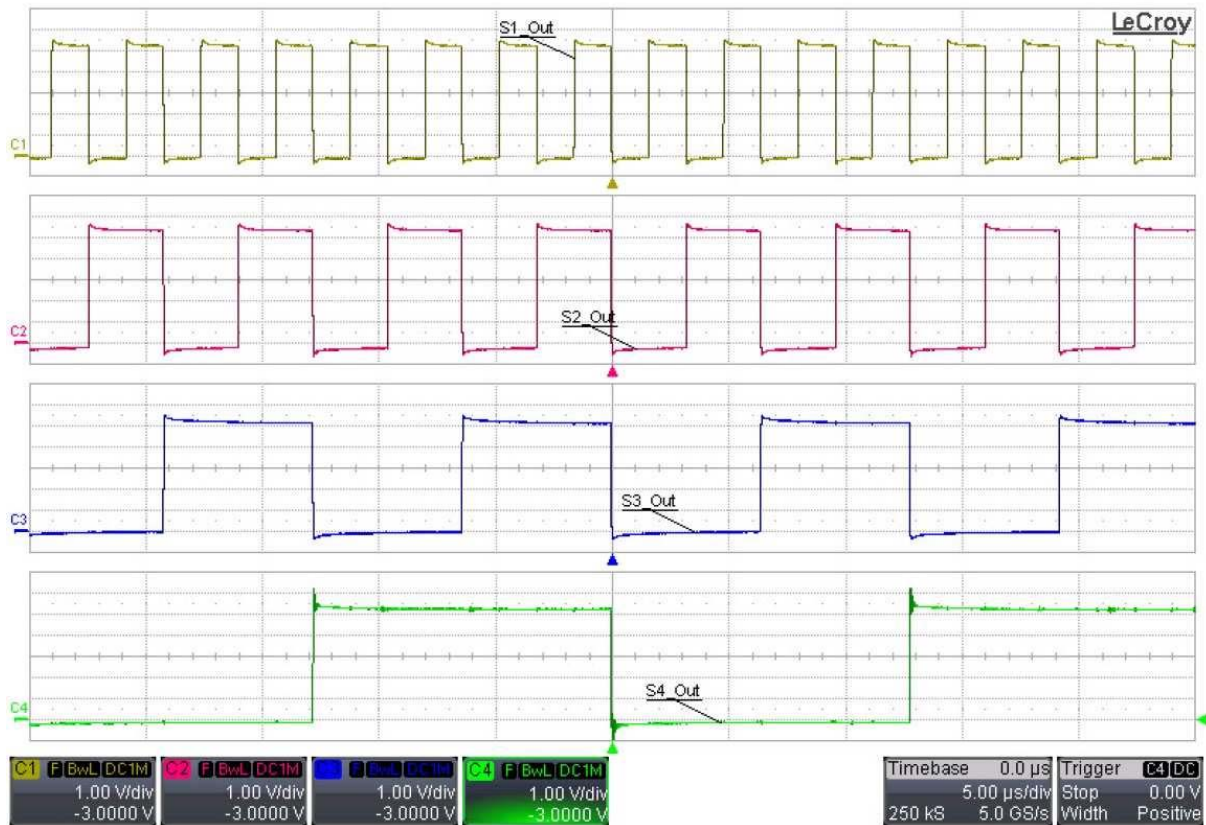


Figura 5.11: Verificación del funcionamiento de todos los registros. Simulación de un contador binario de 4 etapas.

representan una de las salidas de llaves. Así el trazo del canal 1 corresponde al terminal de salida S_1_Out y representa el bit menos significativo; mientras que el trazo del canal 4 corresponde al terminal S_4_Out y representa el bit más significativo. Cabe aclarar que esto no tiene ninguna relación con lo que es un patrón de modulación PWM, sino que está hecho solamente con fines de ensayo.

5.4. Ensayos efectuados sobre el sistema completo

En esta sección se presentan los ensayos y las mediciones efectuadas sobre el sistema de modulación completo, es decir placa de DSP, placa con el CI, y placa del inversor. Todas ellas se interconectan de la forma que se detalló previamente, y se ejecutan los

diferentes algoritmos implementados en el DSP para observar los niveles de distorsión armónica presentes en la carga. Como elemento de carga, se empleó primeramente una inductancia simulando un elemento típico como podría ser un bobinado de un motor, o bien el parlante de un amplificador de audio. Las características de esta inductancia son las siguientes:

$$R_O = 700 \text{ m}\Omega$$

$$L_O = 18 \text{ mH}$$

Como se mencionó anteriormente, para los ensayos se estableció la generación de una onda senoidal de 15 V de amplitud pico a pico y una frecuencia de 50 Hz. El tiempo muerto entre apagado de una llave y encendido de la complementaria se fijó en 2,4 % del ciclo de modulación, equivalente a 1,25 μ s, y la tensión de alimentación de la barra de continua se ajustó en un valor de 12 V. Posteriormente se modificaron algunos parámetros para observar el comportamiento del algoritmo frente a diversas situaciones.

En la Fig. 5.12 se muestra la captura de las ondas de tensión y corriente de carga, aplicando el algoritmo clásico de modulación PWM sin ningún tipo de compensación. Se evidencia una notable distorsión en la forma de onda de la tensión, coincidente con el cambio de signo de la corriente. El origen de esta distorsión fue explicado en las secciones 1.3.2 y 1.3.3. Los cursores sobre el gráfico indican un retraso temporal de la corriente de 4,506 ms, equivalente a un desfase de 81,1°. Este valor es prácticamente coincidente con los 82,9° que se obtienen al calcular la fase de la impedancia de carga a una frecuencia de 50 Hz.

Cabe aclarar que las señales capturadas están obtenidas luego del filtrado analógico presente en la placa del inversor; es decir que solamente se muestran las componentes de baja frecuencia. Adicionalmente, en los ajustes del instrumento de medición, se aplica un filtrado ERes (*Enhanced Resolution*) que limita el ancho de banda a 80 kHz y aumenta la

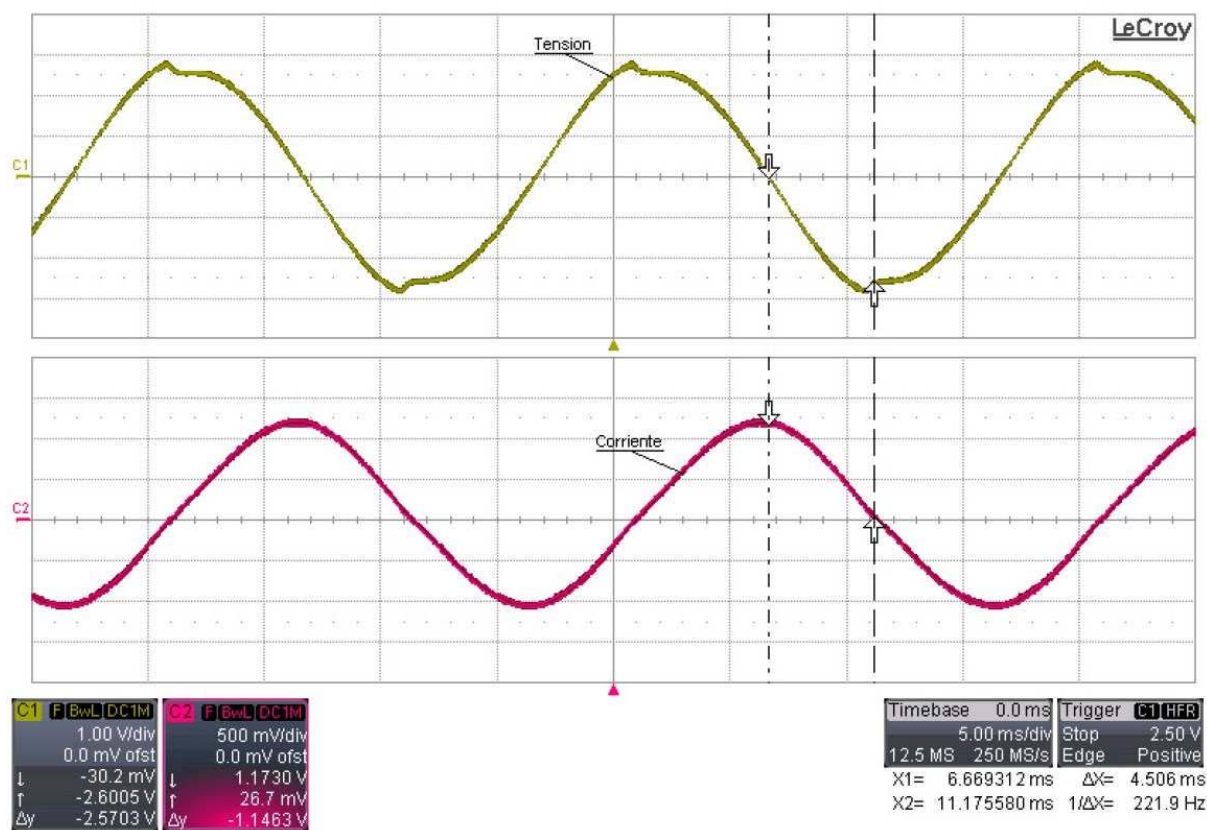


Figura 5.12: Modulación PWM clásica sin compensación. Tensión en la carga en C1, y corriente de carga en C2.

resolución de las muestras en 3 bits [Lec]. Asimismo, y debido a los factores de ganancia de los elementos de filtrado, las escalas de amplitud indicadas en los gráficos, tanto en esta captura como en las siguientes, no son reales. Sin embargo, esto no constituye problema alguno porque el foco de atención se centra en la distorsión que sufren las señales, que es independiente de la amplitud. Los factores finales que resultan para la interpretación de los gráficos son:

Tensión: 2,73 V/div

Corriente: 0,4 A/div

La Fig. 5.13 muestra el espectro en frecuencia de la tensión de carga para la modulación

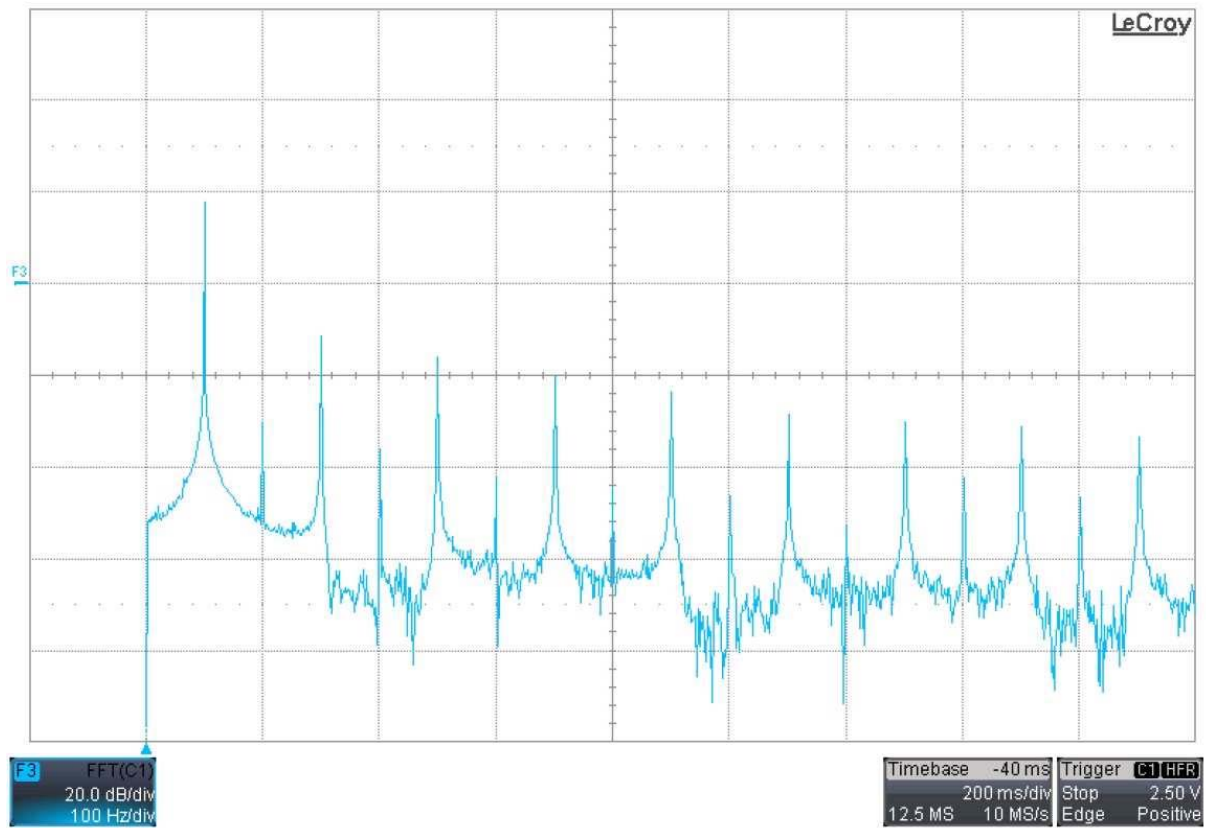


Figura 5.13: Espectro en frecuencia de la tensión de carga para la modulación PWM clásica sin compensación.

clásica, obtenida a través de una función matemática *Fast Fourier Transform* (FFT) implementada por el propio instrumento de medición. Para la obtención del valor de distorsión armónica se emplea una rutina en *Matlab* que solamente tiene en cuenta las primeras 17 componentes. Si bien el cálculo se efectúa de manera similar a lo expuesto en la Sección 3.2, el hecho de considerar solamente 17 armónicos y no 20 como antes, radica en la resolución del instrumento de medición para hallar la FFT. Los datos para el cálculo del THD se exportan al formato de *Matlab* también desde el instrumento. De esta forma resulta un valor de distorsión armónica de:

$$\text{THD} [\%] = \frac{\sqrt{\sum_{i=2}^{17} h_i^2}}{h_1} * 100 = 4,22 \% \quad (5.1)$$

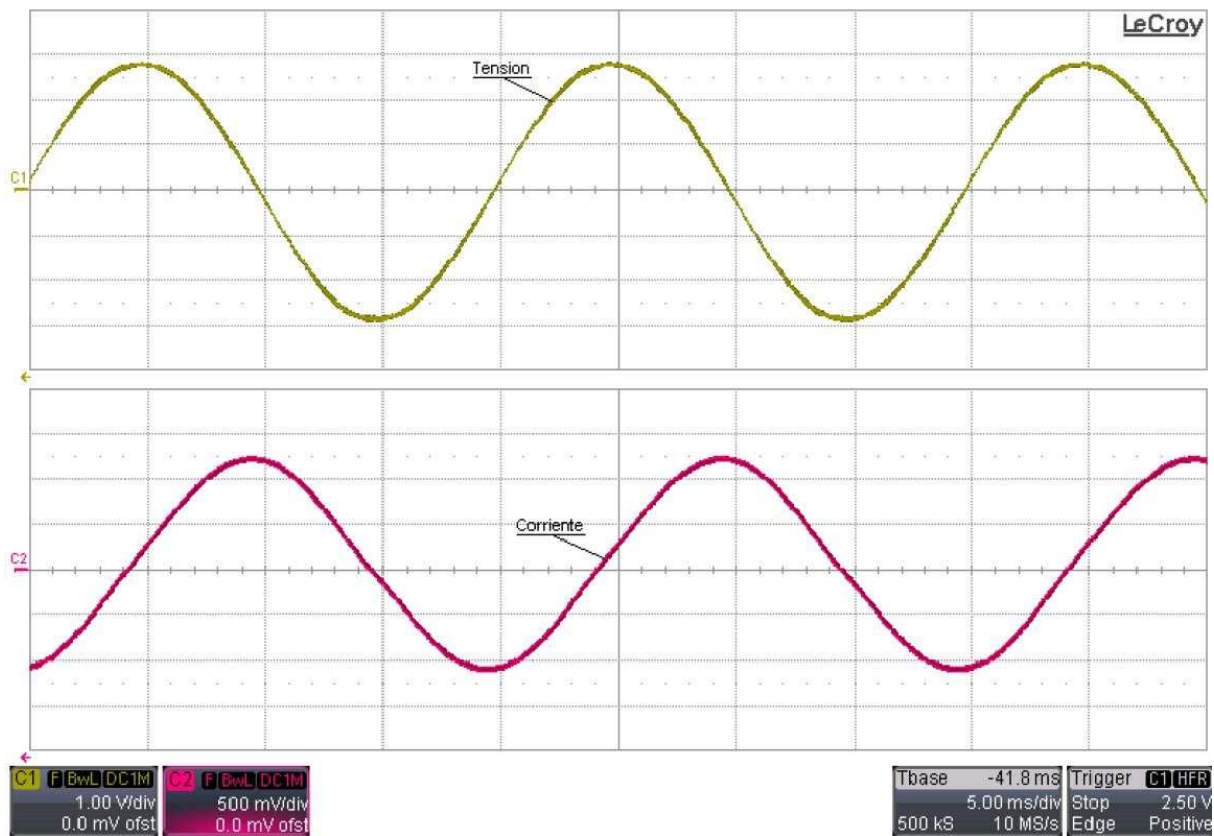


Figura 5.14: Modulación PWM con compensación de tiempos muertos. Tensión en la carga en C1, y corriente de carga en C2.

El paso siguiente consiste en ejecutar el algoritmo que solamente corrige los tiempos muertos, pero no las caídas de tensión. Aquí ya es necesario observar a cada instante el signo de la corriente para efectuar correctamente la compensación. En la Fig. 5.14 se muestra la captura de las ondas de tensión y corriente de carga, al aplicar la compensación de tiempos muertos. Es evidente la mejora en la distorsión de la onda de tensión respecto al método clásico. Prueba de ello es el espectro en frecuencia que puede verse en la Fig. 5.15, donde a simple vista es notable la disminución de los armónicos, sobre todo en el número 3, 5 y 7. El cálculo del THD al compensar sólo los tiempos muertos resulta en un valor de:

$$\text{THD} [\%] = \frac{\sqrt{\sum_{i=2}^{17} h_i^2}}{h_1} * 100 = 0,82 \% \quad (5.2)$$

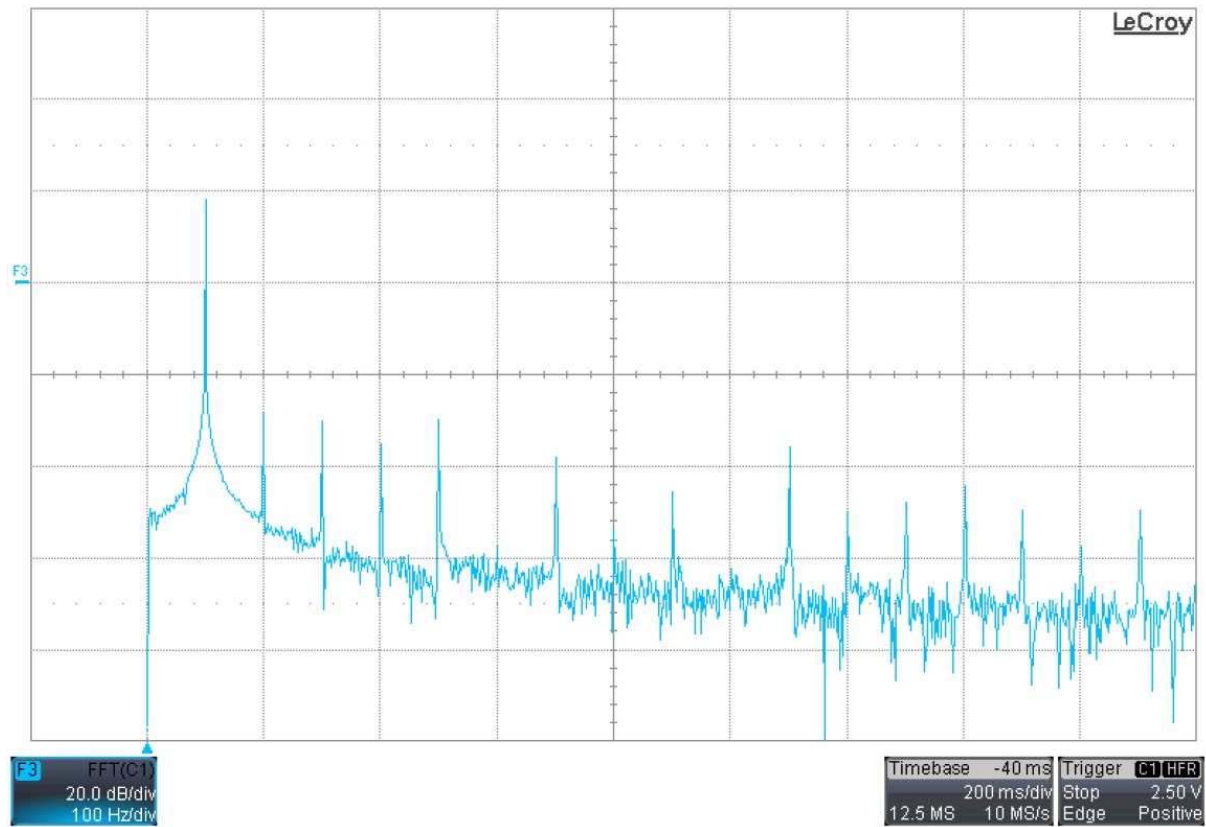


Figura 5.15: Espectro en frecuencia de la tensión de carga para la modulación PWM con compensación de tiempos muertos.

Finalmente se aplica el método de compensación completo, que tiene en cuenta tanto los tiempos muertos, como las caídas en los dispositivos. La Fig. 5.16 presenta la captura de las formas de onda bajo la aplicación de este algoritmo. A simple vista no es posible determinar una mejora respecto a la aplicación del método anterior que compensa sólo los tiempos muertos, pero un análisis en frecuencia permite observar una mejora. En efecto, las componentes espectrales se muestran en la Fig. 5.17, donde se nota una disminución adicional, sobre todo en el armónico número 3. El valor de THD resulta ahora:

$$\text{THD} [\%] = \frac{\sqrt{\sum_{i=2}^{17} h_i^2}}{h_1} * 100 = 0,59 \% \quad (5.3)$$

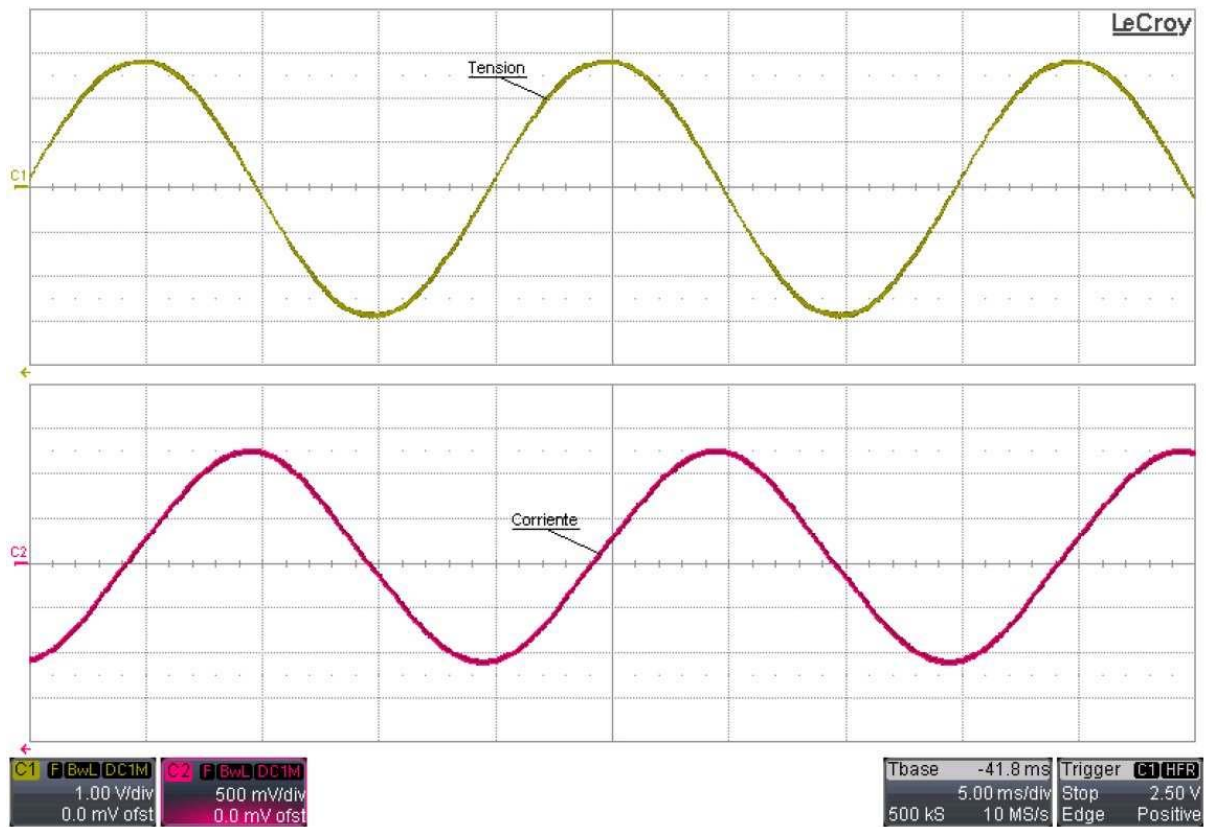


Figura 5.16: Modulación PWM con compensación completa. Tensión en la carga en C1, y corriente de carga en C2.

Si bien el nivel de distorsión disminuye respecto al obtenido con la aplicación del método que solamente compensa tiempos muertos, aún está lejos de llegar al valor teórico simulado, cuyo resultado se expresó en la Ec. 3.33 (0,1905 %). Las diferencias observadas tienen diversos orígenes, y se deben tanto a las simplificaciones realizadas en el método de compensación, como al principio empleado en la modulación digital.

Por un lado, y tal como se mencionó en la Sección 3.3.1, el algoritmo introduce una serie de pequeños pulsos adicionales, cuya duración puede ser tan pequeña como un ciclo de reloj del bloque de conteo del CI, que en el caso del sistema implementado corresponde a 12 ns. Este valor se encuentra en el orden de los tiempos de conmutación de los transistores MOSFET utilizados como llaves. La consecuencia es tal que en lugar de observar un pulso con flancos abruptos, se obtiene una forma de onda triangular, donde en algunos casos

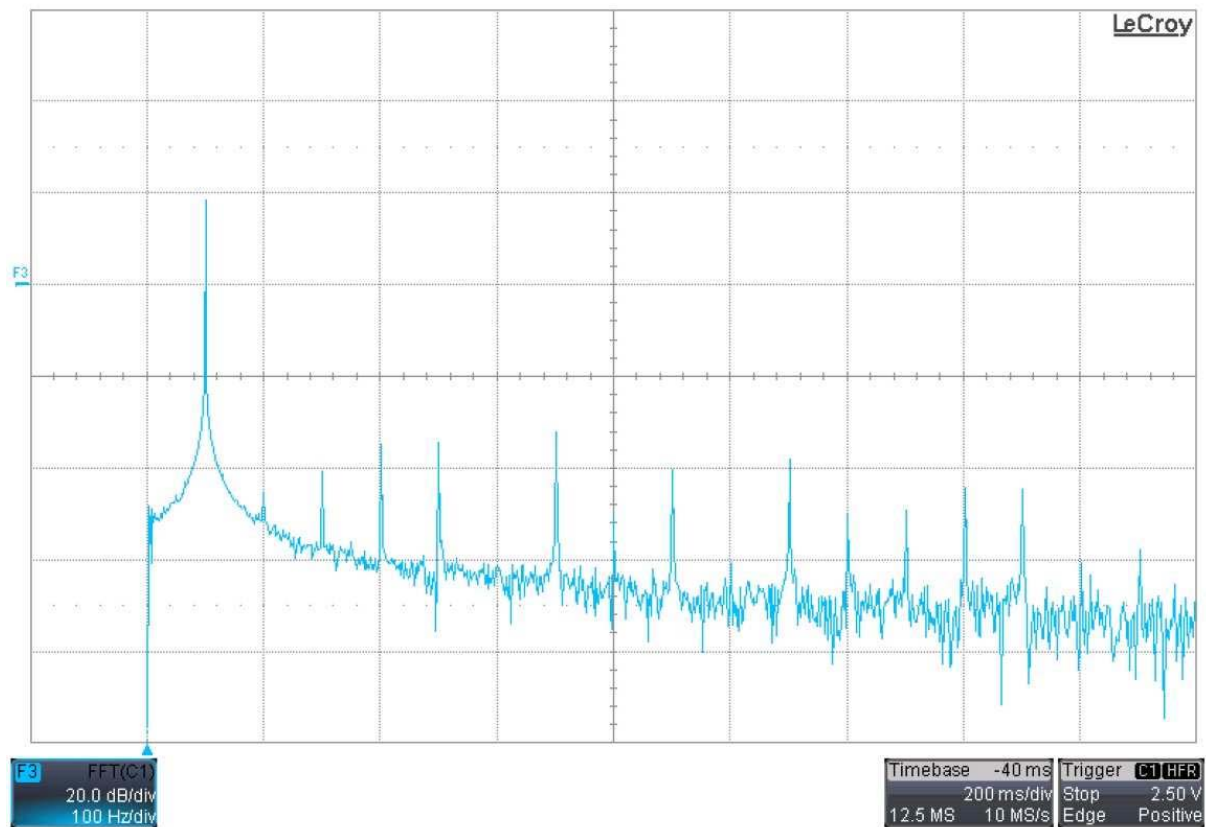


Figura 5.17: Espectro en frecuencia de la tensión de carga para la modulación PWM con compensación completa.

el transistor no alcanza siquiera a encenderse cuando se lo está comandando nuevamente para apagarlo. Como resultado, el área obtenida difiere en gran medida del valor ideal, y por ende la compensación no se logra totalmente. Este efecto es mayormente notable cuando la tensión a sintetizar por el inversor es pequeña, como ser en los cruces por cero de la onda senoidal. Aquí los pulsos originales de la modulación PWM convencional son pequeños de por sí, y los que se agregan para la compensación resultan más pequeños aún, dejando en evidencia los tiempos de respuesta de las llaves.

Otro factor que introduce errores en la compensación surge del hecho de suponer que las caídas de tensión en los dispositivos son valores constantes con la corriente, lo cual no es así. La realidad indica que la caída en los diodos volantes tiene una relación logarítmica con la corriente, mientras que para los transistores MOSFET puede considerarse

una dependencia lineal a través de la resistencia del canal. Esto hace que en función de la magnitud de la corriente los parámetros de compensación k_1 y k_2 (ver Sección 3.3.3) cambien permanentemente.

Hasta aquí se mencionan problemáticas relacionadas con el campo analógico, pero no se debe olvidar que la modulación implementada en el DSP es totalmente digital, lo que lo convierte en un sistema muestreado. En la Sección 3.2 se hizo mención a este hecho, y cómo afectaba el resultado final. Se presentaron allí resultados teóricos basados en un sistema que utilizaba una frecuencia de conmutación de 500 kHz, pero en la implementación práctica esa frecuencia se ve reducida a unos 20 kHz, con lo cual los efectos del muestreo son más significativos.

En consecuencia, todas estas cuestiones prácticas actúan en detrimento de la distorsión, alejando su valor respecto de los resultados obtenidos a partir de los modelos simulados. Sin embargo cada una de estas fuentes de error actúa de manera diferente; así, en cualquiera de los algoritmos de ensayo, ya sea el de modulación clásica, el que compensa sólo tiempos muertos, o el completo, la componente debido a la modulación digital está presente siempre. Por otro lado, tanto la componente que tiene su origen en considerar constantes las caídas de tensión en los dispositivos, como la que tiene relación con los tiempos de encendido y apagados de las llaves solamente entra en juego para la implementación del algoritmo de compensación completo, pero no interviene en el algoritmo que sólo compensa tiempos muertos. En este último la corrección se hace simplemente modificando la ubicación temporal de los pulsos, pero no agrega pulsos adicionales. Esta tarea de reubicación no genera errores, por lo cual el resultado es excelente. Prueba de ello es la disminución drástica del THD en la onda de tensión de salida. Luego, al agregar el resto de la información para la aplicación de la corrección completa, sí intervienen muchas fuentes de error. Es por ello que si bien se observa una nueva disminución en la distorsión, la mejora no es tan notable. De todas formas, cabe destacar que el resultado final que se logra con el método de compensación completo es sumamente aceptable para muchas de

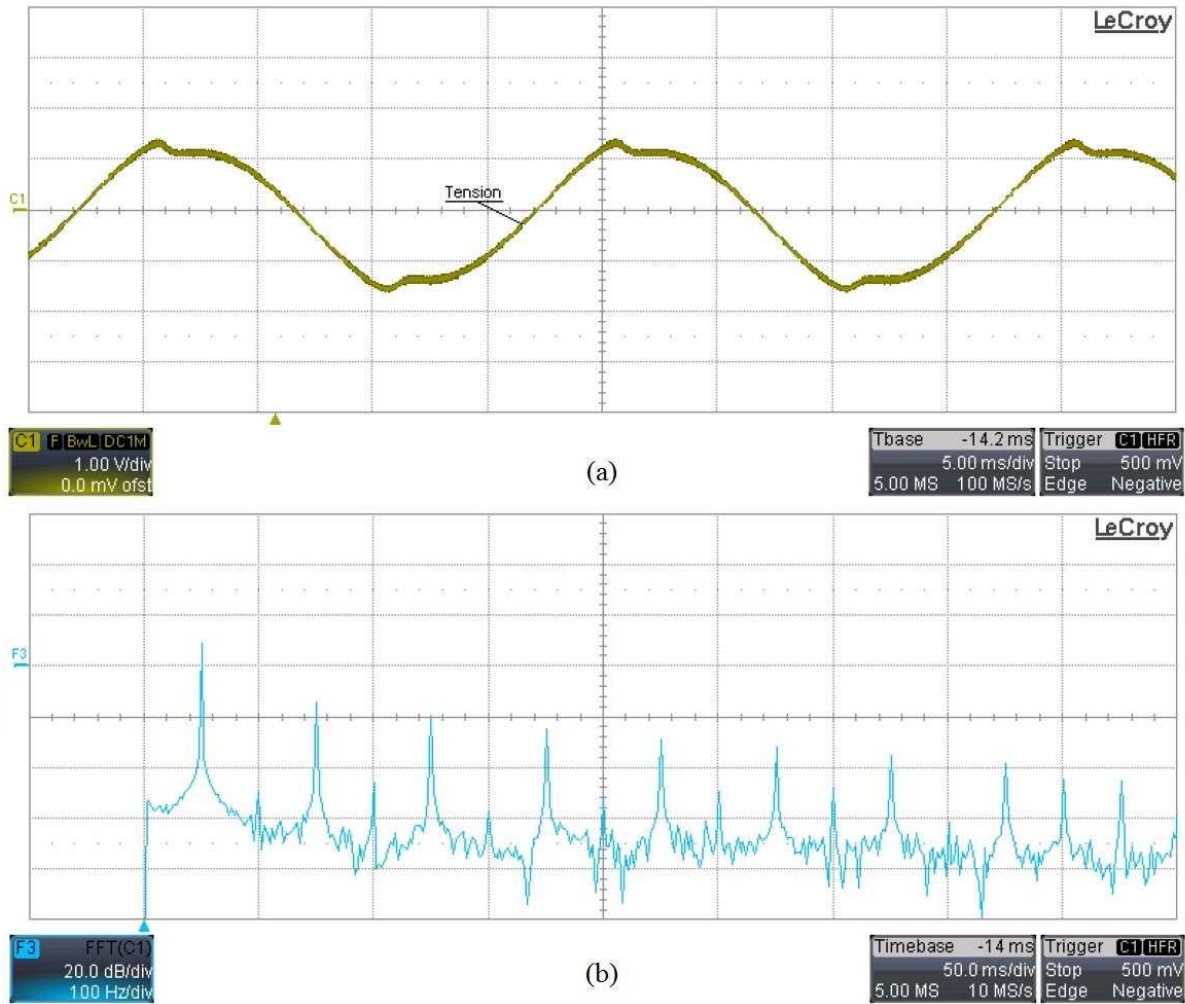


Figura 5.18: Tensión en la carga con modulación PWM sin compensación: (a) Forma de onda; (b) Espectro en frecuencia.

las aplicaciones que se han nombrado desde un comienzo.

Con el fin de observar el comportamiento del algoritmo de compensación en otras condiciones, se modificó el valor de tensión en la barra de continua, disminuyéndolo ahora a 8 V. Esto obliga también a reducir la amplitud de la onda a sintetizar para evitar una posible saturación en las llaves. Se fijó una amplitud de 8 V pico a pico. Esta condición es más exigente que la de los casos anteriores, porque al trabajar con una menor amplitud en la onda de salida, las caídas de tensión en los dispositivos son mucho más significativas, y por ende mayor la distorsión. Si bien la corriente disminuye al mantener la misma carga

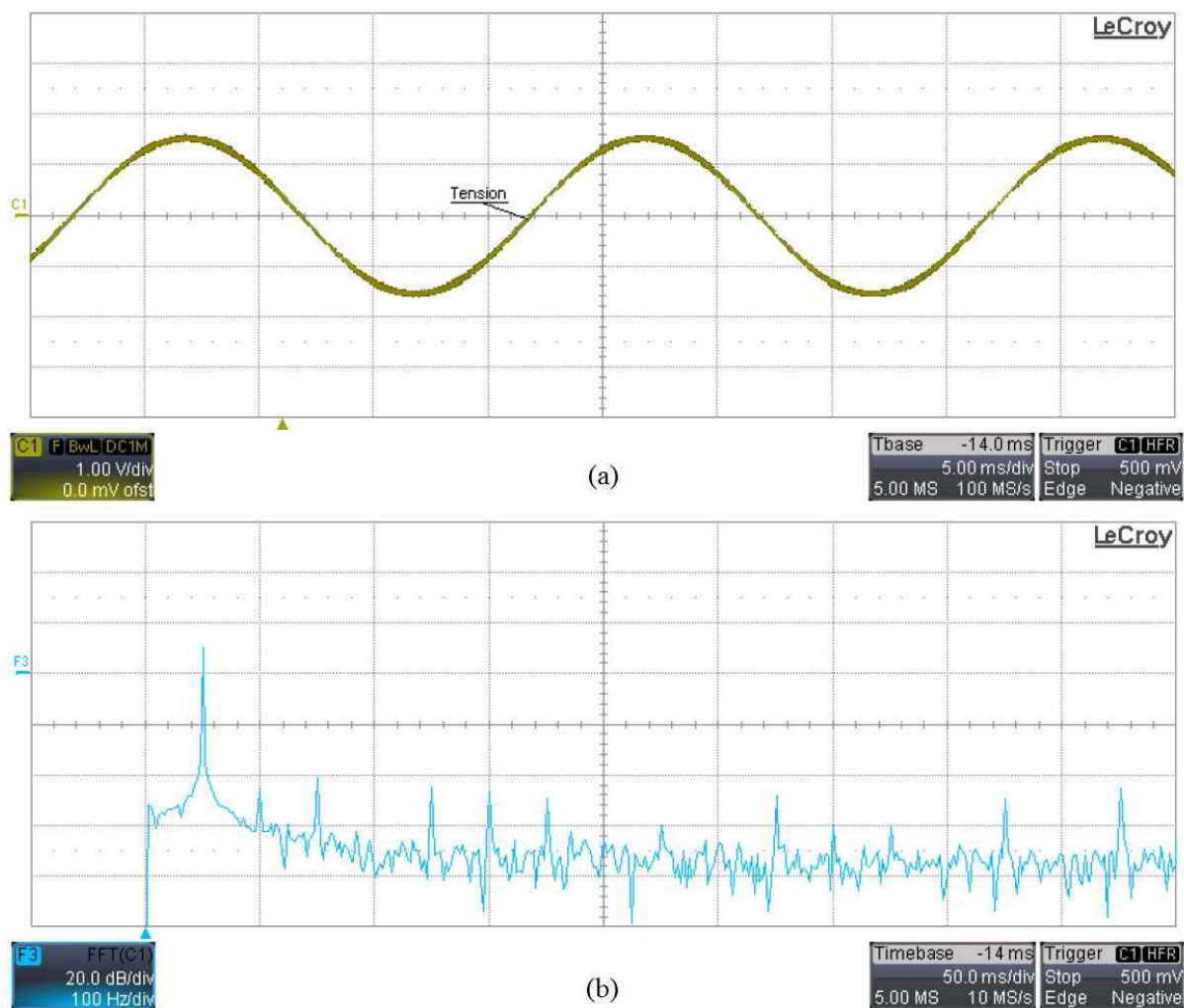


Figura 5.19: Tensión en la carga con algoritmo de compensación completo: (a) Forma de onda; (b) Espectro en frecuencia.

que antes, lo que conduce a tener una menor caída de tensión tanto en los diodos como en las llaves, el balance hace igualmente que el índice de distorsión aumente.

Primeramente se ejecuta el algoritmo sin compensación alguna observando en la Fig. 5.18 la forma de onda de la tensión y su espectro en frecuencia asociado. El cálculo de la distorsión armónica empleando los primeros 17 términos resulta:

$$\text{THD} [\%] = \frac{\sqrt{\sum_{i=2}^{17} h_i^2}}{h_1} * 100 = 7,91 \% \quad (5.4)$$

Efectivamente, se evidencia en este caso que el hecho de disminuir la amplitud en la onda generada, el THD aumenta considerablemente.

A continuación se ejecuta el algoritmo de compensación completo para comparar los resultados. La Fig. 5.19 muestra la forma de onda y el espectro asociado en la tensión de carga, obtenido al aplicar este método de corrección.

El cálculo ahora de la distorsión armónica compensando tanto los tiempos muertos como las caídas de tensión en los dispositivos, arroja un valor de:

$$\text{THD} [\%] = \frac{\sqrt{\sum_{i=2}^{17} h_i^2}}{h_1} * 100 = 0,498 \% \quad (5.5)$$

Una vez más es posible notar la mejora lograda con el método de corrección planteado. Si bien aquí se presentan solamente estos dos escenarios, en realidad se llevaron a cabo diversos ensayos, modificando tanto la tensión de la onda generada, como las características de la carga. En todos ellos se obtuvieron valores de distorsión armónica por debajo de 0,6 %.

5.5. Síntesis

En este capítulo se presentó la etapa final del trabajo de tesis, consistente en la implementación práctica del método de compensación desarrollado por autores locales, a partir del diseño de un CI a medida. Las pruebas efectuadas han servido para validar tanto el correcto funcionamiento del CI en todos sus aspectos, como así también la eficacia, bajo ciertas condiciones de borde, del método presentado. El éxito obtenido en el funcionamiento del CI de acuerdo a lo estipulado desde su concepción, y sin necesidad de haber efectuado revisiones posteriores por fallas de diseño, habla a las claras de lo imprescindible que resulta cerrar todas las etapas del flujo de diseño de un CI; pasando indiscutiblemente

por una verificación de coincidencia entre el circuito esquemático propuesto y el *layout* desarrollado, como así también la importancia que cobra el proceso de simulación a fin de garantizar que lo que se obtenga del CI en la vida real, sea funcionalmente coincidente con el comportamiento que se pretendía obtener desde su origen. En relación a las tareas de verificación y validación, el diseño del CI incorporó además desde su razonamiento inicial, la posibilidad de acceder de manera externa a diversas señales que permiten observar el buen funcionamiento de todos sus bloques internos, técnica conocida habitualmente como *Design for testing*.

Capítulo 6

Conclusiones Finales

Como se enfatizó desde un comienzo, el objetivo principal de este trabajo fue desarrollar la capacidad de diseño de circuitos integrados en el área conocida como *Power Management*, y más específicamente en etapas inversoras de potencia de baja distorsión con modulación PWM.

El desarrollo del trabajo se llevó a cabo analizando primeramente las fuentes de distorsión, y los errores que éstas producen en los inversores de potencia que trabajan con modulación PWM y se alimentan con valores bajos de tensión (pocas decenas de volts) en la barra de continua. Seguidamente se realizó una revisión bibliográfica y se evaluaron algunas de las diversas alternativas existentes para mitigar la distorsión, de las cuales se seleccionó un método elaborado localmente. En base a las especificaciones necesarias para la implementación del método de compensación, se diseñó un circuito integrado (CI) dedicado para verificar su funcionamiento y eficacia en la práctica. Una vez que el CI retornó luego del proceso de fabricación, se lo ensayó primeramente de manera aislada, y posteriormente fue utilizado como parte de un sistema con el objeto de linearizar un inversor de potencia. Se obtuvieron resultados experimentales con señales de frecuencia fija, que sirven para validar la eficacia del método para aplicaciones tales como un variador de velocidad de un motor de tensión alterna, o un sistema de energía ininterrumpida, donde el inversor

opera a una única frecuencia. Los ensayos mostraron una reducción de hasta 16 veces en la distorsión armónica en la forma de onda de la tensión de salida.

Tal como se comentó anteriormente, el desarrollo de este trabajo comenzó en el año 2004, y en ese entonces se disponía de un juego limitado tanto de herramientas de diseño en *software*, como de procesos de fabricación para el CI. En efecto, el proceso empleado CMOS AMIS 0,5 μm no permite obtener velocidades de operación más allá de los 120 MHz, lo que limitó su aplicación a un inversor de baja frecuencia (50 Hz). En la actualidad, no solamente se cuenta con herramientas más avanzadas, ya sea a través de paquetes de software de las empresas Cadence [Ca] o Synopsys [Sy], sino que también se encuentran disponibles una enorme cantidad de bloques ya desarrollados, probados y listos para implementar; conocidos como *IP Cores*. Estos bloques pueden presentarse ya sea mediante una descripción en lenguaje *VHDL/Verilog*, o bien directamente como una sección de *layout* ya lista para integrar en un determinado proceso de fabricación. Estas nuevas herramientas y procesos accesibles permitirían incorporar dentro de un único CI, no solamente los bloques específicos estudiados en el Capítulo 4, sino también el resto de los dispositivos y periféricos necesarios, ya sea el convertidor analógico-digital (A/D), la interfaz serie, y el microprocesador para el cálculo del temporizado en los pulsos de compensación. A su vez sería factible también integrar una memoria no volátil para poder alojar el código para la ejecución del programa que controle todo el sistema.

Para aplicaciones de audio, con una frecuencia de modulación de al menos 100 kHz, y manteniendo una resolución temporal de 12 bits, sería necesario una velocidad en el reloj del bloque de conteo de unos 400 MHz. Hoy en día, entre los procesos tecnológicos disponibles y accesibles a través de programas académicos, se encuentran los de IBM CMOS de 90 nm, 130 nm y 180 nm, que permiten superar esa barrera.

La medición de la corriente de carga constituye uno de los factores claves para el éxito del método de compensación. Para un amplificador de audio podría aún resolverse de una manera similar a la utilizada en el sistema implementado, consistente en un filtra-

do analógico seguido de otro digital; salvo que ahora deberían ubicarse las frecuencias de corte de una manera conveniente para no introducir retardos apreciables en el ancho de banda de interés. Cuando la señal posee una frecuencia única, es fácil caracterizar el retardo de la cadena de filtrado e incorporarlo en el algoritmo de corrección; pero en un sistema amplificador de audio con múltiples componentes frecuenciales simultáneas, esta técnica deja de ser útil. Una solución factible para esto sería el empleo de una etapa analógica con un polo simple, ubicado cerca de la frecuencia de modulación, de manera de suavizar la forma de onda que ingresa al convertidor analógico-digital, y no introducir un desfase apreciable; mientras que para el filtrado digital una alternativa sería el uso de un filtro tipo FIR de fase lineal y orden elevado (>100) con un corte cercano a la máxima frecuencia de operación del amplificador; como ser 20 kHz. Con todo lo expuesto podría obtenerse un sistema encapsulado (*System On Chip*) que permitiría resolver aplicaciones de audio de baja potencia y alta calidad, con posibles usos en dispositivos portátiles.

En síntesis, en este trabajo se recorrió completamente el flujo de diseño de un CI, comenzando por el estudio de una problemática, la búsqueda de una solución a partir de la elaboración de un circuito a medida, su verificación y simulación con herramientas de software, y por último su validación con la implementación práctica. Si bien el campo de aplicación del CI se redujo a aplicaciones en inversores de frecuencia de red, debido principalmente a la limitación de las herramientas y procesos con los que se contaba en esa época, la experiencia obtenida por parte del grupo de trabajo, junto con las nuevas herramientas de diseño y procesos disponibles, permitirían hoy día desarrollar un CI similar, pero para aplicaciones en amplificadores conmutados de audio frecuencias.

Apéndice A

Dimensionado de transistores MOS

Es común en los bloques digitales dentro de un circuito integrado (CI), la implementación a partir de transistores de tamaño mínimo. Esto permite minimizar el área de silicio utilizado, como así también disminuir el consumo dinámico de potencia. Cada proceso de fabricación especifica el tamaño mínimo que puede lograrse, tanto para el ancho (W) como para el largo (L) del canal. En particular para el proceso CMOS AMIS 0,5 μm , estas medidas vienen dadas por:

- MOS de canal N (NMOS): $W_n = 1,8 \mu\text{m}$, $L_n = 0,6 \mu\text{m}$.
- MOS de canal P (PMOS): $W_p = 3,0 \mu\text{m}$, $L_p = 0,6 \mu\text{m}$.

El hecho que el ancho del canal del transistor PMOS y NMOS no sea el mismo, obedece a que la movilidad de los portadores es diferente; siendo la de los huecos menor que la de los electrones. Esto da como resultado que a igual ancho de canal, un transistor NMOS tenga mayor capacidad de corriente que uno del tipo PMOS. Las ecuaciones que permiten hallar las corrientes de salida de un dispositivo NMOS y PMOS son las siguientes:

$$i_{Dn} = \frac{1}{2} C_{ox} \mu_n \frac{W_n}{L_n} (v_{GS} - V_{Tn})^2 \quad (\text{A.1})$$

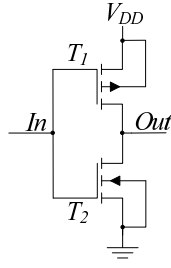


Figura A.1: Esquema de un inversor CMOS.

$$i_{Dp} = \frac{1}{2} C_{ox} \mu_p \frac{W_p}{L_p} (v_{GS} - V_{Tp})^2 \quad (\text{A.2})$$

Donde μ_n y μ_p son las movilidades para electrones y huecos, respectivamente; W_n , W_p , L_n y L_p son las dimensiones de ancho y largo del canal tanto para el dispositivo de canal N como para el P; V_{Tn} , V_{Tp} corresponden a la tensión umbral (*threshold*) para el transistor N y el P; y C_{ox} es la capacidad por unidad de área del óxido de silicio debajo del *Gate*. Este valor es el mismo para ambos tipos de dispositivos. Cabe aclarar que las ecuaciones anteriores son válidas solamente para la zona de trabajo de saturación, y no contemplan el efecto de modulación del canal en función de la tensión entre *Drain* y *Source*.

La forma más simple de determinar la relación de tamaño que deben tener ambos dispositivos a fin de lograr características similares, es a través del análisis de una de las topologías más simples, que es el inversor CMOS, que se muestra en la Fig. A.1. Para esta configuración se define la tensión de transición (V_M) como el punto de trabajo donde se cumple que el voltaje de entrada es igual al de salida; es decir $v_{In} = v_{Out}$ [BB97]. La malla de salida del inversor puede resolverse sabiendo que en todo momento las corrientes de *Drain* de ambos dispositivos serán iguales. En particular para el caso en que $v_{In} = V_M$ se tendrá:

$$\frac{1}{2} C_{ox} \mu_n \frac{W_n}{L_n} (V_M - V_{Tn})^2 = -\frac{1}{2} C_{ox} \mu_p \frac{W_p}{L_p} (V_M - V_{DD} - V_{Tp})^2 \quad (\text{A.3})$$

	NMOS	PMOS
Tensión umbral (V_T)	0,77 V	-0,88 V
Movilidad portadores (μ)	452 cm ² /Vs	221 cm ² /Vs

Tabla A.1: Valores típicos para el proceso AMIS 0,5 μm .

Esta ecuación se reduce a:

$$\mu_n \frac{W_n}{L_n} (V_M - V_{Tn})^2 = -\mu_p \frac{W_p}{L_p} (V_M - V_{DD} - V_{Tp})^2 \quad (\text{A.4})$$

Cuya solución es:

$$V_M = \frac{V_{Tn} + \sqrt{\frac{\mu_p \cdot W_p \cdot L_n}{\mu_n \cdot W_n \cdot L_p} (V_{DD} + V_{Tp})}}{1 + \sqrt{\frac{\mu_p \cdot W_p \cdot L_n}{\mu_n \cdot W_n \cdot L_p}}} \quad (\text{A.5})$$

Con objeto de lograr una simetría en el rango de tensión de los estados lógicos, y obtener una máxima inmunidad al ruido, es deseable que la transición ocurra para valores cercanos a $V_{DD}/2$. Para hallar entonces este punto, se reemplazan en la ecuación anterior los valores típicos correspondientes al proceso empleado, que son habitualmente publicados por el fabricante, y que se detallan en la Tabla A.1. En este caso es fácil verificar que ambos transistores se encontrarán en saturación al momento de la transición, por lo cual es correcto el razonamiento de haber partido de las ecuaciones que aplican para esta zona. En efecto, la tensión entre *Drain* y *Source* (v_{DS}) a partir de la cual se considera que comienza la zona de saturación, es $v_{DSsat} = v_{GS} - V_T$. Si se considera el caso típico de alimentación con $V_{DD} = 5$ V, y partimos que la tensión de entrada es de alrededor de $V_{DD}/2$, los valores de v_{DSsat} serán de 1,73 V y 1,62 V para el transistor NMOS y PMOS, respectivamente. Por su parte, si en este punto la salida se encuentra también en un valor cercano a $V_{DD}/2$, el voltaje presente entre los terminales *Drain* y *Source* de ambos dispositivos será mayor que v_{DSsat} , y por ende se encontrarán en la zona de saturación.

Teniendo en cuenta la geometría de tamaño mínimo para los transistores, el valor que se obtiene al resolver la Ec. A.5 es $V_M = 2,36$ V, el cual se encuentra cercano al ideal

de 2,5 V ($V_{DD}/2$). Cabe aclarar que la diferencia de resultados respecto a la simulación mostrada en la Fig. 4.4 (b), donde la transición ocurre para $V_M = 2,46$ V se debe a que en ningún momento se tuvo en cuenta el fenómeno de modulación del canal, y en este caso al tratarse de un canal corto tiene un efecto significativo.

En síntesis, la elección de la geometría de los transistores es una relación de compromiso entre lograr similares características, y minimizar el área de silicio que ocupen. La opción de mínima longitud de canal ($L = 0,6$ μm) para ambos tipos de transistores, y un ancho de $W_L = 1,8$ μm y $W_p = 3,0$ μm para el NMOS y PMOS, respectivamente, es una relación muy frecuentemente utilizada en circuitos digitales, porque se obtienen dispositivos de pequeño tamaño, y con características muy parecidas.

Apéndice B

Protección electrostática en circuitos integrados

Los circuitos integrados (CI) desarrollados en base a transistores MOS, son muy sensibles a las descargas electrostáticas. Esto se debe principalmente a la baja tensión de ruptura del dieléctrico que conforma el *Gate* del transistor. Las nuevas tecnologías trabajan con espesores de óxido (dieléctrico) cada vez más pequeños, lo que hace a su vez que la tensión máxima que soporten sea cada vez menor. Para mitigar este problema, es usual que en el propio *pad* se incluya un esquema de protección, tal como se mostró en la Fig. 4.23, y que se repite por comodidad en la Fig. B.1. En la implementación real, se utilizan transistores MOS con los terminales *Gate* y *Source* interconectados. A primera vista, estos dispositivos entran en conducción cuando el voltaje presente en el terminal

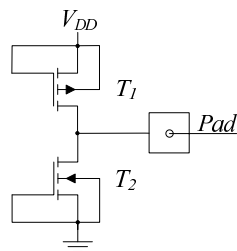


Figura B.1: Protección ESD del *pad*. Implementación real con transistores.

	NMOS	PMOS
Tensión umbral (V_{T0})	0,77 V	-0,88 V
Dopado <i>Bulk</i>	$1,7^{17} \text{ cm}^{-3}$	$1,7^{17} \text{ cm}^{-3}$
Factor <i>back-gate</i> (γ)	$0,47 \sqrt{V}$	$0,58 \sqrt{V}$

Tabla B.1: Valores típicos para el proceso AMIS 0,5 μm .

del *pad* toma valores negativos para el caso del NMOS, o bien valores por encima de la fuente V_{DD} para el caso del PMOS. En ambas situaciones, es necesario que la tensión en exceso supere a los valores de umbral de conducción. Así entonces en el caso del NMOS, si la tensión en el terminal del *pad* es menor a $-V_{T0n}$ (tensión umbral para el NMOS), se invertirán las funciones de los terminales *Drain* y *Source* y el dispositivo entrará en conducción. Algo similar ocurre para el PMOS, donde es necesario que el voltaje de entrada supere a $V_{DD} + V_{T0p}$ (tensión umbral para el PMOS) para que conduzca. Sin embargo, no debe dejarse de lado el hecho que las conexiones del sustrato (*Bulk*) de ambos transistores no se encuentran al potencial del terminal que está funcionando ahora como *Source*, sino que se encuentran a un potencial mayor para el NMOS y menor para el PMOS. Esto trae como consecuencia dos fenómenos diferentes; por un lado se produce un cambio en el valor de la tensión umbral original del dispositivo a partir del llamado efecto *back-gate* [Tsi02], cuya expresión general para ambos tipos de dispositivos (canal N y P) viene dada por la siguiente ecuación:

$$V_T = V_{T0} + \gamma \left(\sqrt{-2\phi_P - V_{BS}} - \sqrt{-2\phi_P} \right) \quad (\text{B.1})$$

donde γ es el factor de sustrato o *back-gate*, V_{BS} es la tensión presente entre *Bulk* y *Source*, V_{T0} es el umbral de conducción para $V_{BS} = 0$, y ϕ_P es el potencial propio de *Bulk*, que depende del grado de dopado de éste, y viene dado por la conocida regla de los 60 mV, que para el caso de un NMOS es:

$$\phi_p = -60mV \cdot \log \left(\frac{N_A}{10^{10}} \right) \quad (\text{B.2})$$

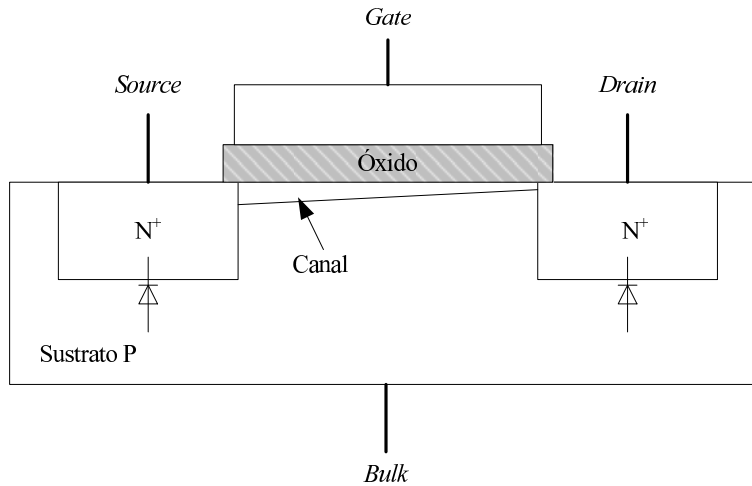
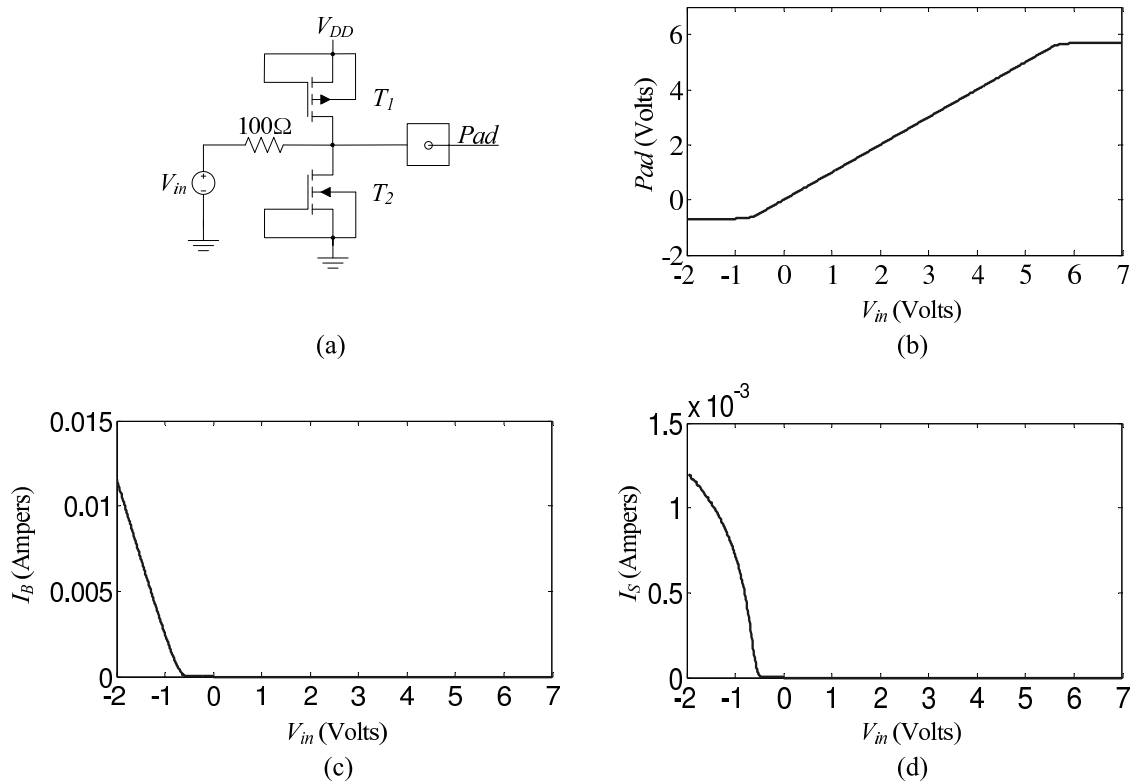


Figura B.2: Transistor MOS de canal N. Detalle de las junturas formadas entre el sustrato (*Bulk*) y los terminales *Drain* y *Source*.



Siendo N_A en este caso el dopado del sustrato tipo P. Es fácil notar que a medida que aumenta la polarización en directa de la juntura *Bulk - Drain*, el umbral V_T disminuye sensiblemente en módulo. Así por ejemplo para los valores típicos del proceso AMIS 0,5 μm que se muestran en la Tabla B.1 [MOSb], al aplicar una tensión $V_{BS} = 0,6 \text{ V}$ al transistor NMOS, el umbral V_{Tn} disminuye de 0,77 V a 0,57 V.

El efecto restante que se visualiza, es la polarización en directa del diodo que queda formado entre los terminales *Bulk* y *Drain*, tal como se muestra en la Fig. B.2 para el caso del transistor NMOS. Típicamente, la conducción de este diodo ocurre para voltajes del orden de 0,7 V.

El resultado global es una conducción combinada entre el transistor MOS y el diodo formado entre *Bulk* y *Drain*. La proporción de corrientes que conduzcan dependerá de diversos factores tales como la tensión umbral y el exceso de voltaje presente en el *pad*. La Fig. B.3 muestra una simulación realizada con el software *LTSpice*, efectuando un barrido entre $-2,0 \text{ V}$ y 7 V a partir de una fuente de tensión V_{in} , en serie con una resistencia limitadora de corriente, y considerando además un voltaje de alimentación V_{DD} de 5 V.

En la Fig. B.3 (b) se observa la relación entre el voltaje de entrada y el que efectivamente se establece en el *pad* a raíz del sistema de protección conformado por los 2 transistores. Se aprecia que para los valores extremos de tensión, los niveles de enclavamiento se ubican en $-0,71 \text{ V}$ y $5,72 \text{ V}$. A su vez, las Figs. B.3 (c) y (d) muestran para el dispositivo NMOS la corriente circulante por el terminal de *Bulk* y *Source*, respectivamente; es decir la conducción tanto por el diodo de la juntura *Bulk - Drain* como por el propio canal del transistor MOS. Obsérvese que a medida que la tensión de entrada disminuye por debajo de 0 V, primeramente comienza a conducir el transistor MOS, pues la tensión umbral modificada por el efecto *back-gate* es menor en amplitud que el voltaje de polarización en directa del diodo. Una posterior disminución de la tensión aplicada, hará que la corriente por el diodo se vuelva mucho más significativa que la que circula por el MOS. Esto es debido fundamentalmente a la diferencia de comportamientos; mientras que la corriente

del MOS es una función cuadrática, la del diodo es exponencial, y prevalece cuanto mayor (en módulo) sea la tensión aplicada. Para el caso extremo de $-2,0$ V de entrada, la relación entre ambas corrientes es de aproximadamente 10 a 1.

Cabe aclarar que el análisis aquí realizado es meramente introductorio, en condiciones de funcionamiento cuasi-estáticas, y limitado a pequeñas sobretensiones en el terminal de entrada. La realidad indica que las descargas electrostáticas son fenómenos impulsivos de alta energía, y por ende pueden poner fácilmente en evidencia todas las posibles fallas de diseño relacionadas con la implementación física del CI en el silicio (*layout*). Asimismo, y dependiendo de la topología empleada, es factible que durante un fenómeno de descarga se activen elementos parásitos cuya interacción generalmente se desprecia durante el funcionamiento normal. Es así entonces que este tema es considerado habitualmente una especie de arte, y suelen emplearse técnicas ya probadas para la confección de los dispositivos, tendientes a lograr un buen desempeño en la vida real. El lector interesado puede consultar [AD02] para una descripción mucho más profunda del tema.

Apéndice C

Rutinas de simulación en *Matlab*

Aquí se presentan las rutinas realizadas en la herramienta de simulación *Matlab* para evaluar las distintas fuentes de distorsión en inversores, como así también los métodos de compensación planteados.

Listado C.1: Definiciones globales

```
% *****  
% Definiciones globales  
% *****  
  
close all  
clear all  
clc  
PerPWM=2e-6; % Período del PWM  
FrecMod=1000; % Frecuencia de la señal moduladora  
TMuestra=1e-9; % Tiempo entre muestras  
TInicial = 0; % Tiempo inicial calculo de la modulación  
TFinal = 1e-3 - TMuestra; % Tiempo final cálculo de la modulación  
Vcc=16; % Valor de la fuente de DC  
TRpico=Vcc; % Amplitud diente de sierra  
Vpico=4; % Amplitud tensión salida  
FrecPWM=1/PerPWM;  
PerMod=1/FrecMod;  
fs = 1/TMuestra; % Frecuencia de muestreo moduladora  
fr=fs/FrecMod; % Resolución de frecuencia  
N=(TFinal/TMuestra) + 1; % Cantidad de muestras  
tiempo=[0:(N-1)] * TMuestra; % Vector de tiempo  
VOut=Vpico*sin(2*pi*[0:(N-1)]/fr);  
tr=triangular(tiempo,PerPWM,TRpico); % Señal triangular para generación PWM
```

Listado C.2: Modulación PWM ideal

```

% *****
% Esquema de modulación ideal
% *****

pwm1=(VOut>=tr); % Temporizado salida pierna 1
pwm2=(-VOut>=tr); % Temporizado salida pierna 2
g1=pwm1;
g2=1-pwm1;
g3=pwm2;
g4=1-pwm2; % Temporizados de las llaves
PWMIdeal=(1-(g1&g3)).*(1-(g2&g4)).*((g1&g4)-(g2&g3))*Vcc;
PWMIdealF = FiltroLF(fs,PWMIdeal); % Salida filtrada con LPF
PWMIdealTHD = THD(PWMIdeal,fs) % Calcula THD
figure;
subplot(3,1,1), plot(tiempo,PWMIdeal)
subplot(3,1,2), plot(tiempo,PWMIdeal)
subplot(3,1,3), plot(tiempo,PWMIdealF)

```

Listado C.3: Modulación PWM considerando caídas de tensión

```

% *****
% Modulación solamente con caídas de tensión en diodos y llaves
% *****

Ipico=1; % Amplitud corriente de salida
Vd=0.7; % Caída de tensión en diodos
Von=0.3; % Caída de tensión en llaves
IOut=Ipico*sin(2*pi*FrecMod*tiempo-pi/6);
SignoV=(sign(VOut)+1)/2;
SignoI=(sign(IOut)+1)/2;
dumm=find(SignoV==0.5);
SignoV(dumm)=0;
dumm=find(SignoI==0.5);
SignoI(dumm)=0;
gates=[g1;g2;g3;g4]';
PWMVd=RealPWM(gates,SignoV',SignoI',Vcc,Vd,Von);
PWMVdF = FiltroLF(fs,PWMVd); % Salida filtrada con LPF
PWMVdTHD=THD(PWMVdF,fs) % Calcula THD
figure;
subplot(3,1,1), plot(tiempo,PWMVd)
subplot(3,1,2), plot(tiempo,PWMVdF)
subplot(3,1,3), plot(tiempo,IOut)

```

Listado C.4: Modulación PWM considerando tiempos muertos

```

% *****
% Modulación solamente con tiempos muertos en llaves
% *****

nTM=24; % Tiempo muerto (n tiempos de muestra)
g1dumm=g1; g2dumm=g2; g3dumm=g3; g4dumm=g4;
g1Temp=g1; g2Temp=g2; g3Temp=g3; g4Temp=g4; % Guarda gates temporizado ideal
dg1=diff(g1); dg2=diff(g2); proddg1dg2=dg1.*dg2; % Cambios en las llaves pierna 1
dg3=diff(g3); dg4=diff(g4); proddg3dg4=dg3.*dg4; % Cambios en las llaves pierna 2
lugares=find(proddg1dg2~=0); % Busca instantes de cambio en las llaves
inicioTMg1=lugares(find(dg1(lugares)>0)); % Comienzo de los tiempos muertos
inicioTMg2=lugares(find(dg2(lugares)>0));
lugares=find(proddg3dg4~=0); % Busca instantes de cambio en las llaves
inicioTMg3=lugares(find(dg3(lugares)>0)); % Comienzo de los tiempos muertos
inicioTMg4=lugares(find(dg4(lugares)>0));
largoMax=length(g1);
dumm=length(inicioTMg1);
dumm1= repmat([1:nTM],dumm,1) + repmat(inicioTMg1',1,nTM);
g1(dumm1)=0;
dumm=length(inicioTMg2); dumm1= repmat([1:nTM],dumm,1)+repmat(inicioTMg2',1,nTM); g2(dumm1)=0;
dumm=length(inicioTMg3); dumm1= repmat([1:nTM],dumm,1)+repmat(inicioTMg3',1,nTM); g3(dumm1)=0;
dumm=length(inicioTMg4); dumm1= repmat([1:nTM],dumm,1)+repmat(inicioTMg4',1,nTM); g4(dumm1)=0;
g1=g1(1:largoMax);
g2=g2(1:largoMax);
g3=g3(1:largoMax);
g4=g4(1:largoMax);
gates=[g1',g2',g3',g4'];
PWMm=RealPWM(gates,SignoV',SignoI',Vcc,0,0);
PWMmF=FiltroLF(fs,PWMm); % Salida filtrada con LPF
PWMmTHD = THD(PWMmF, fs) % Calcula THD
figure;
subplot(3,1,1), plot(tiempo,PWMm)
subplot(3,1,2), plot(tiempo,PWMmF)
subplot(3,1,3), plot(tiempo,IOut)

```

Listado C.5: Modulación PWM considerando caídas de tensión y tiempos muertos

```

% *****
% Modulación con tiempos muertos en llaves y caídas de tensión
% *****

PWMVdTm=RealPWM(gates,SignoV',SignoI',Vcc,Vd,Von);
PWMVdTmF=FiltroLF(fs,PWMVdTm); % Salida filtrada con LPF
for i=1:20000
    PWMVdTmF(i) = sin(i/100000*2*pi)*4+1.3; % Arregla transitorio del filtro
end
PWMVdTmTHD = THD(PWMVdTmF, fs) % Calcula THD
figure;
subplot(3,1,1), plot(tiempo,PWMVdTm)
subplot(3,1,2), plot(tiempo,PWMVdTmF)
subplot(3,1,3), plot(tiempo,IOut)

```

Listado C.6: Modulación PWM compensando sólo caídas de tensión

```

% *****
% Compensa solamente las caídas en los dispositivos
% *****
g1=g1Temp; g2=g2Temp; g3=g3Temp; g4=g4Temp;          % Recupera gates temporizado ideal

% Compensa los ceros (0)
dg2g4 = diff(g2Temp.*g4Temp);
sg2g4 = find((dg2g4)>0);          % Busca comienzo de los pulsos M2,M4
eg2g4 = find((dg2g4)<0);          % Busca fin de los pulsos M2,M4
for i = 1:length(eg2g4)
    pw = eg2g4(i)-sg2g4(i);        % Duración de los pulsos originales
    if Signol(eg2g4(i)) == 0      % I < 0
        h1 = Vd+Von;
        h2 = -Vcc+2*Von;
        pw2 = round(-pw*h1/(h2-h1)); % Ancho pulso compensación
        for j = 1:pw2+1
            g4(eg2g4(i)-pw2+j)=0; % Agrega pulso de compensación
            g3(eg2g4(i)-pw2+j)=1;
        end
    else                            % I > 0
        h1 = -Vd-Von;
        h2 = Vcc-2*Von;
        pw2 = round(-pw*h1/(h2-h1)); % Ancho pulso compensación
        for j = 1:pw2
            g2(eg2g4(i)-pw2+j)=0; % Agrega pulso de compensación
            g1(eg2g4(i)-pw2+j)=1;
        end
    end
end
end
dg1g3 = diff(g1Temp.*g3Temp);
dg1g3(1) = 0;
sg1g3 = find((dg1g3)>0);          % Busca comienzo de los pulsos M1,M3
eg1g3 = find((dg1g3)<0);          % Busca fin de los pulsos M1,M3
for i = 1:length(eg1g3)
    pw = eg1g3(i)-sg1g3(i);        % Duración de los pulsos originales
    if Signol(eg1g3(i)) == 0      % I < 0
        h1 = Vd+Von;
        h2 = -Vcc+2*Von;
        pw2 = round(-pw*h1/(h2-h1)); % Ancho pulso compensación
        for j = 1:pw2
            g1(eg1g3(i)-pw2+j)=0; % Agrega pulso de compensación
            g2(eg1g3(i)-pw2+j)=1;
        end
    else                            % I > 0
        h1 = -Vd-Von;
        h2 = Vcc-2*Von;
        pw2 = round(-pw*h1/(h2-h1)); % Ancho pulso compensación
        for j = 1:pw2
            g3(eg1g3(i)-pw2+j)=0; % Agrega pulso de compensación
            g4(eg1g3(i)-pw2+j)=1;
        end
    end
end
end

```

```

end

% Compensa los estados altos (HI)
dglg4 = diff(g1Temp.*g4Temp);
dglg4(1) = 0;
sglg4 = find((dglg4)>0); % Busca comienzo de los pulsos M1,M4
eglg4 = find((dglg4)<0); % Busca fin de los pulsos M1,M4
h = Vcc-2*Von;
h1 = Vcc+2*Vd;
h2 = -Vcc+2*Von;
for i = 1:length(eglg4)
    pw = eglg4(i)-sglg4(i); % Duración de los pulsos originales
    pw2 = round(pw*(1-((h-h2)/(h1-h2)))); % Ancho pulso compensación
    if Signol(eglg4(i)) == 0 % I<0. Para I>0 no hay compensación
        for j = 1:pw2
            g1(eglg4(i)-pw2+j)=0; % Agrega pulso de compensación
            g2(eglg4(i)-pw2+j)=1;
            g3(eglg4(i)-pw2+j)=1;
            g4(eglg4(i)-pw2+j)=0;
        end
    end
end

% Compensa los estados bajos (LO)
dg2g3 = diff(g2Temp.*g3Temp);
dg2g3(1) = 0;
sg2g3 = find((dg2g3)>0); % Busca comienzo de los pulsos M1,M4
eg2g3 = find((dg2g3)<0); % Busca fin de los pulsos M1,M4
h = -Vcc+2*Von;
h1 = -Vcc-2*Vd;
h2 = Vcc-2*Von;
for i = 1:length(eg2g3)
    pw = eg2g3(i)-sg2g3(i); % Duración de los pulsos originales
    pw2 = round(pw*(1-((h-h2)/(h1-h2)))); % Ancho pulso compensación
    if Signol(eg2g3(i)) == 1 % I>0. Para I<0 no hay compensación
        for j = 1:pw2
            g1(eg2g3(i)-pw2+j)=1; % Agrega pulso de compensación
            g2(eg2g3(i)-pw2+j)=0;
            g3(eg2g3(i)-pw2+j)=0;
            g4(eg2g3(i)-pw2+j)=1;
        end
    end
end

gates=[g1',g2',g3',g4'];
PWMCVD=RealPWM(gates, SignoV', Signol', Vcc, Vd, Von);
PWMCVDF= FiltroLF(fs, PWMCVD'); % Salida filtrada con LPF
PWMCVDIHD = THD(PWMCVDF, fs) % Calcula THD

figure;
subplot(3,1,1), plot(tiempo, PWMCVD)
subplot(3,1,2), plot(tiempo, PWMCVDF)
subplot(3,1,3), plot(tiempo, IOOut)

```

Listado C.7: Modulación PWM compensando caídas de tensión y tiempos muertos

```

% *****
% Compensa caídas en los dispositivos y tiempos muertos
% Inhibe encendidos innecesarios en base a la amplitud de la corriente
% *****
g1=g1Temp; g2=g2Temp; g3=g3Temp; g4=g4Temp;           % Recupera gates temporizado ideal
DeltaI = .05;                                         % Límite para aplicar temporizado simplificado

% Compensa los ceros (0)
dg2g4 = diff(g2Temp.*g4Temp);
sg2g4 = find((dg2g4)>0);                               % Busca comienzo de los pulsos M2,M4
eg2g4 = find((dg2g4)<0);                               % Busca fin de los pulsos M2,M4
for i = 1:length(eg2g4)
    pw = eg2g4(i)-sg2g4(i);                            % Duración de los pulsos originales
    if Signol(eg2g4(i)) == 0                            % I < 0
        h1 = Vd+Von;
        h2 = -Vcc+2*Von;
        pw2 = round(-pw*h1/(h2-h1));                  % Ancho pulso compensación
        for j = 1:pw2+1
            g4(eg2g4(i)-pw2+j)=0;                    % Agrega pulso de compensación
            g3(eg2g4(i)-pw2+j)=1;
        end
        for j = 1:nTM
            g4(eg2g4(i)-pw2-nTM+j)=0;                % Agrega tiempo muerto. Apaga M4
        end
        if abs(IOut(eg2g4(i))) > DeltaI              % Aplicar temporizado simplificado ?
            for j = 1:pw
                g4(eg2g4(i)-pw+j)=0;                  % Si. Apaga M4
            end
        end
    else                                                % I > 0
        h1 = -Vd-Von;
        h2 = Vcc-2*Von;
        pw2 = round(-pw*h1/(h2-h1));                  % Ancho pulso compensación
        for j = 1:pw2
            g2(eg2g4(i)-pw2+j)=0;                    % Agrega pulso de compensación
            g1(eg2g4(i)-pw2+j)=1;
        end
        for j = 1:nTM
            g2(eg2g4(i)-pw2-nTM+j)=0;                % Agrega tiempo muerto. Apaga M2
        end
        if abs(IOut(eg2g4(i))) > DeltaI              % Aplicar temporizado simplificado ?
            for j = 1:pw
                g2(eg2g4(i)-pw+j)=0;                  % Si. Apaga M2
            end
        end
    end
end
end
dg1g3 = diff(g1Temp.*g3Temp);
dg1g3(1) = 0;
sg1g3 = find((dg1g3)>0);                               % Busca comienzo de los pulsos M1,M3
eg1g3 = find((dg1g3)<0);                               % Busca fin de los pulsos M1,M3
for i = 1:length(eg1g3)

```

```

pw = eglg3(i)-sglg3(i); % Duración de los pulsos originales
if Signol(eglg3(i)) == 0 % I < 0
    h1 = Vd+Von;
    h2 = -Vcc+2*Von;
    pw2 = round(-pw*h1/(h2-h1)); % Ancho pulso compensación
    for j = 1:pw2
        g1(eglg3(i)-pw2+j)=0; % Agrega pulso de compensación
        g2(eglg3(i)-pw2+j)=1;
    end
    for j = 1:nTM
        g1(eglg3(i)-pw2-nTM+j)=0; % Agrega tiempo muerto. Apaga M1
    end
else % I > 0
    h1 = -Vd-Von;
    h2 = Vcc-2*Von;
    pw2 = round(-pw*h1/(h2-h1)); % Ancho pulso compensación
    for j = 1:pw2
        g3(eglg3(i)-pw2+j)=0; % Agrega pulso de compensación
        g4(eglg3(i)-pw2+j)=1;
    end
    for j = 1:nTM
        g3(eglg3(i)-pw2-nTM+j)=0; % Agrega tiempo muerto. Apaga M3
    end
end
end

% Compensa los estados altos (HI)
dglg4 = diff(g1Temp.*g4Temp);
dglg4(1) = 0;
sglg4 = find((dglg4)>0); % Busca comienzo de los pulsos M1,M4
eglg4 = find((dglg4)<0); % Busca fin de los pulsos M1,M4
h = Vcc-2*Von;
h1 = Vcc+2*Vd;
h2 = -Vcc+2*Von;
for i = 1:length(eglg4)
    pw = eglg4(i)-sglg4(i); % Duración de los pulsos originales
    pw2 = round(pw*(1-((h-h2)/(h1-h2)))); % Ancho pulso compensación
    if Signol(eglg4(i)) == 0 % I<0. Para I>0 no hay compensación
        for j = 1:pw2
            g1(eglg4(i)-pw2+j)=0; % Agrega pulso de compensación
            g2(eglg4(i)-pw2+j)=1;
            g3(eglg4(i)-pw2+j)=1;
            g4(eglg4(i)-pw2+j)=0;
        end
        if pw > nTM
            for j = 1:nTM
                g1(eglg4(i)-pw2-nTM+j)=0; % Agrega tiempo muerto. Apaga M1
                g4(eglg4(i)-pw2-nTM+j)=0; % Agrega tiempo muerto. Apaga M4
            end
        end
    end
end
end

% Compensa los estados bajos (LO)
dg2g3 = diff(g2Temp.*g3Temp);

```

```

dg2g3(1) = 0;
sg2g3 = find((dg2g3)>0); % Busca comienzo de los pulsos M1,M4
eg2g3 = find((dg2g3)<0); % Busca fin de los pulsos M1,M4
h = -Vcc+2*Von;
h1 = -Vcc-2*Vd;
h2 = Vcc-2*Von;
for i = 1:length(eg2g3)
    pw = eg2g3(i)-sg2g3(i); % Duración de los pulsos originales
    pw2 = round(pw*(1-((h-h2)/(h1-h2)))); % Ancho pulso compensación
    if SignoI(eg2g3(i)) == 1 % I>0. Para I<0 no hay compensación
        for j = 1:pw2
            g1(eg2g3(i)-pw2+j)=1; % Agrega pulso de compensación
            g2(eg2g3(i)-pw2+j)=0;
            g3(eg2g3(i)-pw2+j)=0;
            g4(eg2g3(i)-pw2+j)=1;
        end
        if pw > nTM
            for j = 1:nTM
                g2(eg2g3(i)-pw2-nTM+j)=0; % Agrega tiempo muerto. Apaga M2
                g3(eg2g3(i)-pw2-nTM+j)=0; % Agrega tiempo muerto. Apaga M3
            end
        end
    end
end
end
gates=[g1',g2',g3',g4'];
PWMCVDIM=RealPWM(gates,SignoV',SignoI',Vcc,Vd,Von);
PWMCVDTMF=FiltroLF(fs,PWMCVDTMF); % Salida filtrada con LPF
PWMCVDTMTHD = THD(PWMCVDTMF,fs) % Calcula THD
figure;
subplot(3,1,1), plot(tiempo,PWMCVDTMF)
subplot(3,1,2), plot(tiempo,PWMCVDTMF)
subplot(3,1,3), plot(tiempo,IOut)

```

Listado C.8: Rutina de filtrado pasabajos

```

% *****
% Filtra una señal con un pasabajos de orden 4 y 100Khz de corte
% *****

function [OutSignal]=FiltroLF(fs,InSignal)

fc=100000;
wc=2*pi*fc;
fNy=fs/2;
wn=fc/fNy; % w normalizada
[B,A]=butter(4,wn);
OutSignal=filtfilt(B,A,InSignal'); % Filtrado digital

```


Listado C.9: Rutina cálculo modulación PWM

```

% *****
% Calcula el PWM en funcion de la secuencia de las llaves. Tiene en cuenta las caídas de tensión
% *****

function [PWM,dumml]=RealPWM(gates,sV,sI,fuente,vd,von)

load secuencia;
% Vector de números que identifica a cada pulso
dumm=gates(:,1)+gates(:,2)*2+gates(:,3)*4+gates(:,4)*8+sI*16;
% Vector de números que identifica a cada secuencia
dumml=secuencia(:,1)+secuencia(:,2)*2+secuencia(:,3)*4+secuencia(:,4)*8+secuencia(:,5)*16;
for i=1:length(dumml) % Para cada secuencia
    elementos=find(dumm==dumml(i)); % Halla los lugares donde se produce c/u
% Asigna el alto del pulso correspondiente
    PWM(elementos)=secuencia(i,6)*fuente+secuencia(i,7)*vd+secuencia(i,8)*von;
end

```

Listado C.10: Rutina armado onda triangular para modulación PWM

```

% *****
% Arma una onda triangular para el cálculo de PWM.
% triangular(tiempo,periodo,amplitud)
% *****

function x=triangular(tiempo,periodo,amplitud)

T=periodo;
x=mod(tiempo,periodo);
x1=x.*(x<=T/4);
x2=(T/2-x).*(x>T/4&x<=T*3/4);
x3=(-T+x).*(x>T*3/4&x<=T);
x=(x3+x2+x1)/T*4*amplitud;

```

Listado C.11: Rutina cálculo THD

```

% *****
% Calcula el valor de THD de la modulación PWM. Tiene en cuenta los primeros 20 armónicos
% param_v = pwmcargaIdeal
% *****

function result=THD(param_v,fs)

N=length(param_v); % Resolución en frecuencia
fr=fs/(N);
X=fft(param_v); % FFT del PWM
mod_x=abs(X);
lugares=find(mod_x>=0.95*max(mod_x));
lugares=lugares(1);
mod_x=mod_x/mod_x(lugares); % Normalización de la FFT

```

```

h1 = mod_x(lugares); % Fundamental
for k=2:20, %RMS de los primeros 20 armónicos
    index=lugares + (lugares-1)*(k-1);
    mod_x2(k) = ( mod_x( index ) )^2;
end
h_rms = sqrt( sum(mod_x2) ); %RMS de armónicos
result=100 * h_rms /h1; % THD

```

Listado C.12: Tabla secuencia para cálculo PWM

M1	M2	M3	M4	SI	VCC	VD	VON
0	0	0	0	0	1	2	0
0	0	0	0	1	-1	-2	0
0	0	0	1	0	1	2	0
0	0	0	1	1	0	-1	-1
0	0	1	0	0	0	1	1
0	0	1	0	1	-1	-2	0
0	1	0	0	0	0	1	1
0	1	0	0	1	-1	-2	0
0	1	0	1	0	0	1	1
0	1	0	1	1	0	-1	-1
0	1	1	0	0	-1	0	2
0	1	1	0	1	-1	-2	0
1	0	0	0	0	1	2	0
1	0	0	0	1	0	-1	-1
1	0	0	1	0	1	2	0
1	0	0	1	1	1	0	-2
1	0	1	0	0	0	1	1
1	0	1	0	1	0	-1	-1

La tabla que se muestra en C.12 corresponde a la variable *secuencia*, empleada en la rutina *RealPWM* para el cálculo de la modulación PWM. En ella se indican las posibles combinaciones del estado de las llaves (columnas M_1 a M_4), como así también el signo de la corriente (columna SI). En base a la combinación resultante, a partir de las columnas V_{CC} , V_D y V_{ON} se obtienen los coeficientes que permiten conocer el valor de tensión que efectivamente queda aplicada sobre la carga. Así por ejemplo para la combinación de llaves $\{0, 1, 0, 0\}$ y $SI = 1$, la tensión resultante será $-1V_{CC} - 2V_D$.

Apéndice D

Rutinas de simulación en *IRSim*

Se presentan aquí los archivos de comandos (*scripts*) que se emplearon para la simulación con la herramienta *IRSim*, tanto de las diferentes etapas internas del CI, como del funcionamiento global.

Listado D.1: Archivo de comandos para la simulación de la interfaz serie

```
stepsize 100
model linear

h 3
l 1
clock 1976 0 1
vector S 323 306 277 262 234 214 187 174 158 146 126 112 88 85 55 305 301 269 239 18 198 384 368
vector Q 8176 1461 1472 1482 1495 1511 1547 1560 1579 1595 1613 1630 1646 1660 1693 1705
vector A 5407
vector B 8364
vector C 8365
vector D 1376
vector E 1717
vector QEN 1445
vector SDI 345
vector SDO 2957

w SDO Q E D C B A QEN
set S 00000000000000000000000000000000
set Q 00000000000000000000000000000000
set A 0
set B 0
set C 0
set D 0
```

```
set E 0
set QEN 0
set SDI 0
c
c
set S xxxxxxxxxxxxxxxxxxxxxxxxxxx
set Q xxxxxxxxxxxxxxxxxxxxxxx
set A x
set B x
set C x
set D x
set E x
set QEN x
c
set SDI 1
c
set SDI 0
c
set SDI 1
c
set SDI 0
c
set SDI 1
c
c
c
c
set SDI 1
c
c
set SDI 0
c
set SDI 1
c
c
c
set SDI 1
c
c
c
set SDI 0
c
set SDI 1
c
c
set SDI 0
c
c
```

Listado D.2: Archivo de comandos para la simulación del bloque de conteo

```

stepsize 5
model linear

h 3
l 1
| Entrada clock externo
clock 6636 0 1
| Entrada clock interno
clock 8724 0 1
| Salida de LSB Y MSB
vector C0 7479
vector C11 7484
| Variables contador sincrónico C11...C00
vector cont_d 8717 8692 8673 8646 8622 8606 8579 8561 8538 8513 8496 8470
vector Cont_C 8377 8380 8388 8395 8404 8409 8416 8422 8430 8435 8443 8448
vector cont_b 8712 8681 8667 8650 8637 8598 8568 8555 8530 8503 8487 8477

w C0 C11 cont_c
set cont_C 000000000000
set Cont_d 000000000000
set cont_b 111111111111
c
c
set cont_c xxxxxxxxxxxx
set Cont_d xxxxxxxxxxxx
set cont_b xxxxxxxxxxxx
c
c
c
c 508
c
c 511
c
c 1023
c
c 2047
c

```

Listado D.3: Archivo de comandos para la simulación completa del CI

```

stepsize 5
model linear

h 3
l 1
clock 1976 0 1
vector Q 8176 1461 1472 1482 1495 1511 1547 1560 1579 1595 1613 1630 1646 1660 1693 1705
vector S 323 306 277 262 234 214 187 174 158 146 126 112 88 85 55 305 301 269 239 18 198 384 368
| Valores en los bits de habilitación de los registros _RiEN
vector ENAB 8156 7900 7548 7554 7193 6928 6677 6306 6309 5964 5702 5452 5083 5090 4821 4502 4231 3869
3876 3598 3265 3000 2627 2633 2355 2034 1768 1432 1436 1115 766 496
vector SDI 345
vector QEN 1445

```

```

vector EN1 3807
| Valores guardados en el registro R2
vector R2 1125 1138 1146 1155 1169 1185 1200 1214 1243 1258 1275 1291 1305 991 1352 1367
=====
| Inicia el shift register y carga información en el registro 2
=====
set S 000000000000000000000000
set Q 0000000000000000
set ENAB 0000000000000000000000000000000000000000
set SDI 0
set EN1 0
c
c
set S xxxxxxxxxxxxxxxxxxxxxxxxx
set Q xxxxxxxxxxxxxxxxx
set ENAB xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
c
| Carga bits 0 al 15: 1110000000000100
set SDI 0
c 2
set SDI 1
c 1
set SDI 0
c 10
set SDI 1
c 3
| Carga dirección del registro 12h (LSB first)
set SDI 0
c
set SDI 1
c
set SDI 0
c
set SDI 0
c
set SDI 1
c
| Envía bits finales y genera pulso en EN1
set SDI 1
c 3
w Q QEN EN1 ENAB
w R2
s
set EN1 1
s
set EN1 0
s
s
=====
| Carga información en el registro 11
=====
w -Q -QEN -EN1 -ENAB
w -R2
| Carga bits 0 al 15: 0011100000000000
set SDI 0

```

```

c 11
set SDI 1
c 1
set SDI 1
c 2
set SDI 0
c 2
| Carga dirección del registro 1Bh (LSB first)
set SDI 1
c
set SDI 1
c
set SDI 0
c
set SDI 1
c
set SDI 1
c
| Envía bits finales y genera pulso en EN1
set SDI 1
c 3
w Q QEN EN1 ENAB
s
set EN1 1
s
set EN1 0
s
s
=====
| Carga información en el registro 31
=====
w -Q -QEN -EN1 -ENAB
| Carga bits 0 al 15: 0001100000000011
set SDI 1
c 2
set SDI 0
c 9
set SDI 1
c 1
set SDI 1
c 1
set SDI 0
c 3
| Carga dirección del registro Fh (LSB first)
set SDI 1
c
set SDI 1
c
set SDI 1
c
set SDI 1
c
set SDI 0
c
| Envía bits finales y genera pulso en EN1

```

```

set SDI 1
c 3
w Q QEN EN1 ENAB
s
set EN1 1
s
set EN1 0
s
s
w -Q -QEN -EN1 -R2 -ENAB
clock 992 0 0

```

```

| Inicia el contador de 12 bits

```

```

clock 6636 0 1
| Variables contador sincrónico
vector cont_out 8717 8692 8673 8646 8622 8606 8579 8561 8538 8513 8496 8470
vector Contador 8377 8380 8388 8395 8404 8409 8416 8422 8430 8435 8443 8448
vector cont_b 8712 8681 8667 8650 8637 8598 8568 8555 8530 8503 8487 8477
| Salida de Semiperíodo
vector SP 7484
w Contador
set cont_out 000000000000
set Contador 000000000000
set cont_b 111111111111
c
c
set cont_out xxxxxxxxxxxx
set Contador xxxxxxxxxxxx
set cont_b xxxxxxxxxxxx
c
| El contador queda en 0
vector MATCH 3812
vector QO 2962 1981 1056 350
vector EN2 1051
vector MAT 49
vector Qtem 40 65 89 113
vector M1 1117
vector R2 1115
vector B 1229
vector a1 1000
vector b1 1232
vector c1 1233
vector a2 1336
vector b2 1349
vector c2 1334
vector d2 1335
vector a3 1658
vector b3 991
set Qtem 0000
set EN2 1
set MAT 1
s
s
set MAT 0

```



```
s
s
set MAT x
set Qtem xxxx
s
w MAT MATCH QO EN2
c
set EN2 0
c
c
c 2041
c
c
c
c
c
c
c 2044
c
c
c
c
c
c
set EN2 1
s
```

En este último listado, para verificar globalmente el funcionamiento, se programan los registros de memoria 2, 11 y 31 con las consignas de tiempo 004h, 800h y 803h, respectivamente. Luego se avanza el reloj externo que maneja al bloque de conteo, y se verifican las coincidencias y actualizaciones de los estados en las salidas.

Apéndice E

Resultado de la comparación *layout* versus esquemático

Se muestra a continuación el resultado obtenido durante la comparación entre el *layout* del circuito integrado (CI) dibujado con el software *L-Edit*, y el circuito eléctrico confeccionado con la herramienta *S-Edit*. De ambos programas se obtiene un archivo con la representación de los dispositivos y sus nodos (*netlist*), y se comparan entre sí con el software *LVS* para verificar su concordancia.

Listado E.1: Resultado del proceso de verificación *layout* versus esquemático

```
File written by LVS 9.30 as a result of: "D:\UNS\Magister\Chip\Revisión 5\Setup1.vdb"
on Mon Jun 20 11:28:09 2005

Command line :
lvs D:\UNS\Magister\Chip\Revisión 5\FINAL_CHIP.spc D:\UNS\Magister\Chip\Revisión 5\
Final Chip.sp -o D:\UNS\Magister\Chip\Revisión 5\RESULTADO.out -mr ALL -ml
ALL -mc ALL -mb ALL -md ALL -mj ALL -mm ALL -mq ALL -mz ALL -hspice -nrcl

Engine configuration report:
Layout netlist file ..... D:\UNS\Magister\Chip\
Revisión 5\FINAL_CHIP.spc
Layout netlist file format ..... T-Spice
Schematic netlist file ..... D:\UNS\Magister\Chip\
Revisión 5\Final Chip.sp
Schematic netlist file format ..... P-Spice
Consider Bulk nodes ..... ON
Consider Resistors as polarized elements ..... OFF
Consider Capacitors as polarized elements ..... OFF
```

```

Consider Inductors as polarized elements ..... OFF
Merge series and parallel R ..... ALL
Merge series and parallel C ..... ALL
Merge series and parallel L ..... ALL
Merge parallel M ..... ALL
Merge parallel D ..... ALL
Merge parallel B ..... ALL
Merge parallel J ..... ALL
Merge parallel Z ..... ALL
Merge parallel Q ..... ALL
Merge series MOSFETs ..... OFF
Find series MOSFETs that differ in order ..... OFF
Remove shorted devices ..... OFF
Remove disconnected devices ..... OFF
Fast Iteration ..... OFF

```

```

Parsing file D:\UNS\Magister\Chip\Revisión 5\FINAL_CHIP.spc...
Warning: FINAL_CHIP.spc(68): Implicit .model definition PMOS
Warning: FINAL_CHIP.spc(282): Implicit .model definition NMOS
Flattening netlist...

```

```

Parsing file D:\UNS\Magister\Chip\Revisión 5\Final Chip.sp...
Warning: Final Chip.sp(14): Implicit .model definition NMOS
Warning: Final Chip.sp(17): Implicit .model definition PMOS
Flattening netlist...

```

Device	FINAL_CHIP.spc	Final Chip.sp	Status
M_NMOS	10054	7777	MISMATCH (2277)
M_PMOS	10467	8183	MISMATCH (2284)
C	31	25	MISMATCH (6)
Total elements	20552	15985	MISMATCH (4567)
Total nodes	8756	8756	
Single-pin nodes	1	1	

Merging devices...

```

Eliminated from FINAL_CHIP.spc:
    6 parallel capacitor(s)
    4561 parallel MOSFET(s)

```

Device	FINAL_CHIP.spc	Final Chip.sp	Status
M_NMOS	7777	7777	
M_PMOS	8183	8183	
C	25	25	
Total elements	15985	15985	
Total nodes	8756	8756	
Single-pin nodes	1	1	

Iterating...

```

    5 % done.
    10 % done.
    15 % done.

```

```
20 % done .
25 % done .
30 % done .
35 % done .
40 % done .
45 % done .
50 % done .
55 % done .
60 % done .
65 % done .
70 % done .
75 % done .
80 % done .
85 % done .
90 % done .
13937 perfectly matched element classes (out of a possible 15985).
512 automorphed element classes .
7732 perfectly matched node classes (out of a possible 8756).
256 automorphed node classes .

Doing detailed trial matching... Step 1 (Match by parameters)
Doing detailed trial matching... Step 2 (Random matches)
 95 % done .
100 % done .

***** FINAL RESULT *****

Note: Devices have been merged.
Circuits are equal.
Run time: 1:52 (min:sec)

      0 error(s), 4 warning(s)
```

Luego de una serie de iteraciones para resolver las estructuras que se encuentran repetidas (*Automorphed classes*), se llega al resultado final que ambos circuitos son equivalentes (*Circuits are equal*). Con esto se termina de validar el CI.

Apéndice F

Rutinas de ejecución en el DSP

Se enumeran en esta sección las rutinas más relevantes del código en C implementado sobre el DSP, para los ensayos del Circuito Integrado (CI) mencionados en el Capítulo 5.

Listado F.1: Rutinas manejo SPI

```
// Escribe el registro reg (5 bits) con la info en tim (12 bits) y out (4 bits)
// enab = 1 habilita el registro
void write_reg(Uint16 tim, Uint16 out, Uint16 reg, Uint16 enab)
{
    Uint16 i;
    i = ((tim & 1)<<11)+((tim & 2)<<9)+((tim & 4)<<7)+((tim & 8)<<5)+((tim & 16)<<3);
    i = i +((tim & 32)<<1)+((tim & 64)>>1)+((tim & 128)>>3)+((tim & 256)>>5);
    i = i +((tim & 512)>>7)+((tim & 1024)>>9)+((tim & 2048)>>11);
    wait_spi((i & 0xFF0)>>4);
    wait_spi(((i & 0x00F)<<4) + out);
    wait_spi((reg << 3) + (enab << 2));
    set_en1; // Activa En1_In
    delay(1); // Retardo 1 uSeg
    clr_en1; // Desactiva En1_In
}

// Espera que termine de transmitir el SPI
Uint16 wait_spi(Uint16 k)
{
    SpiaRegs.SPITXBUF = (k << 8); // Manda dato
    for(;;) if (SpiaRegs.SPISTS.bit.INT_FLAG == 1) break; // Espera fin de transmisión
    return (SpiaRegs.SPIRXBUF); // Dummy read
}
```

El Listado F.1 muestra las rutinas de manejo del puerto SPI del DSP. La primera de ellas es la que ejecuta la escritura de los 3 ciclos de 8 bits cada uno; mientras que la segunda

rutina detecta cuando se ha terminado de enviar una trama para transmitir la siguiente.

Listado F.2: Borrado registros CI

```
for (i=1; i<32; i++) write_reg (0,0,i,0);           // Borra todo
write_reg (0,0,0,1);                               // Programa salidas a 0
delay (50000);                                     // Espera salidas vayan a 0
write_reg (0,0,0,0);                               // Deshabilita registro 0
```

El Listado F.2 muestra el código utilizado para borrar todos los registros del CI, y establecer niveles lógicos 0 en todas las salidas de llaves.

Listado F.3: Prueba decodificación y salida interfaz serie

```
for (;;)
{
    write_reg (0x2AA,5,14,1);                       // Patrón para registro 14
    delay (50);                                     // Retardo 50 uSeg
    write_reg (0,0,14,0);                           // Patrón para registro 14
    delay (50);                                     // Retardo 50 uSeg
}
```

La rutina del Listado F.3 se emplea con dos fines diferentes; por un lado permite observar la salida del decodificación del registro número 14; y por otro lado sirve para observar que la trama que se escribe en el primer comando aparece replicado en la salida *Sdo_Out* durante la escritura del segundo comando. Esto se ejecuta indefinidamente para facilitar la observación con osciloscopio.

Listado F.4: Generación conteo binario en salidas de llaves

```
for (i=0; i<31; i+=2)
{
    write_reg ((Uint16)(0x1000/32*i),i & 0xf,i,1);
    write_reg ((Uint16)(0x1000/32*(i+1)),(i+1) & 0xf,i+1,1);
}
for (;;);
```

La rutina del Listado F.4 se utiliza para generar en las salidas del estado de las llaves, un patrón similar al de un contador binario de 4 etapas. Tiene como objeto verificar el correcto funcionamiento de los 32 registros del CI.

Listado F.5: Código para verificar la señal *Match_Out*

```

write_reg(0x7ff,0xf,4,1); // Patrón para registro 4
write_reg(0x920,0,15,1); // Patrón para registro 15
for(;;)

```

El Listado F.5 muestra el código utilizado para generar un pulso positivo en las salidas de llaves, empleado para observar la señal de coincidencia entre el bloque de conteo, y las consignas grabadas en dos registros del CI.

Listado F.6: Código para generar modulación PWM clásica

```

void classic()
{
    Uint16 i, dap, dan, st;
    Uint16 gate1, gate2, gate3, gate4;
    while(1)
    {
// Acá está en el 1° semiciclo. Programa el 2°

        for(;;) if (cycle == 1) break;
        gate1 = 0x800 + dap;
        gate2 = 0x800 + dap+dt;
        gate3 = 0x800 + dan;
        gate4 = 0x800 + dan+dt;
        st = 0;
        if (gate1 < gate3) st += G3;
        if (gate1 >= gate4) st += G4;
        write_reg(gate1,st,10,1); // Bajada de M1
        st = G2;
        if (gate2 < gate3) st += G3;
        if (gate2 >= gate4) st += G4;
        write_reg(gate2,st,11,1); // Subida de M2
        st = 0;
        if (gate3 < gate1) st += G1;
        if (gate3 >= gate2) st += G2;
        write_reg(gate3,st,12,1); // Bajada de M3
        st = G4;
        if (gate4 < gate1) st += G1;
        if (gate4 >= gate2) st += G2;
        write_reg(gate4,st,13,1); // Subida de M4

// Acá está en el 2° semiciclo. Programa el 1°

        i++;
        if (i==390) i=0;
        dap = seno[i];
        dan = 0x7FF - dap;
        for(;;) if (cycle == 0) break;
        gate1 = dan+dt;

```

```

    gate2 = dan;
    gate3 = dap+dt;
    gate4 = dap;
    st = G1;
    if (gate1 >= gate3) st += G3;
    if (gate1 < gate4) st += G4;
    write_reg(gate1, st, 0, 1); // Subida de M1
    st = 0;
    if (gate2 >= gate3) st += G3;
    if (gate2 < gate4) st += G4;
    write_reg(gate2, st, 1, 1); // Bajada de M2
    st = G3;
    if (gate3 >= gate1) st += G1;
    if (gate3 < gate2) st += G2;
    write_reg(gate3, st, 2, 1); // Subida de M3
    st = 0;
    if (gate4 >= gate1) st += G1;
    if (gate4 < gate2) st += G2;
    write_reg(gate4, st, 3, 1); // Bajada de M4
}
}

```

La rutina del Listado F.6 muestra el código para la generación de un patrón clásico de modulación PWM, es decir sin ningún tipo de compensación.

Listado F.7: Código para generar modulación PWM compensada

```

void comp_full()
{
    Uint16 i;
    Uint16 st1, st2, st3, st4;
    i = 0;
    dap = 0x400;
    cur = 0;
    while(1)
    {
// Acá está en el 1º semiciclo. Programa el 2º

        if (cur==780) cur=0;
        if ((cur >= tres1) && (cur <=tresh)) si = 1; // Signo corriente
        else si = 0;
        for(;;) if (cycle == 1) break;
        if ((abs(tres1-cur) < deltai) || (abs(tresh-cur) < deltai)) dt = 2;
        else dt = 100;
        if (((dap < 0x400+delta) && (dap > 0x400-delta)) ||
            (abs(tres1-cur) < deltai) || (abs(tresh-cur) < deltai)) // Tensión muy chica
        {
            if (si == 1)
// SI=1
            {
                if(dap == dan)
                {

```

```

write_reg(0x800+dap-dt,G1,10,1); // Bajada de M3
write_reg(0x800+dap,G4,11,1); // Bajada de M1 y subida M4
write_reg(0x800+dap+dt,G2|G4,12,1); // Subida de M2
write_reg(0,0,13,0); // Deshabilita registro
}
else
{
if(sv ==1) // SV=1 SI=1
{
write_reg(0x800+dan-dt,G1,10,1); // Bajada de M3
write_reg(0x800+dan,G1|G4,11,1); // Subida de M4
write_reg(0x800+dap,G4,12,1); // Bajada de M1
write_reg(0x800+dap+dt,G2|G4,13,1); // Subida de M2
}
else // SV=0 SI=1
{
st1 = G3;
st2 = G2|G3;
st3 = G2;
st4 = G2|G4;
if((dan-dt) < dap)
{ st3+=G1;
st1-=G3; }
if((dan-dt)<(dap+dt))
{ st3-=G2;
st2-=G3; }
if((dap+dt)==(dan-dt)) st2-=G3;
if((dap+dt) > dan)
{ st2+=G4;
st4-=G2; }
if((dap+dt) == dan) st2+=G4;
write_reg(0x800+dap,st1,10,1); // Bajada de M1
write_reg(0x800+dap+dt,st2,11,1); // Subida de M2
write_reg(0x800+dan-dt,st3,12,1); // Bajada de M3
write_reg(0x800+dan,st4,13,1); // Subida de M4
}
}
}
else // SI=0
{
if(dap == dan)
{
write_reg(0x800+dap-dt,G3,10,1); // Bajada de M1
write_reg(0x800+dap,G2,11,1); // Subida M2 y bajada de M3
write_reg(0x800+dap+dt,G2|G4,12,1); // Subida de M4
write_reg(0,0,13,0); // Deshabilita registro
}
else
{
if(sv ==1) // SV=1 SI=0
{
st3 = G1;
st4 = G1|G4;
st1 = G4;
st2 = G2|G4;

```

```

    if((dap-dt) < dan)
    {
        st1+=G3;
        st3-=G1; }
    if((dap-dt)<(dan+dt))
    {
        st1-=G4;
        st4-=G1; }
    if((dan+dt)==(dap-dt)) st4-=G1;
    if((dan+dt) > dap)
    {
        st4+=G2;
        st2-=G4; }
    if((dan+dt) == dap) st4+=G2;
    write_reg(0x800+dan,st3,10,1); // Bajada de M3
    write_reg(0x800+dan+dt,st4,11,1); // Subida de M4
    write_reg(0x800+dap-dt,st1,12,1); // Bajada de M1
    write_reg(0x800+dap,st2,13,1); // Subida de M2
    }
else // SV=0 SI=0
{
    write_reg(0x800+dap-dt,G3,10,1); // Bajada de M1
    write_reg(0x800+dap,G2|G3,11,1); // Subida de M2
    write_reg(0x800+dan,G2,12,1); // Bajada de M3
    write_reg(0x800+dan+dt,G2|G4,13,1); // Subida de M4
    }
}
}
write_reg(0,0,14,0); // Deshabilita registro
write_reg(0,0,15,0); // Deshabilita registro
write_reg(0,0,16,0); // Deshabilita registro
write_reg(0,0,17,0); // Deshabilita registro
}
else if ((si ^ sv) == 0) // V e I mismo signo
{
    kp = (dap*kk3[i]) >> 10;
    kn = (dan*kk3[i]) >> 10;
    if (si == 1) // SI=1 SV=1
    {
        write_reg(0x800+dan-dt-kn,G1,10,1); // Bajada de M3
        write_reg(0x800+dan-kn,G1|G4,11,1); // Subida de M4
        write_reg(0x800+dap,G4,12,1); // Bajada de M1
        write_reg(0x800+dap+dt,G2|G4,13,1); // Subida de M2
        write_reg(0,0,14,0); // Deshabilita registro
        write_reg(0,0,15,0); // Deshabilita registro
        write_reg(0,0,16,0); // Deshabilita registro
        write_reg(0,0,17,0); // Deshabilita registro
    }
else // SI=0 SV=0
{
    write_reg(0x800+dap-dt-kp,G3,10,1); // Bajada de M1
    write_reg(0x800+dap-kp,G2|G3,11,1); // Subida de M2
    write_reg(0x800+dan,G2,12,1); // Bajada de M3
    write_reg(0x800+dan+dt,G2|G4,13,1); // Subida de M4
    write_reg(0,0,14,0); // Deshabilita registro
    write_reg(0,0,15,0); // Deshabilita registro
    write_reg(0,0,16,0); // Deshabilita registro
    write_reg(0,0,17,0); // Deshabilita registro
}
}

```

```

    }
  }
  else
  {
    if (si == 1)
// SI=1 SV=0
    {
      kp = (dap*kk1[i]) >> 10;
      kn = (dan*kk2[i]) >> 10;
      write_reg(0x800+dap-dt-kp,G1,10,1); // Bajada de M3
      write_reg(0x800+dap-kp,G4|G1,11,1); // Subida de M4
      write_reg(0x800+dap,0,12,1); // Bajada de M1 y M4
      write_reg(0x800+dap+dt,G2|G3,13,1); // Subida de M2 y M3
      write_reg(0x800+dan-dt-kn,0,14,1); // Bajada de M2 y M3
      write_reg(0x800+dan-kn,G1|G4,15,1); // Subida de M1 y M4
      write_reg(0x800+dan,G4,16,1); // Bajada de M1
      write_reg(0x800+dan+dt,G2|G4,17,1); // Subida de M2
    }
    else // SI=0 SV=1
    {
      kp = (dap*kk2[i]) >> 10;
      kn = (dan*kk1[i]) >> 10;
      write_reg(0x800+dan-dt-kn,G3,10,1); // Bajada de M1
      write_reg(0x800+dan-kn,G2|G3,11,1); // Subida de M2
      write_reg(0x800+dan,0,12,1); // Bajada de M2 y M3
      write_reg(0x800+dan+dt,G1|G4,13,1); // Subida de M1 y M4
      write_reg(0x800+dap-dt-kp,0,14,1); // Bajada de M1 y M4
      write_reg(0x800+dap-kp,G2|G3,15,1); // Subida de M2 y M3
      write_reg(0x800+dap,G2,16,1); // Bajada de M3
      write_reg(0x800+dap+dt,G2|G4,17,1); // Subida de M4
    }
  }
}

// Acá está en el 2° semiciclo. Programa el 1°
// .....

```

En la rutina del Listado F.7 se implementa el algoritmo modulación PWM con la compensación completa; es decir teniendo en cuenta tanto los tiempos muertos, como las caídas en los dispositivos. Solamente se muestra una parte del código, correspondiente a la programación del CI en la segunda mitad del ciclo de modulación. La otra mitad es similar y no se incluye por una cuestión de espacio.

Índice alfabético

- Alimentación, 92
- Arquitectura del circuito integrado, 84
- Arquitectura del sistema implementado, 118
- Bloque de comparación, 102
- Caída de tensión en las llaves y diodos, 16
- Capacidad de carga, 91
- Compensación de las caídas de tensión, 58
- Compensación de los tiempos muertos, 67
- Control de las llaves, 104
- Decodificación, 95
- Descripción del método, 57
- Distorsión armónica, 12
- Ensayos efectuados sobre el CI, 129
- Ensayos efectuados sobre el sistema completo, 136
- Esquemas de modulación, 4
- Etapas de conteo, 99
- Generalidades del diseño, 88
- Interfaz serie, 92
- Introducción, 47, 83, 117
- Introducción a los amplificadores conmutados, 1
- Layout del circuito integrado, 110
- Método general de compensación de tiempos muertos y caídas de tensión, 71
- Memoria RAM, 98
- Modulación PWM bipolar, 7
- Modulación PWM unipolar, 10
- Placa con el CI desarrollado, 121
- Placa del inversor, 124
- Plataforma DSP, 119
- Problemática de la modulación PWM, 47
- Proceso de modulación, 12
- Resultados teóricos, 65, 78
- Síntesis, 19, 44, 81, 116, 147
- Simulación del circuito integrado, 108
- Software del DSP, 127
- Tamaño de transistores, 89
- Tiempos muertos, 13
- Verificación layout versus esquemático, 115

Bibliografía general

- [Ca] Cadence Design System . <http://www.cadence.com>.
- [Sy] Synopsys . <http://www.synopsys.com>.
- [AD02] A. Amerasekera and C. Duvvury. *ESD in Silicon Integrated Circuits*. John Wiley and Sons, 2nd edition, 2002.
- [AMAO06] A. Aymonino, P. Mandolesi, S. Ang, and A. Oliva. Reducción de distorsión armónica en inversores de potencia. *1º Escuela Argentina de Microelectrónica Tecnología y Aplicaciones*, 2º puesto, sección Posters, 2006.
- [BB97] S. Burns and P. Bond. *Principles of Electronic Circuits*. PWS Publishing Company, 2nd edition, 1997.
- [Bla53] H. Black. *Modulation Theory*. Van Nostrand, New York, 1953.
- [CN05] A. Cichowski and J. Nieznanski. Self-tuning dead-time compensation method for voltage-source inverters. *IEEE Power Electronics Letters*, 3(2), June 2005.
- [CP10] F. Chierchie and E. Paolini. Analytical and numerical analysis of dead time distortion in power inverters. *Proceeding of the Argentine-Uruguay School of Micro-Nanoelectronics Technology and Applications*, IEEE Catalog Number CFP1054E-CDR:6–11, October 2010.
- [CYLK99] J. Choi, J. Yoo, S. Lim, and Y. Kim. A novel dead time minimization algorithm of the PWM inverter. *Industry Applications Conference, 1999. Thirty-Fourth IAS Annual Meeting. Conference Record of the 1999 IEEE*, 4:2188 – 2193, October 1999.
- [dde] Kit de desarrollo eZdspF2812 - Spectrum Digital - Texas Instruments. <http://c2000.spectrumdigital.com/ezf2812/>.

- [Dig] IERSim Digital Simulation Tool. <http://qss.stanford.edu/godfrey/magic/irsim-9.5.tar.gz>.
- [HL03] D. Holmes and T. Lipo. *Pulse Width Modulation for Power Converters: Principles and Practice*. Wiley-IEEE Press, 2003.
- [Lec] Lecroy Application Note AN006A. http://cdn.lecroy.com/files/appnotes/an_006a.pdf.
- [Lin] Linear Technology Inc. Free Design and Simulation Software Tool. <http://www.linear.com/designtools/software/>.
- [LK97] D. Leggate and R. Kerkman. Pulse-based dead-time compensator for PWM voltage inverters. *IEEE Transactions on Industrial Electronics*, 44(2), April 1997.
- [LPV82] S. P. Lipshitz, M. Pocock, and J. Vanderkooy. On the audibility of midrange phase distortion in audio systems. *Audio Engineering Society*, 30:580–595, 1982.
- [ML99] A. Muñoz and T. Lipo. On-line dead-time compensation technique for open-loop PWM-VSI drives. *IEEE Transaction on Power Electronics*, 14(4):683–689, July 1999.
- [MMB99] I. Mosely, P. Mellor, and C. Bingham. Effect of dead time on harmonic distortion in Class-D audio power amplifiers. *Electronics letters*, 35(12):950–952, June 1999.
- [Moh03] N. Mohan. *First Course on Power Electronics and Drives*. MNPERE, 2003.
- [MOSa] MOSIS educational program. 4676 Admiralty Way, Marina del Rey, California 90292-6695 USA. <http://www.mosis.com/products/mep/>.

- [MOSb] MOSIS Wafer Electrical Test Data and Model Parameters.
<http://www.mosis.com/cgi-bin/cgiwrap/umosis/swp/params/ami-c5/v0bl-params.txt>.
- [MUR95] N. Mohan, T. M. Undeland, and W. P. Robbins. *Power Electronics: Converters, Applications, and Design*. John Wiley & Sons, 2nd edition, 1995.
- [OABC04] A. Oliva, S. Ang, J. Balda, and H. Chiacchiarini. Harmonic distortion reduction in power inverters. In *IEEE 35th Annual Power Electronics Specialists Conference (PESC 04)*, volume 2, pages 1226–1231, 2004.
- [OCAM05] A. Oliva, H. Chiacchiarini, A. Aymonino, and P. Mandolesi. Reduction of total harmonic distortion in power inverters. *Latin American Applied Research*, 2005.
- [PY96] I. Park and J. Yoon. A new base/gate drive suppression method for voltage source inverters by detecting the output voltage polarity. *Power Electronics Specialists Conference, 1996. PESC '96 Record., 27th Annual IEEE*, 2:1607 – 1612, June 1996.
- [RCN03] J. Rabaey, A. Chandrakasan, and B. Nikolic. *Digital Integrated Circuits - A design perspective*. Prentice Hall, 2003.
- [San84] M. Sandler. Towards a digital power amplifier. *76th Audio Engineering Society Convention.*, 2135, 10 1984.
- [Skv02] T. Skvarenina. *The Power Electronics Handbook: Industrial Electronics Series*. CRC Press, 2002.
- [SLS99] K. Smith, Z. Lai, and K. Smedley. A new PWM controller with one-cycle response. *IEEE Transactions on Power Electronics*, 14(1):142–150, 1999.

- [Sta] Stanford University Electrical Engineering. <http://ee.stanford.edu/>.
- [Tan] Tanner Research Inc. 825 South Myrtle Avenue Monrovia, CA 91016.
<http://www.tanner.com>.
- [Tsi02] Y. Tsividis. *Mixed Analog-Digital VLSI Devices and Technology*. World Scientific, 2002.