



UNIVERSIDAD NACIONAL DEL SUR

Tesis Magíster en Ingeniería

DISEÑO DE CIRCUITOS INTEGRADOS DE BAJO  
CONSUMO PARA LA LOCALIZACIÓN DE FUENTES  
SONORAS

Franco Noel Martin Pirchio

BAHIA BLANCA

ARGENTINA

2011



# Prefacio

Esta Tesis se presenta como parte de los requisitos para optar al grado Académico de Magíster en Ingeniería, de la Universidad Nacional del Sur y no ha sido presentada previamente para la obtención de otro título en esta Universidad u otra. La misma contiene los resultados obtenidos en investigaciones llevadas a cabo en el grupo de investigaciones en sistemas electrónicos y electromecatrónicos (GISEE), dependiente del Departamento de Ingeniería Eléctrica y de Computadoras durante el período comprendido entre el 13 de marzo de 2006 y el 15 de Marzo de 2008, bajo la dirección del Dr. Pedro Marcelo Julián, Profesor Asociado de la Universidad Nacional del Sur e Investigador Independiente del CONICET.

Fecha presentación: Diciembre 2011

---

Franco N. Martin Pirchio

DEPARTAMENTO DE INGENIERÍA ELÉCTRICA Y DE COMPUTADORAS

UNIVERSIDAD NACIONAL DEL SUR.



# Agradecimientos

Le agradezco a Pedro Julián por darme la oportunidad de desarrollarme en el campo de la microelectrónica y por mantenerme en el camino hacia la culminación de esta tesis. A Pablo Mandolesi, por compartir su tiempo y esfuerzo ante las dudas que surgieron durante el desarrollo de este trabajo. A los Jurados, Carlos F. Dualibe y Eduardo Paolini, por sus correcciones y comentarios.

A los amigos del Lab: Santiago, Martín, Gustavo, Seba, Hernán y Silvana; por hacer que las jornadas de trabajo hayan sido tan divertidas como productivas.

Especialmente le que quiero agradecer a Alfonso por haber compartido, codo a codo, tantas horas de esfuerzo y trabajo durante el desarrollo de los chips y las pruebas de campo.

Finalmente, agradezco el apoyo incondicional que tuve por parte de mi familia y Caty en el transcurso de estos años.

# Índice

Prefacio .....	i
Agradecimientos .....	iii
Índice.....	iv
Lista de Figuras.....	vi
Lista de Tablas .....	ix
Resumen.....	xi
Abstract.....	xii

## Capítulo 1

Introducción y Resultados Existentes .....	- 1 -
Introducción .....	- 1 -
Organización de la Tesis.....	- 2 -
Resultados Preliminares.....	- 2 -
Algoritmo basado en la correlación (CA).....	- 4 -
Algoritmo de la derivada de la correlación (CCD).....	- 5 -
Algoritmos neuromórficos (SA).....	- 6 -
Algoritmo de gradiente espacial (SGA).....	- 7 -
Realizaciones en silicio.....	- 7 -
Descripción del CI CCD .....	- 8 -

## Capítulo 2

Estimador de Tiempo Basado en Correlación .....	- 12 -
Introducción .....	- 12 -
Descripción del Algoritmo.....	- 12 -
Arquitectura del Sistema.....	- 17 -
Unidad de retardo.....	- 18 -
Unidad de cálculo .....	- 19 -
Realización del Circuito Integrado .....	- 21 -
Implementación en Tecnología CMOS de 0,5 $\mu$ m .....	- 22 -
Implementación en Tecnología CMOS de 0,35 $\mu$ m .....	- 33 -
Resumen y comentarios .....	- 37 -

## Capítulo 3

Resultados experimentales.....	- 39 -
Introducción .....	- 39 -
Ensayo del CI CCD en Cascada.....	- 39 -
Descripción de circuitos y placa de ensayo .....	- 40 -
Descripción de las señales de prueba.....	- 43 -
Mediciones del CI CCD.....	- 43 -

Ensayo del CI adaptivo .....	- 46 -
Mediciones sobre el CI en tecnología de 0,5 $\mu$ m.....	- 46 -
Mediciones sobre el CI en tecnología de 0,35 $\mu$ m.....	- 51 -
Resumen y comentarios .....	- 54 -
<b>Capítulo 4</b>	
Sistemas de Localización de Fuentes Sonoras para Redes de Sensores .....	- 56 -
Introducción .....	- 56 -
Unidad de Vigilancia Acústica .....	- 56 -
Alojamiento para micrófonos .....	- 57 -
Circuitos de acondicionamiento de señal.....	- 58 -
Unidad de procesamiento digital .....	- 60 -
Unidad de RF .....	- 61 -
Experimentos de campo.....	- 62 -
Análisis Estadístico de Resultados Experimentales.....	- 65 -
Descripción de la Nueva UVA .....	- 65 -
Placa de micrófonos.....	- 66 -
Placa de filtros.....	- 66 -
Placa del CI.....	- 69 -
Mediciones experimentales con UVA .....	- 72 -
Experiencias de laboratorio.....	- 72 -
Experiencias en campo .....	- 75 -
Resumen del ensayo de la UVA .....	- 84 -
Resumen y comentarios del capítulo .....	- 85 -
<b>Capítulo 5</b>	
Conclusiones .....	- 86 -
<b>Apéndice I</b>	
Análisis Estadístico de Resultados Experimentales.....	- 88 -
Planteo del problema.....	- 89 -
Conclusiones del análisis estadístico. ....	- 97 -
Referencias.....	- 98 -

# Lista de Figuras

Figura 1.1: Disposición del conjunto de micrófonos para la medición de ángulo de arribo.	- 3 -
Figura 1.2: Arquitectura general para correlación.	- 5 -
Figura 1.3: Arquitectura del algoritmo de derivada de correlación.	- 6 -
Figura 1.4: Estructura del CI mostrando la cadena de retardos y los contadores ascendentes/descendentes.	- 9 -
Figura 1.5: Diagrama temporal con las señales de entrada, las señales de comando de los contadores y las nuevas señales de reloj.	- 9 -
Figura 1.6: Conexión en cascada para varios CI.	- 11 -
Figura 2.1: Conexión lógica entre bloques del algoritmo.	- 13 -
Figura 2.2: Sistema de lazo cerrado para estimación de de retardo.	- 14 -
Figura 2.3: Ejemplo de convergencia del sistema.	- 16 -
Figura 2.4: Ejemplo de seguimiento de retardos variables.	- 17 -
Figura 2.5: Diagrama en bloque del sistema.	- 18 -
Figura 2.6: Esquema de la unidad de memoria.	- 19 -
Figura 2.7 Esquema de la unidad de cálculo.	- 20 -
Figura 2.8: Registro C <sup>2</sup> MOS y compuerta inversora 3 estados.	- 22 -
Figura 2.9: Curva de transferencia de una compuerta inversora en tecnología CMOS de 0,5µm.	- 23 -
Figura 2.10: Layout de un registro y su compuerta de salida en tecnología CMOS de 0,5µm.	- 24 -
Figura 2.11: Distribución de la memoria.	- 24 -
Figura 2.12: Circuito esquemático del decodificador de 128 registros.	- 25 -
Figura 2.13: Etapas en la decodificación de un registro.	- 26 -
Figura 2.14: Multiplexores de selección de datos.	- 26 -
Figura 2.15: Layout completo con detalle de líneas de selección.	- 27 -
Figura 2.16: Tiempos bajada y de subida en los buffers de las líneas de reloj para la tecnología CMOS de 0,5µm.	- 31 -
Figura 2.17: Circuito esquemático de distribución de líneas de reloj.	- 31 -
Figura 2.18: Distribución de líneas de reloj.	- 32 -
Figura 2.19: Layout del CI en tecnología CMOS de 0,5µm.	- 33 -
Figura 2.20: Curva de transferencia de una compuerta inversora en tecnología CMOS de 0,35µm.	- 34 -
Figura 2.21: Layout de registro y llave selectora en tecnología CMOS de 0,35µm.	- 35 -
Figura 2.22: Tiempos de bajada y de subida en buffers de líneas de reloj para tecnología CMOS de 0,35µm.	- 37 -
Figura 2.23: Layout del CI implementado en tecnología 0,35µm.	- 38 -



Figura 3.1: Circuito esquemático de la placa de prueba. ....	41 -
Figura 3.2: Disposición de componentes de la placa de prueba. ....	42 -
Figura 3.3: Configuración para la medición de laboratorio de CI CCD. ....	42 -
Figura 3.4: Retardo medio en el rango 50 $\mu$ s a 60 $\mu$ s. ....	44 -
Figura 3.5: Desvío estándar en el rango de 50 $\mu$ s a 60 $\mu$ s. ....	44 -
Figura 3.6: Rango de medida completo de la cascada de CI's. ....	45 -
Figura 3.7: Desvío estándar en el rango total de medición, para 3,3V y 2,0V. ....	46 -
Figura 3.8: Sistema para la verificación del CI. ....	47 -
Figura 3.9: Fotografía del sistema de verificación. ....	47 -
Figura 3.10: Medición de tiempo de convergencia del CI. ....	48 -
Figura 3.11: Verificación del rango de medición del CI. ....	49 -
Figura 3.12: Retardos promedio para el rango completo del CI. ....	49 -
Figura 3.13: Error absoluto medio del CI implementado en tecnología 0,5 $\mu$ m. ....	50 -
Figura 3.14: Desvío estándar del CI implementado en tecnología 0,5 $\mu$ m. ....	50 -
Figura 3.15: Fotografía de la placa y el CI en el setup de prueba. ....	52 -
Figura 3.16: Medición del tiempo de convergencia del CI. ....	52 -
Figura 3.17: Verificación del rango de medición. ....	53 -
Figura 3.18: Error absoluto medio del CI implementado en tecnología 0,35 $\mu$ m. ....	53 -
Figura 3.19: Desvío estándar del CI implementado en tecnología 0,35 $\mu$ m. ....	54 -
Figura 4.1: Esquema de la unidad de vigilancia acústica. ....	57 -
Figura 4.2: Dimensiones del alojamiento acústico. ....	58 -
Figura 4.3: Circuito esquemático de un canal de acondicionamiento de señal. ....	59 -
Figura 4.4: Circuito esquemático de etapa de filtrado y conversión A/D. ....	60 -
Figura 4.5: Circuito esquemático del oscilador implementado con inversores. ....	61 -
Figura 4.6: Esquema del ensayo. ....	62 -
Figura 4.7: Configuración para mediciones en campo. ....	64 -
Figura 4.8: Retardo normalizado versus ángulo de referencia. ....	65 -
Figura 4.9: Desvío estándar del retardo según la combinación de micrófonos. ....	66 -
Figura 4.10: Circuito esquemático de los filtros pasa-banda. ....	68 -
Figura 4.11: Circuito esquemático del amplificador. ....	68 -
Figura 4.12: Circuito esquemático del convertor A/D de 1bit. ....	69 -
Figura 4.13: Fotografía de la placa de filtros. ....	70 -
Figura 4.14: Fotografía de la placa que aloja el CI. ....	72 -
Figura 4.15: Retardo Vs. variación angular, par 1-3. ....	74 -
Figura 4.16: Retardo Vs. variación angular, par 2-4. ....	75 -
Figura 4.17: Retardo medido en función del ángulo de referencia para el par 1-3. ....	76 -
Figura 4.18: Retardo medido en función del ángulo de referencia para el par 2-4. ....	76 -
Figura 4.19: Ángulos calculados en función del ángulo de referencia para el par 1-3. ....	78 -
Figura 4.20: Ángulos calculados en función del ángulo referencia para el par 2-4. ....	78 -
Figura 4.21: Error absoluto en el cálculo de ángulos para ambos pares de micrófonos. ....	79 -
Figura 4.22: Croquis de mediciones, segunda salida al campo. ....	80 -
Figura 4.23: Retardo Vs. Referencia angular par 1-3, mediciones de campo. ....	81 -
Figura 4.24: Retardo Vs. Referencia angular par 2-4, mediciones de campo. ....	81 -
Figura 4.25: Angulo de arribo estimado, par 1-3. ....	82 -
Figura 4.26: Angulo de arribo estimado, par 2-4. ....	83 -
Figura 4.27: Errores absolutos de estimación para cada par de micrófonos. ....	84 -
Figura I.1: Espectros de las señales filtradas. ....	89 -
Figura I.2: Efectos principales y secundarios. ....	92 -
Figura I.3: Interacción Filtro-Orden. ....	93 -
Figura I.4: Efectos principales y secundarios. ....	94 -



# Lista de Tablas

Tabla 1.1: Precisión de los algoritmos (desvío estándar). .....	- 8 -
Tabla 1.2: Comparación entre implementaciones de los algoritmos. ....	- 8 -
Tabla 1.3: Tabla de verdad del funcionamiento de un CI CCD.....	- 10 -
Tabla 2.1: Tabla de verdad del algoritmo. ....	- 20 -
Tabla 2.2: Capacidades principales de una compuerta inversora en tecnología 0,5 $\mu$ m. ....	- 28 -
Tabla 2.3: Capacidades de líneas de reloj de un registro en tecnología 0,5 $\mu$ m. ....	- 28 -
Tabla 2.4: Carga absoluta y normalizada por línea de reloj, cantidad de etapas y relación de tamaños entre inversores.....	- 29 -
Tabla 2.5: Tamaño de inversores en tecnología CMOS de 0,5 $\mu$ m. ....	- 29 -
Tabla 2.6: Factor de tamaño y tiempo de propagación de la cadena de inversores para el manejo de la línea de reloj, en función del número de etapas. ....	- 30 -
Tabla 2.7: Área relativa y energía disipada por la cadena de inversores para el manejo de la línea de reloj, en función del número de etapas.....	- 30 -
Tabla 2.8: Capacidades principales de una compuerta inversora en tecnología CMOS de 0,35 $\mu$ m. ....	- 35 -
Tabla 2.9: Capacidades de líneas de reloj de un registro en tecnología 0,35 $\mu$ m. ....	- 35 -
Tabla 2.10: Factor de tamaño y tiempo de propagación para cadena de inversoras en tecnología CMOS de 0,35 $\mu$ m. ....	- 36 -
Tabla 2.11: Áreas y energía disipada para cadena de inversoras en tecnología CMOS de 0,35 $\mu$ m. ....	- 36 -
Tabla 3.1: Consumos por bloque del CI implementado en tecnología 0,5 $\mu$ m.....	- 51 -
Tabla 4.1: Consumo de potencia del CI medidor retardo CCD (a 3,3V).....	- 61 -
Tabla 4.2: Consumos de la Unidad de Vigilancia Acústica (a 3,3V). ....	- 62 -
Tabla 4.3: Frecuencias y jitter del oscilador del filtro. ....	- 67 -
Tabla 4.4: Combinación para selección de micrófonos. ....	- 71 -
Tabla 4.5: Medición de retardo y su variación en la salida de amplificadores y de comparadores. ....	- 73 -
Tabla I.1: Factores bajo estudio y sus combinaciones. ....	- 90 -
Tabla I.2: Datos codificados para el análisis. ....	- 91 -
Tabla I.3: Retardos medios y varianzas de las muestras.....	- 91 -
Tabla I.4: Resumen de efectos principales y secundarios.....	- 92 -
Tabla I.5: Selección de datos para análisis filtro-orden. ....	- 93 -
Tabla I.6: Interacciones cruzadas entre filtros y orden. ....	- 93 -
Tabla I.7: Nuevo conjunto de datos a analizar.....	- 94 -
Tabla I.8: Resumen de efectos principales y secundarios.....	- 94 -
Tabla I.9: Interacciones cruzadas entre filtros y orden. ....	- 95 -

Tabla I.10: Desvíos estándar para analizar la influencia del filtrado en la estimación..... - 95 -

# Resumen

Esta tesis presenta un algoritmo de bajo consumo para detectar la ubicación la localización de una fuente sonora y su implementación en dos circuitos integrados (CI) en tecnologías CMOS estándar de  $0,5\mu\text{m}$  y  $0,35\mu\text{m}$ . El algoritmo utiliza un lazo de realimentación para estimar el retardo existente entre dos señales provenientes de un par de micrófonos. Gracias a este enfoque se disminuye la carga computacional y por lo tanto se reduce el consumo de potencia en los circuitos que lo implementen. Es capaz de medir adelantos o retrasos entre señales con una resolución de 8 bits (7 bits con signo) y una precisión de  $\frac{1}{2}$  bit. Para la realización circuital de este algoritmo se utilizaron técnicas de diseño de bajo consumo que se basan en el manejo adecuado de la actividad del reloj y en la aplicación de registros dinámicos como unidades de memoria. En el diseño de las máscaras se tuvieron en cuenta detalles referidos a la distribución de señales a fin de lograr una utilización eficiente del área de silicio. También en esta tesis se presentan resultados experimentales de ensayos desarrollados sobre tres CI. A través de estos resultados, obtenidos en laboratorio y en campo, se verificó el correcto funcionamiento de los mismos y se obtuvo el mejor desempeño (consumo y rango de medida) reportado hasta la fecha, en lo que se refiere a CI orientados a la localización de fuentes sonoras. Se diseñaron, construyeron y verificaron unidades que alojan los CI mencionados y son capaces de realizar la ubicación de fuentes sonoras. Sobre los resultados de experiencias de campo se aplicaron métodos de análisis estadístico para estudiar los efectos de las variaciones en el diseño de estas unidades.

# Abstract

This thesis presents a new algorithm for acoustic source localization that performs its action in a low power consumption mode. The thesis also presents two circuitual implementations of it, showing two integrated circuits (IC) implemented in 0,5 $\mu$ m and 0,35 $\mu$ m CMOS standard process.

The algorithm uses a closed loop approach to estimate the existing delay between two signals incoming from a pair of microphones. Thanks to this focus, the computational complexity can be reduced and therefore the power consumption of the circuit can also be reduced. The features of the IC are that it can measure positive and negatives delays with a resolution of 8 bits (7 bits plus a bit sign) and a precision of  $\frac{1}{2}$  bit all over the measurement range. For the circuitual realization of this algorithm low power consumption design techniques were used; basically an adequate management of the clock activity and the used of dynamic registers as a memory cells. A carefully mask design was made in order to achieve an efficient utilization of the silicon area. Also in this thesis experimental results from three IC test are shown, being all of them designed to perform time delay measurement. Through these results obtained in a laboratory and in the field, a functional verification was made showing a correct operation of the IC's. The best performance in power consumption and measurement range was reported for the adaptive closed loop approach. These results were compared to similar task IC's (acoustic source localization). A surveillance unit that works with the mentioned IC's was designed, built and tested, and it was able to localize acoustic sources. Field experiences were made and results from them where used into a statistical analysis way to study the performance changes effects based on the variation of design parameters. From the result of the analysis a new system was obtained that presents betters characteristics and functionalities that the previous one.

# Capítulo 1

## Introducción y Resultados Existentes

### *Introducción*

Esta tesis está dedicada a la localización de fuentes sonoras en el rango de audio mediante la utilización de micrófonos y el procesamiento de las señales asociadas. En la literatura de localización de fuentes acústicas se han desarrollado e implementado diversas técnicas dentro de las que existen dos grupos bien diferenciados: las técnicas que realizan una detección coherente y las que realizan una detección no-coherente ([1], [2], [6]). En todas ellas se dispone de un conjunto de elementos transductores del sonido (micrófonos o hidrófonos) que generan señales eléctricas de acuerdo a las variaciones de amplitud y frecuencia que cada uno de ellos percibe en el medio. Cabe aclarar, que si bien el objeto de la medición es la presión acústica producida por la fuente deseada, la señal al propagarse e interactuar con el medio sufre variaciones, así como ruido e interferencias de otras fuentes acústicas no deseadas. Debido a esto, hay una cota de error mínima que depende en general de la relación señal a ruido, el escenario específico y el espectro característico de las señales. Por ello, es menester preprocesar las señales provenientes de los micrófonos mediante una etapa de preamplificación y filtrado antes de procesar la señal para obtener la información de la ubicación de la o las fuentes sonoras. En particular, se plantea el problema de localización de una sola fuente acústica en un entorno abierto dentro de un sistema distribuido donde hay varios sensores comunicados en forma inalámbrica [2]. Estos sistemas conocidos como redes de sensores presentan numerosas ventajas en tareas de vigilancia y seguridad, dado que por un lado permiten lograr una buena estimación con sensores de baja calidad, y por otro lado, son más robustos ante fallas de sensores aislados. Uno de los proyectos en desarrollo en el grupo de investigación, que inspiró esta tesis, es la detección de vehículos en zonas rurales de la llanura pampeana. Estas redes presentan fuertes restricciones de consumo de potencia para los sensores y circuitos de procesamiento, por lo que el diseño debe estar orientado al bajo consumo desde la concepción del sistema. Existen consumos que están relacionados directamente con el área de cobertura que se pretende lograr con la red (potencia requerida por la comunicación inalámbrica) y otros consumos relacionados con la tarea a cumplir, la cantidad de información y procesamiento que se debe realizar [3].

En esta tesis se aplican técnicas novedosas para diseñar circuitos integrados (CI) de bajo consumo que permitan estimar el ángulo de arribo de una señal acústica a un par de micrófonos, a través de la medición del retardo relativo entre las señales (conocido en la literatura como ITD, por su denominación en inglés “interaural time delay”). Se asume que la fuente de señal acústica se encuentra lo suficientemente alejada de los micrófonos, de tal

manera que se puede considerar el modelo de campo lejano; esto es, que el frente de onda que arriba a los micrófonos es plano. Esta suposición simplifica el modelo entre el ángulo de arribo y el tiempo de retardo, y hace a esta relación independiente de la distancia.

La tesis comienza con la medición y análisis de un circuito integrado basado en la correlación de las señales provenientes de los micrófonos, una vez que éstas han sido convertidas en señales digitales con solamente un bit de precisión. A partir de este circuito integrado se construyó una estación acústica con cuatro micrófonos, la cual se caracterizó y ensayó intensivamente en campo. Como segundo paso, se propuso una mejora del método de estimación del retardo que permite reducir el consumo de potencia, y mantener la precisión. La mejora consiste en la realización de un sistema adaptativo que define una función de error, y produce una acción de control que lleva un retardo genérico interno al chip a igualar el retardo entre las dos señales de entrada. Este circuito integrado se fabricó en dos tecnologías diferentes (AMI  $0,5\mu\text{m}$  y TSMC  $0,35\mu\text{m}$ ), y su funcionamiento resultó adecuado. Una ventaja adicional del método propuesto, es que a diferencia de enfoques anteriores, puede realizar el seguimiento o tracking de una fuente en movimiento. Los circuitos integrados fabricados logran un consumo menor a los sistemas reportados en la literatura con exactitud equivalente. Por último, se diseñó una segunda estación acústica, con un filtro que aumenta la flexibilidad y reduce la varianza en la estimación, la cual se integró junto con los circuitos integrados y se validó en campo.

## ***Organización de la Tesis***

La tesis se organiza de la siguiente manera. En este capítulo se introduce el problema de la localización de fuentes acústicas relacionándolo con la medición de retardo. Se presentan los diferentes algoritmos para resolver este problema reportados en la literatura. Se describe también un CI diseñado para la medición de retardos que puede ser conectado en cascada para ampliar el rango de medición.

El Capítulo 2 presenta un nuevo algoritmo para la medición de retardos. Se describe su arquitectura y se presentan características de dos realizaciones del mismo en diferentes tecnologías de integración CMOS.

En el Capítulo 3 se presentan resultados experimentales obtenidos de CI implementados para la medición de retardos. En primer lugar se reportan resultados del CI en cascada que marcó el comienzo de mi trabajo dentro de la temática. Posteriormente se presentan los resultados obtenidos de los CI desarrollados dentro del marco de esta tesis: el primero de ellos desarrollado en tecnología CMOS de  $0,5\mu\text{m}$  y el segundo en tecnología CMOS de  $0,35\mu\text{m}$ .

El Capítulo 4 presenta el desarrollo, medición y análisis de una unidad destinada a la vigilancia de zonas rurales. Esta unidad es la que aloja los CI que realizan la medición de retardo.

Finalmente, en el Capítulo 5 se presentan las conclusiones de la tesis y se plantean futuras líneas de trabajo.

## ***Resultados Preliminares***

A continuación se presenta el marco general y se discuten diversas características de los algoritmos de localización de fuentes, sus implementaciones en sistemas y se presentan las características de un CI que implementa uno de estos algoritmos.

En líneas generales, el conjunto de micrófonos está formado por dos pares dispuestos en forma ortogonal sobre un círculo de diámetro  $d$ , como se muestra en la Fig. 1.1, sobre los



vértices de un cuadrado imaginario. También se puede ver en la figura que la dirección de la fuente acústica forma un ángulo  $\alpha$  con el eje de coordenadas y el par de micrófonos M2-M4, y un ángulo  $\beta$  con el par M1-M3.

El objetivo general es la estimación del ángulo que forma la fuente de sonido respecto del eje de coordenadas que tiene como origen el centro del círculo. Se supone que la separación entre micrófonos es mucho menor que la distancia a la cual se encuentra la fuente sonora; esto permite considerar la onda acústica como una onda plana por lo que la diferencia de tiempo entre los micrófonos solamente depende del ángulo de arribo.

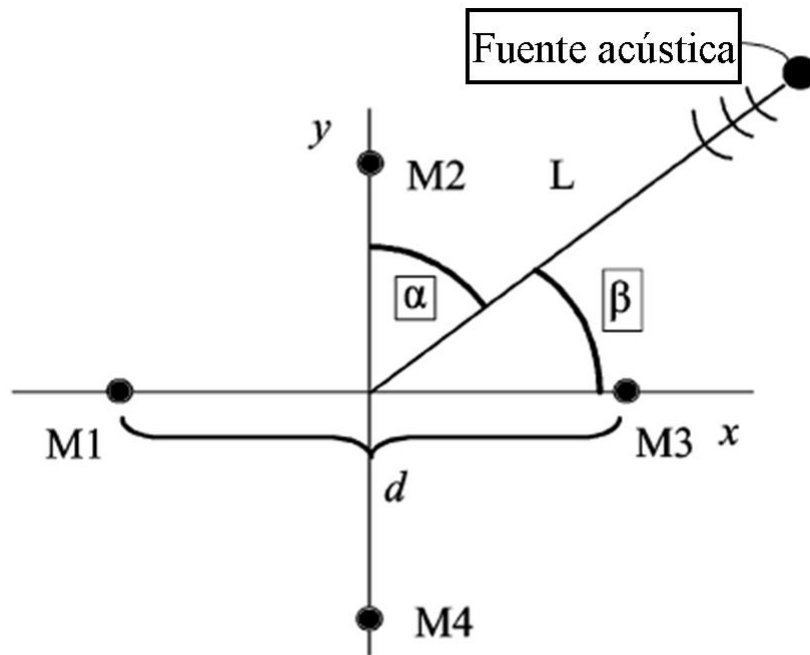


Figura 1.1: Disposición del conjunto de micrófonos para la medición de ángulo de arribo.

Se considera el par de micrófonos M1-M3 y las señales que arriban a los mismos:

$$\begin{aligned} x_1(t) &= s(t) + n_1(t) \\ x_3(t) &= s(t - T_D) + n_3(t) \end{aligned} \quad (1.1)$$

En la literatura se han reportado numerosos algoritmos para realizar la estimación de  $T_D$  ([4],[5]). Los que presentan mejores características para ser implementados en circuitos integrados de señal mixta orientados a procesamiento en redes de sensores son los siguientes [7]:

- Algoritmos basados en Correlación (CA y CCD)
- Algoritmos de Gradiente espacial (SGA)
- Algoritmos Neuromórficos (SA)

Es destacable que estos algoritmos tienen un enfoque ideal para la implementación en redes de sensores, dado que realizan una detección coherente a nivel del nodo, evitando la necesidad de sincronizar temporalmente los nodos de la red. La sincronización se logra

realizando varias transmisiones de difusión dentro de la red, lo genera un consumo extra de potencia en cada nodo [1].

### Algoritmo basado en la correlación (CA)

La correlación entre dos señales puede representarse matemáticamente de la siguiente manera:

$$R_{x_1, x_3}(\tau) = \int_{-\infty}^{\infty} x_1(t)x_3(t + \tau)dt \quad (1.2)$$

Bajo la suposición general que el ruido de los micrófonos no está correlacionado, luego de reemplazar (1.1) en (1.2) se obtiene la expresión:

$$R_{x_1, x_3}(\tau) = \int_{-\infty}^{\infty} s(t)s(t - TD + \tau)dt \quad (1.3)$$

Dadas estas señales, la correlación entre ellas alcanzará el máximo para  $\tau = T_D$  por lo que el retardo se puede estimar evaluando la correlación y detectando el máximo. Tales operaciones imponen sobre el sistema la necesidad de contar con una ventana temporal de la señal durante la cual ésta será procesada.

Para realizar una implementación digital de este método las señales se deben muestrear cada  $T_s$  segundos. La resolución con la cual la señal es adquirida es de un bit. Como se demostrara en ([8], [9]) la autocorrelación de una señal y la autocorrelación de la misma señal pasaba por un bloque no lineal del tipo “infinity clip” (señal resultante es +1, 0, -1 si la señal de entrada es positiva, cero o negativa, respectivamente) retienen las características de periodicidad. Debido a esto, incrementar la resolución de la señal solo produce un incremento de la complejidad del hardware, sin un consiguiente aumento de la precisión del algoritmo. Esto fue evaluado numéricamente en [11].

La Ec. (1.4) presenta la versión discreta de la correlación entre las señales involucradas en este problema:

$$\tilde{R}_{x_1, x_3}(iT_s) = \sum_{k=0}^K x_1(kT_s)x_3((k-i)T_s) \quad (1.4)$$

La reducción de la cantidad de bits de representación a sólo uno trae aparejada la ventaja de simplificar de forma sustancial la complejidad de la implementación en silicio. La Ec. (1.4) muestra que para realizar la correlación entre las señales se utiliza una ventana temporal de  $K.T_s$  segundos. La arquitectura basada en (1.4) consta de un número  $K$  de etapas formadas por correladores de un bit, como se ejemplifica en la Fig. 1.2.

Cada bloque de esta arquitectura trabaja a la frecuencia de muestreo y su salida proviene de un detector de máximo.

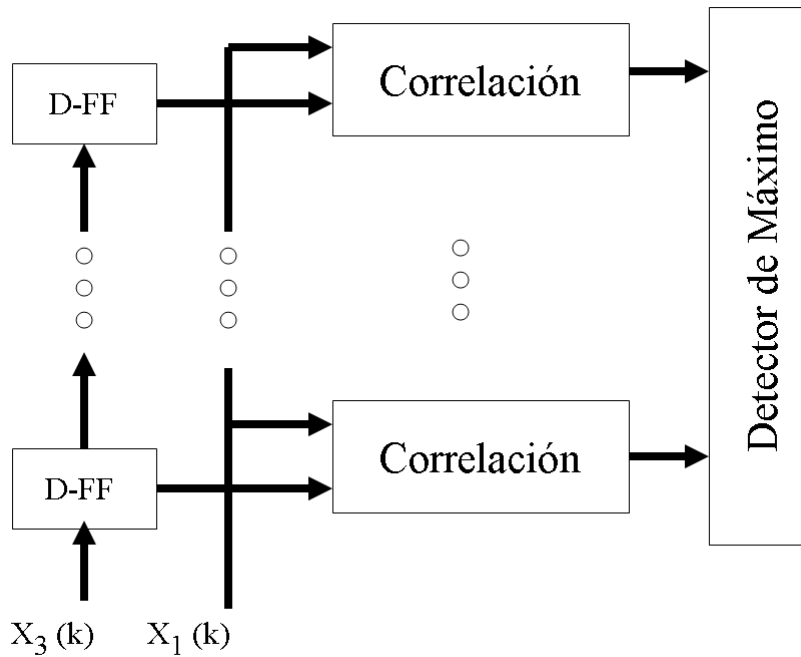


Figura 1.2: Arquitectura general para correlación.

Estas características producen una implementación voluminosa, debido a la necesidad de obtener el máximo de varias decenas de números digitales de al menos 8 bits, y motivó la realización de un nuevo algoritmo [10].

### Algoritmo de la derivada de la correlación (CCD)

Si se puede garantizar que dentro de la ventana temporal de cálculo la correlación sólo tiene un máximo, éste puede detectarse a partir del cruce por cero de la derivada primera de la función correlación.

Con el cálculo de la diferencia discreta de dos elementos de cálculo de correlación adyacentes se obtiene:

$$\Delta y(i) = y(i) - y(i-1)$$

$$\Delta y(i) = \sum_{k=0}^l x_1(k) [x_3(k-i) - x_3(k-(i-1))] \quad (1.5)$$

De (1.5) se desprenden varias implicaciones sobre la arquitectura que implementa el algoritmo. En primer lugar, los correladores pueden reemplazarse por contadores ascendentes-descendentes, y mediante una lógica adecuada, éstos pueden activarse solamente cuando hay cierta actividad en las señales de entrada. En segundo lugar, para realizar la detección del cero se puede detectar el cambio de signo de los contadores a través de la operación lógica OR exclusiva, ya que éstos cambian de negativo a positivo cuando hay un cruce por cero. Posteriormente a través de una decodificación de posición es posible obtener la ubicación del contador con el valor del cruce. Estas consideraciones llevan a una reducción de la actividad circuital y consecuentemente a la reducción del consumo de potencia. En la Fig. 1.3 se muestra un esquema general de la arquitectura.

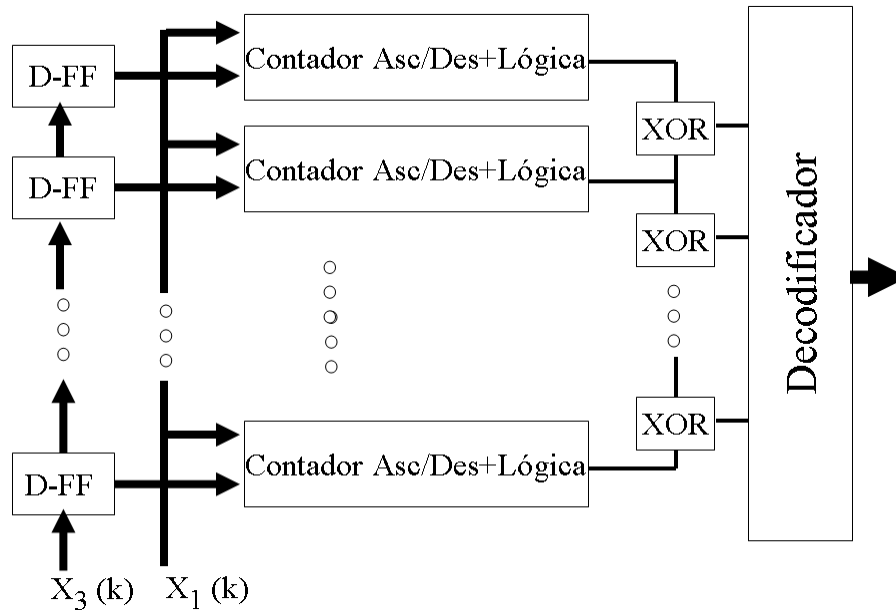


Figura 1.3: Arquitectura del algoritmo de derivada de correlación.

En [11] se presenta un CI que implementa este algoritmo en un sistema de medición completo. Ese circuito exhibe un consumo de  $600\mu\text{W}$  y fue realizado en tecnología CMOS de  $0,35\mu\text{m}$ .

### Algoritmos neuromórficos (SA)

El enfoque de esta línea de trabajo se basa en la imitación del procesamiento que realizan los organismos vivos, conocido como procesamiento neuromórfico. En este caso, existen en la literatura trabajos sobre modelos de cócleas en silicio para realizar implantes que permitan recuperar la audición ([12], [13], [14]). Basados en el modelado de las partes constitutivas del sistema auditivo humano y en el procesamiento a través de impulsos (“spikes”) se han estudiado diferentes formas de realizar la detección y separación de fuentes sonoras ([15], [16]).

En [17] se plantea específicamente la implementación de esta clase de algoritmos para la estimación del ángulo de arribo de una señal acústica utilizando un par de micrófonos. Se propone un circuito de señal mixta, con una cóclea electrónica y un procesamiento inspirado en el algoritmo de “Stereausic” [18] para realizar la detección de una fuente acústica. Las señales en primer lugar se pasan a través de dos cadenas de filtros cocleares (una correspondiente al oído izquierdo, y otra al derecho). Luego, las señales analógicas son digitalizadas a un bit, realizando una comparación de nivel. Con estas señales digitalizadas se generan pulsos que tienen como duración el retardo existente entre las señales analógicas originales. Estas señales de pulsos, tanto las provenientes de la sección izquierda, como las provenientes de la sección derecha, se correlacionan y se promedian por sección, mediante la integración de una corriente de referencia en un condensador. El voltaje del mismo, resulta proporcional a la duración y cantidad de pulsos que llegan. Para la implementación reportada se eligió que cuando el canal derecho adelante al izquierdo el aumento de potencial sobre el condensador sea positivo. Para el caso contrario se conecta una corriente de referencia en el sentido opuesto, haciendo que disminuya la tensión sobre el condensador. Una vez que se ha

contado una cierta cantidad de pulsos, ya sean provenientes de una u otra línea, se procede a leer el valor de la tensión y restablecer el valor inicial sobre el condensador.

Para la obtención de los pulsos se utiliza un banco de 32 filtros de segundo orden escalados exponencialmente entre 60Hz y 300Hz. Cada sección del filtro está implementada mediante tres amplificadores de transconductancia y dos condensadores. Mediante la variación de la corriente de polarización de los amplificadores se obtiene la modificación de la frecuencia del filtro.

Los resultados experimentales de este esquema implementado en tecnología CMOS de  $0,5\mu\text{m}$  indican un consumo de  $370\mu\text{A}$  a  $5\text{V}$ , aproximadamente  $2\text{mW}$ , de los cuales  $400\mu\text{W}$  corresponden a los filtros tipo cóclea. Las mediciones reportadas por los autores muestran una desviación estándar que varía entre 2 y 10 grados, en todo el rango de medición.

### Algoritmo de gradiente espacial (SGA)

Otro enfoque en la localización de fuentes sonoras es el algoritmo del gradiente espacial [19]. Este algoritmo hace otra interpretación de las señales que llegan a los micrófonos, considerando que se está haciendo un muestreo espacial de la onda acústica del sonido. Esta interpretación busca obtener una estimación de la dirección de arribo del sonido en tres dimensiones; en particular, busca una representación por un ángulo de elevación y un ángulo horizontal.

La localización se realiza calculando el gradiente de la onda, para lo cual se necesita la información de amplitud de los cuatro micrófonos al mismo tiempo (ver Fig 1.1). En la resolución del problema se utilizan las derivadas de las señales y las diferencias entre ellas a través de un algoritmo LMS que realiza una regresión lineal.

En la arquitectura del CI se presentan tres bloques fundamentales: etapa de amplificación y diferenciación, etapa de supresión de modo común y estimación de los ángulos. Se realiza un procesamiento analógico para la obtención de las diferencias y derivadas. Para el cálculo de los gradientes se utilizan capacitores conmutados con doble muestreo, obteniéndose con esto un rechazo mayor para el “feedthrough” del reloj y la fuente de alimentación. Además, se utilizan amplificadores implementados con inversores “cascode” para una alta ganancia y un área reducida.

Con esta arquitectura se implementó un CI en tecnología CMOS  $0,5\mu\text{m}$  que presenta una resolución de  $2\mu\text{s}$  para una frecuencia de muestreo de  $2\text{KHz}$ ; todo esto con una disipación de potencia de  $32\mu\text{W}$ . Las mediciones reportadas por los autores muestran una desviación estándar que varía entre 1 y 4 grados, en todo el rango de medición.

### Realizaciones en silicio

En el trabajo [7] se presenta una comparación de estos métodos en un marco común, utilizando el mismo conjunto de señales experimentales. La comparación fue hecha a través de simulaciones sobre datos experimentales relevados con la misma interfase analógica. Los resultados numéricos presentados permiten hacer una comparación cuantitativa entre los algoritmos. En la Tabla 1.1 se muestran los valores de desviación estándar reportados para cada algoritmo. Además, se presenta una cota mínima de error (Cramer-Rao) sobre la estimación del retardo y el ángulo de arribo. Dicha cota, calculada en base al espectro de las señales y la ventana temporal de datos, tiene un valor de  $0,33^\circ$  para las condiciones y señales del experimento.

Tabla 1.1: Precisión de los algoritmos (desvío estándar).

Rango	CA	CCD	SA	SG
0°-180°	1,18°	1,18°	1,47°	0,87°
0°-10°	0,85°	0,85°	1,05°	0,25°

Se desprende de la Tabla 1.1 que no existe diferencia apreciable en la precisión del algoritmo de la derivada de la correlación y el algoritmo de la correlación. También se puede notar la diferencia entre los algoritmos de correlación y el de gradiente espacial, siendo este último el que presenta mejor precisión.

Las características principales de las implementaciones en silicio de los algoritmos presentadas en [11], [17] y [19] se resumen en la Tabla 1.2.

Tabla 1.2: Comparación entre implementaciones de los algoritmos.

CI	Potencia ( $\mu$ W)	Tecnología ( $\mu$ m)	Área	Precisión
Derivada de la correlación	600	0,35	2 x 2,4 mm	5 $\mu$ s
Neuromórfico	1850	0,5	5 x 5 mm	2 $\mu$ s
Gradiente espacial	32	0,5	3 x 3 mm	2 $\mu$ s

La realización basada en el método de gradiente espacial es la que muestra el menor consumo, sin embargo es necesario tener en cuenta que por su implementación a capacitores conmutados no escala con la tecnología, y que la necesidad de evaluar derivadas sobre señales analógicas, es un factor que puede introducir errores ante señales ruidosas.

### **Descripción del CI CCD**

Como ya se explicó, una de las técnicas para medir el desfase entre dos señales consiste en realizar la correlación temporal entre ellas y encontrar el instante donde se produce el valor máximo. Este método requiere un área importante para su realización en un CI. Sin embargo, si se realiza una aproximación de primer orden a la correlación discreta y se busca el cero de su derivada, se obtiene una reducción significativa en la complejidad de la solución. En este caso sólo se requiere de contadores ascendentes/descendentes y una lógica de decodificación. Por otro lado, si sólo se realiza un cambio sobre los contadores cuando se detecta un cambio de los valores de las entradas, se reduce dramáticamente la actividad del circuito (en la misma relación de la frecuencia de reloj a la frecuencia de la señal de entrada, esto es: 400KHz/200Hz=2.000). Esto, a su vez, produce una reducción del consumo de potencia por el mismo factor.

En esta sección se describe un circuito integrado que es una versión modificada del circuito integrado reportado en [11]. Los resultados experimentales del mismo son parte de esta tesis [20], y se reportan en el Cap. 3. El diseño se basa en una estructura que es capaz de funcionar cuando se conectan en cascada varios CI básicos. Esto permite ampliar el rango de medida o la precisión de la misma, según la conexión que se realice entre los CI básicos.

El CI tiene dos señales de entrada; una de ellas, D-Din, es retardada internamente y la otra, D-Nin, no. Ambas entradas ingresan a los bancos de contadores como se indica en la Fig. 1.4.

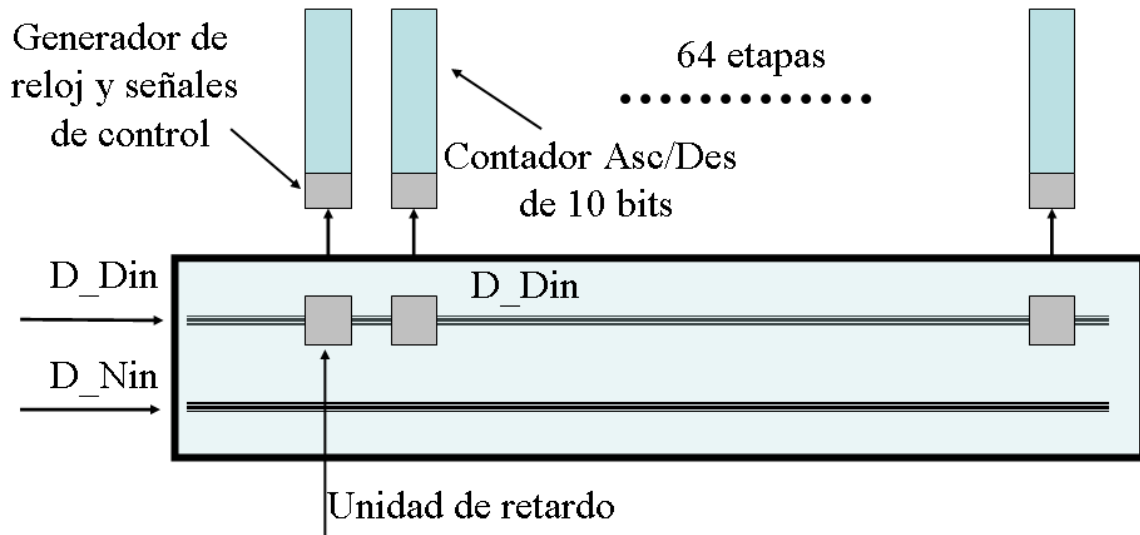


Figura 1.4: Estructura del CI mostrando la cadena de retardos y los contadores ascendentes/descendentes.

Previo a la entrada de cada contador existe un bloque encargado de generar las señales que indican si se debe sumar (UP) ó restar (DN) una cuenta al estado actual del contador k-ésimo. La secuencia generada sigue la siguiente ley:

- a) Sumar uno si  $D\_Nin=1$  y  $D\_Din$  cambia de 1 a 0.
- b) Restar uno si  $D\_Nin=1$  y  $D\_Din$  cambia de 0 a 1.

En este mismo bloque se producen dos nuevas señales de reloj (bifásicas), que sólo manifiestan actividad cuando existe un cambio en las entradas. Las diversas señales se muestran en la Fig. 1.5.

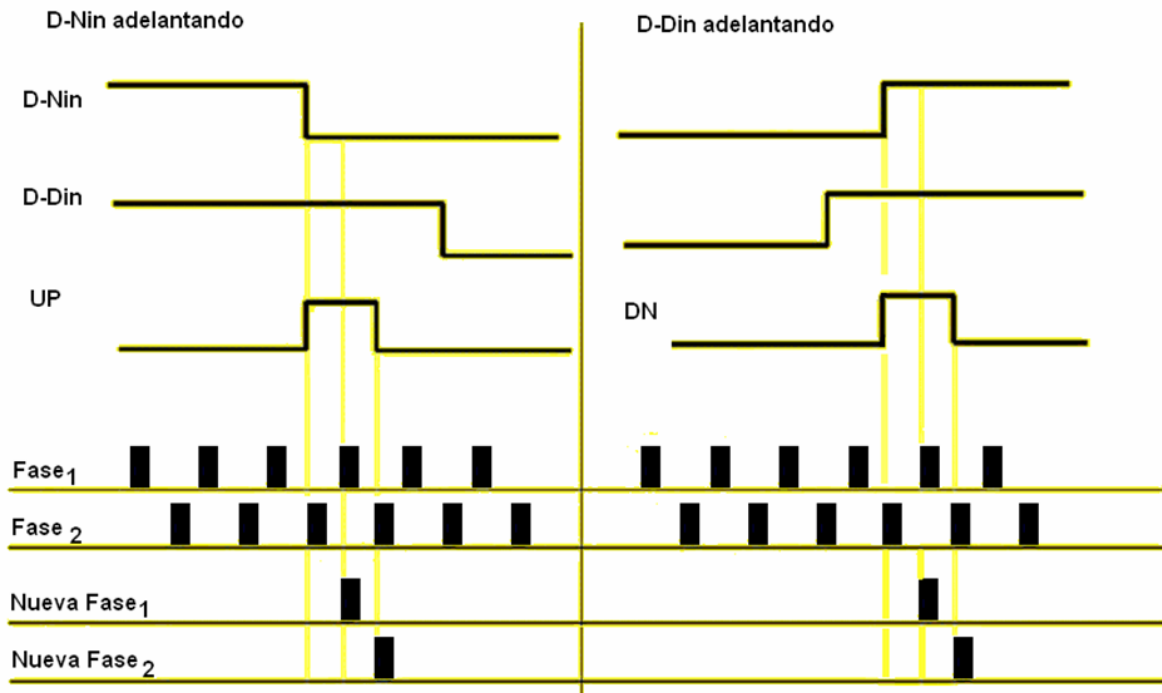


Figura 1.5: Diagrama temporal con las señales de entrada, las señales de comando de los contadores y las nuevas señales de reloj.

La estructura principal del chip consiste de 64 contadores ascendentes/descendentes de 10 bits con signo, donde cada uno de ellos es controlado por señales UP y DN que se generan localmente como una operación lógica de las señales a medir que están presentes en cada bloque y el reloj del sistema. Los contadores adyacentes tienen sus correspondientes bits de signo conectados a compuertas XOR que calculan la diferencia entre ellos. La compuerta de que tenga un 0 en su salida indicará que los contadores adyacentes tienen estados con el mismo signo; cuando la salida de una compuerta este en 1 indicará que existe un cambio de signo en los estados y por ende un cruce por cero de la derivada de la función correlación. Recordemos que esto es válido solamente para señales produzcan una función correlación con un único máximo, que es el caso de las que provienen de una fuente sonora predominante.

Si se conoce la ubicación de los contadores entre los que existe la diferencia de signo dentro la cadena de retardos, se puede saber cual es el retardo que hay entre las señales a medir. Para decodificar la ubicación de los contadores se utiliza un decodificador con prioridad de 6 bits. Esto hace que se elija el contador con la posición de menor retardo, en caso de que existan en la cadena de contadores otros cruces por cero. El valor relativo de retardo entre señales es cantidad de retardos que hay hasta el contador seleccionado. Dicho valor multiplicado por el período del reloj de las cadenas retardo da el valor absoluto (en segundos) del retardo entre señales. El valor relativo del retardo se comunica al exterior del CI por medio de buffers tres estados conectados a un bus de datos. Cuando se obtiene un resultado válido se generan dos salidas de habilitación, EO y GS. La señal EI es la habilitación general del CI y debe estar en 0 para que este realice el cálculo; además se utiliza para habilitar al siguiente CI cuando se conectan varios en cascada. En la Tabla 1.3 se presenta una tabla de verdad donde se puede ver el estado de funcionamiento un CI según el valor de estas señales.

*Tabla 1.3: Tabla de verdad del funcionamiento de un CI CCD.*

EI	Estado	GS	EO	Bus externo
1	XXX	1	1	Tercer estado
0	No detección	1	0	Tercer estado
0	Detección	0	1	Activo

El funcionamiento en cascada de estos circuitos integrados es el siguiente. El par de señales a medir ingresan al primer CI, saliendo la que ingresó por D\_Din retardada por 64 FlipFlops a través de Dout, para ingresar al siguiente CI. La señal sin retardar entra por D-Nin y sale por Nin sin retardo alguno. Cada CI tiene una habilitación general activa por nivel bajo (EI) y una señal de salida disponible (EO) activa por nivel alto. Estas se conectan de un CI a otro, de forma que no se habilite el siguiente CI si el CI anterior obtuvo un resultado válido en su rango de medida. Mediante las diferentes salidas GS es posible identificar cuál de los CI llegó a un resultado, permitiendo así el cálculo del retardo total.

En la Fig. 1.6 se muestra el conexionado en cascada para varios CI, detallando las señales involucradas.



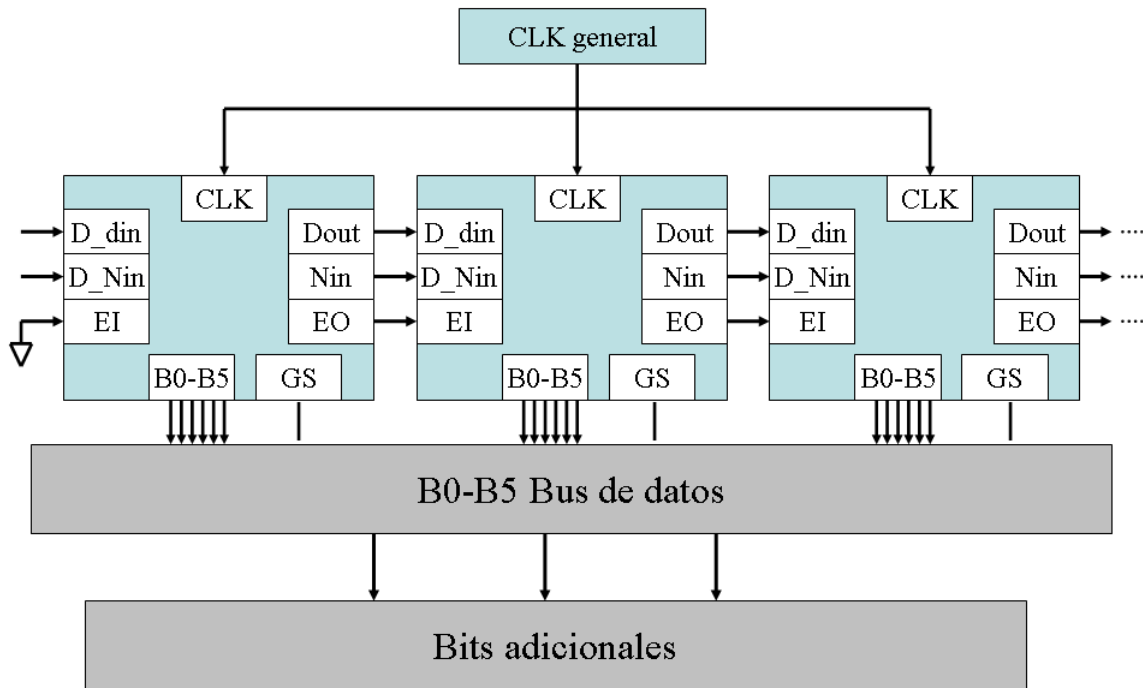


Figura 1.6: Conexión en cascada para varios CI.

## Resumen y Comentarios

Las implementaciones digitales tienen la ventaja que con el avance de la integración (CMOS estándar) se puede exportar el diseño a una nueva tecnología de menor consumo sin tener que realizar cambios sustanciales, solamente una comprobación de reglas de tecnología y funcionalidad. Esto permite que una vez desarrollado y comprobado un algoritmo, este puede ser utilizado como un bloque constructivo de sistemas más complejos (sistema en Chip).

De todos modos, toda implementación de un algoritmo para la medición de retardo deberá contar con una etapa de adecuación de señal que respete las restricciones de precisión y ancho de banda que imponga la aplicación particular. El escalado o cambio de tecnología en esta etapa no garantiza una disminución directa del consumo, ya que al tratarse de un diseño analógico existe un compromiso entre ganancia, área y potencia que depende de las especificaciones a cumplir.

El enfoque adoptado en esta tesis se concentra en el diseño de un algoritmo digital más eficiente (respecto a consumo de potencia) que los algoritmos ya presentados en la literatura manteniendo o mejorando la precisión de la estimación.

# Capítulo 2

## Estimador de Tiempo Basado en Correlación

### *Introducción*

En el capítulo anterior se describió un algoritmo reportado en [7] para la medición del tiempo de retraso relativo entre dos señales utilizando un método de correlación. En [10] se informaron además mediciones experimentales que confirman la precisión y el bajo consumo del circuito integrado asociado. En el presente capítulo, que constituye la principal contribución de esta tesis, se presenta un algoritmo que permite mejorar las prestaciones de consumo y que resulta equivalente en condiciones de estado estacionario al esquema anterior. El algoritmo se basa en un esquema adaptivo, que propone una señal de error basada en el signo de la diferencia de los desfases de las señales de entrada. Se propone un algoritmo de adaptación que garantiza convergencia, y produce una implementación de mínima complejidad en términos de área de silicio. El circuito resultante se fabricó en dos tecnologías diferentes, ambas CMOS estándar, una de  $0,5\mu\text{m}$  y otra de  $0,35\mu\text{m}$  ([22],[23],[27]).

Este capítulo se organiza de la siguiente manera. En primer lugar se describe el algoritmo haciendo énfasis en el procesamiento digital de las señales. A continuación se describe la arquitectura empleada para el diseño del circuito integrado. En las dos últimas secciones se desarrollan en detalle los dos circuitos integrados realizados. Se concluye realizando una comparación con otros medidores basados en correlación.

### *Descripción del Algoritmo*

El algoritmo procesa información digital proveniente de una etapa de adecuación y conversión de señales analógicas; por lo tanto, de aquí en adelante cuando se hable de señales se estará haciendo referencia a señales de tipo digital.

El primer objetivo en el diseño del nuevo algoritmo es obtener la misma precisión que las implementaciones previas del CCD, con una implementación de menor carga computacional. El algoritmo trabaja con una representación de un bit para las dos señales a procesar, de igual

manera que el CCD, en el cual el retardo entre las señales se obtiene a través de la posición del cambio de signo de mayor prioridad en las salidas de los bancos de contadores. La estrategia que se propone para el nuevo algoritmo es utilizar solamente un contador dentro de un lazo de realimentación, provisto de lógica de control. La presencia de un lazo de control hace que la cuenta del contador converja al valor de retardo existente entre las señales. La reducción del consumo de potencia es consecuencia de la disminución de la cantidad de lógica y de la utilización eficiente de la información presente en las señales de entrada. El algoritmo tiene dos bloques principales donde se realiza el procesamiento: un bloque está encargado de adquirir y retener parte de las señales que ingresan al sistema y el otro bloque está encargado de calcular el retardo. En la Fig. 2.1 se puede ver la conexión entre estos bloques y las señales que los relacionan.

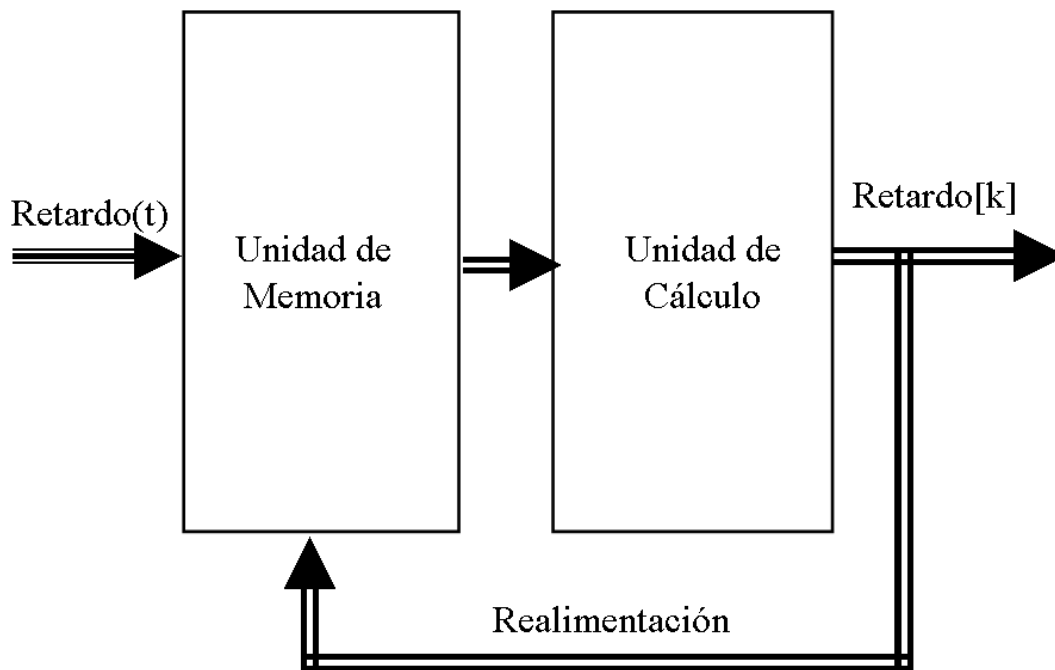


Figura 2.1: Conexión lógica entre bloques del algoritmo.

El retardo que procesa el sistema es el existente entre las señales X1 y X2; provenientes de los micrófonos M1 y M3 que están captando la onda acústica generada por la fuente sonora, como se explicó en el Capítulo 1,. Estas entradas son muestreadas cada  $T_s$  segundos, obteniendo así una versión discretizada con una resolución temporal fija. Por esta razón la medición de tiempos no puede ser menor a  $T_s$  segundos y el sistema trabaja solamente con tiempos discretos cuyos valores son enteros.

El algoritmo está continuamente monitoreando la actividad de las señales X1 y X2. Cuando se detecta un cambio de estado en ellas, se evalúa si dicho cambio corresponde a una transición válida a ser computada. De ser así, se realiza una acción de cambio de estado de un contador. Dependiendo del estado actual del contador y del tipo de transición de la entrada, corresponderá una u otra acción sobre el contador. El estado del contador indica cual es el retardo que existe entre las señales. El hecho de analizar primero la validez de la transición en las entradas y luego realizar una acción hace que sólo una parte del sistema tenga que estar activa, llevando a una disminución de la actividad total y por consiguiente a una disminución del consumo. La necesidad de muestrear y adquirir parte de las señales para que puedan ser

procesadas por el algoritmo determina que exista un consumo basal. La reducción de dicho consumo basal es tomada en cuenta en la arquitectura e implementación del algoritmo.

Para el caso de señales de audio, el muestreo se hace a una velocidad mucho mayor que la de las señales, igual al mínimo retardo que se pretende medir. Por ello, se puede considerar que el retardo que existe entre ambas señales se mantiene constante durante el tiempo de cálculo. Siendo esto así, se puede considerar que el sistema está formado por dos bloques en cascada con una realimentación entrada-salida (ver Fig. 2.2). El primer bloque tiene como entradas una estimación de retardo y el retardo actualmente existente entre  $X1$  y  $X2$ . Internamente se calcula la diferencia entre las entradas, siendo la salida de este bloque el signo de la diferencia que existe entre estas magnitudes. De la comparación se puede obtener un valor negativo, positivo o nulo. El segundo bloque es un acumulador que suma el signo del error, haciendo que su estado aumente si las contribuciones son positivas, mantenga el valor actual si son nulas o disminuya su estado para valores negativos.

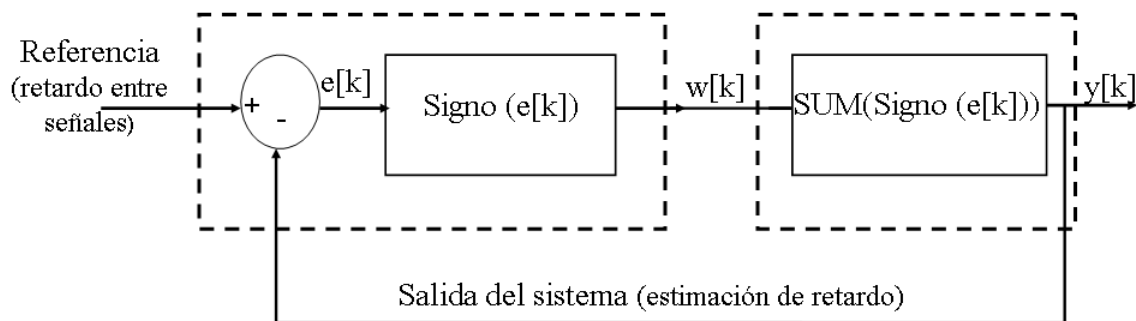


Figura 2.2: Sistema de lazo cerrado para estimación de de retardo.

El sistema se puede ver, Fig. 2.2, como un sistema de control donde el retardo entre las señales, que actúa como señal de referencia del algoritmo de control es la entrada, y el estado estimado del retardo es la salida. El bloque de control actúa para llevar la salida al valor de la entrada. Se puede ver inmediatamente después del detector del error un bloque que implementa la función signo del error. Esta es la función que se implementa en el sistema mediante un bloque digital que al detectar un flanco en una de las entradas, verifica si la otra entrada es positiva o negativa. Esto produce un índice de adelanto o atraso de una entrada respecto a la otra, es decir, que produce el signo del retardo. La señal de error  $e[k]$  proviene de la diferencia entre la entrada y la salida del estimador. Un bloque aplica la función signo sobre el error dando como salida el signo del error,  $w[k]$ . A continuación se realiza la acumulación o suma de signo del error; esta operación genera la estimación del retardo y la salida del sistema  $y[k]$ .

Suponiendo que la dinámica del sistema de lazo cerrado es mucho más rápida que la dinámica de la señal de entrada, el sistema puede considerarse con entrada constante. Esto es,  $\tau[k] \in \mathbf{Z}$ ,  $\tau[k] \cong cte$ , a partir de lo cual se pueden escribir las siguientes ecuaciones que rigen el sistema:

$$\begin{aligned}
e[k] &= \tau[k] - y[k] \\
w[k] &= \text{sign}(e[k]) \\
y[k] &= \text{sum}(w[k]) = y[k-1] + w[k] \\
y[k] &= y[k-1] + \text{sign}(\tau[k] - y[k])
\end{aligned} \tag{2.1}$$

Reemplazado la función signo definida como:

$$\text{sign}[k] = \begin{cases} +1 & \text{para } k \geq 1 \\ 0 & \text{para } k = 0 \\ -1 & \text{para } k \leq -1 \end{cases} \tag{2.2}$$

se llega a que la salida del sistema puede ser descripta por la siguiente ecuación no lineal a diferencias:

$$y[k] = \begin{cases} y[k-1] + 1 & \text{para } \tau[k] > y[k] \\ y[k-1] & \text{para } \tau[k] = y[k] \\ y[k-1] - 1 & \text{para } \tau[k] < y[k] \end{cases} \tag{2.3}$$

Un simple análisis de estabilidad de variable discreta muestra que el sistema es estable, y converge al menos en  $e[k_0]$  muestras, donde  $e[k_0]$  es la diferencia entre el estado inicial y el retardo de referencia ( $e[k_0] = \tau[k_0] - y[k_0]$ ).

Dado un retardo  $\tau[k]$  entre las señales y con el sistema acumulador partiendo del reposo (valor inicial igual a cero), el error entre la referencia y el valor del acumulador es igual a  $\tau[k]$  y el signo del error positivo. En este caso, como se ve de (2.3), el valor del acumulador aumenta en una cuenta. Esta evaluación y acción se produce hasta que el valor del acumulador iguala al valor de la referencia. En caso que el error resulte negativo se produce una disminución en el valor del acumulador hasta llegar a la igualdad. Para los casos en que la referencia no es un número entero, el sistema queda oscilando en torno al valor de la misma. En la Fig. 2.3 se puede ver un ejemplo de esta convergencia.

En el caso de un retardo negativo, el sistema reacciona de manera similar, sólo que en este caso disminuye el valor del acumulador hasta alcanzar el valor de referencia negativo.

Para poder obtener una cota mínima del tiempo de convergencia, se debe recordar que el algoritmo sólo computa cuando existe actividad en sus entradas (X1, X2), es decir que parte del procesamiento depende de la frecuencia de la señal de entrada. Otra parte del procesamiento depende de la frecuencia de muestreo. Si se considera que por cada período de las entradas se pueden realizar dos cómputos del algoritmo (cuando ocurren los flancos ascendente y descendente), cuando el retardo proviene de señales periódicas sin ruido se puede obtener una expresión sencilla para el tiempo de convergencia. Este tiempo depende del retardo entre señales, el periodo de las mismas y el tiempo de muestreo del sistema, tal como se expresa en (2.4).

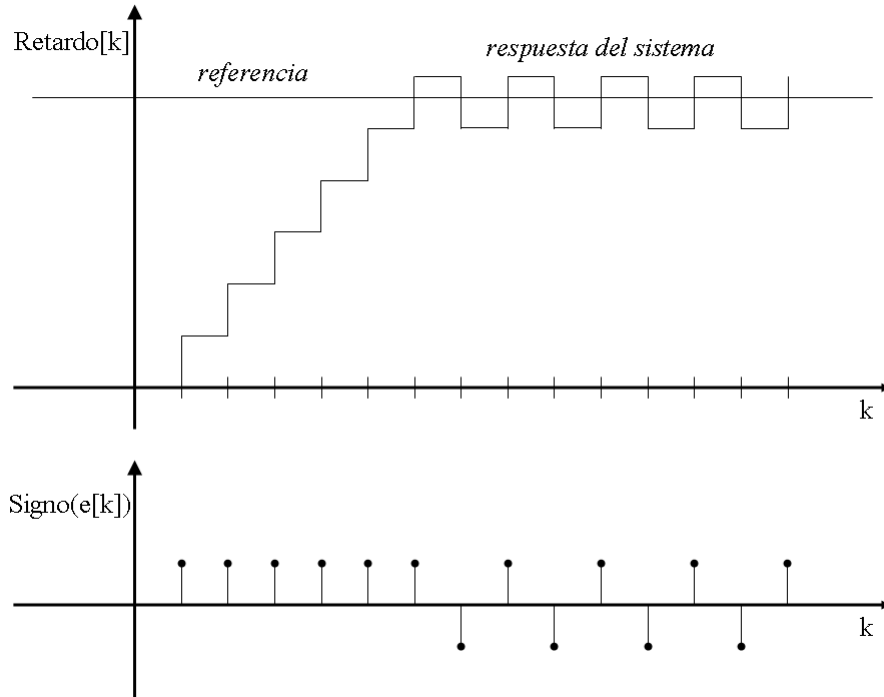


Figura 2.3: Ejemplo de convergencia del sistema.

$$T_{convergencia} = \frac{1}{2} * \frac{T_{señal}}{T_s} * |Retardo_{actual} - Retardo_{nuevo}| \quad (2.4)$$

Para obtener una expresión de la velocidad de seguimiento del sistema se puede suponer, sin perder generalidad, que el sistema parte del reposo con condiciones iniciales iguales a cero, esto es:

$$y[k] = 0 \quad \forall k \leq 0. \quad (2.5)$$

Si se supone un retardo variable descrito por una variación lineal

$$Retardo_{variable} = \tau_0 + ak \quad (2.6)$$

donde  $\tau_0 > 0$  y  $a > 0$ , entonces, el sistema tendrá un error positivo por lo que de acuerdo con (2.3) su salida será:

$$y[k] = y[k-1] + 1 \quad \text{para } \tau[k] > y[k] \quad (2.7)$$

La ecuación (2.7) puede simplificarse ya que en este caso el sistema se está comportando como un acumulador:

$$y[k] = k \quad \text{para } k > 0. \quad (2.8)$$

Despejando el tiempo para el cual el sistema alcanza al retardo referencia, se obtiene:

$$\begin{aligned}
 y[k] &= \text{Retardo}_{\text{variable}} \\
 k &= \tau_0 + ak \\
 k &= \frac{\tau_0}{(1-a)}
 \end{aligned}
 \tag{2.9}$$

Como  $k$  debe ser positivo y  $\tau_0$  está definido positivo, el denominador deberá ser positivo.

$$\begin{aligned}
 1 - a &> 0 \\
 \boxed{1 > a}
 \end{aligned}
 \tag{2.10}$$

De (2.10) se puede concluir que la variación del retardo deberá ser menor que la unidad, para que el algoritmo lo pueda seguir. Relacionando esto con el tiempo de muestreo, el retardo que existe entre las dos señales no podrá cambiar en más de un periodo de muestreo por transición de las señales. Más adelante veremos que el algoritmo sólo computa cuando hay una transición válida en las señales a medir. En la Fig 2.4 se ilustra el seguimiento del algoritmo.

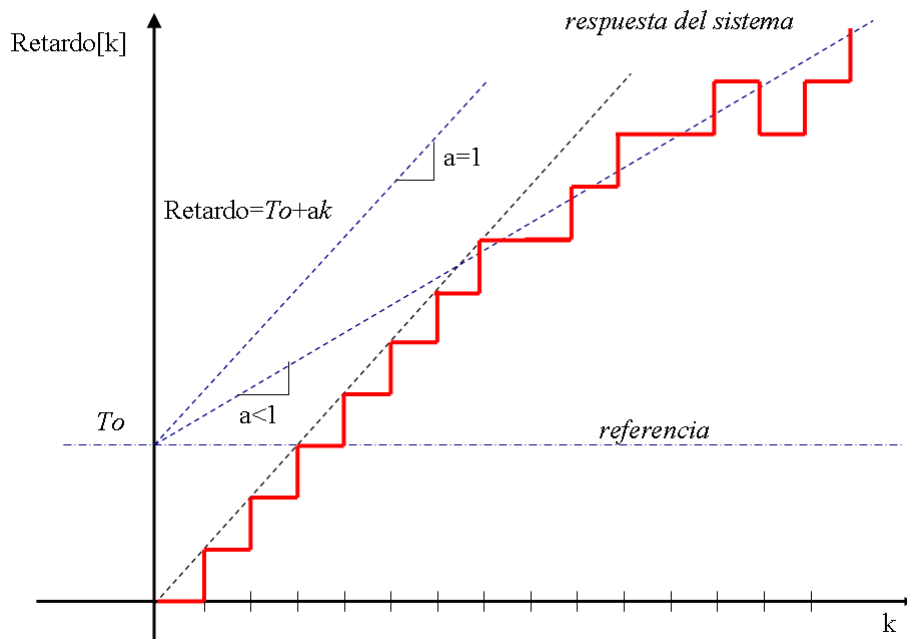


Figura 2.4: Ejemplo de seguimiento de retardos variables.

## Arquitectura del Sistema

La arquitectura está compuesta por dos bloques principales. Uno de ellos, es la Unidad de Retardo que adquiere las señales de los dos canales y las va almacenando en una serie de registros de paso, para su posterior direccionamiento por la unidad de cálculo. El otro bloque, llamado Unidad de Cálculo, posee un contador y lógica de decisión para producir una estimación del retardo entre las señales a partir de las señales medidas y el valor anterior de la estimación del retardo.

Un diagrama en bloques se muestra en la Fig. 2.5.

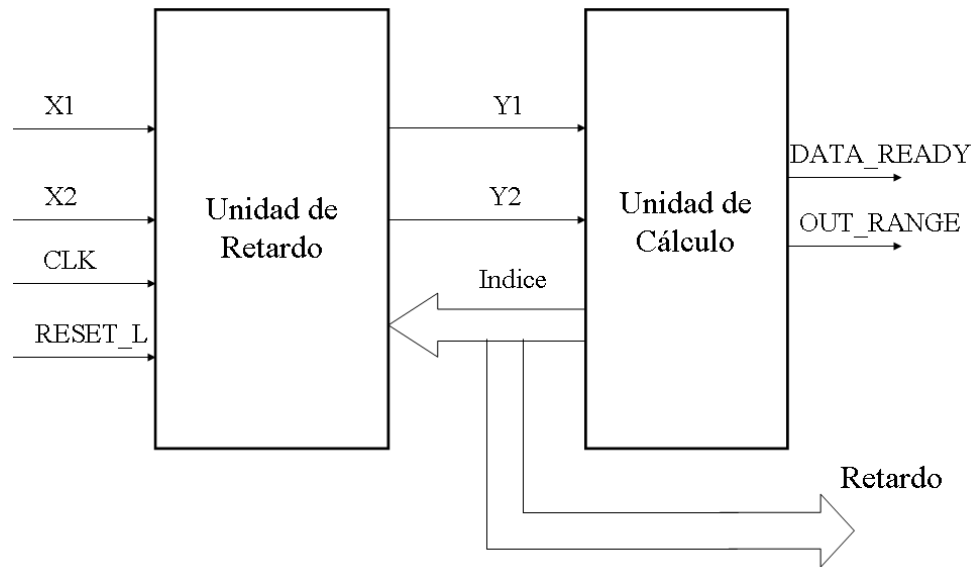


Figura 2.5: Diagrama en bloque del sistema.

A continuación se describen ambos bloques en detalle.

### Unidad de retardo

En la unidad de retardo ingresan las señales a medir, el reloj del sistema y las señales de control. Sus salidas son versiones retardadas de las señales de entrada, por lo cual se debe proveer al sistema de memoria. La velocidad a la que se puede grabar y leer esta memoria es un ciclo de reloj. El sistema almacena 128 muestras de cada una de las señales, muestreadas a  $1/T_s$  Hz, donde  $T_s$  es la resolución temporal de la medición del retardo. La señal que se toma como referencia es almacenada, y por lo tanto retrasada, en una unidad de memoria con entrada serie y salida paralelo. La información dentro de esta memoria puede ser accedida a través de una palabra de 8 bits. Esto indica que se tiene una memoria de 256 bits. La unidad está compuesta por dos cadenas de 128 registros que tienen sus salidas conectadas a una compuerta inversora con salida tres estados, lo que permite realizar una selección del dato a través de una sencilla decodificación de posición que indica cual es el registro seleccionado. Esta cadena de registros forma un registro de desplazamiento que evoluciona a la velocidad de reloj del sistema. La Fig. 2.6 muestra un esquema de la unidad de memoria.

Para contar con una versión actual de la señal, dos multiplexores permiten la selección entre los datos que salen de la memoria y los datos que ingresan a ella. Es decir, se pueden procesar los datos que están pasando por una cadena de desplazamiento y los datos que están ingresando a la otra cadena. La salida Y1 corresponde a los datos de la memoria y la salida Y2 a las entradas. Invertiendo la selección de los multiplexores se cambia la señal de referencia, permitiendo que se midan retardos negativos. Esto se puede ver en la Fig. 2.6, donde se aprecian dos multiplexores que están controlados por la señal Indice[7]. Mientras esta señal tome un valor lógico igual a uno la versión retardada de X2 se conecta a la salida Y1 y la versión actual de X1[0] se conecta a la salida Y2.



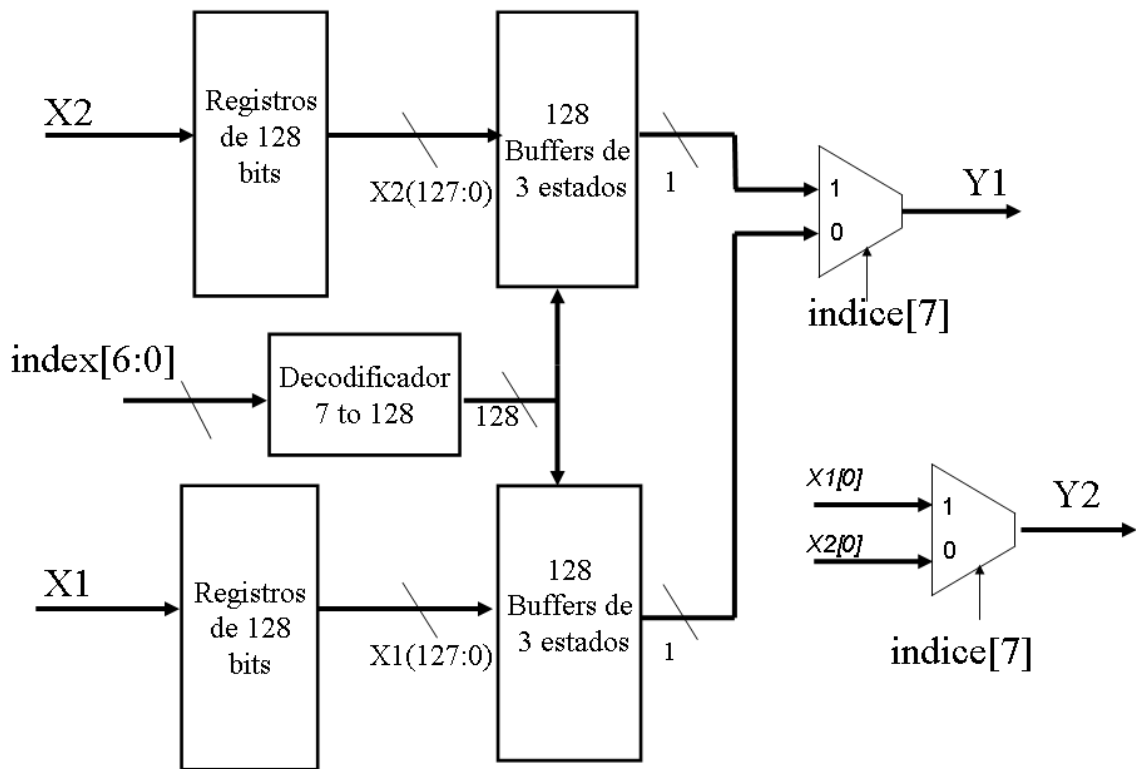


Figura 2.6: Esquema de la unidad de memoria.

El resto de la palabra de dirección (Índice[6:0]) se conecta a un decodificador de 7 líneas a 128 líneas, cuyas salidas se conectan a los buffers con salida tres estados que permiten hacer la selección de datos. Cada uno de estos buffers se conecta a uno de los registros de la memoria. La dirección está representada en complemento a dos con motivo de facilitar los cálculos que realiza el algoritmo. Internamente hay un conversor de complemento a dos a binario seguido de un decodificador que toma el valor de la dirección y lo transforma en una ubicación en la memoria física.

### Unidad de cálculo

Las salidas de los multiplexores ( $Y1$  y  $Y2$ ) provenientes de la unidad de memoria se conectan a la unidad de cálculo a través de un "pipeline". El sistema implementa ecuaciones lógicas que evalúan la concordancia de los flancos de la señal retrasada y la señal directa para calcular la función error, a partir de la cual se generan nuevas señales de reloj y control que se alimentan al contador del sistema. Se utiliza un contador de ocho bits en complemento a dos. El esquema de la unidad de cálculo se presenta en la Fig.2.7, donde se pueden ver las señales más importantes.

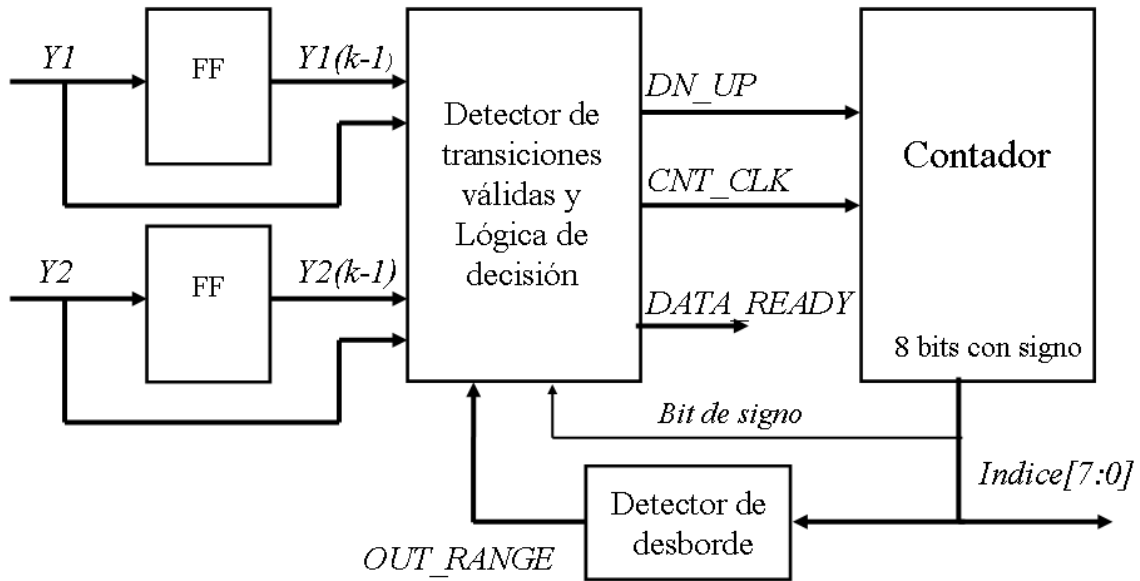


Figura 2.7: Esquema de la unidad de cálculo.

Las señales provenientes de las cadenas de retardo (Y1 y Y2) son registradas para obtener una versión de las mismas retardadas un sólo ciclo de reloj (Y1(k-1) y Y2(k-1)). Con estas cuatro señales se puede determinar el cambio de flanco que indica que las señales están variando, dando así origen a una sincronización con la actividad de las entradas.

Las ecuaciones Booleanas para el control del contador se obtuvieron mediante la utilización de una herramienta de minimización y síntesis aplicada sobre la tabla de verdad que se muestra en la Tabla 2.1. Las señales de control son el sentido de la cuenta y el reloj para el acumulador. El hecho de usar una nueva señal de reloj para el contador hace que éste sólo trabaje cuando hay un flanco válido en las señales de entrada, produciéndose así una disminución de la actividad del algoritmo.

Tabla 2.1: Tabla de verdad del algoritmo.

Y1 Y2 estado	Signo Acumulador	Acción
Y1↓	+	Decremen. Acum.
Y	-	Incrementen. Acum.
Y2=0		
Y1↓	+	Incrementen. Acum.
Y	-	Decremen. Acum.
Y2=1		
Y1↑	+	Incrementen. Acum.
Y	-	Decremen. Acum.
Y2=0		
Y1 Y2 estado	Signo Acumulador	Acción
Y1↑	+	Decremen. Acum.
Y	-	Incrementen. Acum.
Y2=1		
Otras condiciones → Mantener cuenta		

La herramienta de minimización gratuita Expresso, de la universidad de Berkeley produjo el siguiente conjunto de ecuaciones,

$$\begin{aligned}
 DN_{UP} &= \overline{SGN} * (A + B) + \overline{SGN} * \overline{OVN} * (C + D) & (a) \\
 CLK_{CNT} &= \overline{SGN} * \overline{OVP} * (A + B) + \overline{SGN} * \overline{OVN} * (C + D) + (A + B) & (b) \\
 A + B &= \overline{Y_1} * Y_{1\_K1} * \overline{Y_2} * Y_{2\_K1} + Y_1 * \overline{Y_{1\_K1}} * Y_2 * Y_{2\_K1} & (c) \\
 C + D &= \overline{Y_1} * Y_{1\_K1} * Y_2 * Y_{2\_K1} + Y_1 * \overline{Y_{1\_K1}} * \overline{Y_2} * Y_{2\_K1} & (d)
 \end{aligned}
 \tag{2.11}$$

donde  $DN_{UP}$  y  $CNT_{CLK}$  son las salidas y  $SGN$ ,  $OVN$ ,  $(A+B)$  y  $(C+D)$  son señales internas necesaria para el cálculo. La señal  $DN_{UP}$  indica al contador que se debe aumentar en uno la cuenta en estado alto ó disminuir la cuenta en estado bajo. Esta señal se puede interpretar como el signo del error, en concordancia con la descripción del algoritmo. La señal  $CNT_{CLK}$  genera el nuevo reloj para el contador, que si bien sólo está presente cuando hay actividad válida en las entradas, debe estar sincronizado con el resto del sistema. Esta unidad también genera señales auxiliares que indican la validez de los datos presentes en el bus de salida ( $DATA\_READY$ ) y si se está en un estado de saturación del contador ( $OUT\_RANGE$ ). Cuando la señal está en estado bajo indica que los datos que se tienen en el bus de salida no son válidos, ya que se está produciendo una actualización en el contador. Cuando la señal recupera el valor alto, los datos pueden ser leídos del bus. La señal de  $OUT\_RANGE$  se usa internamente para indicar la saturación del contador y establecer una protección que impida el desborde de éste. La unidad de control bloquea la generación de las señales de reloj que van al contador, aunque las señales de  $DN_{UP}$  se siguen generando. Además, esta señal también puede ser usada externamente para informar a un sistema de jerarquía superior que se debe modificar la velocidad del reloj y realizar una medición con mayor o menor resolución.

Dado que el período del reloj del contador depende de las condiciones de las señales a medir, puede suceder que durante algunos ciclos no existan pulsos de reloj, por lo que se deben emplear registros estáticos para garantizar la perdurabilidad de los estados lógicos. Si se implementan contadores con registros dinámicos se debe garantizar la periodicidad del reloj. El contador utilizado tiene una arquitectura básica de sumador con acarreo de carry y registros estáticos activos por flanco positivo. La actualización del contador se produce en el flanco siguiente al que produjo la condición de cambio, de forma tal que se evitan carreras de datos. El hecho de que su valor solamente cambie en +/- 1 bit garantiza que el sistema no tenga sobrepicos mayores a un (1) bit, lográndose una precisión en el seguimiento de +/- 1/2 bit. Para una frecuencia de muestreo de 200KHz se obtiene una precisión de +/- 2.5µs.

## **Realización del Circuito Integrado**

En esta sección se describe la realización de un circuito integrado que implementa el algoritmo descripto. Cabe aclarar que si bien la arquitectura y el diseño se presentan en forma secuencial a lo largo del texto, ambos procesos fueron desarrollados en forma conjunta, dado que toda decisión sobre la arquitectura tiene un impacto directo sobre las prestaciones del circuito integrado. En este sentido, en todo momento se priorizó la reducción del consumo,

principalmente a través de la reducción de la actividad del circuito. El proceso de diseño se hizo de la siguiente manera. Se comenzó con una descripción lógica del algoritmo en Verilog [21]. A partir de esta descripción se realizó el esquemático del circuito, utilizando el software S-Edit de Tanner®. Sobre la descripción a nivel de transferencia de registros (RTL) se incluyeron modificaciones considerando las restricciones referidas al consumo de potencia. La máscara o “layout” se realizó a partir de este esquemático, por lo cual fue necesario diseñar cada una de las celdas básicas de la librería. Con el layout final, se realizó una extracción del circuito incluyendo capacidades parásitas de los transistores, que luego fue simulada sobre Eldo y Mach-TA Mentor Graphics® para verificar temporizados, estimación de consumo y consistencia de la lógica. El simulador Mach-TA hace una simulación rápida del circuito, utilizando un modelo de llave con resistencia y capacidades para los transistores, y es relevante para detectar problemas de temporizado, carreras e inconsistencia en la lógica. Eldo es un simulador analógico que permite determinar con mayor precisión las respuestas temporales.

El circuito integrado se diseñó originalmente para una tecnología CMOS de 0,5 $\mu$ m y luego surgió la posibilidad de integrar en tecnología CMOS 0,35 $\mu$ m, lo cual originó una segunda versión. Ambas corridas se realizaron utilizando el servicio provisto por MOSIS, a través de sus programas MEP Research. A continuación se describen los puntos esenciales de cada una de las realizaciones.

### Implementación en Tecnología CMOS de 0,5 $\mu$ m

#### *Unidad de memoria*

Considerando la velocidad de operación y su tamaño, la unidad de memoria es responsable de la máxima disipación dentro del circuito. Con el objetivo de minimizar este consumo, las cadenas de registros fueron implementadas con registros dinámicos C<sup>2</sup>MOS [24] de ocho transistores. Estos registros maestro-esclavo disparados por flanco no necesitan realimentación, ya que los datos son almacenados en las capacidades de nodo internas, y presentan una baja carga a la línea de reloj (bajo fan-in) además de ocupar un área menor que los clásicos registros maestro-esclavo con realimentación (ver [25], pág. 332).

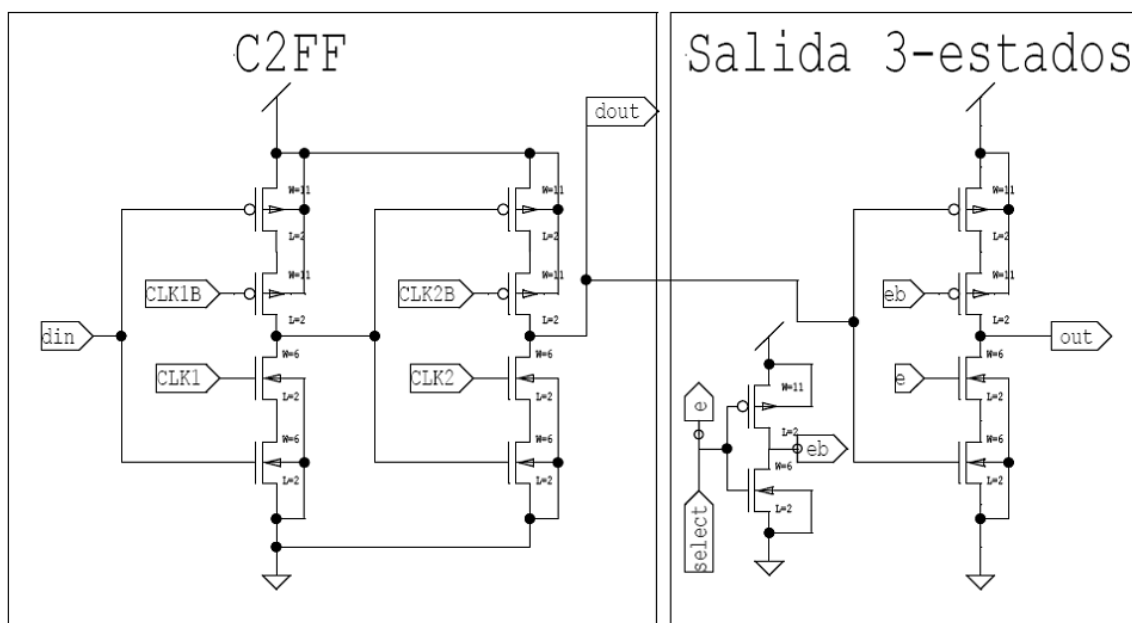


Figura 2.8: Registro C<sup>2</sup>MOS y compuerta inversora 3 estados.

A la salida de cada uno de estos registros hay un inversor con salida tres estados de tamaño mínimo. El tamaño se elige mínimo para producir un mínimo fan-out en la etapa precedente. En la Fig. 2.8 se puede ver el circuito de uno de estos registros y su compuerta de salida. Este circuito de catorce transistores puede considerarse la unidad de memoria básica.

EL tamaño de los transistores es de  $W/L = 3\mu\text{m} / 0,6\mu\text{m}$  para los PMOS y de  $W/L = 1,8\mu\text{m} / 0,6\mu\text{m}$  para los NMOS. Se destaca que la relación entre el tamaño de los transistores es de 1,66. Esta relación es un compromiso entre la velocidad / margen de ruido de la lógica y el área que ocupa la unidad básica de memoria. Un diseño estándar conduciría a la utilización de una relación de 3 para lograr una igualdad entre capacidades de corriente de los PMOS y los NMOS, y así, un umbral de transición centrado en la tensión de alimentación dividida por dos.

Para determinar los márgenes de ruido de la lógica se procedió a simular la transferencia de una compuerta inversora del tamaño descrito anteriormente. En la Fig. 2.9 se presenta la curva de transferencia para una tensión de alimentación de 3,3V, de donde se observa que el umbral de lógica está en 1,57V.

Calculando la ganancia de la compuerta en torno a ese punto se pueden obtener los márgenes de ruido de la lógica que resultaron ser de 2,35V para el nivel alto y de 1,09V para el nivel bajo.

En la Fig. 2.10 se presenta el layout de un registro y su compuerta de salida. En ella se notan las líneas de distribución de reloj y de alimentación. La distancia entre líneas de alimentación es de  $25,20\mu\text{m}$  y el largo del bloque es de  $29,55\mu\text{m}$ , por lo que se tiene un área de  $744,66\mu\text{m}^2$  por unidad básica de memoria.

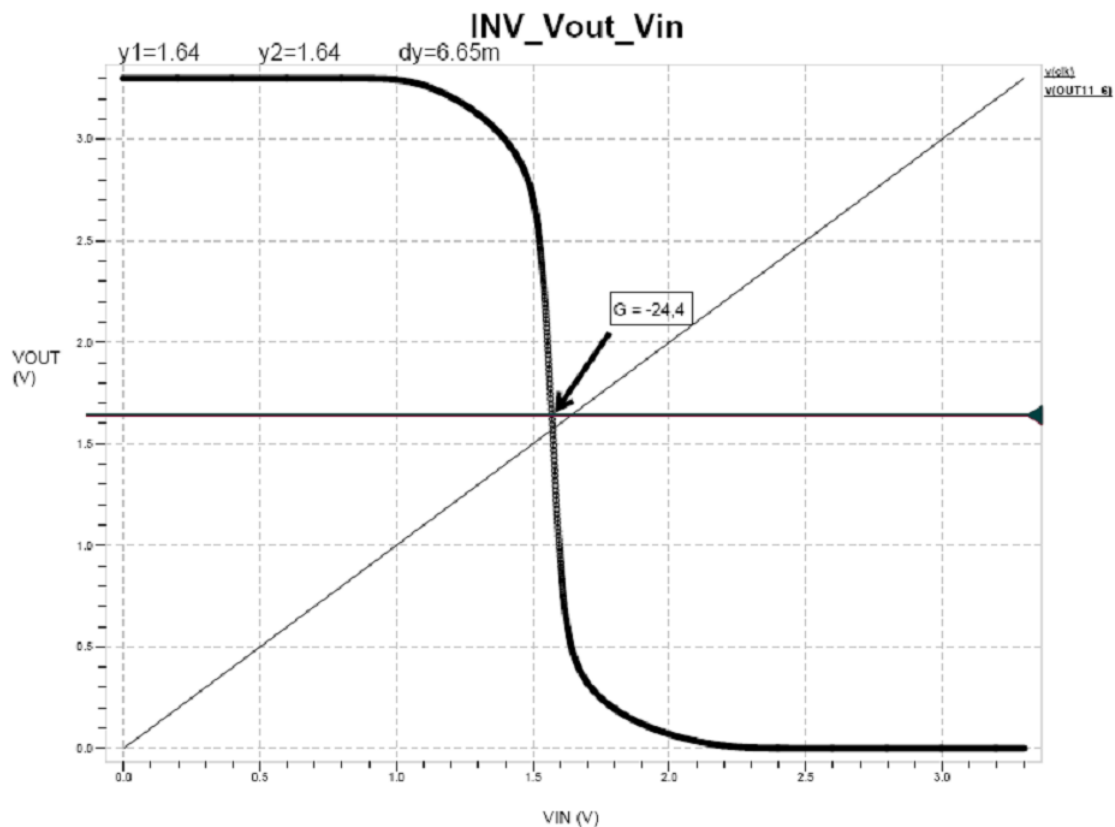


Figura 2.9: Curva de transferencia de una compuerta inversora en tecnología CMOS de  $0,5\mu\text{m}$ .

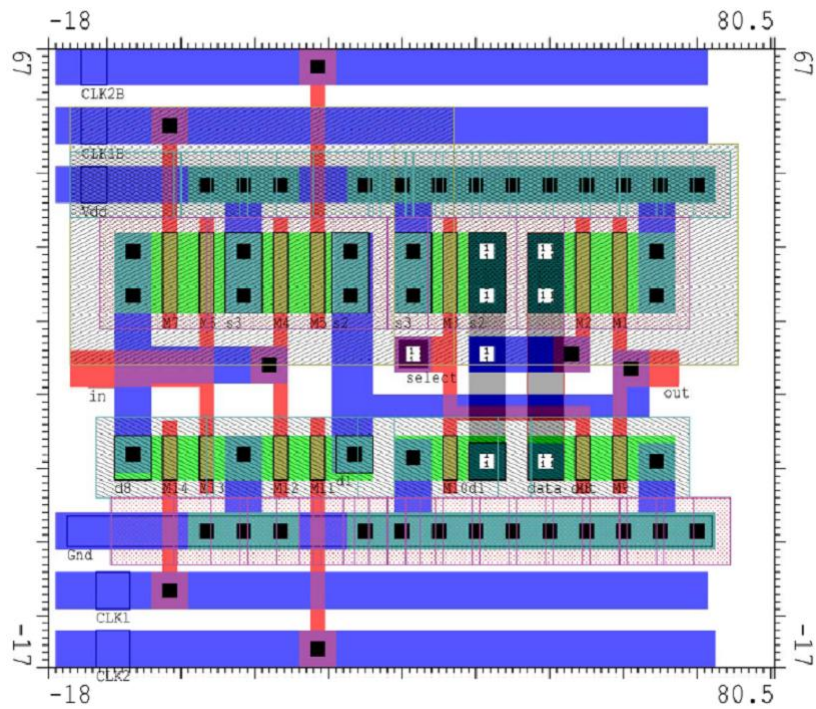


Figura 2.10: Layout de un registro y su compuerta de salida en tecnología CMOS de 0,5µm.

### Decodificación de memoria

Para hacer la decodificación de la memoria se consideraron dos bancos de 4 bloques de 32 registros cada uno, agrupados en sub-bloques de 8 registros. Cada banco almacena 128 muestras de las señales. En la Fig. 2.11 se puede ver un esquema de la distribución de la memoria. Los datos son ingresados en serie por el primer registro y pueden ser leídos sin importar su ubicación en la memoria.



Figura 2.11: Distribución de la memoria.

La decodificación de los 8 bits de dirección se realiza utilizando el bit más significativo para seleccionar entre uno de los dos bloques de 128 bits; el siguiente bit menos significativo para seleccionar entre los primeros o los segundos 64 registros. Luego se selecciona uno de los ocho bloques de ocho registros, y finalmente se accede al registro individual. Esta distribución se implementa con dos multiplexores, dos decodificadores de 3x8 y 34 compuertas de tres estados. Para poder realizar un layout compacto se distribuyeron las decodificaciones de los bits menos significativos en 4 columnas de 8 bits que llegan a todos los registros. En la Fig. 2.12 se muestra el esquemático correspondiente a 128 registros y las compuertas con tercer estado necesarias para hacer la decodificación.

Los 8 registros de un sub-bloque tienen sus salidas de tercer estado conectadas en común, lo que no causa inconvenientes pues como la selección es mutuamente excluyente, solamente está activo uno de ellos. Esta salida de sub-bloque es conducida a otro bloque de ocho compuertas con tercer estado en donde confluyen los sub-bloques que forman uno de los cuatro bloques de 64 registros.

Las señales que controlan estas compuertas con tercer estado también se distribuyen a los tres bloques restantes. Las salidas de dos de estos bloques pasan a través de un par de compuertas inversoras de tres estados que cumplen la función de multiplexar la salida.

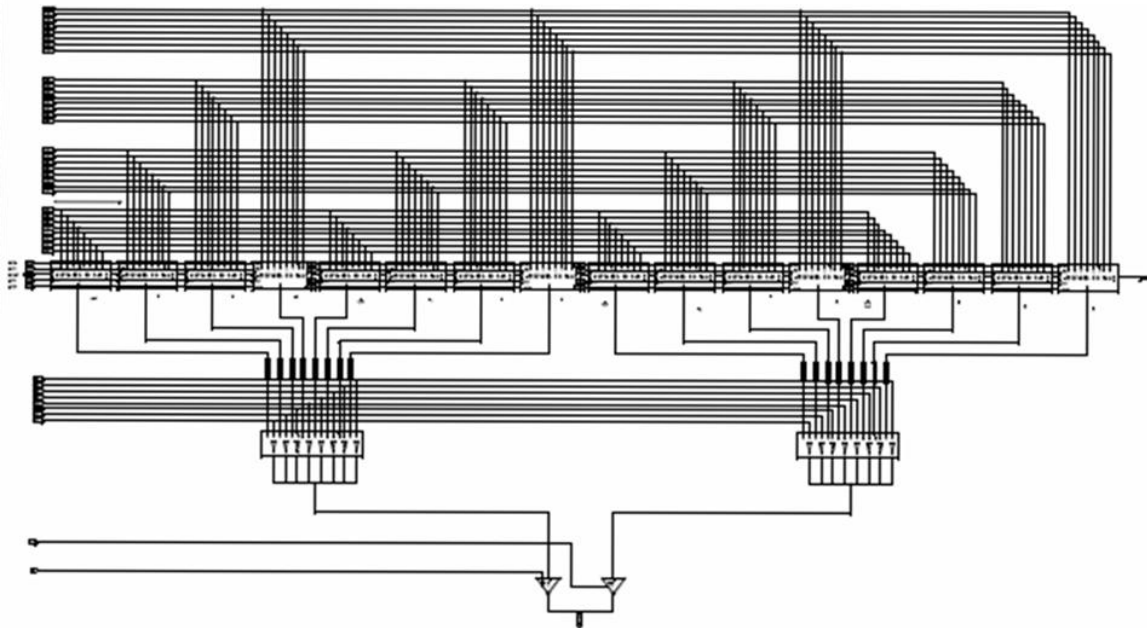


Figura 2.12: Circuito esquemático del decodificador de 128 registros.

En este punto se tienen decodificados los siete bits menos significativos de la dirección. Esta salida se conduce a un multiplexor que selecciona de que cadena se toman los datos (Puede verse que la salida tiene un inversor para obtener el dato y no su complemento). En la Fig. 2.13 se presenta un esquemático del camino de los datos desde el *i*-ésimo registro hasta la salida.

Asociado con la señal de control que selecciona Y1, hay otro multiplexor que selecciona entre las dos primeras muestras de cada cadena dando como salida la señal Y2. Esto puede verse en la Fig. 2.14.

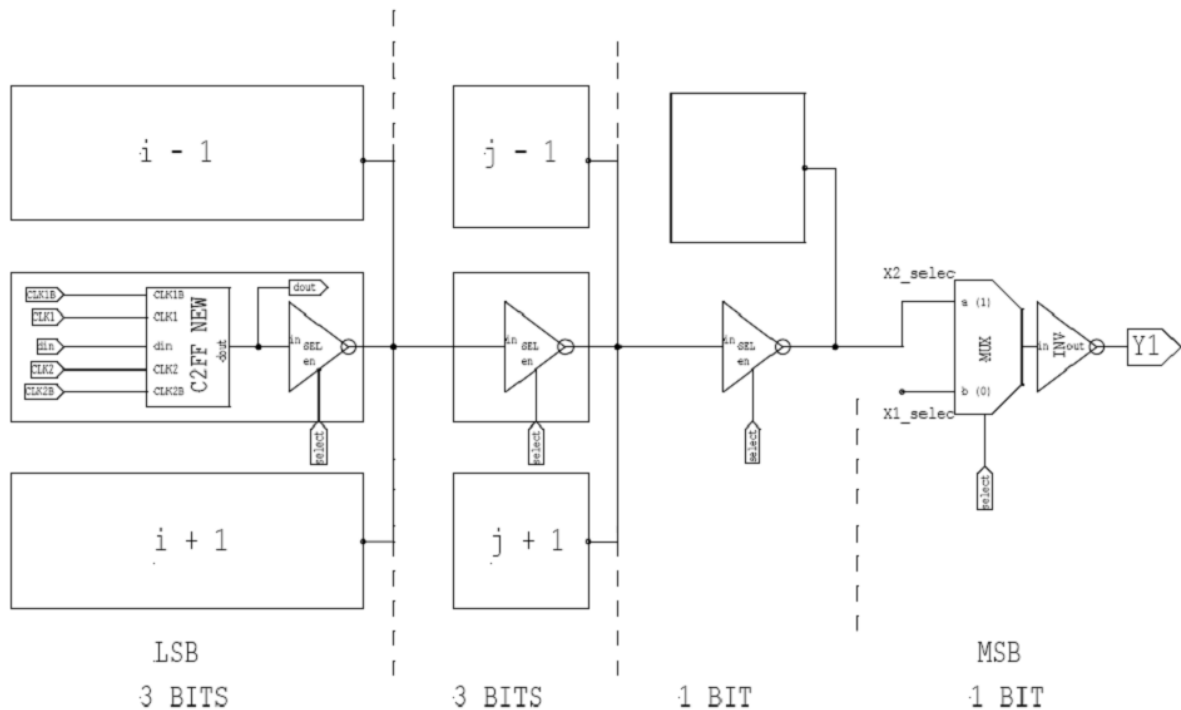


Figura 2.13: Etapas en la decodificación de un registro.

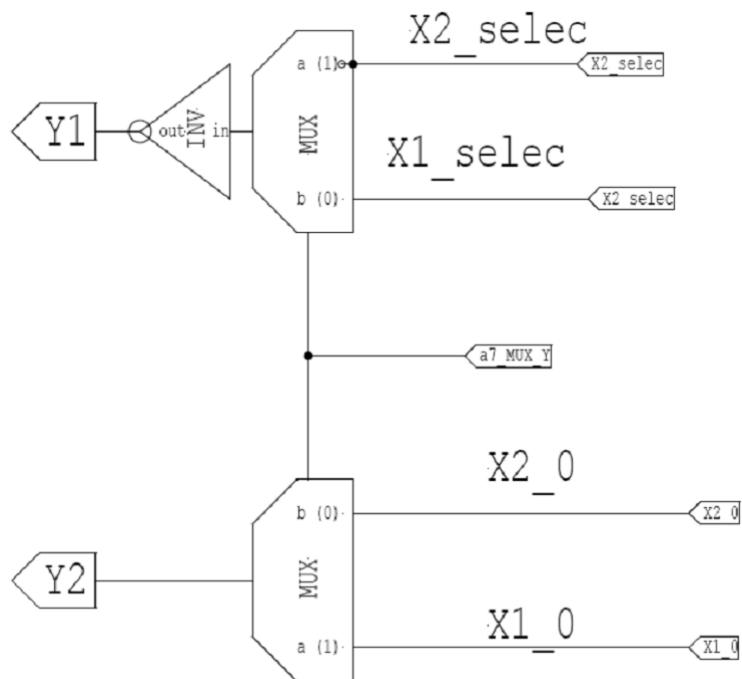


Figura 2.14: Multiplexores de selección de datos.

De la comparación entre la Fig. 2.13 y la Fig. 2.14 se puede apreciar que las señales  $Y1$  e  $Y2$  tienen retardos de propagación diferentes. Para evitar problemas de sincronización estas señales deben ser registradas en la entrada de la unidad de cálculo.



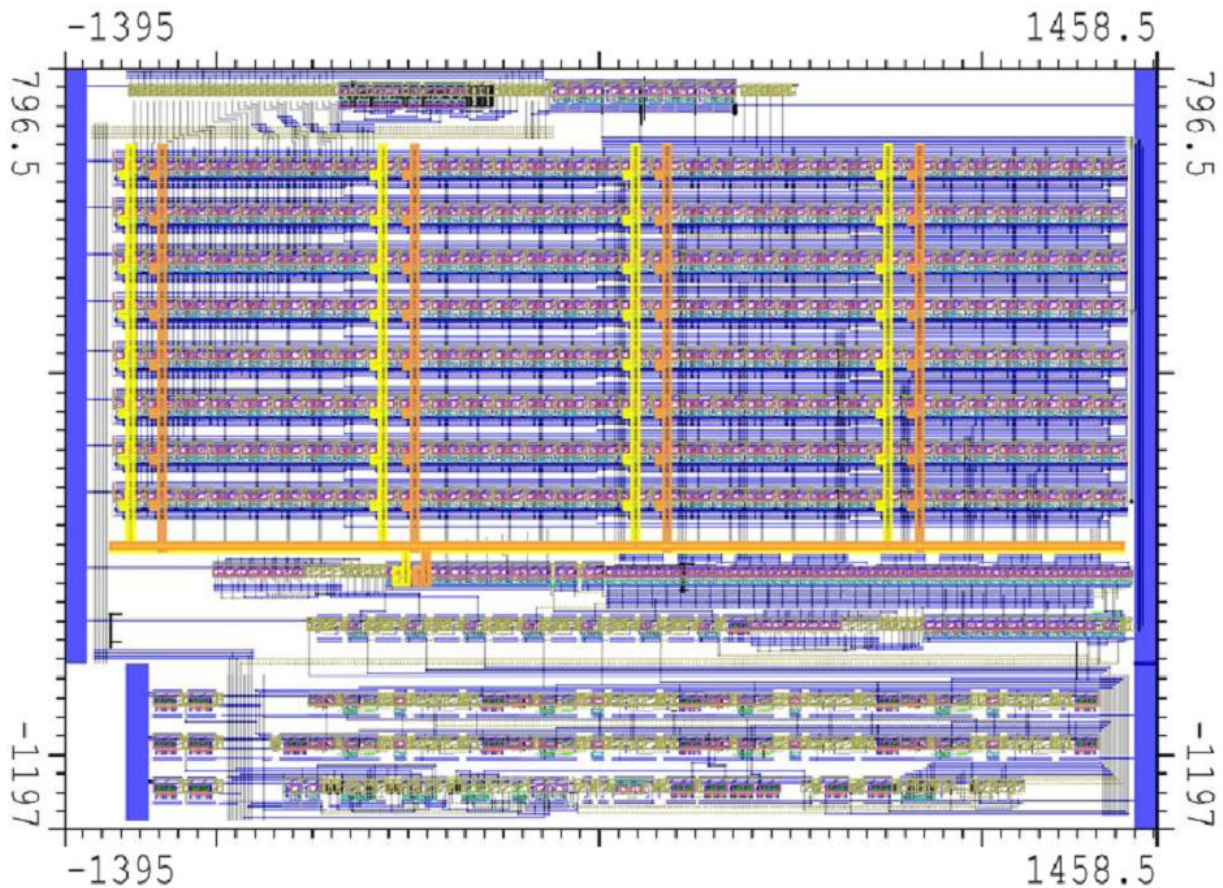


Figura 2.15: Layout completo con detalle de líneas de selección.

De la comparación entre la Fig. 2.13 y la Fig. 2.14 se puede apreciar que las señales Y1 e Y2 tienen retardos de propagación diferentes. Para evitar problemas de sincronización estas señales deben ser registradas en la entrada de la unidad de cálculo

Si bien a nivel lógico la distribución de 4 columnas de 8 señales de decodificación puede parecer más complicada de lo necesario, a nivel de layout permite realizar un cableado más compacto y reducir el área necesaria. En la Fig. 2.15 se muestra el layout completo del circuito destacándose las dos líneas de columnas de selección. También se puede calcular el área total del circuito en base a las dimensiones: 856,05 $\mu\text{m}$  de ancho y 598,05 $\mu\text{m}$  de largo; lo que resulta en un área de 0,552 $\text{mm}^2$ .

#### *Cálculo de Buffers*

El sistema utiliza un reloj bifásico no solapado para garantizar la eliminación de las corrientes de cortocircuito en los registros C<sup>2</sup>MOS, ante cualquier variación del proceso que genere un solapamiento entre los flancos de reloj. Además, se utiliza el complemento de cada fase para tener una menor carga en cada línea de reloj. Esto trae como desventaja el uso de una mayor área debido a las líneas extras necesarias para hacer el ruteo de las señales.

En el diseño de los buffers del reloj se consideró el compromiso entre velocidad y consumo para determinar el número de etapas. Para realizar el cálculo de la cadena de compuertas inversoras es necesario obtener el valor de las capacidades de una compuerta inversora mínima. En la tecnología 0,5 $\mu\text{m}$ , la compuerta inversora mínima tiene una relación de aspecto de  $6\lambda / 2\lambda$  para el transistor NMOS y  $11\lambda / 2\lambda$  para el PMOS ( $\lambda = 0,3\mu\text{m}$ ). Utilizando

los parámetros del proceso se realizaron los cálculos de las capacidades de una compuerta inversora descritos en [25] (pág. 194); el resultado se presenta en la Tabla 2.2.

Tabla 2.2: Capacidades principales de una compuerta inversora en tecnología 0,5 $\mu$ m.

Nodo	Capacidad (fF)
Entrada	12.2
Salida	$\approx 20$

Utilizando una metodología similar se calcularon las capacidades de los nodos de cada fase de reloj del circuito del registro dinámico (ver Fig. 2.11). Los valores obtenidos se presentan en la Tabla 2.3.

Tabla 2.3: Capacidades de líneas de reloj de un registro en tecnología 0,5 $\mu$ m.

Línea Reloj	Capacidad (fF)
Phi_1	4.31
Phi_1B	7.90
Phi_2	4.31
Phi_2B	7.90

Conociendo la capacidad de carga de una línea se puede calcular el número de etapas y su relación de tamaños para manejar dicha carga partiendo desde una inversora mínima. El cálculo tradicional se basa en la obtención de un tiempo mínimo de retardo entre la entrada y la salida de la cadena (ver [25], pág. 207). El cálculo del factor de relación de tamaño depende de la cantidad de etapas y de la carga al final de la cadena.

Las Ecs. (2.10) a (2.12) permiten obtener el factor de relación entre etapas. En este caso  $N$  es la cantidad de etapas,  $F$  es el fan-out de la cadena de inversores y  $f$  es la relación de tamaños entre los inversores.

$$F = \frac{C_{load}}{C_{g\_min}} \quad (2.10)$$

$$N = \ln(F) \quad (2.11)$$

$$f = \sqrt[N]{F} \quad (2.12)$$

Por ejemplo, si se analiza como carga uno de los sub-bloques de memoria, formado por 32 registros, aplicando las ecuaciones anteriores se obtienen los resultados presentados en la Tabla 2.4. También se presentan las capacidades absolutas y relativas por cada línea de reloj. Nótese que el valor de  $N$  debe ser el menor número natural mayor que (2.11).

Tabla 2.4: Carga absoluta y normalizada por línea de reloj, cantidad de etapas y relación de tamaños entre inversores.

Línea Reloj (32)	Capacidad (fF)	$F \approx \frac{C_{load}}{C_{g\_min}}$	$N = \ln(F)$	$f = \sqrt[N]{F}$
Phi_1	137.92	11.30	2.42 → 3	2.24
Phi_1B	252.80	20.70	2.03 → 3	2.74
Phi_2	137.92	11.30	2.42 → 3	2.24
Phi_2B	252.80	20.70	2.03 → 3	2.74

De la Tabla 2.4 se desprende que el buffer es inversor dado que N resulta impar y que la diferencia entre el factor de tamaño y el fan-out de cada línea es pequeña. Es preciso notar, que si la carga se duplica de una línea a otra,  $f$  únicamente aumenta un 10%. Con los factores  $f = \sqrt[N]{F}$  se dimensionan los inversores de la cadena, y resultan los tamaños presentados en la Tabla 2.5.

Tabla 2.5: Tamaño de inversores en tecnología CMOS de 0,5µm.

	Inv N°1	Inv N°2	Inv N°3	Area Total
Phi_1/ Phi_2	W/L	W/L	W/L	Wt*Lt
NMOS	6,0/2,0	12,4/2	30,1/2	98
PMOS	12,0/2,0	26,8/2	60,2/2	196

	Inv N°1	Inv N°2	Inv N°3	Area Total
Phi_1B/ Phi_2B	W/L	W/L	W/L	Wt*Lt
NMOS	6,0/2,0	16,4/2	45,1/2	134
PMOS	12,0/2,0	32,8/2	90,2/2	268

Para el diseño de una aplicación orientada al bajo consumo, el aumento del área de los inversores que resulta de este enfoque resulta excesivo ya que trae aparejado un aumento en el consumo de potencia. Por ello, se debe utilizar otra técnica de diseño menos conservativa, contemplando la potencia que la cadena de inversores disipa. Dado que cuanto más rápida se hace la respuesta de la cadena de inversores, mayor es el consumo, la restricción de tiempo de propagación mínimo se deja de lado, y se relaja el tiempo de propagación tanto como sea posible siempre y cuando se cumplan los requerimientos dictados por la aplicación [25].

En primer lugar se debe estimar el tiempo de propagación intrínseco de una compuerta inversora mínima ( $T_{po}$ ). Otros parámetros a estimar son los tiempos de caída ( $T_f$ ) y de trepada ( $T_r$ ). Estos se calculan para una inversora mínima que tiene como carga con otra compuerta de tamaño mínimo. Para una compuerta inversora con la relación 6/2 N y 11/2 P en una tecnología de 0,5µm, se tienen los siguientes valores (ver [26], pág. 208):

$$T_f = 71,18s$$

$$T_r = 128,51ps$$

$$T_{po} = 49.90ps$$

De acuerdo a las Ecuaciones (5.35), (5.36), (9.5) y (9.6) de [25], se tienen que considerar los siguientes factores: cantidad de etapas;  $F$ , fan-out de la etapa analizada;  $T_{po}$ , tiempo de

propagación intrínseco de la compuerta. En la Tabla 2.6 se presentan los valores del factor de tamaño y el tiempo de propagación de la cadena de inversores en función de la cantidad de etapas, considerando los tiempos calculados. Los valores destacados corresponden al número de etapas que presentan un menor tiempo de propagación.

Tabla 2.6: Factor de tamaño y tiempo de propagación de la cadena de inversores para el manejo de la línea de reloj, en función del número de etapas.

N	$f = \sqrt[N]{F}$		$t_p = t_{po} N(1+f)$ [ns]	
	F=11,3	F=20,7	F=11,3	F=20,7
1	11,30	20,70	0,61	1,08
2	<b>3,36</b>	<b>4,53</b>	<b>0,43</b>	<b>0,55</b>
3	2,24	2,74	0,48	0,56
4	1,83	2,13	0,56	0,62
5	1,62	1,83	0,65	0,71
6	1,50	1,66	0,75	0,79

En la Tabla 2.7 se presentan las áreas relativas de las cadenas de inversores referidas al área de un inversor mínimo y la energía disipada por la cadena de inversores en función del número de etapas de la cadena. Los valores destacados corresponden a la cantidad etapas que presenta menor tiempo de propagación, según lo mostrado en la Tabla 2.6.

Tabla 2.7: Área relativa y energía disipada por la cadena de inversores para el manejo de la línea de reloj, en función del número de etapas.

N	$\frac{AreaBuffer}{AreaMin} = \left( \frac{f^N - 1}{f - 1} \right)$		$E_{driver} = \left( \frac{F - 1}{f - 1} \right) C_i V_{dd}^2$ [p Joules]	
	F=11,3	F=20,7	F=11,3	F=20,7
1	1,000	1,000	1,502	2,753
2	<b>4,360</b>	<b>5,550</b>	<b>6,551</b>	<b>15,278</b>
3	8,2780	11,280	12,436	31,067
4	12,350	17,380	18,561	47,867
5	16,500	22,640	24,787	65,096
6	20,680	29,980	31,064	82,545

Si se considera que la resolución de la medida del retardo es de  $5\mu s$  y se toma como margen de error un tiempo de propagación 1000 veces inferior (5ns) para las señales de reloj, de la Tabla 2.5 se puede apreciar que con un sólo inversor ( $N=1$ ), se cumple la especificación. De todos modos se implementó un buffer de dos etapas para evitar problemas con la inversión de los flancos de reloj. La modificación se realizó en el tamaño de la segunda compuerta inversora, la cual no fue escalada por el factor  $f = \sqrt[N]{F}$ . Esto conduce a no obtener el mínimo retardo garantizado (0,5ns) para esa cantidad de etapas pero de todos modos se sigue cumpliendo con la especificación de tiempo (5ns). La Fig. 2.16 muestra el resultado de la simulación de las líneas de reloj.

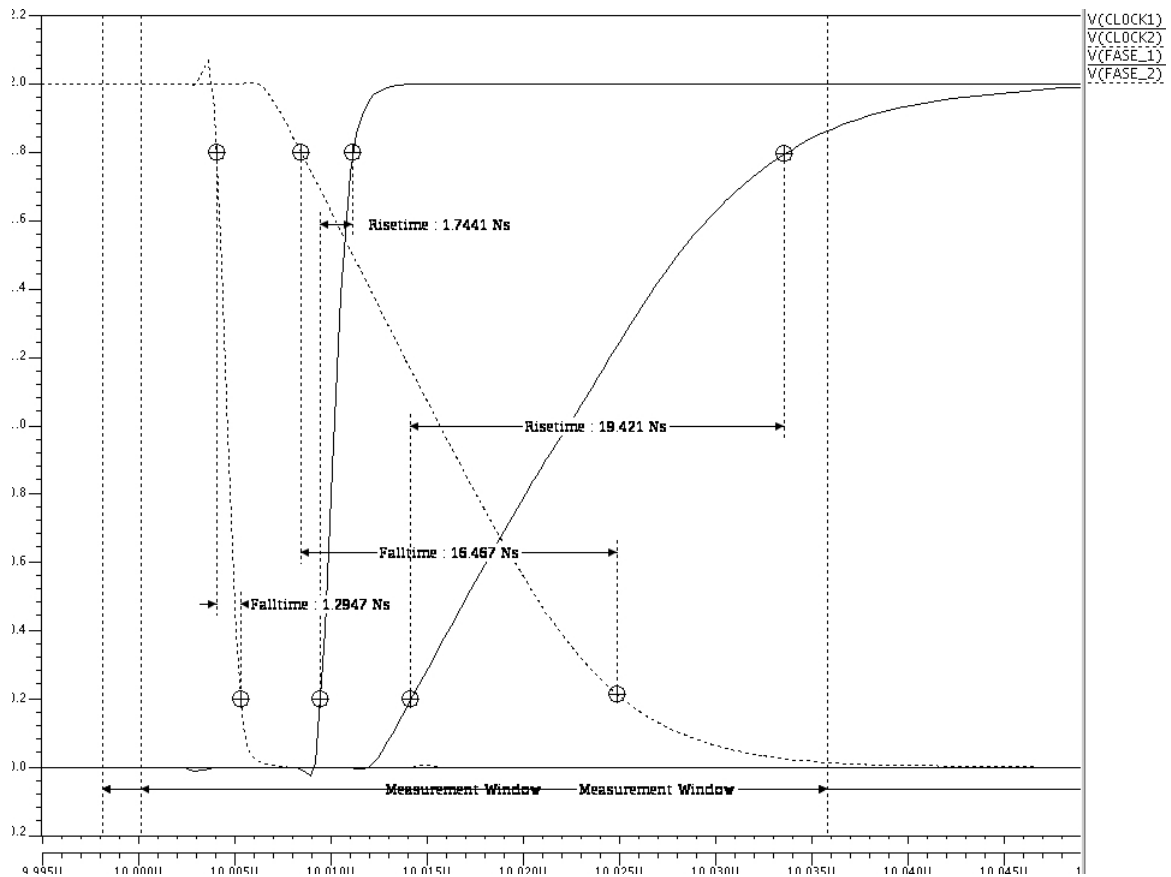


Figura 2.16: Tiempos bajada y de subida en los buffers de las líneas de reloj para la tecnología CMOS de 0,5 $\mu$ m.

En la Fig. 2.16 se observa que los tiempos de subida antes de los buffers es de 19,4ns y luego de ellos es de 1,7ns; para los tiempos de baja se tienen 16,6ns y 1,3ns, respectivamente. Esta simulación se realizó sobre el circuito extraído del layout con las capacidades parásitas de interconexiones.

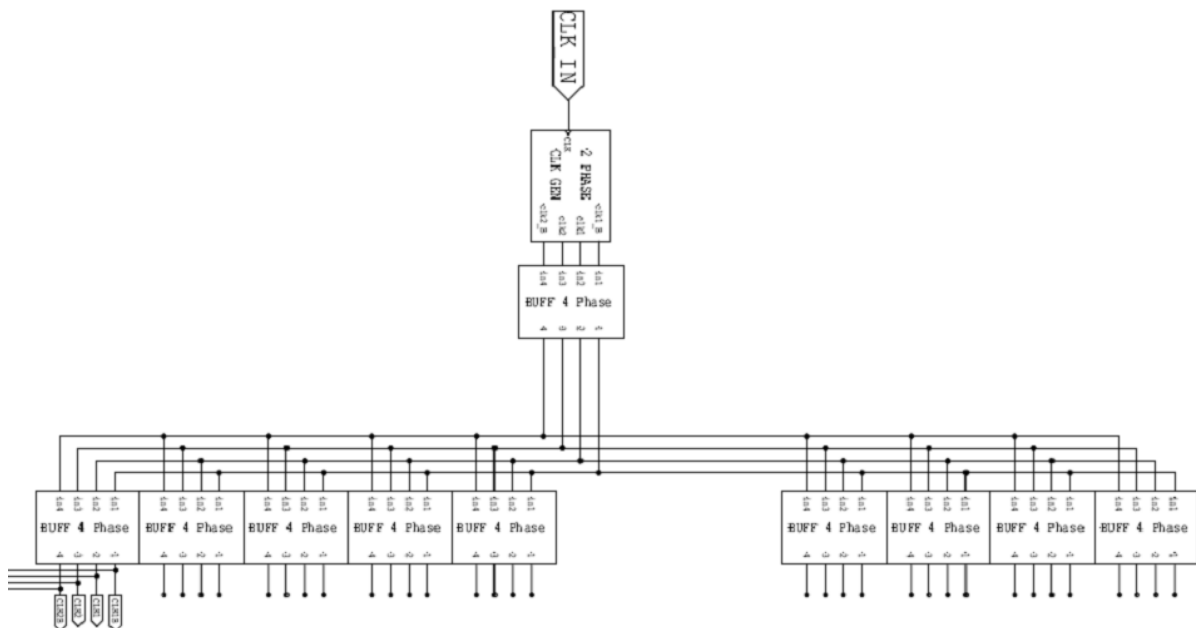
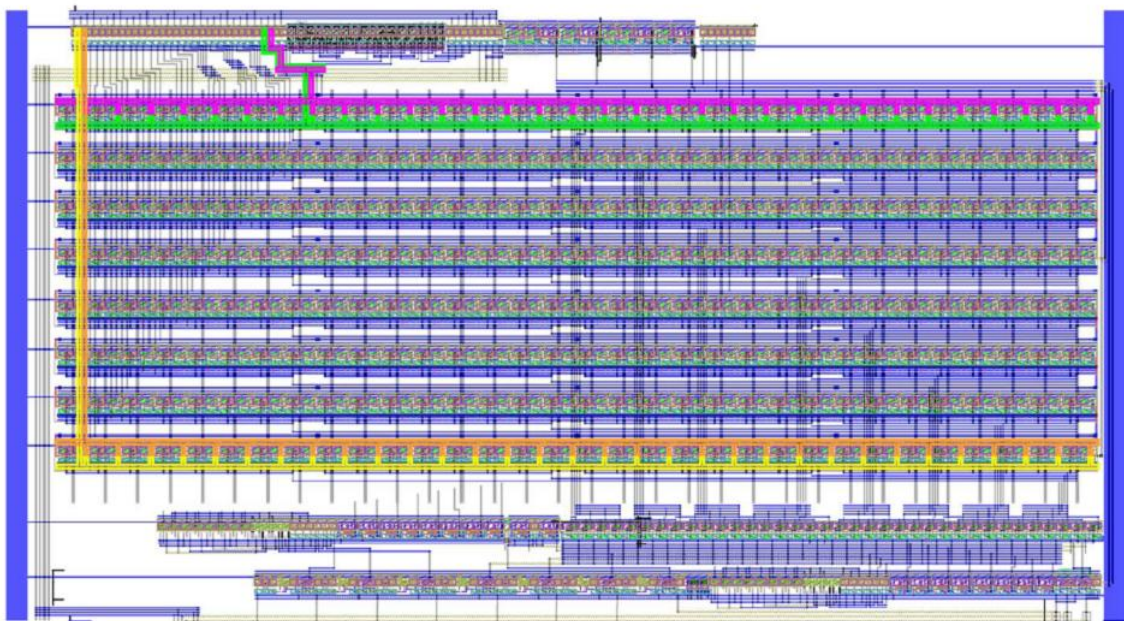


Figura 2.17: Circuito esquemático de distribución de líneas de reloj.

En el circuito existen nueve buffers, ocho de ellos para las cadenas de retardo y uno para la unidad de cálculo. Se optó por buffers divididos en dos etapas de inversores; la primera para separar las salidas del generador de reloj y las segundas para aplicar a las cadenas de registros. En la Fig. 2.17 se muestra el esquema general de la distribución de reloj. Se puede apreciar el bloque del generador bifásico y las salidas para los bloques de 32 registros. Cada bloque denominado “BUFF 4-Phase” posee cuatro inversores de tamaño mínimo.

En la Fig. 2.18 se muestran resaltadas las líneas de reloj que salen de los buffers y llegan hasta los registros más alejados y más cercanos de la unidad de memoria. Solamente se muestran dos de las cuatro líneas de reloj presentes.



*Figura 2.18: Distribución de líneas de reloj.*

También se consideró que físicamente las señales de datos y reloj fluyeran en canales paralelos con direcciones opuestas. Esto produce un “skew” negativo, dado que los flancos de reloj llegan a los registros antes que los cambios de datos, evitando condiciones de pasaje directo de datos a través de los registros. El “skew” se da naturalmente debido a diferencias de longitudes en los recorridos de las líneas, variaciones locales del proceso de fabricación, etc.

#### *Consumo de Potencia*

El CI fue fabricado en una tecnología CMOS estándar  $0,5\mu\text{m}$  con 3 capas de metal y dos capas de polisilicio. La relación entre los transistores PMOS y NMOS se eligió de 1,9 en lugar de la relación típica de 3 para reducir el tamaño de las cadenas. Además, de esta forma

se reduce el consumo dado que se disminuye (levemente) la velocidad de la lógica (también se reduce el margen de ruido). Desde el punto de vista del consumo, la unidad de cálculo no es tan crítica como la unidad de retardo, porque para el peor caso de funcionamiento (máximo retardo entre las señales), el contador opera al doble de la frecuencia de la señal de entrada, que es una señal de audio de baja frecuencia (menor de 1KHz). De todas maneras, se minimizó la lógica y los registros utilizados. La Fig. 2.19 muestra el layout del CI con una fotografía del detalle de un registro C<sup>2</sup>MOS. La simulación del circuito completo a 3,3V presentó como resultado un consumo total de 13μW.

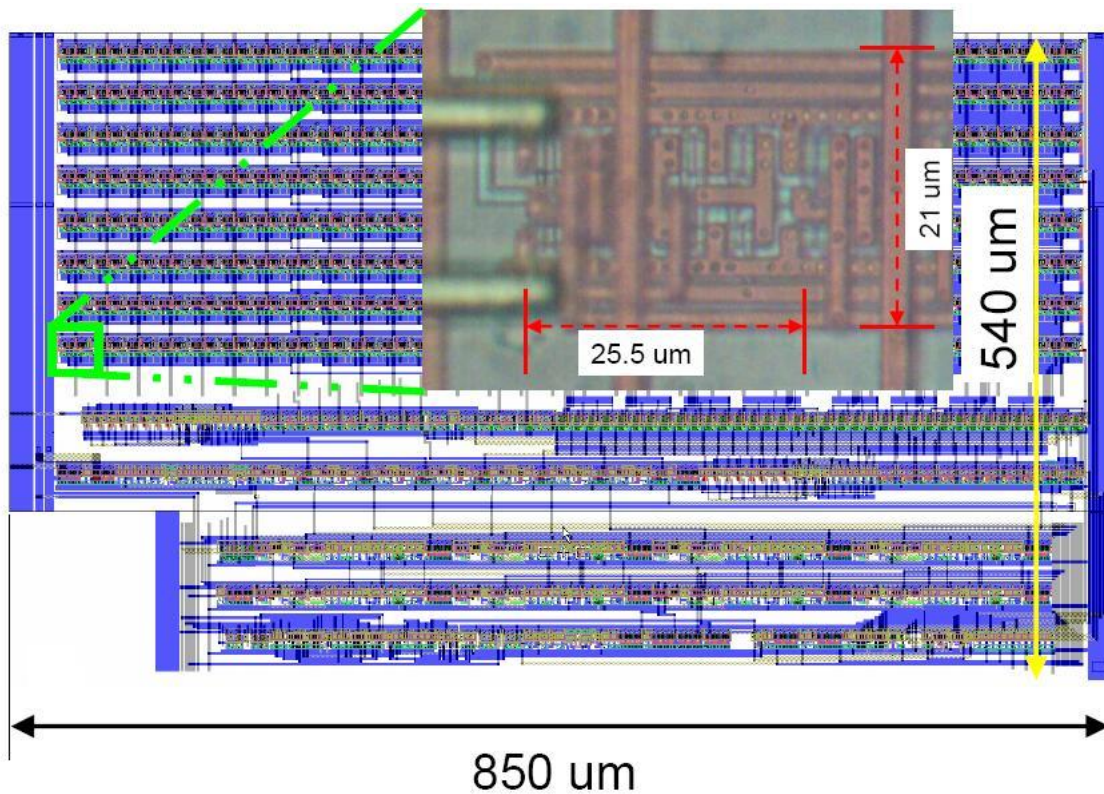


Figura 2.19: Layout del CI en tecnología CMOS de 0,5μm.

### Implementación en Tecnología CMOS de 0,35μm

Para realizar la implementación en esta tecnología se exportó el diseño a través del formato GDSII utilizando las reglas escalables de MOSIS. Una vez que se tuvo el diseño en la nueva tecnología, se comprobaron las reglas de diseño (DRC). Luego se repitieron extracciones del circuito y se realizaron simulaciones para comprobar desempeño y funcionalidad.

#### Unidad de memoria

La principal modificación que se realizó en este bloque fue en el tamaño de los transistores que forman los registros. En esta tecnología los transistores mínimos tienen un ancho  $W=0,6\mu\text{m}$  y un largo  $L=0,4\mu\text{m}$  para los NMOS y PMOS respectivamente. Se decidió implementar las cadenas de registros con transistores de tamaño mínimo. Esto permite hacer más compactas las cadenas de registros y tener una menor carga de las líneas de reloj. Como

ya se explicó, esto trae aparejado un corrimiento del nivel de conmutación de la lógica y una disminución del margen de ruido.

Para calcular los márgenes de ruido de la lógica se simuló la transferencia de una compuerta inversora del tamaño descrito anteriormente. En la Fig. 2.20 se presenta la curva de transferencia para una tensión de alimentación de 3,3V, de donde se puede observar que el umbral de la lógica está en 1,26V.

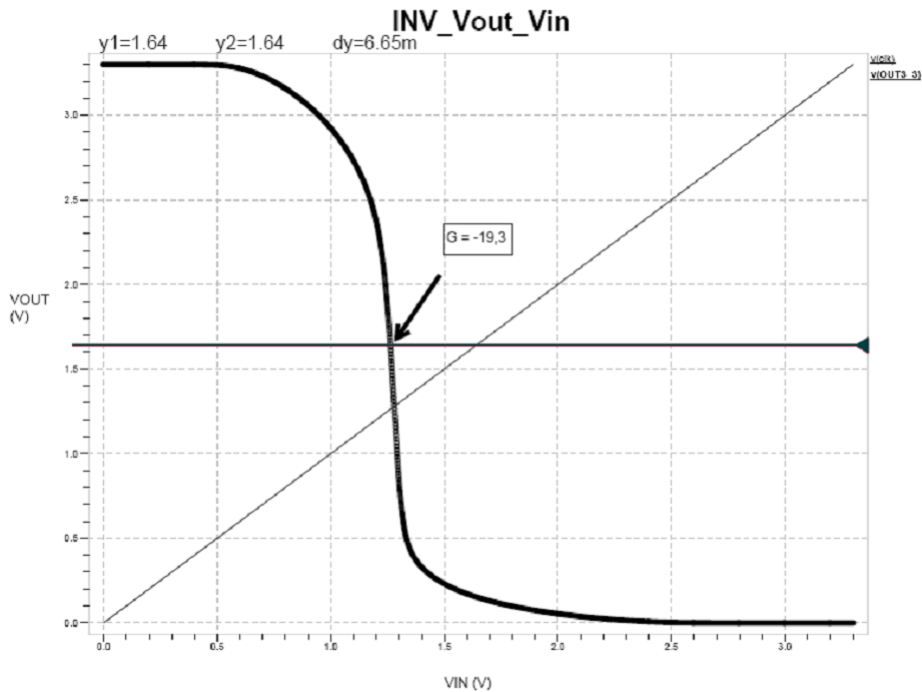


Figura 2.20: Curva de transferencia de una compuerta inversora en tecnología CMOS de 0,35 $\mu$ m.

Calculando la ganancia de la compuerta en torno a ese punto se pueden obtener los márgenes de ruido de la lógica [25]. Esto da por resultado un margen de ruido para el nivel alto de 3,10V y de 1,38V para nivel bajo.

En la Fig. 2.21 se muestra el layout de un registro y su compuerta de salida. Comparando este layout con el presentado en la Fig. 2.11, se puede distinguir la disminución del área de los transistores. Los transistores PMOS tiene 7,5 veces menos área y los NMOS 4,5 veces.

### Decodificación de memoria

Para la implementación de la decodificación de memoria se mantuvo el layout realizado para el CI de 0,5 $\mu$ m (escalando  $\lambda$  de 0,3 $\mu$ m a 0,2 $\mu$ m) y se comprobó que los tiempos de acceso de los registros fueran compatibles con los tiempos del resto de la lógica.



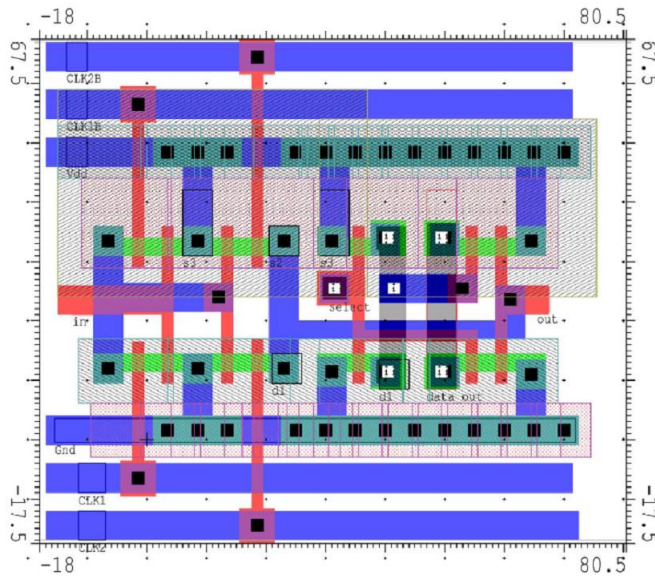


Figura 2.21: Layout de registro y llave selectora en tecnología CMOS de 0,35µm.

### Cálculo de Buffers

Para realizar un cálculo de las cadenas inversoras es necesario obtener el valor de las capacidades de una compuerta inversora mínima. Se consideró que los transistores no sufren saturación de velocidad de portadores. El resultado se presenta en la Tabla 2.8

Tabla 2.8: Capacidades principales de una compuerta inversora en tecnología CMOS de 0,35µm.

Nodo	Capacidad [fF]
Entrada	2,2
Salida	4,4

Utilizando una metodología similar se calcularon las capacidades de los nodos de cada fase de reloj del circuito del registro (Ver Fig. 2.20 del layout). Los valores obtenidos se presentan en la Tabla 2.9.

Tabla 2.9: Capacidades de líneas de reloj de un registro en tecnología 0,35µm.

Línea Reloj	Capacidad [fF]
Phi_1	1,2
Phi_1B	2,1
Phi_2	1,2
Phi_2B	2,1

De manera análoga a lo desarrollado para la tecnología de 0,5µm se procede a calcular el dimensionamiento de una cadena de inversores para cada línea de reloj. Se analiza como carga un sub-bloque de memoria formado por 32 registros.

Para los cálculos que únicamente involucran la relación entre capacidades de entrada y salida, los resultados son idénticos al caso anterior dado que el escalamiento de  $\lambda$  no afecta el resultado. Para el cálculo de los valores que contemplan tiempos se considera ahora el fenómeno de saturación de velocidad de portadores.

Para una compuerta inversora con la relación 3/2 N y 3/2 P en tecnología CMOS de 0,35µm, se tienen los siguientes tiempos:

$$Tf = 22,66 \text{ ps}$$

$$Tr = 32,30 \text{ ps}$$

$$Tpo = 27,98 \text{ ps}$$

De forma análoga a lo desarrollado para la tecnología de 0,5µm, en la Tabla 2.10 se presentan los valores del factor de tamaño y el tiempo de propagación de la cadena de inversores en función de la cantidad de etapas.

Tabla 2.10: Factor de tamaño y tiempo de propagación para cadena de inversoras en tecnología CMOS de 0,35µm.

N	$f = \sqrt[N]{F}$		$t_p = t_{po} N(1+f)$ [ns]	
	F=11,3	F=20,7	F=11,3	F=20,7
1	11,300	20,700	0,344	0,607
2	<b>3,361</b>	<b>4,549</b>	<b>0,244</b>	<b>0,311</b>
3	2,244	2,745	0,272	0,314
4	1,833	2,133	0,317	0,351
5	1,624	1,833	0,367	0,396
6	1,498	1,657	0,419	0,446

En la Tabla 2.11 se presentan las áreas relativas de las cadenas de inversores referidas al área de un inversor mínimo y la energía disipada por la cadena de inversores.

Tabla 2.11: Áreas y energía disipada para cadena de inversoras en tecnología CMOS de 0,35µm.

N	$\frac{AreaBuffer}{AreaMin} = \left( \frac{f^N - 1}{f - 1} \right)$		$E_{driver} = \left( \frac{F - 1}{f - 1} \right) C_i V_{dd}^2$ [p Joules]	
	F=11,3	F=20,7	F=11,3	F=20,7
1	1,000	1,000	0,418	0,732
2	<b>4,361</b>	<b>5,549</b>	<b>1,824</b>	<b>4,061</b>
3	8,279	11,284	3,462	8,258
4	12,358	17,387	5,168	12,724
5	16,503	22,645	6,901	17,304
6	20,682	29,983	8,649	21,942

Los valores resaltados en las Tablas 2.10 y 2.11 (caso N=2) corresponden a la cadena que presenta el mínimo retardo.

Al igual que en la implementación en 0,5µm, se considera que la resolución de la medida del retardo es de 5µs y se toma como margen de error un tiempo de propagación 1000 veces inferior (5ns) para las señales de reloj. Dado que esta tecnología tiene una velocidad más alta, todos los casos cumplen con la especificación de tiempo. Para respetar el layout ya existente se utilizó el mismo esquema de dos compuertas inversoras para el buffer de cada línea reloj.

En la Fig. 2.22 se observan las señales de reloj antes y después de pasar por los buffers. Los tiempos de bajada son 10,17ns y 1,52ns respectivamente y los tiempos de subida de 10,60ns y

1,54ns. Esta simulación se realizó sobre el circuito extraído del layout con las capacidades parásitas de interconexiones.

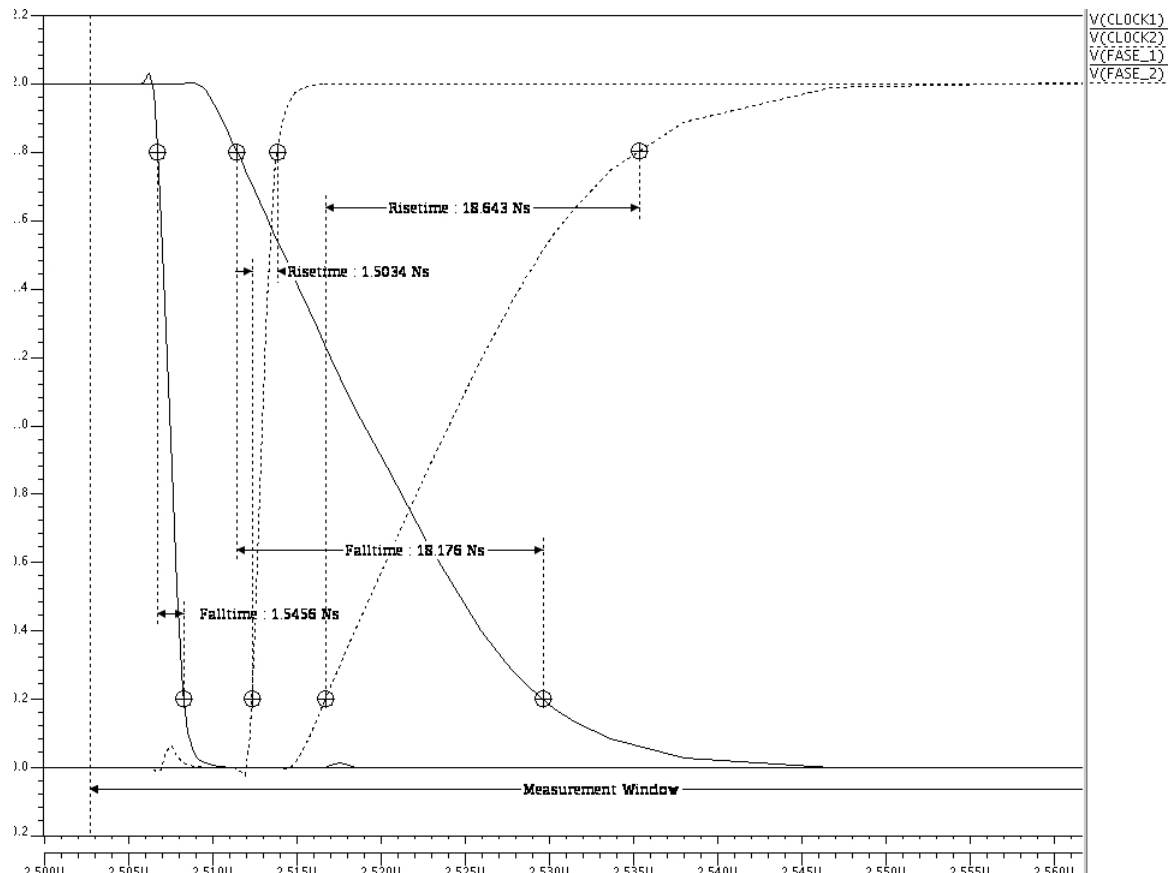


Figura 2.22: Tiempos de bajada y de subida en buffers de líneas de reloj para tecnología CMOS de 0,35 $\mu$ m.

En la Fig. 2.23 se presenta una fotografía del layout completo desarrollado en tecnología 0,35 $\mu$ m.

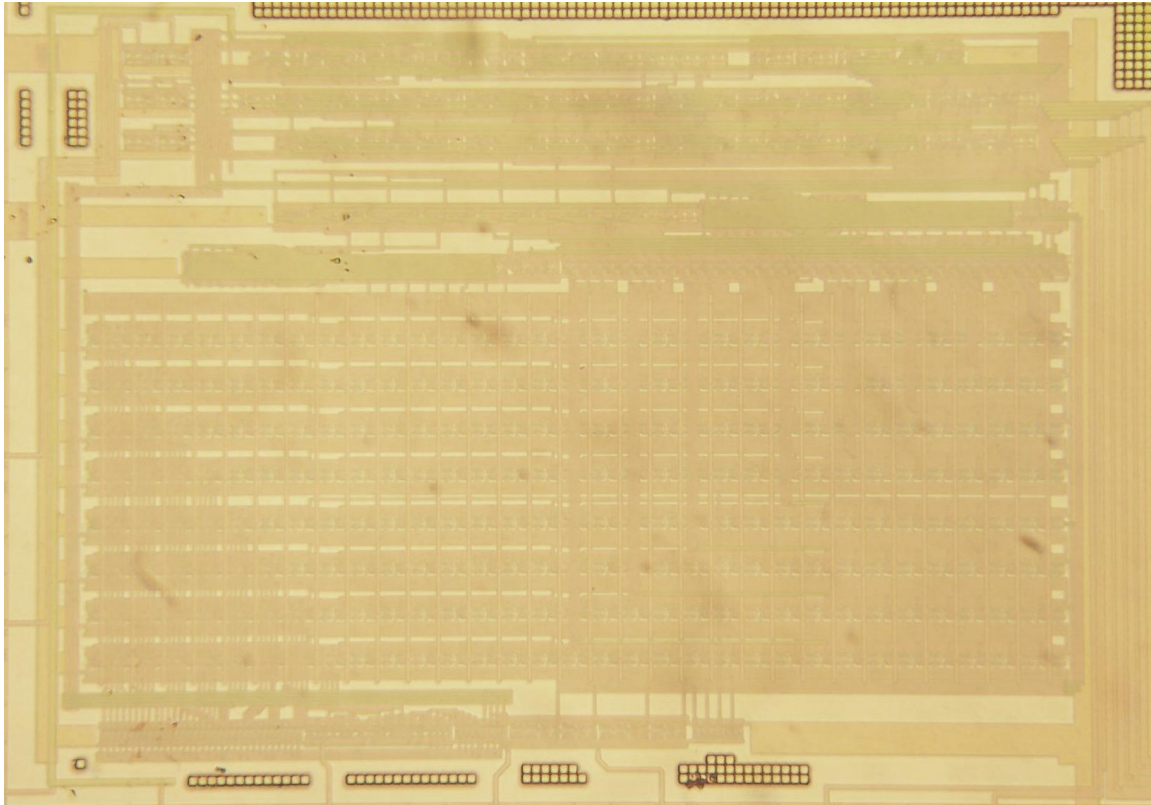
### Consumo de Potencia

Exportando el diseño a una tecnología de 0,35 $\mu$ m se repitieron las simulaciones sobre la extracción del circuito con capacidades parásitas del layout. La funcionalidad es la misma y el consumo estimado es de 5,51 $\mu$ W para una tensión de 3,3V y una frecuencia de muestreo de 200KHz.

### Resumen y comentarios

En este capítulo se ha presentado un algoritmo para la medición de retardo entre dos señales digitales con la capacidad de realizar el seguimiento del mismo a través de un esquema adaptivo. Se describió la arquitectura utilizada y dos implementaciones en circuito integrado funcionales, que logran un consumo menor a implementaciones anteriores.

Las diferencias más notables entre el algoritmo adaptivo propuesto y el de derivada de la correlación, es la capacidad del primero en seguir las variaciones del retardo de las señales ya que no se necesita de una ventana temporal. Además, es capaz de medir adelantos y atrasos entre señales.



*Figura 2.23: Layout del CI implementado en tecnología 0,35µm.*

Ante entradas ideales, el desempeño es el mismo. Aunque no se hizo un análisis de ruido, es esperable que el CCD presente mayor inmunidad dada la ventana de tiempo de promediación que utiliza. En lo que respecta a las implementaciones, la principal diferencia radica en la utilización de registros dinámicos para las cadenas de retardo. Esta técnica lleva a tener un consumo menor y ocupar menor área de silicio. El inconveniente de su utilización radica en la existencia de una frecuencia mínima de funcionamiento a partir de la cual los nodos internos de los registros pueden mantener su estado lógico, y el funcionamiento correcto sólo puede garantizarse para frecuencias de reloj superiores a ésta. Cabe aclarar que esta velocidad es de decenas de KHz, por lo cual el funcionamiento para la frecuencia de operación (200KHz) es correcto.

Las diferencias a nivel circuito existentes entre las implementaciones de 0,5µm y 0,35µm solamente se dan en los tamaños de los transistores de las cadenas dinámicas. No existen diferencias algorítmicas o de funcionalidad, ya que ambos chips son la implementación del mismo algoritmo.

Los valores esperados de consumo son de 13µW y 5,1µW para tecnología CMOS de 0,5µm y 0,35µm respectivamente, ambas funcionando a 3,3V y 200KHz de frecuencia de muestreo.

# Capítulo 3

## Resultados experimentales

### *Introducción*

En este capítulo se presentan los resultados experimentales obtenidos de los circuitos integrados que implementan la medición del tiempo de retraso, según lo descrito en el Capítulo 1 y en el Capítulo 2. El primero de los CI es el que implementa la derivada de la correlación, cuyos resultados fueron publicados en [20]. Este circuito integrado puede ser dispuesto en cascada para extender el rango de medición. El segundo de los CI utiliza un método adaptivo para estimar el retardo. Se han publicado resultados parciales del mismo en [21].

A lo largo del capítulo, se describen las configuraciones experimentales y la electrónica realizada para los ensayos de cada chip. El ensayo típico de un CI medidor de retardo comprende la realización de un barrido en el retardo entre dos señales de la misma frecuencia (fija), y la medición de la media y varianza del retardo medido. Estos ensayos se producen para cada uno de los CI's.

### *Ensayo del CI CCD en Cascada*

Como fue descrito en el Capítulo 2, el algoritmo basado en la derivada de la correlación puede ser implementado mediante una cadena de contadores, una línea de retardos, lógica de decodificación y lógica de manejo de reloj. Esta implementación del algoritmo está realizada con la premisa de ser modular y permitir la conexión de varios CI's para extender el rango o la resolución de la medida. En particular, para este ensayo se extendió el rango de medida llevándolo a 635 $\mu$ s, manteniendo una resolución temporal de 5 $\mu$ s.

Para ejemplificar su funcionamiento y cuantificar su precisión, se diseñó y construyó una placa capaz de alojar dos de estos CI's más la electrónica necesaria para hacer la selección de las entradas, el generador de reloj y la interfaz con un nodo de una red de sensores.

## Descripción de circuitos y placa de ensayo

Para desarrollar las experiencias de campo necesarias para obtener las características de funcionalidad y desempeño del CCD, se diseñó una placa que puede realizar diferentes funciones. Esta placa fue usada para realizar mediciones de laboratorio con señales ideales y también fue usada para montar un nodo de medición de ángulo de arribo con el cual se realizaron mediciones de campo. Este nodo cuenta con una placa de pre-procesamiento analógico y una MICA2. La MICA2 es un sistema que permite implementar una red de sensores y está compuesto principalmente por un microcontrolador y una unidad de radiofrecuencia. Fue desarrollada por el GISEE a partir de las especificaciones del producto comercial MICA2 de Crossbow.

Además se cuenta con la posibilidad de seleccionar el origen de las señales de entrada mediante un circuito multiplexor o a través de llaves selectoras.

Las señales de entrada pueden seleccionarse de la salida de una placa amplificadora de audio o alternativamente, ingresarse por un conector auxiliar. El multiplexado de dichas señales provenientes de los micrófonos se puede realizar a través de unas llaves comandadas manualmente o por intermedio de multiplexores controlados por una Mica2. La Mica2 también controla la inicialización y la adquisición de los resultados de los CI CCD. La placa cuenta con dos conectores auxiliares por intermedio de los cuales se tiene acceso a señales de entrada y datos de salida.

En la Fig. 3.1 se presenta el circuito esquemático de toda la placa, donde se diferencian los dos CI, los circuitos multiplexores de las entradas, el oscilador del sistema, el regulador de tensión, el conjunto de resistencias de pull-up y los conectores de propósitos general.

Existe la posibilidad de alimentar el circuito con una fuente regulada externa o interna. De esta placa también pueden tomar alimentación la Mica2 y la placa de los amplificadores de audio. De ser necesario y con la debida configuración, la placa puede tomar alimentación desde cualquiera de las otras.

Mediante dos conectores se puede seleccionar el origen de las señales que van a ingresarse para la estimación de retardo. Estas pueden provenir del multiplexado manual ó del multiplexor controlado digitalmente. Retirando estos conectores, se pueden ingresar desde un generador las señales directamente a las unidades de cálculo.

En la Fig 3.2 se muestra un esquema de la placa desarrollada donde puede verse la disposición de los componentes y conectores sobre su particular forma redonda. Se destaca a simple vista que los CI se encuentran a los lados de la misma, quedando en su interior los conectores para las otras placas y sobre su periferia, los conectores auxiliares. A través de estos conectores se pueden obtener las señales provenientes de la placa de procesamiento analógico del sistema de detección de fuente acústica.

Los datos de salida de la cascada consisten en dos bits (GS1 y GS2) que indican la unidad que llegó a la convergencia y seis bits (B0 – B5) de medida. Estos últimos indican la ubicación de la etapa en donde se produjo el cruce por cero de la derivada de la correlación entre las señales de entrada. Los datos de cada uno de los CI se presentan sobre un bus de tres estados que tiene un conjunto de resistencias a modo de pull-up. A través de una señal de

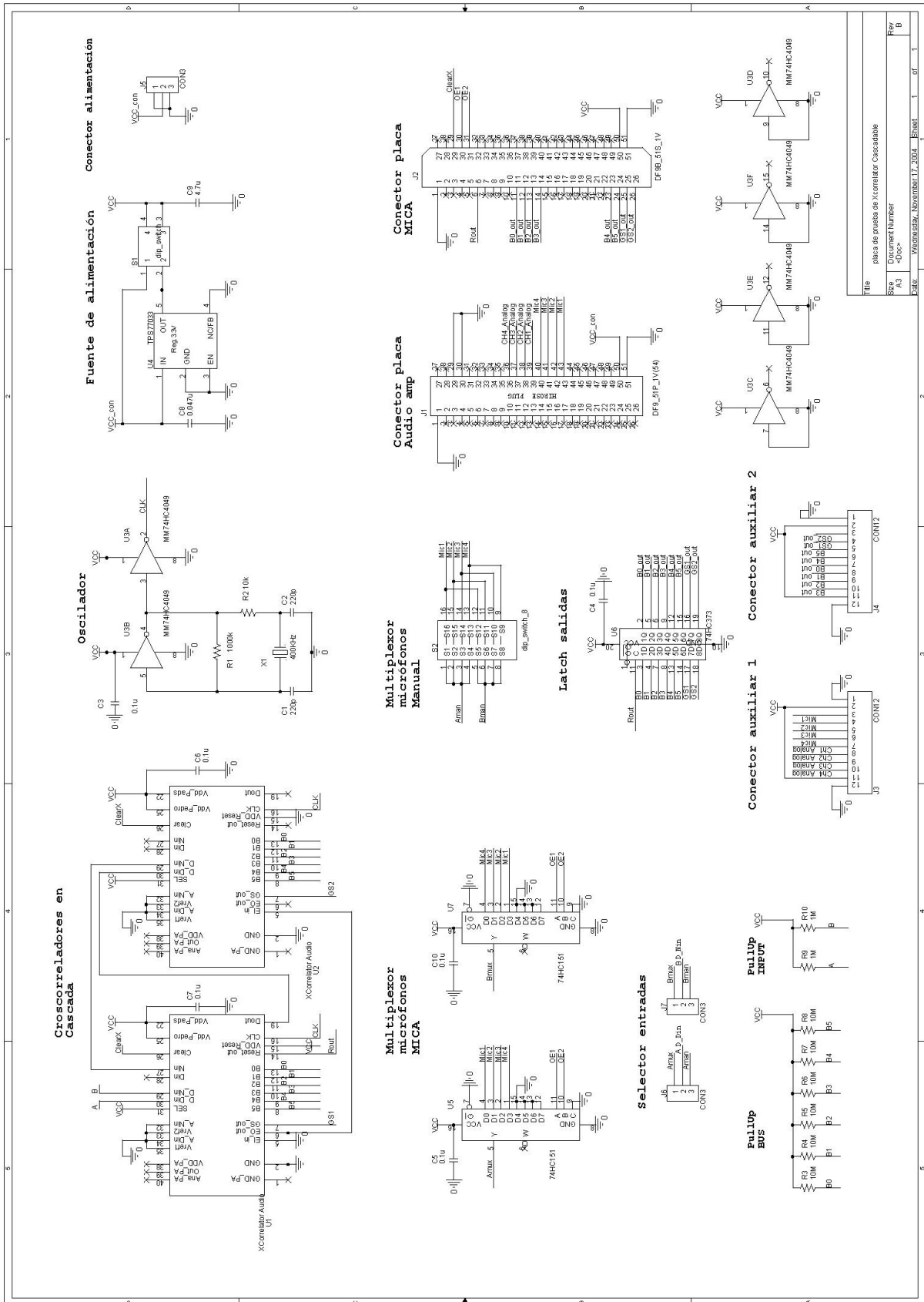


Figura 3.1: Circuito esquemático de la placa de prueba.

File	placa de prueba de Xcortelator Cascaable
Sheet	Document Number
Page	A3
Date	-Doc-
	Wednesday, November 17, 2004 8:00:01 AM
	1 of 1

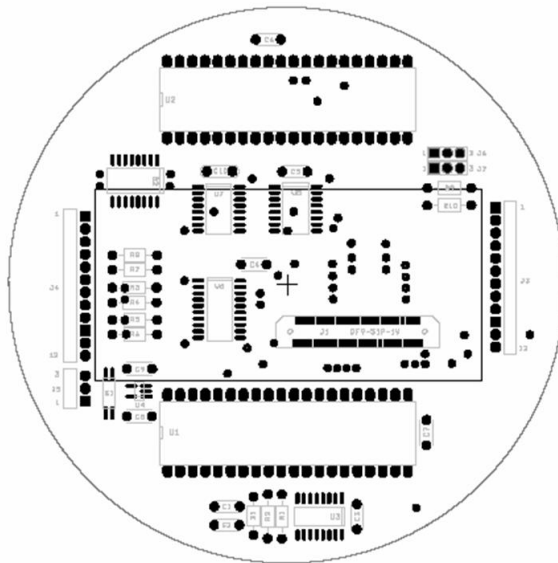


Figura 3.2: Disposición de componentes de la placa de prueba.

control proveniente del primer CI de la cadena, se comanda un latch 74HC373 que mantiene los datos del bus para que puedan ser leídos por una Mica2 o una adquisidora de datos.

En la Fig 3.3 se muestra una fotografía de la conexión entre la placa de prueba y una tarjeta adquisidora de datos. Con tal configuración se desarrollaron las pruebas de laboratorio con las que se obtuvieron los datos del desempeño de los CI.

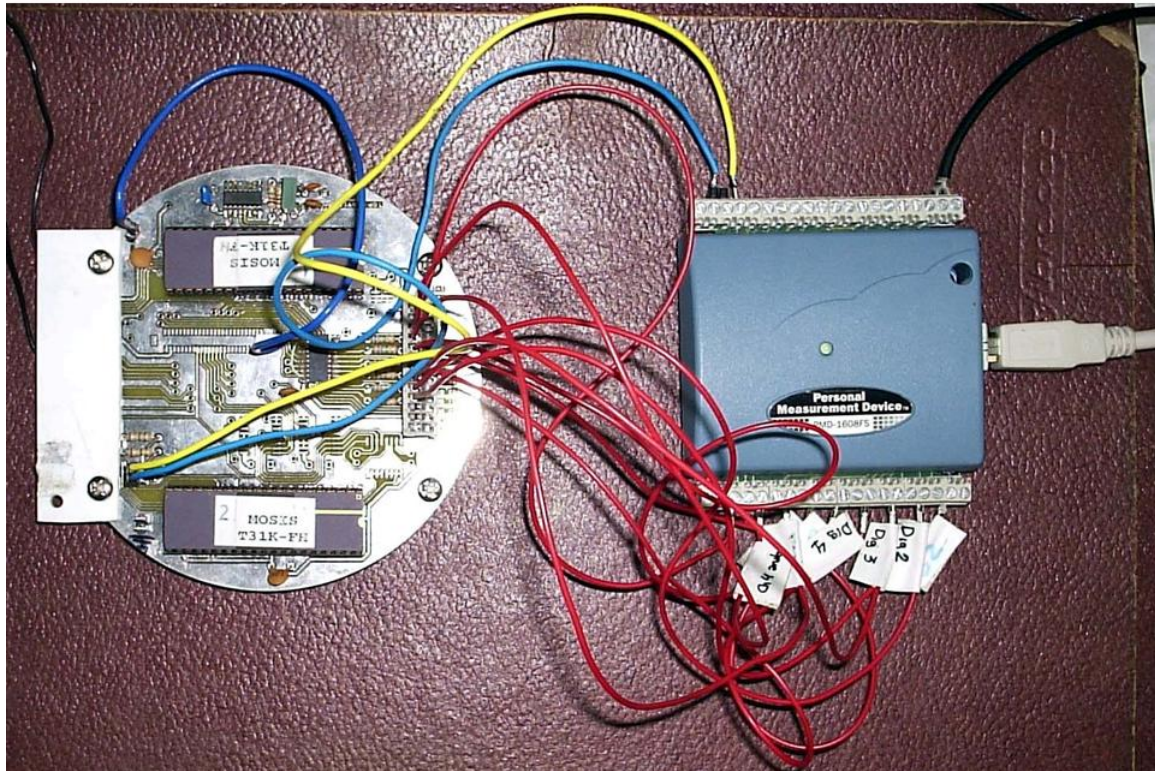


Figura 3.3: Configuración para la medición de laboratorio de CI CCD.



## Descripción de las señales de prueba

Para el ensayo se utilizaron como entradas señales digitales de 100 Hz. El retardo entre éstas fue establecido mediante un circuito RC variable. La frecuencia del reloj para los CI fue establecida en 400KHz, obteniéndose 200KHz de frecuencia efectiva de procesamiento gracias a los generados bifásicos internos. Las señales de control que establecen el tiempo de correlación fueron generadas por una placa adquisidora. No existió sincronía alguna entre las señales de entrada, el generador y las señales de control. Tal condición representa fielmente el entorno de funcionamiento de los CI para su aplicación.

La placa adquisidora PMD1608FS fue programada para muestrear el bus de datos cada 100ms durante 10s, inicializar los CI y repetir este ciclo 100 veces para cada valor de retardo.

## Mediciones del CI CCD

Se realizaron mediciones sobre dos rangos de retardos con diferentes resoluciones en cada uno de ellos. Primero se realizó una serie de medidas entre 50 $\mu$ s y 60 $\mu$ s de retardo con un paso de 1 $\mu$ s entre muestras. Luego se realizó un barrido en todo el rango, desde 0 $\mu$ s a 650 $\mu$ s con pasos de 10 $\mu$ s entre muestras. El valor del retardo entre señales fue medido con una resolución de 200ns utilizando un osciloscopio de cuatro canales y 150MHz de ancho de banda, modelo HP 54602B.

De manera simultánea a las mediciones de retardo se realizaron mediciones de consumo de potencia en cada CI. Para realizar la medición del consumo de potencia media se utilizó la caída de tensión sobre una resistencia conectada en serie con el pin de alimentación del circuito integrado. En conjunto con esta resistencia se dispusieron condensadores de filtrado para eliminar el ruido producto de la conmutación del reloj del CI y obtener el valor medio de la tensión. El valor de la resistencia es conocido con un error menor al 0,1%. Los consumos presentados son el promedio sobre 100 mediciones. Para estas mediciones se utilizó un voltímetro de precisión HP 34401A.

Cada conjunto de mediciones fue realizado para tensiones de alimentación de 3,3V y 2,0V.

Los resultados del primer conjunto de datos se muestran en la Fig. 3.4. En este gráfico se presentan la media y el desvío estándar para el rango de 50 $\mu$ s a 60 $\mu$ s. Puede observarse que la media de las mediciones coincide con la referencia para cada múltiplo entero del periodo de reloj (5 $\mu$ s) y la diferencia tiene su máximo para valores de la mitad del período. Este efecto se aprecia en la Fig. 3.5, donde se presenta el desvío estándar en función del retardo.

El comportamiento “sinusoidal” se debe simplemente debido a que cuando el retardo de referencia es mayor a un valor entero de retardo ( $k$  ciclos de reloj) el sistema convergerá algunas veces al valor menor mas próximo y algunas veces al valor mayor mas próximo. Cuando uno analiza la media de estas mediciones, el retardo será un valor menor al de la referencia. Cuando el retardo de referencia es tal que su valor está entre dos valores enteros del rango del medidor, la salida tendrá igual (en promedio) cantidad de valores superiores e inferiores por lo que sus efectos se cancelará y su valor medio coincidirá con el valor de referencia.

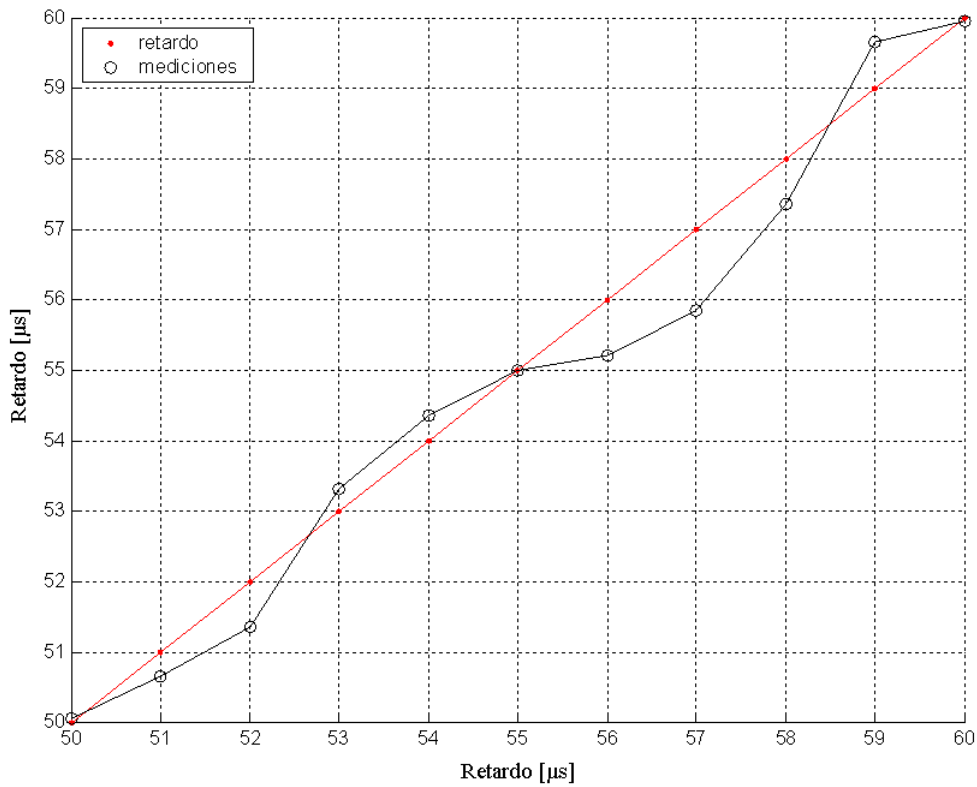


Figura 3.4: Retardo medio en el rango 50 µs a 60µs.

De la Fig. 3.5 se puede asegurar que el error medio en la medición es menor a medio período de reloj y que se tiene un máximo de desvío cuando el retardo a medir es un valor de la forma  $kT_s+T_s/2$ . En otras palabras, el desvío es mayor cuando el retardo a medir se encuentra entre dos valores contiguos de la resolución de CI, ósea a medio período de muestreo de un valor entero.

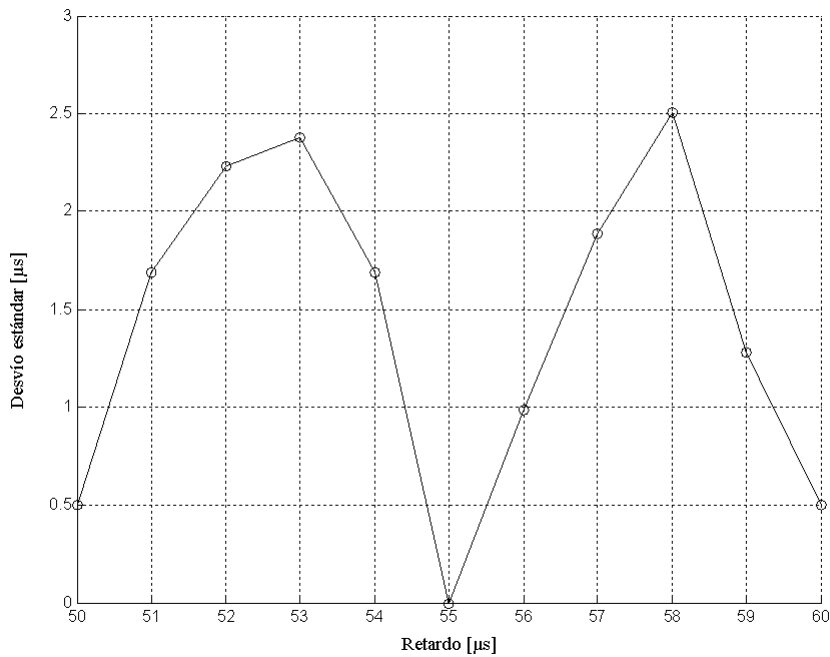


Figura 3.5: Desvío estándar en el rango de 50µs a 60µs.

Los resultados para el rango completo del sistema se presentan en la Fig. 3.6 y en la Fig. 3.7. En estos gráficos se presentan los resultados para dos tensiones de alimentación. Se puede apreciar en la Fig. 3.6 el correcto funcionamiento en cascada de ambos CI's, indicándose en que rango está activo cada uno de los CI's. La linealidad también queda plasmada en este gráfico.

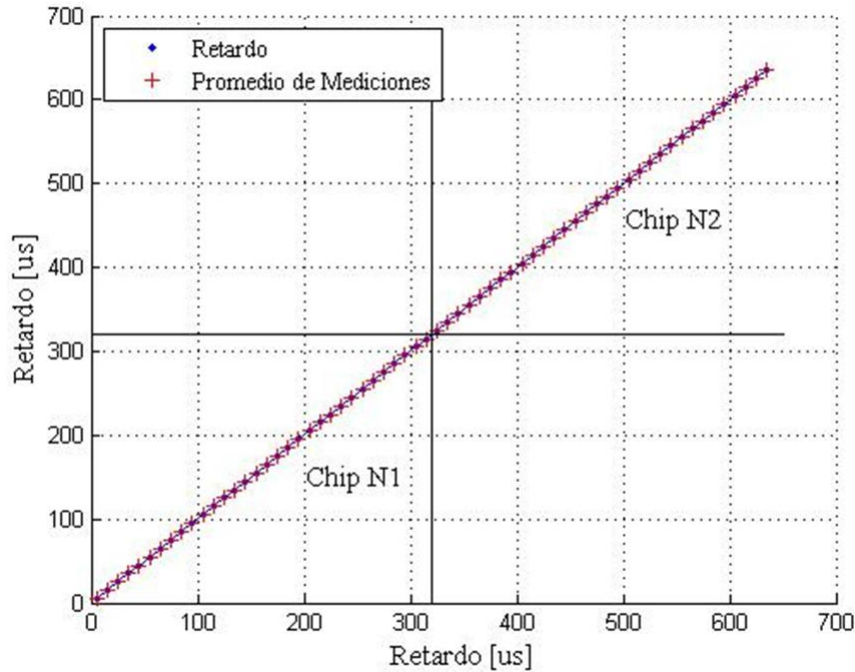


Figura 3.6: Rango de medida completo de la cascada de CI's.

En la Fig. 3.7 se muestran los desvíos estándar para cada valor de retardo y las diferentes tensiones de alimentación. En el caso de 3,3 V, el valor del desvío estándar se mantiene inferior a 1 $\mu$ s salvo algunos puntos particulares; estos probablemente se deban a errores sistemáticos producidos durante el ensayo en esos puntos. Para una tensión de alimentación de 2,0V el desvío estándar dobla al caso anterior, manteniéndose inferior a los 3 $\mu$ s para todo el rango.

La tensión de 2,0V es la menor tensión a la cual el circuito presenta un desempeño correcto, con un desvío estándar menor a un período de reloj.

Los consumos medios para los ensayos realizados son 45 $\mu$ W para 3,3V y 12 $\mu$ W para 2,0V. Estos valores corresponden a un consumo de 770nW y 187,5nW por bloque de retardo, respectivamente.

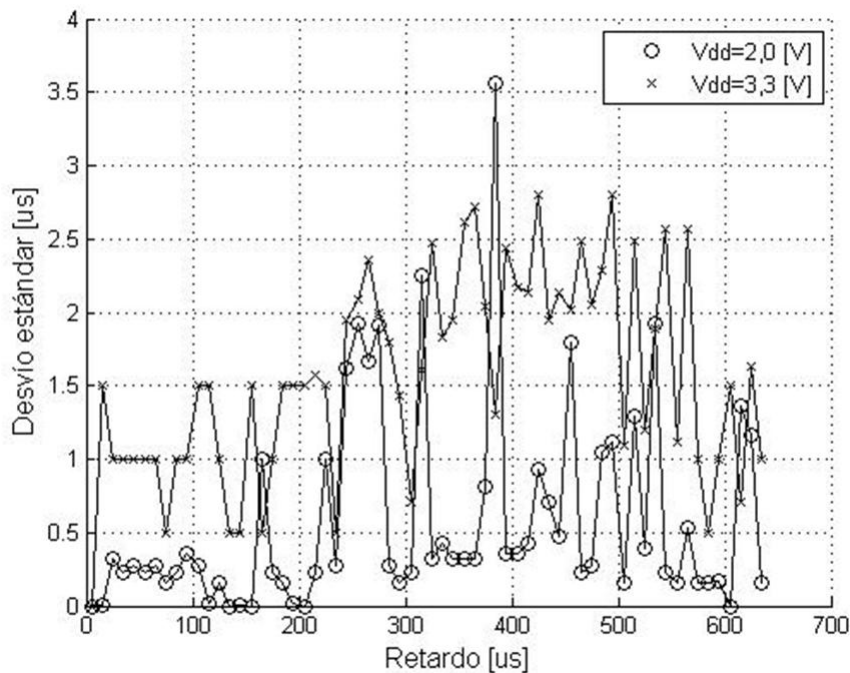


Figura 3.7: Desvío estándar en el rango total de medición, para 3,3V y 2,0V.

Estos resultados representan una mejora en el rendimiento del sistema de localización para el cual fueron diseñados. Al momento de la presentación del trabajo [20], estos resultados reflejaban el menor consumo reportado en la literatura para un chip de estas características.

## Ensayo del CI adaptivo

### Mediciones sobre el CI en tecnología de 0,5 $\mu$ m

La configuración para la verificación funcional de CI fue desarrollada en Verilog HDL e implementada en una placa Digilent Inc. Spartan 3 Board. El CI fue testado a 3.3V, tensión que permite la conexión directa con la placa Digilent. Este sistema es capaz de generar diversos retardos entre dos señales de 200 Hz, pudiendo ser estos positivos o negativos. Ambas señales son provistas por un generador de retardos programable que tiene una resolución de 2.5 $\mu$ s y un rango de  $\pm 750 \mu$ s. Los valores de estos retardos son pre-programados a través de una tabla o tomados de un generador pseudo-aleatorio de números. Los distintos valores de retardo son introducidos asincrónica y secuencialmente al generador de retardos y de allí, al CI a una velocidad de un vector por segundo. En la Fig 3.8 se puede observar un diagrama del sistema implementado para la verificación del CI.

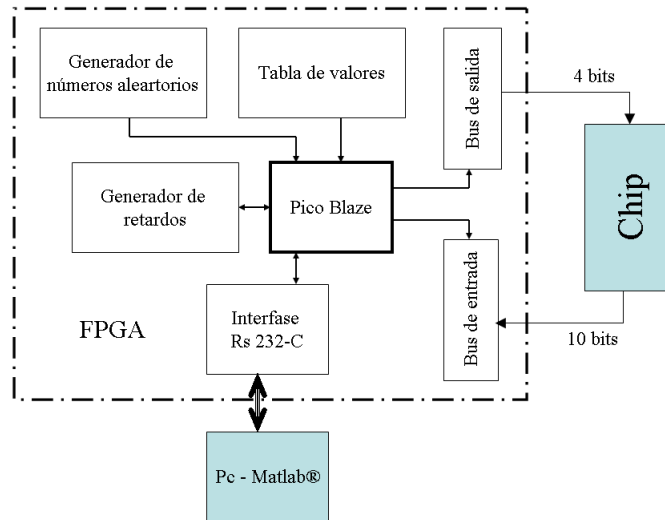


Figura 3.8: Sistema para la verificación del CI.

La salida del CI es leída por la placa a una velocidad de 1,25 ms, que provee el intervalo suficiente para muestrear no menos de 200 valores de la salida en estado estacionario. Los datos medidos son transmitidos vía RS-232 a una aplicación, desarrollada en Matlab, que está supervisando el proceso de verificación.

En la Fig. 3.9 se muestra una fotografía del setup de medida implementado con la FPGA y utilizado para realizar los ensayos sobre el CI.



Figura 3.9: Fotografía del sistema de verificación.

La Fig. 3.10 muestra el tiempo de convergencia del sistema para un cambio en el retardo de la señales de referencia entre 480 $\mu$ s, -635 $\mu$ s y 67,5 $\mu$ s. La salida de CI converge en el tiempo predicho por la Ec. (2.4). Según se muestra en la Fig. 3.10. Saliendo de un estado estacionario de 480 $\mu$ s, se alcanza el retardo de la nueva referencia en 557,5 ms. En la Ec. (3.1) se realiza el cálculo de este caso.

$$T_{convergencia} = \frac{1}{2} * \frac{T_{señal}}{T_s} * |Retardo_{actual} - Retardo_{nuevo}|$$

$$\begin{aligned}
&= \frac{1}{2} * \frac{5ms}{5\mu s} * |480\mu s - (-635\mu s)| \\
&= \frac{1}{2} * 1ms * |1115| = 557,5ms
\end{aligned}
\tag{3.1}$$

En el caso que la referencia no es un múltiplo entero de la base de tiempo (5µs), la salida queda oscilando entre los dos valores más cercanos. Esto puede observarse en la Fig. 3.10 cuando el retardo de referencia es de 67,5µs; la salida oscila entre 65µs y 70µs, indicando una precisión de ± ½ bit.

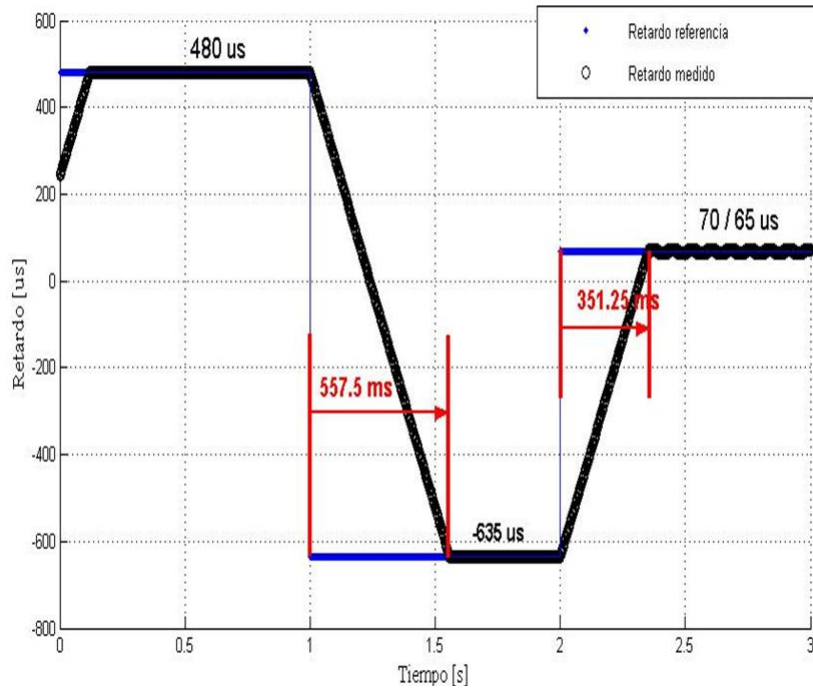


Figura 3.10: Medición de tiempo de convergencia del CI.

La Fig. 3.11 muestra cien series temporales medidas en la salida del CI mientras este está convergiendo al valor de retardo a medir. El retardo entre las señales fue elegido aleatoriamente en el rango de -700µs a +700µs y los valores introducidos al sistema en secuencia; generándose una referencia que cambia abruptamente entre valor y valor. Para los casos extremos donde la referencia pasa de un retardo negativo (atraso) de magnitud considerable a retardo positivo (adelanto), también de gran magnitud, se observan pendientes de convergencia muy prolongadas. Esto también se cumple para los cambios de referencia en sentido inverso. Finalmente, como puede verse de en la Fig. 3.11, el sistema siempre alcanza el estado estacionario correspondiente, sin importar que se cambie de un retardo positivo a un retardo negativo o viceversa; en un tiempo menor a 600ms.

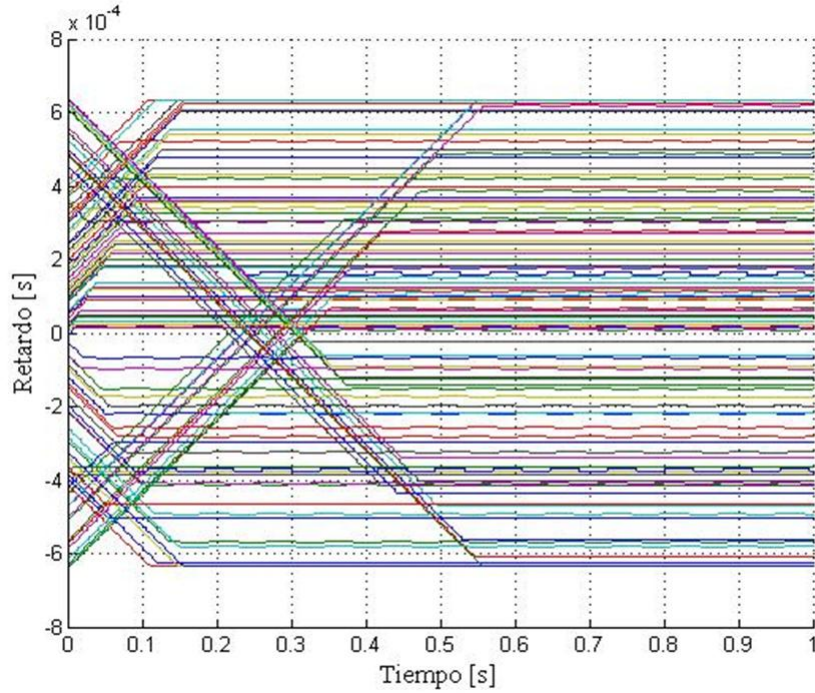


Figura 3.11: Verificación del rango de medición del CI.

Utilizando los datos medidos para cada retardo se realiza un promedio de cada serie temporal, descontando los valores que están en el estado transitorio. Estos valores medios se grafican en función del retardo de referencia, como se muestra en la Fig. 3.12.

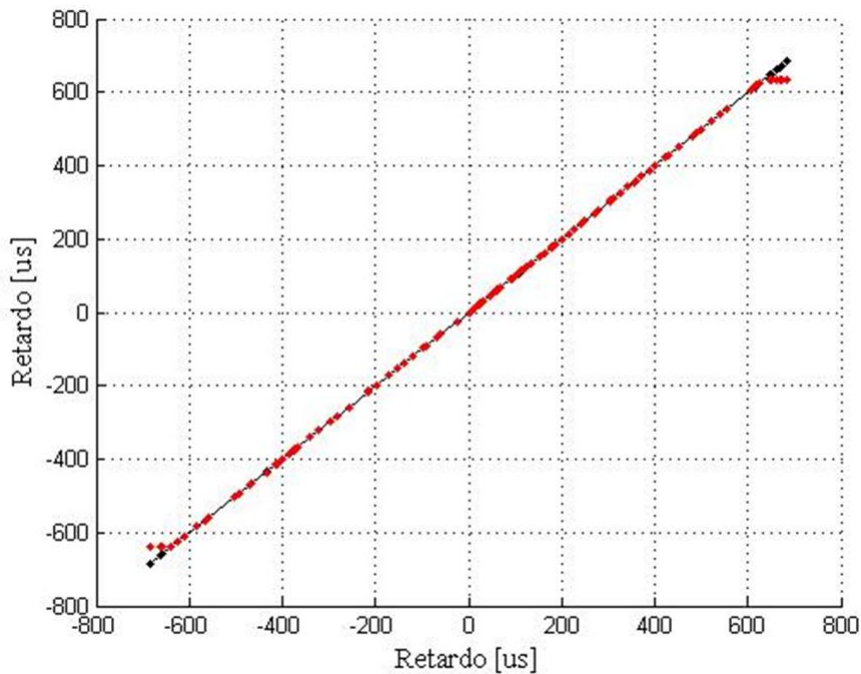


Figura 3.12: Retardos promedio para el rango completo del CI.

En la Fig. 3.12 se puede ver que para los valores de referencia mayores a  $635\mu\text{s}$  y menores de  $-640\mu\text{s}$  la salida del CI llega a su valor máximo, evidenciándose una saturación del rango de

medida. El error de medición se presenta en la Fig. 3.13 superpuesto con el rango válido de medida. Es claro que en todo el rango se tiene un error de +/- 1 bit.

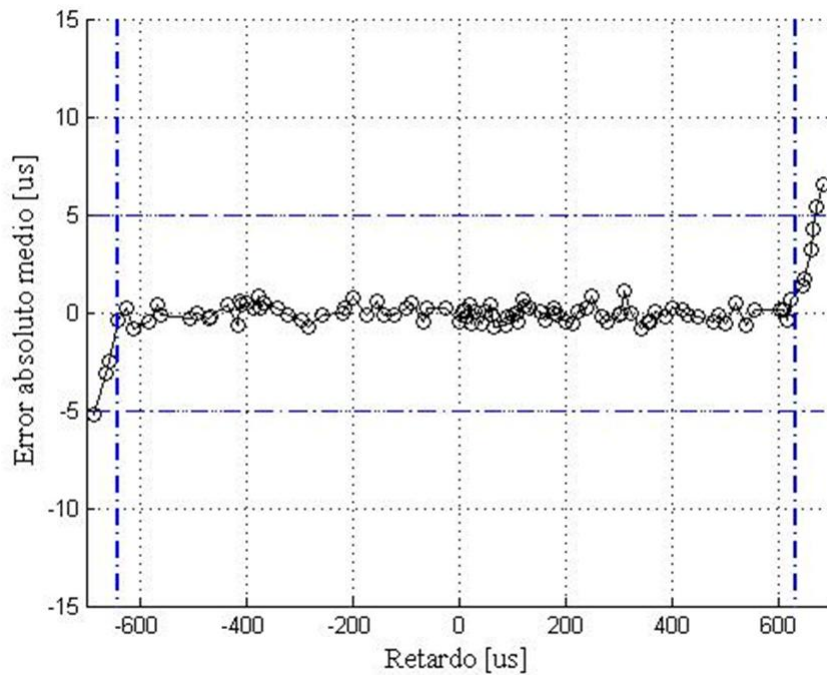


Figura 3.13: Error absoluto medio del CI implementado en tecnología 0,5 $\mu$ m.

En la Fig 3.14 se presenta el desvío estándar de las mediciones y puede verse que este no supera nunca  $\frac{1}{2}$  bit. Puede apreciarse que el error medio y el desvío estándar es similar al obtenido para el CCD (ver Fig. 3.6 y Fig. 3.7).

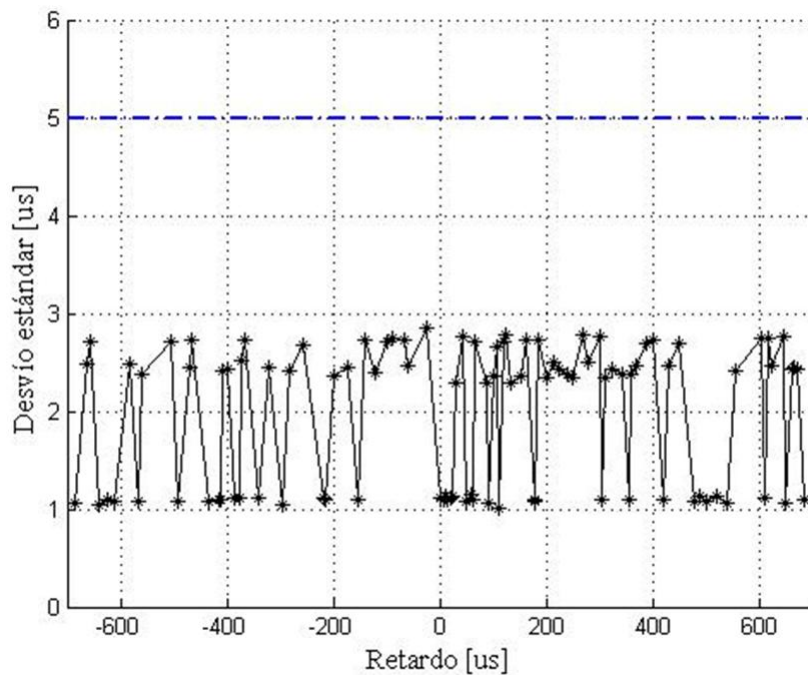


Figura 3.14: Desvío estándar del CI implementado en tecnología 0,5 $\mu$ m.



Para realizar la medición del consumo de potencia fue usado un voltímetro HP-34401A con el cual se midió la tensión sobre las resistencias conectadas en serie con cada uno de los pines de alimentación. El resultado fue  $15\mu\text{W}$  para la unidad de retardo y  $185\text{nW}$  para la unidad de cálculo, con el CI trabajando a una frecuencia efectiva de reloj de  $200\text{KHz}$  y una tensión de alimentación de  $2,7\text{V}$ . En la tabla 3.1 se resumen los consumos por bloque de CI.

*Tabla 3.1: Consumos por bloque del CI implementado en tecnología  $0,5\mu\text{m}$ .*

	Tensión de alimentación $2,0\text{V}$	Tensión de alimentación $3,3\text{V}$
Unidad de memoria	$10,2\mu\text{W}$	$27,8\mu\text{W}$
Unidad de cálculo	$35,7\text{nW}$	$140\text{nW}$
Pads	$1,8\mu\text{W}$	$10,2\mu\text{W}$

### Mediciones sobre el CI en tecnología de $0,35\mu\text{m}$

Para realizar la verificación funcional del CI implementado en tecnología CMOS de  $0,35\mu\text{m}$ , se utilizó el mismo sistema de generación y medición de datos. Para extender los resultados se diseñó una placa que realiza una traslación de niveles lógicos que permite el ensayo del CI a tensiones inferiores a  $3,3\text{V}$ .

Esta placa cuenta con dos adaptadores de nivel, uno para las entradas del CI y otro para sus salidas. Además cuenta con un generador de reloj capaz de funcionar a partir de  $1,65\text{V}$ . La placa cuenta también con numerosos puntos de prueba que permiten una medición exhaustiva del CI. A su vez, esta placa está provista de conectores que posibilitan su utilización dentro de una red de sensores para la localización de fuentes sonoras.

En la Fig. 3.15 se muestra una fotografía de la placa alojando el CI implementado en tecnología CMOS de  $0,35\mu\text{m}$ . Esta placa es conectada a la placa FPGA para realizar los ensayos sobre el CI.

Los ensayos realizados sobre este CI son los mismos que los efectuados sobre el CI adaptivo implementado en  $0,5\mu\text{m}$ . Los resultados son presentados en el mismo orden. En la Fig. 3.16 se presenta el tiempo de convergencia del CI.

Para la verificación del rango de medición nuevamente se utilizaron un conjunto de cien retardos provistos por la FPGA. La resolución en la generación de los retardos es mayor que la resolución de medición del CI, a fin de poder caracterizar su comportamiento ante retardos no cuantizables.

En este caso, el muestro de la salida se comenzó una vez terminado el transitorio de adaptación que se produce al cambiar el retardo de referencia. Puede verse que para los

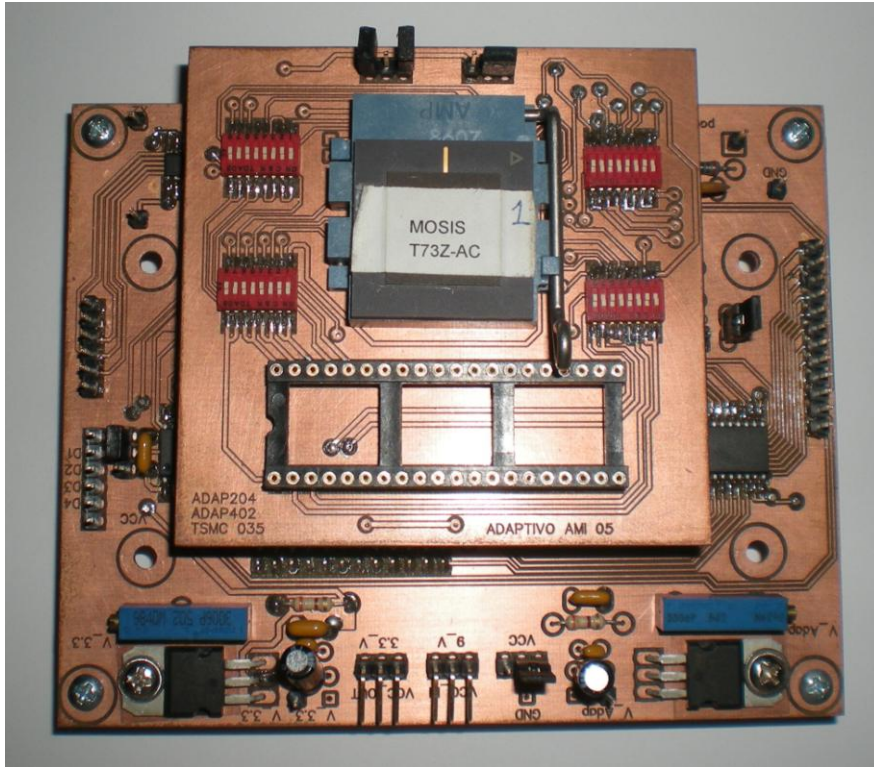


Figura 3.15: Fotografía de la placa y el CI en el setup de prueba.

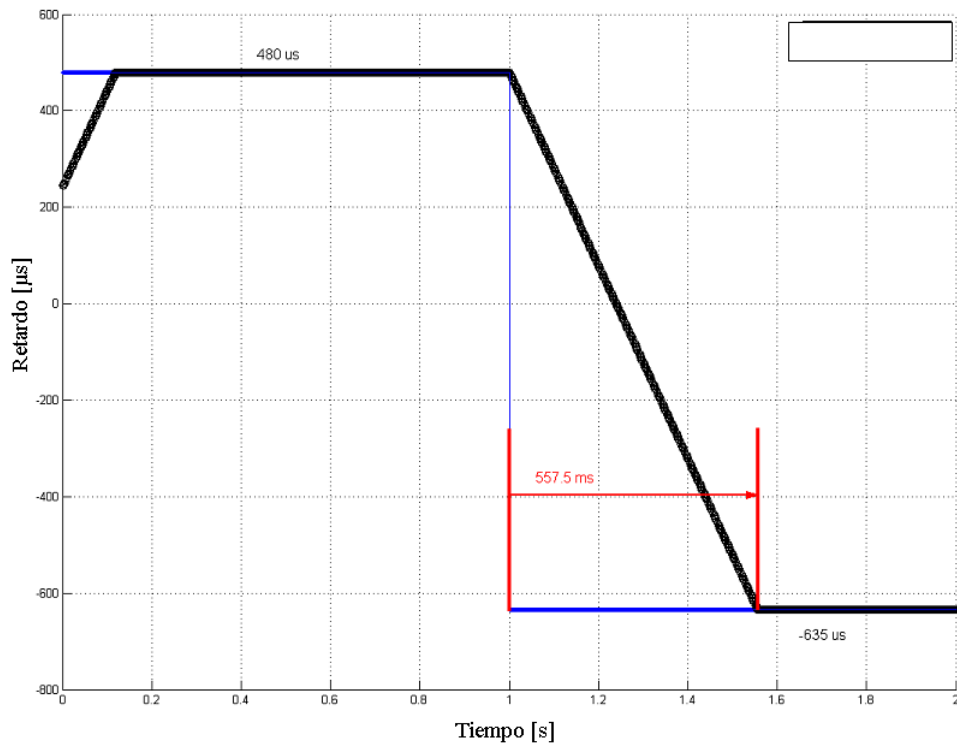


Figura 3.16: Medición del tiempo de convergencia del CI.

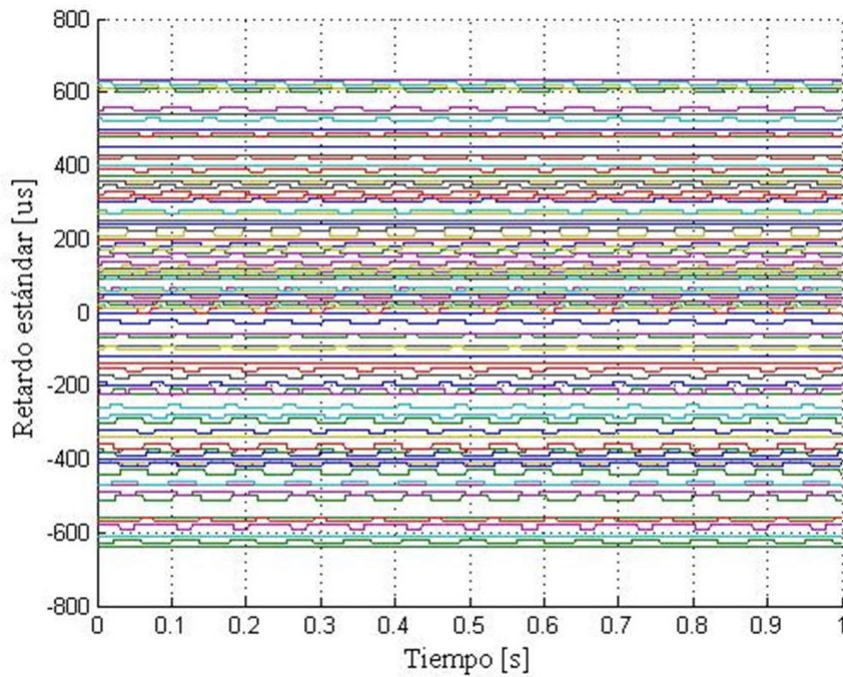


Figura 3.17: Verificación del rango de medición.

retardos no múltiplos de la resolución la salida que oscilado entre los valores más próximos. En la Fig. 3.18 se presentan los errores absolutos promediados para cada retardo de referencia. Se aprecia que en ningún caso el error se hace mayor a  $\pm 5\mu\text{s}$ .

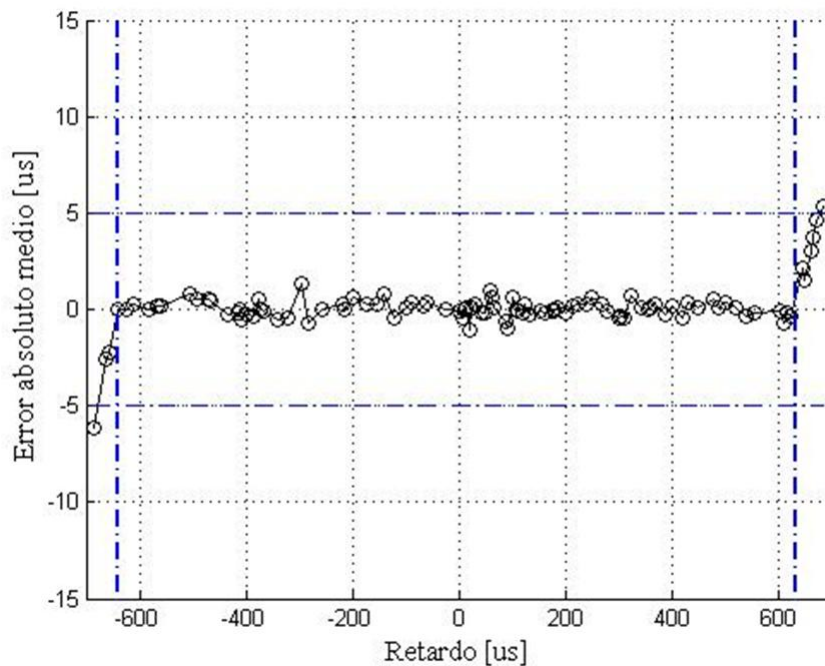


Figura 3.18: Error absoluto medio del CI implementado en tecnología  $0,35\mu\text{m}$ .

En la Fig. 3.19 se presenta el desvío estándar correspondiente a los datos presentados en la Fig. 3.18. El desvío resulta ser menor a  $2,5\mu\text{s}$  para todo el rango de medición.

Los resultados de la medición del consumo de potencia de cada uno de los pines de alimentación fue el siguiente:  $45.4\mu\text{W}$  para la unidad de retardo y  $400\text{nW}$  para la unidad de cálculo.

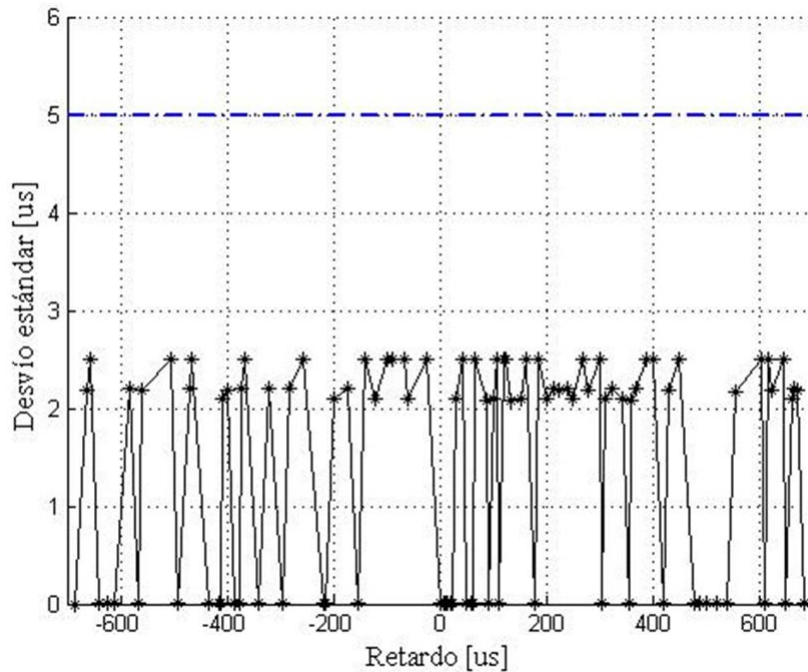


Figura 3.19: Desvío estándar del CI implementado en tecnología  $0,35\mu\text{m}$ .

Los pads presentaron un consumo de  $2,5\mu\text{W}$ . El consumo de este CI resultó mayor a lo esperado, siendo la causa un error involuntario de layout cuando se ensambló este circuito con otros, para enviar la máscara final a fabricación. El circuito final fabricado debió ser sometido a una operación de “fib” para cortar un cortocircuito provocado por una vía. Si bien el circuito es funcional, otras vías erróneas, que no pudieron ser corregidas, son las causantes del consumo mayor al esperado.

## Resumen y comentarios

En este capítulo se han presentado los resultados experimentales tres CI desarrollados para la medición de retardo entre dos señales digitales.

La realización del CI que implementa el método CCD en cascada funcionó correctamente y exhibió un consumo de  $45\mu\text{W}$  para una tensión de  $3,3\text{V}$  presentando un desvío estándar menor a  $3,3\mu\text{s}$  para el rango de medida. Cabe destacar que para cumplir con el rango de medición de  $-640\mu\text{s}$  a  $635\mu\text{s}$  se requieren dos CI CCD, por lo que para el sistema que los utilice representará un consumo total  $90\mu\text{W}$ .

La implementación del algoritmo para el cálculo de retardo presentado en el Capítulo 2 ha sido probada experimentalmente y demuestra un funcionamiento acorde a lo diseñado. El método es funcional y exhibe un rango extendido que permite la medición de retardos en el rango  $\pm 640\mu\text{s}$  para una frecuencia de muestreo de  $200\text{KHz}$ .

Para el CI fabricado usando una tecnología CMOS estándar de  $0,5\mu\text{m}$ , los resultados de mediciones muestran una considerable mejora en el consumo respecto otras

implementaciones reportadas con anterioridad, alcanzando  $15,2\mu\text{W}$ .

Mediciones realizadas con el mismo algoritmo implementado sobre una tecnología CMOS estándar de  $0,35\mu\text{m}$  reflejan un consumo de  $45.4\mu\text{W}$ . Se prevé la re-fabricación de este circuito en una próxima oportunidad.

# Capítulo 4

## Sistemas de Localización de Fuentes Sonoras para Redes de Sensores

### *Introducción*

Una alternativa para la localización de fuentes acústicas basada en mediciones angulares consiste en la medición del sonido utilizando dos pares de micrófonos en cuadratura. Dispuestos de la forma adecuada, estos cuatro micrófonos permiten establecer el ángulo de incidencia de una fuente sonora. Dispuestos en una red de sensores, cada grupo de cuatro sensores constituye un nodo, y varios nodos permiten localizar una fuente sonora con precisión. Físicamente, cada nodo ó unidad de vigilancia acústica (UVA) debe construirse de manera apropiada, incluyendo una carcasa que aloje los micrófonos, la electrónica de adquisición, los CI de procesamiento y las interfaces de RF para la transmisión inalámbrica de datos. En este capítulo se presentan las unidades de vigilancia acústica implementadas en el marco del proyecto “Desarrollo de tecnología de redes de sensores para aplicaciones en el medio social y productivo”, de la convocatoria PICT 2003, código 14628, de la Agencia Nacional de Promoción Científica y Tecnológica (ANPCYT). Estas unidades funcionan en base a los CI implementados para la medición de retardos.

En primer lugar, se describe una primera estación experimental, y se reportan los resultados de campo obtenidos. A continuación, se presenta un análisis estadístico de las mediciones de campo, que sirvió para definir las especificaciones de un rediseño. En particular, el rediseño del filtro analógico de entrada. Por último se describe la unidad definitiva, y los resultados experimentales obtenidos con ella.

### *Unidad de Vigilancia Acústica*

A continuación se presenta la descripción de la unidad de vigilancia acústica, desarrollada para la localización de fuentes sonoras. Esta fue la primera unidad desarrollada en el marco de esta tesis y con ella se realizaron numerosas experiencias de campo.

La unidad de vigilancia está compuesta por las siguientes partes: Alojamiento para micrófonos, cuatro micrófonos dispuestos en cuadratura, cuatro canales de amplificación, filtrado y conversión de señales, dos CI CCD en cascada y una unidad para la comunicación de los datos vía RF. Un esquema de la unidad es mostrado en la Fig. 4.1.

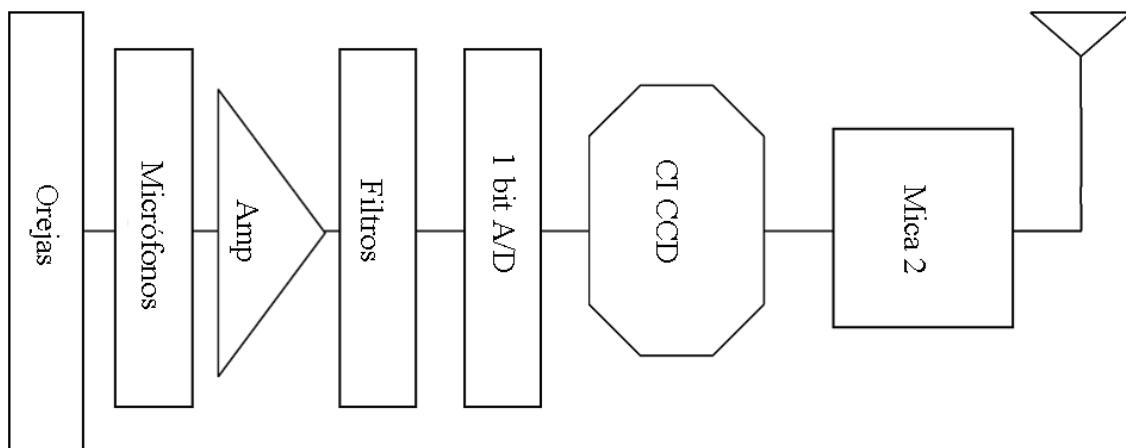


Figura 4.1: Esquema de la unidad de vigilancia acústica.

Esta unidad está orientada a la localización de vehículos cuyo espectro de sonido se encuentra generalmente entre los 10 Hz y los 300 Hz. Como método para la localización se utiliza la medición del retardo entre las señales que arriban a cada par de micrófonos (separados a una cierta distancia). Para ello se utiliza el CI que realiza la medición del retardo en base a la derivada de la correlación entre las señales, como fue descrito en el Cap. 1, aunque el sistema puede adaptarse fácilmente a otros circuitos integrados que implementen otros métodos.

Se describen a continuación cada uno de los bloques que la constituyen.

### Alojamiento para micrófonos

El alojamiento para los micrófonos tiene como finalidad principal obtener una separación efectiva entre los micrófonos mayor a la separación física de los mismos. En otras palabras, realiza una función semejante a la del pabellón auricular en los animales, y permite lograr una mayor precisión, dado que aumenta el rango de medida del retardo como fuera expuesto en [2]. El alojamiento también permite la sujeción de los micrófonos y del resto de los dispositivos de forma que se pueda obtener una unidad compacta y sólida. Algunos detalles de sus dimensiones pueden verse en la Fig. 4.2, donde se destaca un diámetro de 11cm y una altura de 3cm.

Dentro de la UVA se disponen cuatro micrófonos en cuadratura que permiten obtener señales eléctricas análogas a las variaciones de la presión acústica del entorno. Los micrófonos usados están fabricados en base a una membrana micro electromecánica (MEMS) y tienen una sensibilidad de -22dB y un nivel de ruido de 35dBA de nivel de presión sonora equivalente.

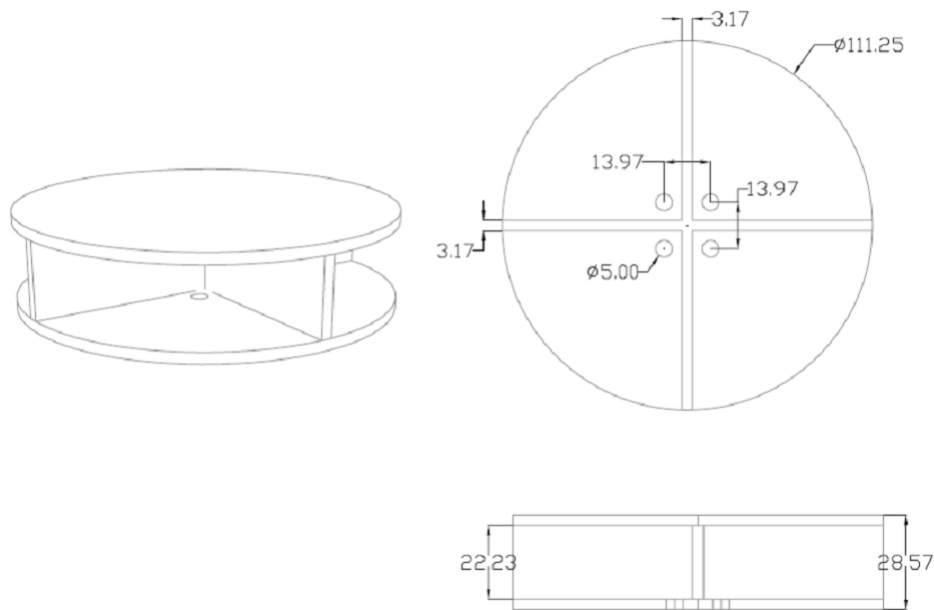


Figura 4.2: Dimensiones del alojamiento acústico.

Estos micrófonos poseen en su interior un amplificador con una ganancia variable de hasta 20dB. Con este amplificador también se puede implementar un filtro pasa-alto permitiendo así una mejor conformación del ancho de banda del sistema.

### Circuitos de acondicionamiento de señal

Los circuitos de acondicionamiento de señal constan de cuatro canales idénticos, formados por una etapa de filtrado y amplificación, y un convertor analógico digital de 1bit. La etapa de amplificación está diseñada para aumentar el nivel de milivoltios de la señal de entrada hasta el nivel de voltios. A su vez, hay un filtro pasa-banda para limitar el ancho de banda de la señal entre los 40Hz y los 400Hz. Este filtro fue diseñado utilizando una topología simple, a fin de minimizar la cantidad de amplificadores.

El convertor A/D de 1 bit es un comparador que toma el valor medio de la señal y lo compara contra su valor de pico actual, produciendo así una salida digital que es enviada a la unidad de cálculo.

En la Fig. 4.3 se muestra el esquemático de un canal de la unidad de acondicionamiento de señal.



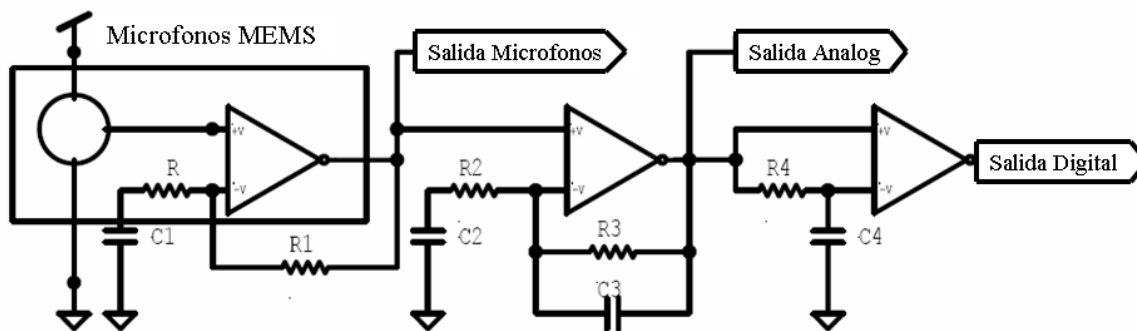


Figura 4.3: Circuito esquemático de un canal de acondicionamiento de señal.

En esta figura, es posible apreciar que las resistencias R y R1 junto al condensador C1 forman un filtro pasa-alto utilizando el amplificador interno del micrófono. Los valores de estos componentes son  $R_{ef}=R+R1=24,4K$  y  $C=22\mu F$ ; por lo que el polo del filtro queda situado en 0,33 Hz.

La salida está acoplada en DC con la etapa de filtrado y amplificación. En esta etapa, R2/C2 y R3/C3 son las constantes que fijan las frecuencias y la ganancia del filtro pasa-banda, que para este caso fue establecida en 30dB para la banda pasante de 40Hz-400Hz.

El comparador toma la señal filtrada y la pasa a través de un filtro pasa-bajo formado por R4/C4. Este filtro tiene una frecuencia de corte de 1Hz lo que permite recuperar el nivel medio de señal y seguirlo ante posibles cambios de la alimentación o componentes.

El valor medio de la señal ingresa por la entrada V- del comparador y la señal ingresa por la entrada V+, por lo que cuando ésta es superior a su valor medio la salida del comparador cambia a nivel alto.

Como detalle a tener en cuenta en el diseño de esta etapa, se debe considerar la corriente de entrada del comparador ya que puede generar "offset" sistemático en la comparación de los niveles de tensión a través de la caída en la resistencia R4. Por ello se deben elegir comparadores con entradas Mosfet o Jfet. En el caso de utilizar comparadores con entrada BJT, se debe compensar la otra rama del comparador con una resistencia de igual valor a R4. En el caso de que el comparador tenga una salida del tipo colector abierto ("open collector") se debe maximizar la resistencia de colector para tener un consumo mínimo durante las transiciones. El valor máximo de la resistencia está limitado por el tiempo de crecida de la señal digital que se desee obtener. En la Fig. 4.4 se puede ver el esquemático completo de la etapa de filtrado y conversión

Los circuitos fueron implementados usando componentes comerciales.

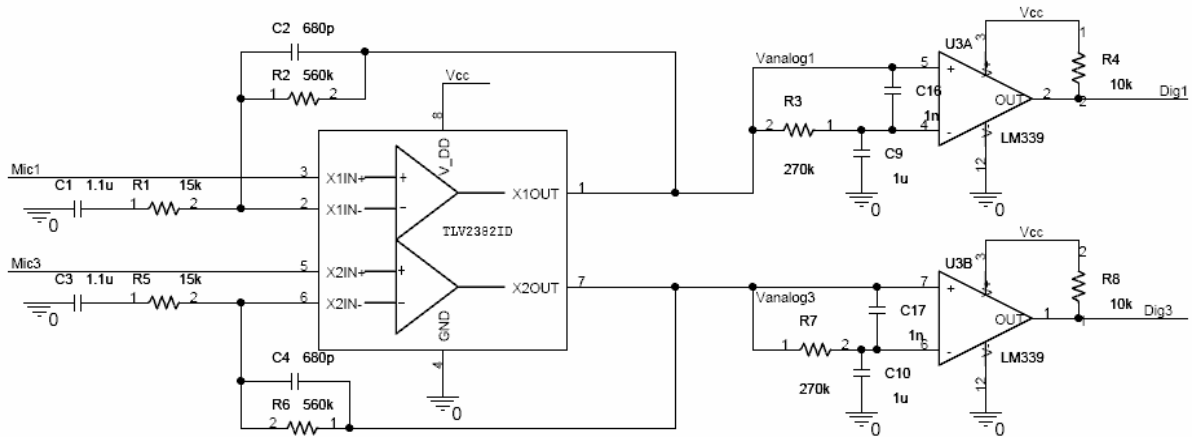


Figura 4.4: Circuito esquemático de etapa de filtrado y conversión A/D

Como la estimación de retardo depende directamente de la diferencia de fase entre las señales entrantes, se debe tener cuidado en la selección de los componentes para garantizar un apareamiento entre los canales. En particular, se diseñaron los canales bajo la especificación del que el error de fase introdujese un error de retardo menor a  $2\mu\text{s}$  para el rango de frecuencias de interés. Por ejemplo, para una señal de  $200\text{Hz}$  este valor representa un error de fase de  $0,144^\circ$ . Esta restricción proviene del hecho que la resolución de retardo deseada es de  $5\mu\text{s}$  y se desea tener un error producto del apareamiento entre canales menor a  $\frac{1}{2}$  bit. Como resultado del análisis, se concluyó que era necesario utilizar componentes con tolerancias entre 1% y 2% para las resistencias y los condensadores, respectivamente.

### Unidad de procesamiento digital

Esta unidad contiene dos CI CCD conectados en cascada, un “latch” de 8 bits para el bus de datos y la lógica necesaria para seleccionar las señales provenientes de la etapa de adecuación/conversión. Todos estos circuitos se encuentran montados en una placa que hace de soporte mecánico para la unidad completa, permitiendo el alojamiento de la unidad de RF y la unidad de adecuación/conversión. Esta placa también fue diseñada para permitir el funcionamiento de los CI CCD sin la asistencia de una unidad de control, previendo la capacidad de seleccionar las señales de forma manual a través de llaves (el funcionamiento de este chip ya fue descrito en el Capítulo 1).

El oscilador digital tiene una frecuencia de  $400\text{KHz}$  y está basado en el circuito clásico formado con un inversor trabajando en la región lineal como amplificador más otro inversor utilizado para conformar una onda digital. En la Fig. 4.5 se muestra el esquemático de este circuito. Es posible disponer de circuitos osciladores con menores consumos de potencia (LTC6906).

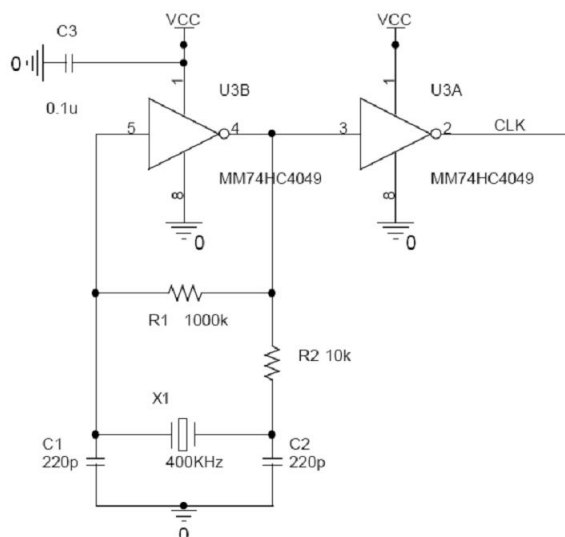


Figura 4.5: Circuito esquemático del oscilador implementado con inversores.

## Unidad de RF

Como interfaz con la red de sensores se utilizó una Mica2 de Crossbow<sup>®</sup>. En ella se programó la secuencia de selección de los micrófonos, la adquisición de datos del bus y el control sobre las líneas de reset de los CI CCD.

Esta unidad ejecuta un programa que funciona sobre un sistema operativo basado en ocurrencia de eventos (TinyOS) a fin de minimizar el consumo de energía. De todas formas, cuando se transmite la información resultante del sensor al medio el consumo de energía crece de forma considerable, llegando a algunas decenas de mW durante cientos de microsegundos [3]. Por esta razón, se minimizó el intervalo de tiempo de separación entre la transmisión de las medidas del CI, siendo éste, en la versión final, de 1s.

En las Tablas 4.1 y 4.2 se muestran los consumos medidos con los circuitos en condiciones de operación. La Tabla 4.1 describe los consumos de cada bloque que constituye el CI CCD utilizado para medir retardo. La Tabla 4.2 hace una descripción de los consumos totales que se tienen en una unidad completa y funcional, capaz de realizar la ubicación de una fuente sonora.

Tabla 4.1: Consumo de potencia del CI medidor retardo CCD (a 3,3V).

Descripción	Potencia [ $\mu$ W]
Correlador derivativo	45,7
Generador interno de reset	6,2
Pads	10,3
Total	62,2

Tabla 4.2: Consumos de la Unidad de Vigilancia Acústica (a 3,3V).

Cantidad	Descripción	Corriente [ $\mu\text{A}$ ]	Potencia [ $\mu\text{W}$ ]
4	Micrófonos MEMS	850	2805
4	TLV2382	28	93
4	LMX393	160	528
2	74HC4049	100	330
2	CI medidor (CCD)	19	125
	Total	1176	3880

Es destacable que la mayor parte del consumo es aportado por los micrófonos y la comunicación hacia la red de sensores. A la fecha de la escritura de la tesis, se hayan disponibles en forma comercial micrófonos MEMS con un consumo de  $15\mu\text{A}$ ; por lo que se podría estar obteniendo un consumo total de  $1270\mu\text{W}$ .

### Experimentos de campo.

A continuación se presenta la descripción y análisis de los experimentos llevados a cabo con la unidad de vigilancia acústica (UVA). En general, los experimentos se desdoblaron en dos partes. Por un lado se planteó la obtención de la mayor cantidad de información de los circuitos funcionando en condiciones reales y por otro el análisis estadístico de esta información a fin de hacer un uso efectivo de la misma.

El primer conjunto de medidas experimentales fue tomado en la afueras de la ciudad de Bahía Blanca en un espacio abierto. Para la elección del lugar se tuvo en cuenta la similitud con el posible escenario de la aplicación, dada la presencia de pasturas bajas, algo de forestación lejana y algunas construcciones aledañas. Esto representa correctamente el típico paisaje rural de la región Pampeana.

En la Fig. 4.6 se presenta un esquema de los ángulos de referencia y la ubicación de la UVA, como así también, un detalle de la orientación de los micrófonos respecto a la fuente sonora

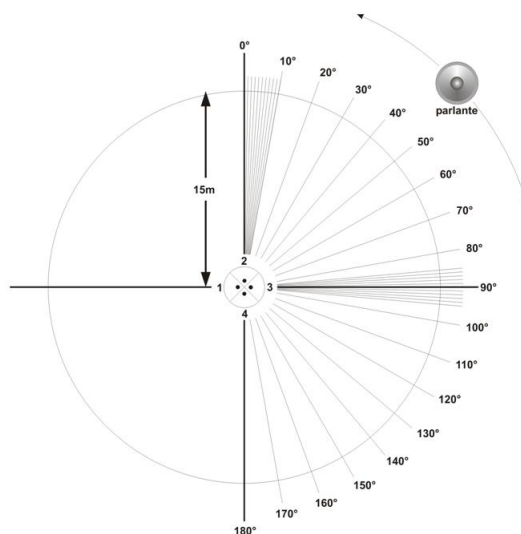


Figura 4.6: Esquema del ensayo.

Para desarrollar la experiencia se fijó una posición angular de la UVA para la cual se obtuvieron los datos y se adquirieron las señales. A continuación se modificó la posición de la UVA y se obtuvieron más datos. Esta operación fue repetida para todos los ángulos indicados. Esto es equivalente a mover la fuente sonora, con la ventaja de poder tener más control y precisión sobre la posición angular de la unidad. En la Fig. 4.7 se puede apreciar una fotografía del esquema utilizado en las mediciones de campo

Se dispuso la UVA en un trípode de aproximadamente 1,5 metros de altura, el cual tiene adosado un sistema de medición angular con precisión de 1/2 grado. Dicho trípode permite variar la posición angular del sistema a fin de hacer un barrido espacial del campo. Se plantearon tres rangos diferentes de barrido angular para la recolección de datos. El primer conjunto corresponde a los ángulos en el rango de 0 a 180 grados con un paso de 10 grados; el segundo y el tercero corresponden a los rangos de 1 a 10 grados y de 85 a 95 grados, ambos rangos con una resolución de 1 grado. A una distancia de 15m se dispuso un parlante como fuente sonora. Una señal de 200 Hz fue reproducida a través del mismo por intermedio de un amplificador de potencia.

Durante el ensayo, se registraron las señales analógicas provenientes de los cuatro micrófonos con un sistema adquirente de datos, con una velocidad de muestreo de 10KHz y una resolución de 10 bits.

Utilizando un decibelímetro se constató que la presión sonora (SPL) sobre la UVA era de 67dBA.

Para cada ángulo de referencia se tomaron 30 s. de audio, obteniéndose 11 medidas de la salida digital para cada combinación de micrófonos. La ventana de tiempo asignada a cada combinación de micrófonos es de 0,65 s., resultando en un ciclo completo de 2,6 s. La secuencia de los pares de micrófonos fue 1-3, 2-4, 3-1, y 4-2.

Las señales analógicas registradas a la salida de los preamplificadores fueron usadas para verificar la respuesta ideal del algoritmo CCD, a través de la comparación de los resultados del algoritmo ideal contra los datos medidos por los CIs -después del filtrado- y la conversión A/D de 1 bit. De aquí en adelante, cuando mencionen datos medidos se estará haciendo referencia a los datos provenientes de CIs y cuando se hable de datos simulados, se estará haciendo referencia a valores calculados en base a señales medidas.

Las mediciones y simulaciones del retardo de la combinación 3-1 se utilizaron para el cálculo de la separación efectiva entre los micrófonos. Estos valores se promediaron para obtener una separación efectiva entre micrófonos y así poder calcular el ángulo de la fuente (ver Cap. 1). La separación efectiva entre micrófonos es de 0,126m que comparada con la separación real (0,02m) resulta aproximadamente 6 veces mayor.

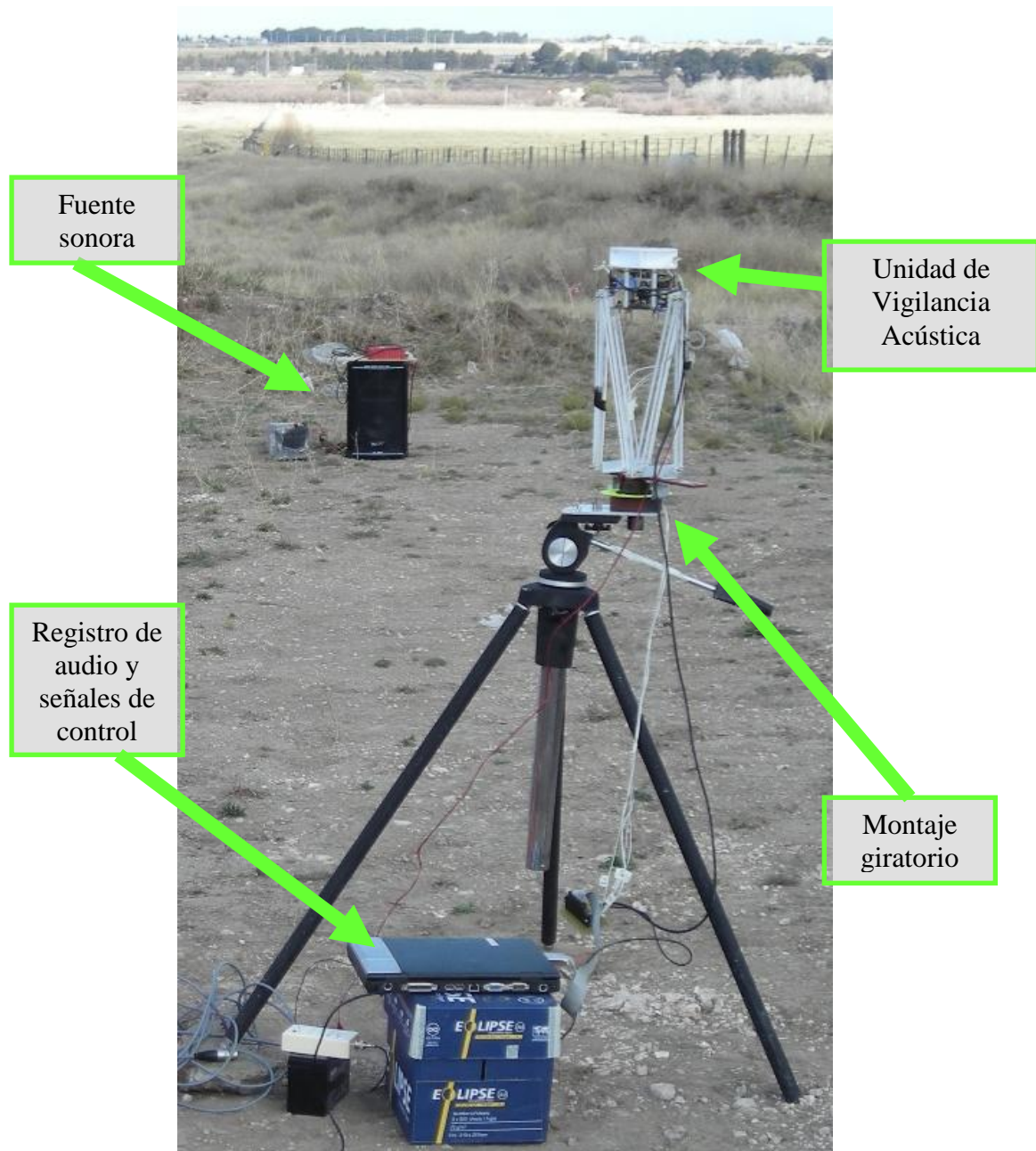


Figura 4.7: Configuración para mediciones en campo.

En la Fig. 4.8 se muestran los resultados normalizados de las mediciones superpuestos con las simulaciones en el rango de  $0^\circ$  a  $180^\circ$ .

En la Fig. 4.9 se presentan los desvíos estándar para el rango  $0^\circ$  a  $180^\circ$  separados según la combinación de micrófonos adecuada para la estimación del retardo.

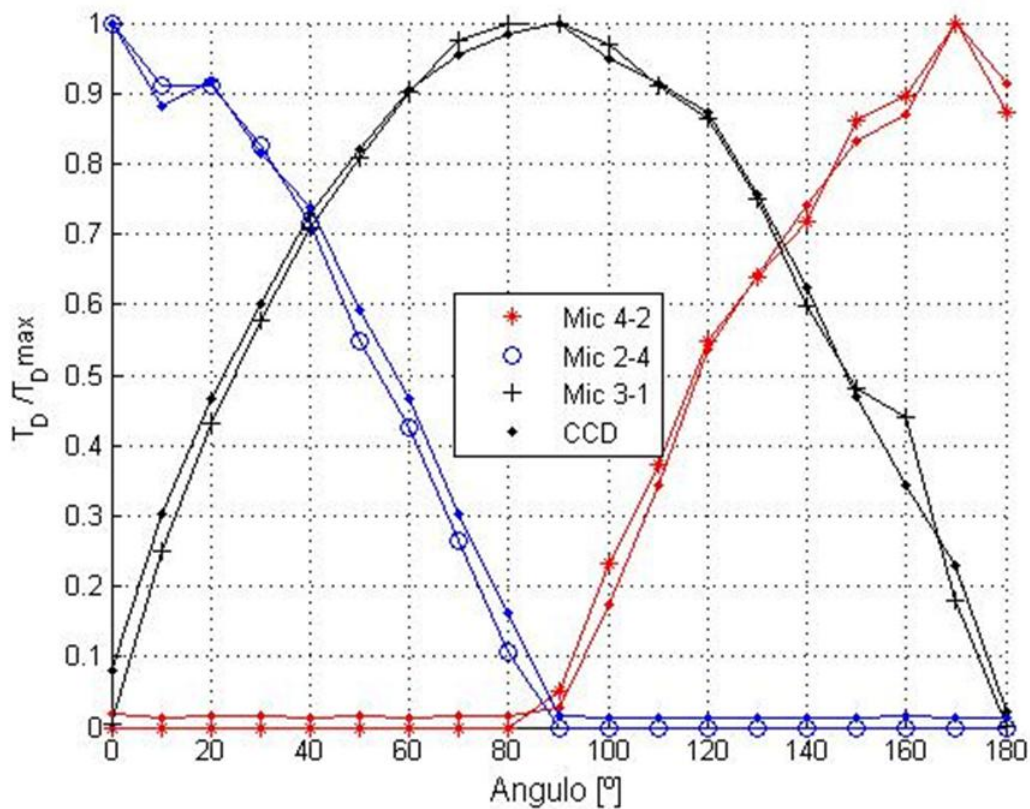


Figura 4.8: Retardo normalizado versus ángulo de referencia.

### Análisis Estadístico de Resultados Experimentales

En base a un análisis estadístico de los resultados experimentales, que está desarrollado en el Apéndice I, se identificaron los parámetros que tienen más ingerencia sobre la precisión del sistema. En base a los datos analizados, se concluye que la utilización de un filtro produce una disminución en la varianza de la estimación del retardo y por ende una mejora en la estimación del ángulo de la fuente. Un filtro de segundo orden resulta ser la mejor elección para el sistema, debido a que este presenta un consumo menor para una precisión similar a la de un filtro de cuarto orden.

### Descripción de la Nueva UVA

La nueva UVA mantiene la estructura modular de su predecesora, y está compuesta por tres placas de desarrollo: una placa que aloja los micrófonos, una placa que aloja los filtros y una placa con el CI basado en el método adaptativo de estimación de retardo desarrollado en el capítulo anterior.

Estas placas están conectadas entre sí a través de cables planos (señales) y cables individuales (alimentación). Además, todas las placas cuentan con una cantidad de llaves selectoras que modifican su funcionamiento.

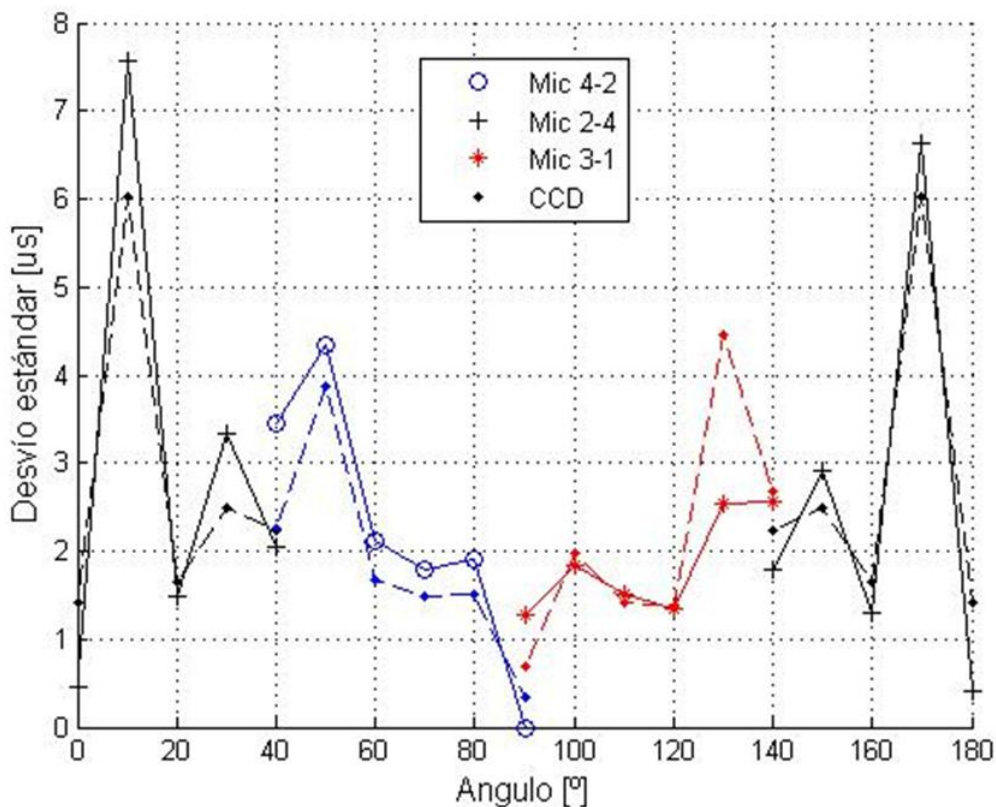


Figura 4.9: Desvío estándar del retardo según la combinación de micrófonos.

Estas modificaciones tienen efecto sobre la ganancia de los amplificadores, la frecuencia y el factor de mérito 'Q' de los filtros. Por otro lado, es posible también cambiar la secuencia con la cual las señales son procesadas.

Las mayores modificaciones se encuentran en la placa de los filtros, de acuerdo a las conclusiones de la subsección anterior. El nuevo diseño implementa filtros de segundo orden con factor de mérito 'Q' y frecuencia central variable. A continuación se describen cada uno de los módulos, destacando las mejores respecto al diseño anterior en aquellos casos en que resulta necesario.

### Placa de micrófonos

La placa de micrófonos aloja los cuatro micrófonos MEMS, permite la fijación del alojamiento acústico a estos (oreja) y la selección de la ganancia de los micrófonos a través de selectores. Se conecta al resto del sistema a través de un cable plano por el que recibe alimentación y se envían las cuatro señales de audio de los respectivos micrófonos. Estas salidas tienen una componente de DC con un valor de  $V_{dd}/2$  (1,65V). La ganancia puede ser elegida entre 0dB y 20dB.

### Placa de filtros

La placa de filtros realiza los procesos de filtrado, amplificación y conversión A/D de las señales provenientes de los micrófonos. Para ello se cuenta con cuatro canales idénticos con las siguientes etapas:



- Filtrado paso-bajo (filtro anti-alias)
- Filtrado pasa-banda variable (filtro conformador de ancho de banda)
- Amplificación
- Filtrado paso-bajo (filtro reconstructor)
- Conversor A/D (1 bit)

En la placa se dispone de varios puntos de prueba que permiten seguir el procesamiento de las señales a través de todas estas etapas. La inclusión de estos puntos de prueba permite verificar el funcionamiento y calibrar cada una de las etapas.

Un primer filtro pasa-bajo se implementa con un circuito RC con una frecuencia de corte de 5KHz, que cumple la función de filtro anti-alias para todo el sistema. Dado que se pretende tener un apareamiento del 1% entre los canales, se utilizan resistencias con una tolerancia del 1% y condensadores con una tolerancia del 2%. Notemos que el ancho de banda útil de la señales se plantea menor a 1,2KHz, lográndose así una separación de 2 octavas entre la máxima frecuencia de la señal y la frecuencia de corte del filtro.

El filtro pasa-banda se implementa con un CI que tiene bloques básicos para realizar filtros a capacitores conmutados (LTC1068). Este filtro implementa una respuesta de segundo orden, de la cual se pueden seleccionar dos ganancias y dos anchos de banda distintos por intermedio de un par de selectores (la ganancia y el ancho de banda no son independientes). La frecuencia central de todos los filtros está comandada por la frecuencia del reloj principal del CI, que para el modelo escogido, presenta una relación de 1/200.

Para la generación del reloj se programó un microcontrolador Atmega108 que funciona como oscilador variable. Esto permite tener una gran flexibilidad a la hora de elegir las frecuencias, ya que mediante la modificación del software se pueden tener hasta 256 frecuencias diferentes. Para esta implementación se eligieron 8 frecuencias seleccionables por medio de llaves selectoras. Debido a que la detección y el despacho de las interrupciones del microcontrolador no son determinísticas en tiempo, la frecuencia de oscilación exhibe jitter (que depende a su vez del valor de frecuencia elegido). Mediciones experimentales de las frecuencias y su correspondiente jitter se presentan en la Tabla 4.3.

*Tabla 4.3: Frecuencias y jitter del oscilador del filtro.*

Llave	Frecuencia deseada [KHz]	Frecuencia medida [KHz]	Jitter %
S1	10	10.05	0.25
S2	20	20.10	0.80
S3	40	40.40	1.80
S4	60	60.40	3.30
S5	80	79.4~80.8	5.20
S6	100	99.5~101.2	5.50
S7	140	138~142	7.70
S8	200	197~205	11.00

Nota:

El programa del microcontrolador fue desarrollado usando el lenguaje “C++” y compilado directamente sin poner énfasis en la ecualización del largo de las rutinas de servicio de interrupciones para que el tiempo de ejecución de estas resultase más uniforme. Este detalle sumado al hecho que el microcontrolador utiliza el reloj interno (4MHz) produjo un jitter excesivo para las frecuencias más altas (mayor al 5% a partir de 80KHz). Sin embargo, el filtro utilizado presenta una alta inmunidad a este parámetro dada la división interna de frecuencia que realiza (1/200, según hoja de datos).

En la Fig. 4.10 se muestra el circuito esquemático de los filtros. Cada uno de ellos tiene un ‘Q’ seleccionable entre 4,7 ó 8,2 y presentan una ganancia unitaria (0dB) para el primer caso y de 0,57 (-5dB) para el segundo caso.

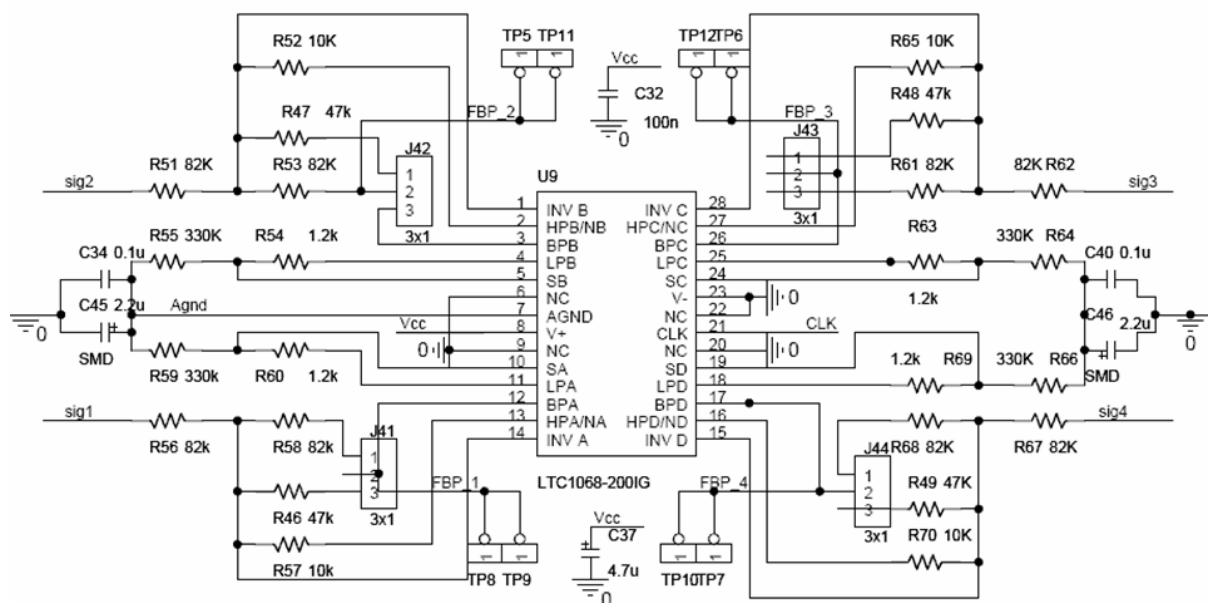


Figura 4.10: Circuito esquemático de los filtros pasa-banda.

La etapa de amplificación tiene por objetivo aumentar la sensibilidad de la detección solamente en la banda de interés. Se trata de etapas no inversoras con ganancia seleccionable de 1 ó 10. Para esta etapa de ganancia se utilizaron amplificadores TLV2382 de bajo consumo y un ancho de banda adecuado para la aplicación (28µA y 160KHz de ganancia de lazo abierto). En la Fig. 4.11 se presenta un circuito esquemático de la etapa amplificadora.

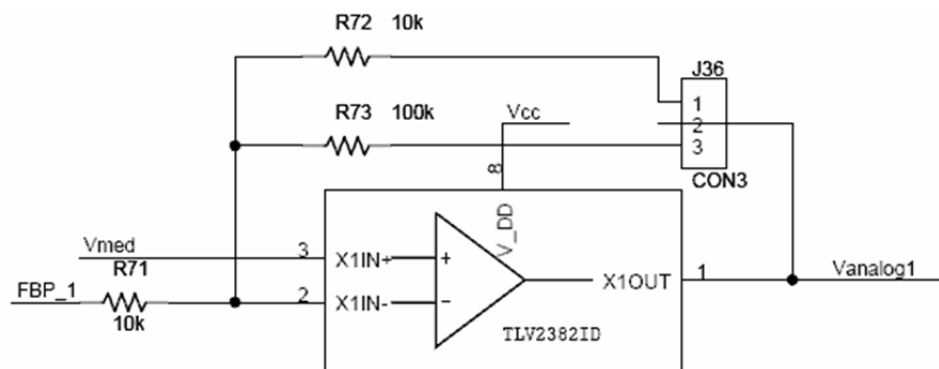


Figura 4.11: Circuito esquemático del amplificador.

A continuación del filtro de capacitores conmutados se dispone de un filtro pasa-bajo para eliminar los vestigios de la reconstrucción de la señal. Si bien este filtro no es crítico en lo que se refiere a su frecuencia de corte, lo es respecto al apareamiento entre canales por lo que se utilizaron componentes apareados para su realización.

A continuación del filtro pasa-bajo, se dispone de un convertor A/D de 1 bit, que utiliza un comparador con su entrada positiva conectada a la señal y su entrada negativa conectada al nivel medio de la señal; por lo que la salida será positiva cuando la señal sea mayor a su nivel medio. Los comparadores deben tener una histéresis superior a 5mV, para evitar falsas transiciones de la salida. Se comprobó que este circuito es sensible a la diferencia de offsets entre los comparadores y esa diferencia cambia de un CI a otro. El problema que trae la diferencia de offset radica en que para el mismo nivel de tensión, existen comparadores que no se disparan ocasionando una diferencia de tiempo entre canales. También se pudo medir que el desapareamiento en tiempo entre las salidas es inversamente proporcional al nivel de las entradas. Para entradas mayores a los 100mV, las diferencias de tiempo entre los canales son del orden del tiempo de muestreo por lo que pueden ser despreciadas. En la Fig. 4.12 se presenta un circuito esquemático de la etapa.

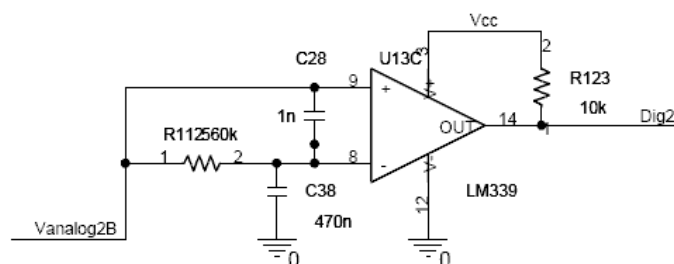


Figura 4.12: Circuito esquemático del convertor A/D de 1bit.

En la Fig. 4.13 se muestra una fotografía de la placa de filtrado y adecuación de señales. Puede apreciarse en ella los condensadores de +/-1% de tolerancia (arriba a la izquierda, en azul), las resistencias de precisión a la arriba a la derecha y abajo a la derecha se encuentra el microcontrolador que genera el reloj para el filtro a capacitores conmutados.

### Placa del CI

Una placa independiente aloja los chips de medición de retardo, adecuando los niveles de sus entradas y salidas a los requeridos en el resto de las placas. Además, esta placa permite manejar la combinación de entradas provenientes de la placa de los filtros y cuenta con la posibilidad de ser conectada a una Mica UNS. La Mica UNS es una plataforma para realizar redes de sensores que fue desarrollada por el GISEE a partir de las especificaciones de la Mica2 de Cossbow<sup>®</sup>; particularmente, el diseño de la Mica UNS presenta una mayor robustez mecánica y un menor costo.

Los reguladores de tensión generales del sistema están alojados en esta placa, que también puede ser usada para hacer la verificación de los chips a diferentes tensiones (menores a 3,3V).

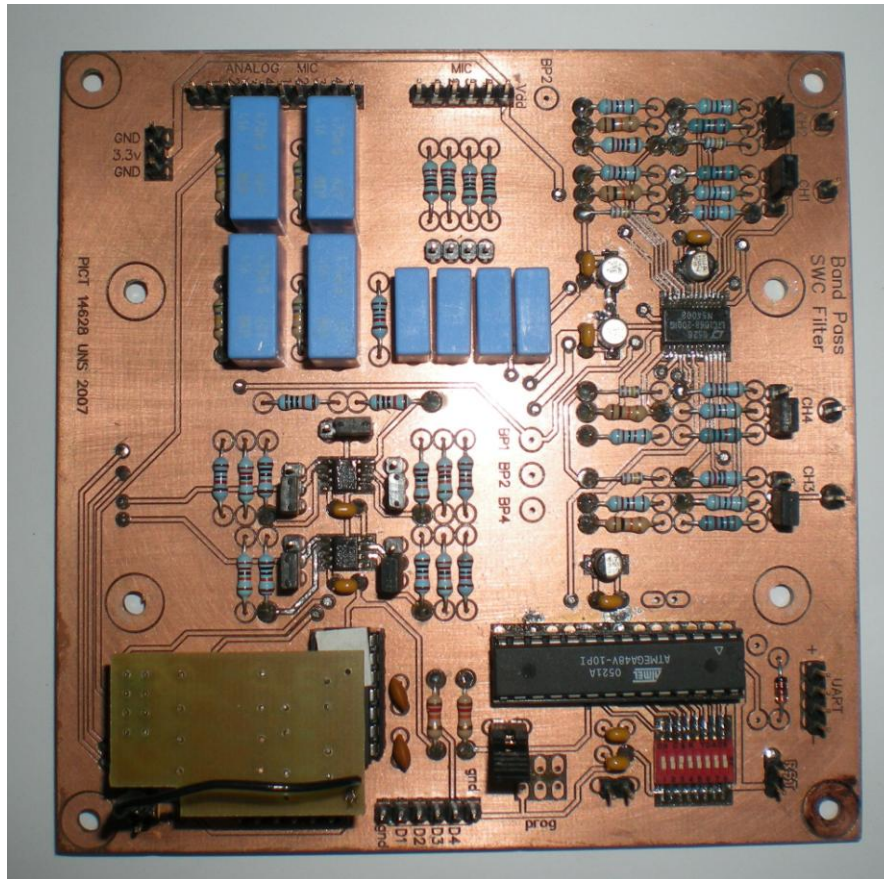


Figura 4.13: Fotografía de la placa de filtros.

Las partes de esta placa son:

- Reguladores de tensión
- Medición de potencia
- Trasladores de nivel
- CI medidor de retardo
- Oscilador
- Multiplexor de microfonos
- Conexión a Mica UNS

Esta placa tiene los reguladores para llevar la tensión de entrada a los niveles requeridos con capacidad de corriente adecuada y distribuirla al resto de las placas. La tensión de entrada puede variar entre 5V y 12V de DC. Un primer regulador fija una tensión de 3,3V que es la tensión que utiliza la casi totalidad de los circuitos y placas. Esta tensión es la que se toma como nivel lógico alto y es también la utilizada por la Mica UNS en su funcionamiento normal. El segundo regulador posee una tensión nominal de 2,7V y provee la alimentación al chip de medición de retardo. Dada la diferencia de tensiones, se utilizan adaptadores de nivel para poder interconectar las salidas y entradas del chip con el resto de los circuitos de la placa.

Dado que esta placa se utiliza para la caracterización del desempeño de los CI, se dispusieron resistencias en serie, con las entradas de alimentación del chip. Estas resistencias, debidamente filtradas con condensadores de desacople, funcionan como circuito para la

medición de la corriente media del chip. Con este valor y el de la tensión se calcula la potencia que éste consume.

Para generar la señal de reloj del CI se utiliza un oscilador a cristal implementado con inversores. El uso del cristal se debe a la precisión necesaria en la base de tiempo para medir retardos precisamente. Hay dos posibilidades para enviar la señal de reloj al CI, una desde el oscilador local y otra desde un generador externo.

Los CI están conectados entre el chip medidor de retardo y el resto de la lógica. Dado que el chip puede trabajar a una tensión menor que el resto de los circuitos, para mantener la compatibilidad con el resto de los CI se debe hacer una adaptación de niveles lógicos. Los CI 74LVC4245 tienen dos tensiones de alimentación y son básicamente buffers que en las entradas manejan niveles de tensión distintos a los de salida. En esta placa se trabaja el lado B con tensión baja (2,7V) y el lado A con tensión alta (3,3V).

Las señales RESET, CLK, X1 y X2 no están conectadas a estos adaptadores de nivel porque son entradas al CI medidor de retardo y utilizan los buffers de entrada para hacer la adaptación de nivel.

Para el CI medidor de retardo, se respetó la configuración de pines del diseño implementado en tecnología CMOS de 0,5 $\mu$ m que está encapsulado en un DIP 40. Hay tres entradas de alimentación, cuatro entradas digitales y doce salidas digitales. Todas estas salidas digitales pasan por los circuitos de adaptación de nivel. Para el CI implementado en tecnología 0,35 $\mu$ m se fabricó una placa que conecta los pines correspondientes ya que este CI fue encapsulado en un PGA65.

Este circuito permite hacer la combinación entre las señales digitales que llegan desde la placa de Filtros, ya que el chip medidor tiene dos entradas (X1 y X2) y las señales de entrada son cuatro: una por cada micrófono. Las combinaciones pueden seleccionarse a través de las líneas EO0 y EO1, como se muestra en la Tabla 4.4.

*Tabla 4.4: Combinación para selección de micrófonos.*

Micrófonos	EO0	EO1	X1	X2
1-3	0	0	1	3
2-4	0	1	2	4
3-1	1	0	3	1
4-2	1	1	4	2

Estas líneas pueden controlarse manualmente a través de llaves selectoras, o de la Mica UNS.

Se dispone también de una conexión con la Mica UNS, que permite tener control sobre la combinación de micrófonos que la unidad está midiendo, leer los datos resultantes y transmitirlos de manera inalámbrica a una base donde serán almacenados o procesados. Las señales leídas por la Mica UNS son el bus de datos y las señales “OUTRANGE” y “DATAREADY”. La Mica UNS controla señales RESET, EO\_0, y EO\_1. A su vez, estas tres señales pueden ser manejadas por llaves selectoras que conectan directamente dichas

líneas a la tensión de alimentación o a masa. Cuando se desee conectar una Mica UNS, se debe comprobar que estas líneas no se encuentren conectadas a masa ni a la tensión de alimentación, ya que esto provocaría un corto circuito fatal para el módulo.

En la Fig. 4.14 se muestra una fotografía de la placa que contiene los circuitos anteriormente descritos. En primer plano se observa el CI desarrollado en tecnología 0,35 $\mu$ m, en segundo plano, los reguladores de tensión.

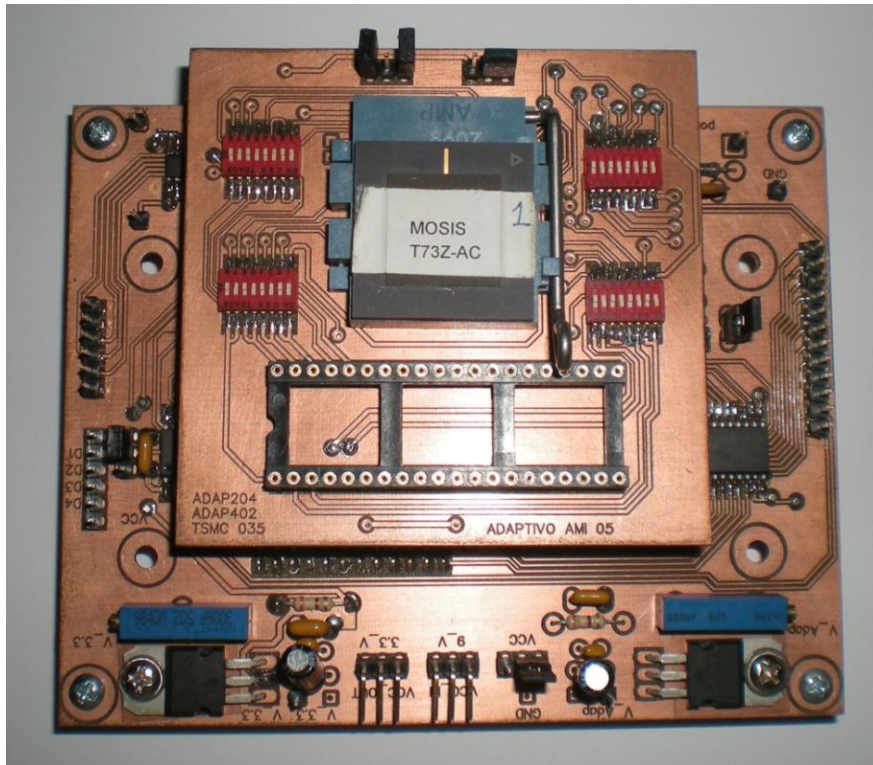


Figura 4.14: Fotografía de la placa que aloja el CI.

## **Mediciones experimentales con UVA**

Con el prototipo montado se realizaron dos tipos de experiencias: ensayos en un ambiente controlado (laboratorio) y ensayos en campo abierto.

El primer tipo de ensayos se realizó para caracterizar cada una de las etapas y ajustar parámetros del sistema. Se utilizaron generadores de señales y osciloscopios para medir ganancias, niveles y anchos de banda a lo largo de la cadena de acondicionamiento de señales. En estos ensayos se pusieron apunto las rutinas de adquisición de datos de la Mica UNS y rutinas de comunicación con una PC.

El segundo tipo de experiencias se realizaron en campo abierto para obtener la respuesta del sistema ante señales en un ambiente real y analizar su comportamiento frente a las perturbaciones que existen en ese entorno.

### **Experiencias de laboratorio**

Se condujeron experiencias de laboratorio sobre la UVA, en las cuales el objetivo principal era utilizar una señal conocida y controlable para poder evaluar el desfase entre canales.

Recordemos que este desfasaje hace que se modifique el valor del retardo que se desea medir obteniéndose un error sistemático en la medición.

En primer lugar se ingresaron al sistema señales de 200Hz provenientes de un generador (HP3326) y posteriormente se utilizó una fuente sonora para que las señales fueran directamente captadas por los micrófonos.

Como unidad para medir de la presión acústica se utiliza el dB SPL referido a 20 $\mu$ Pa, es decir cero dB SPL equivale a 20 $\mu$ Pa de presión. La sensibilidad de los micrófonos Knowles Acoustics SP0103NC3-20 es de -22dB a 1kHz. Cuando se trabajó con las señales eléctricas se aplicaron valores equivalentes a los esperables a la salida de los micrófonos. En la Tabla 4.5 se presentan los retardos medidos sobre los amplificadores y los conversores A/D de los canales cuando se ingresa al sistema la misma señal en sus entradas.

Tabla 4.5: Medición de retardo y su variación en la salida de amplificadores y de comparadores.

Tensión entrada [mV RMS]	Presión equivalente [dB SPL]	Retardo [ $\mu$ s]			
		Par 1-3	Par 2-4	Par 1-3	Par 2-4
		Amp.	Amp.	Comp.	Comp.
1	56	40	190	45 (35)	200 (150)
2	62	40	190	70 (40)	170 (50)
3	64	40	190	90 (20)	170 (30)
4	68	30	190	90 (20)	200 (25)
5	70	50	180	90 (12)	180 (20)
6	73	80	190	90 (15)	170 (20)

Estos valores de retardos representan un offset en la medida ya que idealmente no debería existir retardo adicional entre los canales. Los valores entre paréntesis indican la variación (desvío estándar) de estos retardos. Para valores de tensión menores a 1mV RMS, la salida de los comparadores se vuelve inestable, apareciendo en los flancos de la señal falsos disparos producto del ruido en la entrada de los comparadores.

Es evidente que existe una diferencia de retardo intrínseca en los canales y que su variación es función del nivel de tensión en la entrada. Las variaciones están en el orden de 12 $\mu$ s a 25 $\mu$ s para niveles de entrada comprendidos entre 3mV y 6mV RMS. Esta variación equivale a 5 cuentas en un de rango +/- 127, lo cual representa un error del 2%.

Cuando se ensayó la unidad con la Mica UNS conectada y funcionando, se pudieron medir pulsos de RF cientos de mV y al menos 20ms de duración sobre las líneas de alimentación que interferían con las etapas de amplificación y conversión. Para aplacar esta interferencia se agregaron filtros de desacople en todas la líneas de alimentación y se generó una ventana de seguridad de 200ms entre la medición de los datos y su transmisión a la PC.

Cuando el sistema tiene que cambiar de par de micrófonos con los que está midiendo se debe esperar el tiempo necesario para que el CI medidor de retardo converja, por lo tanto es necesario agregar una ventana temporal extra. Esta debe tener una duración mayor al tiempo que tardaría en converger el chip ante un cambio de 90° en la referencia, que equivalen a 510 $\mu$ s de retardo. Tal variación abrupta requiere de al menos 255ms para garantizar que el CI

tiene un valor estable. Con estas consideraciones, los tiempos en la trama de transmisión de un paquete de datos desde la Mica UNS hacia la PC quedan definidos como sigue:

- A. Tiempo de espera posterior a una transmisión por RF: 200ms
- B. Tiempo de espera posterior a una conmutación de un par de micrófonos: 260ms
- C. Tiempo de espera entre toma de muestras: 10ms

Para cada par de canales (par 1-3 y par 2-4) se toman 10 muestras antes de alternar entre ellos. En el laboratorio se realizó una medición sobre 36 ángulos, utilizando una fuente sonora capaz de generar 80dB SPL sobre los micrófonos. En la Fig. 4.15 se muestran los resultados obtenidos para el par 1-3, en el rango de 0° a 360°. Las mediciones fueron tomadas cada 10°.

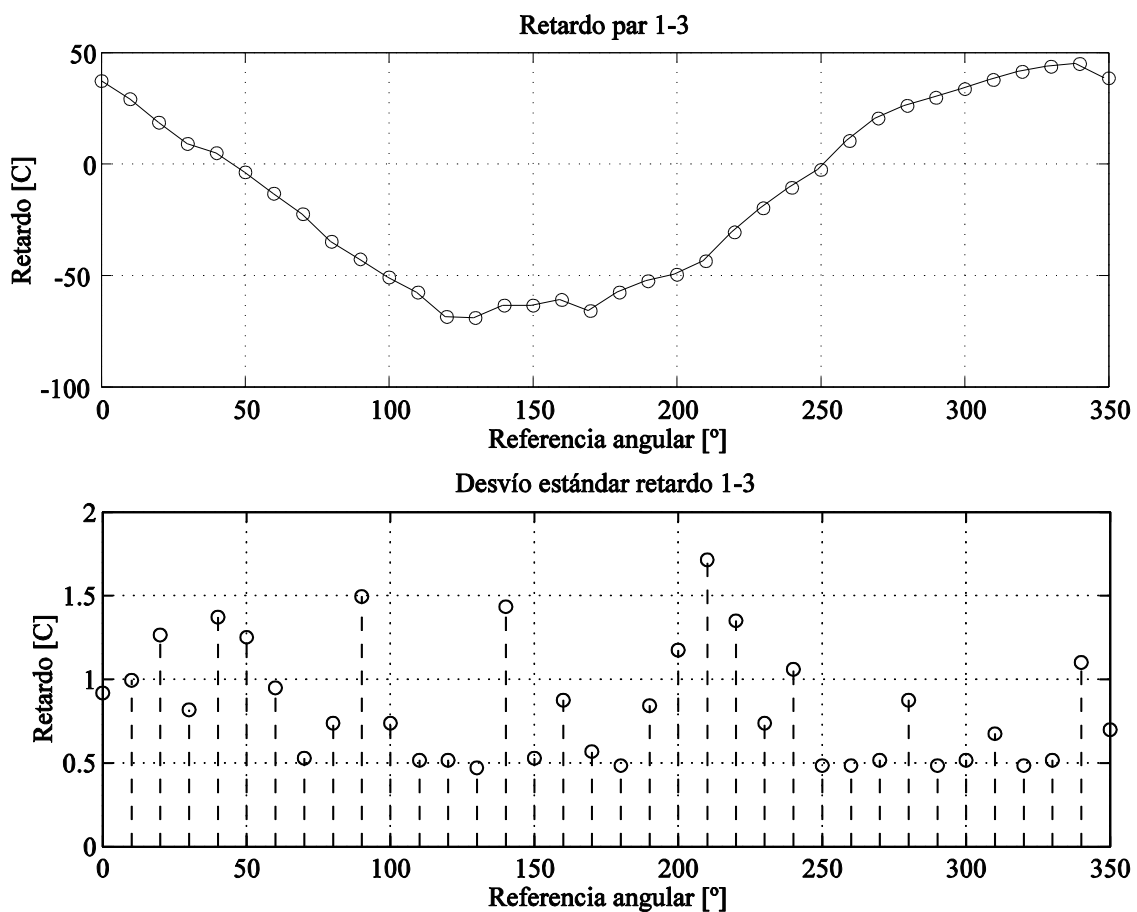


Figura 4.15: Retardo Vs. variación angular, par 1-3.

En la Fig. 4.16 se muestran los resultados obtenidos con el par 2-4. Los valores angulares de referencia se toman a partir de los establecidos para el par 1-3, por lo que se tienen 90° de diferencia.

El rango de retardos medidos para ambos canales está comprendido aproximadamente entre 50 y -50 cuentas, que equivalen a un rango de +/-250µs.



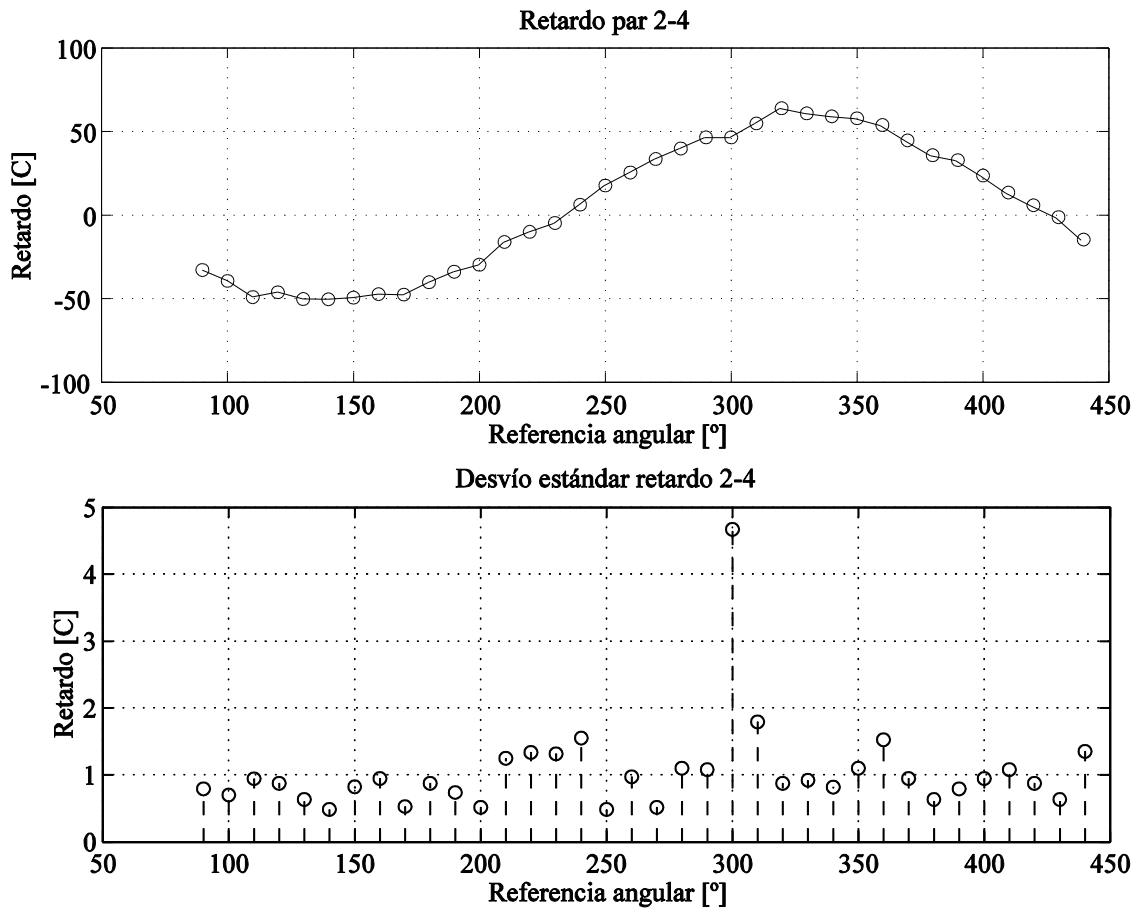


Figura 4.16: Retardo Vs. variación angular, par 2-4.

El desvío estándar por punto de muestreo (valor promediado de diez muestras) para cada par de canales está en el orden de 1 a 2 cuentas o equivalentemente entre  $5\mu\text{s}$  y  $10\mu\text{s}$ . Esta variación concuerda con un error relativo del 2% dentro del rango de medida.

### Experiencias en campo

El primer conjunto de mediciones de campo se realizaron el 14 de Abril. Para esta experiencia se disminuyó la cantidad de muestras por cada paquete de 10 a 2 dado que las experiencias de laboratorio mostraron resultados con variaciones menores a 2 cuentas. Sin embargo, para cada ubicación de la fuente se tomaron 30 paquetes, por lo que se tiene 60 muestras por punto espacial considerado.

Las mediciones se plantearon de forma que la intensidad de señal esté dentro del rango determinado por las mediciones en el laboratorio. Se utilizó un osciloscopio TDS3052 Tektronix para verificar la integridad de señal en la entrada de los comparadores de conversión y un medidor de presión sonora RadioShack. La oreja se situó a 9,6m de la fuente sonora, con el eje del par 1-3 alineado a  $0^\circ$  con respecto al eje fuente/oreja. A esa distancia, se midió una intensidad sonora aproximada de 74dB SPL a la altura de los micrófonos. Si bien no se realizó el registro de las señales en las entradas de los amplificadores, se verificó que estas no presentasen distorsión alguna. Las señales sobre las entradas y las salidas los comparadores también fueron revisadas, no encontrándose problemas en los flancos de las mismas.

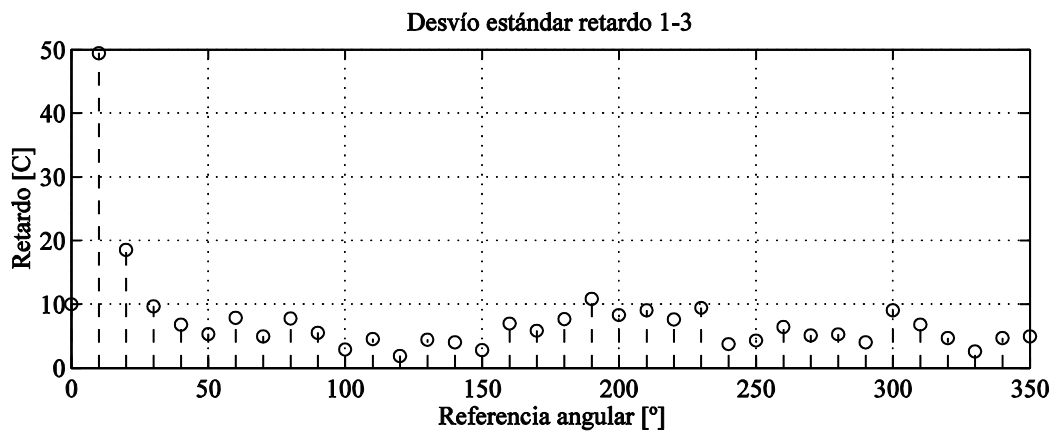
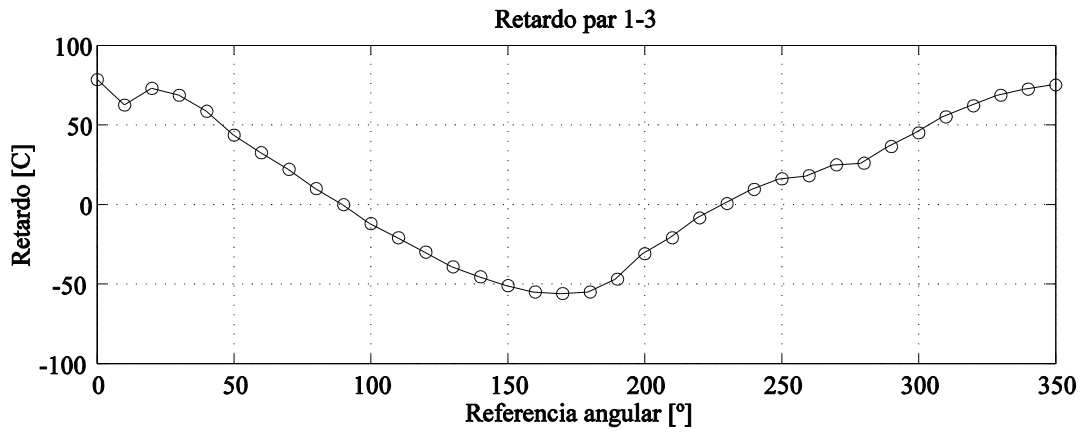


Figura 4.17: Retardo medido en función del ángulo de referencia para el par 1-3.

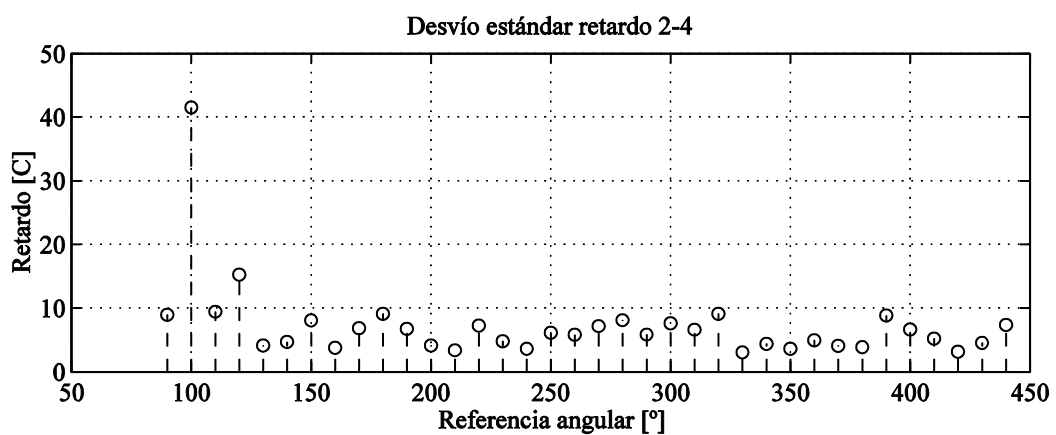
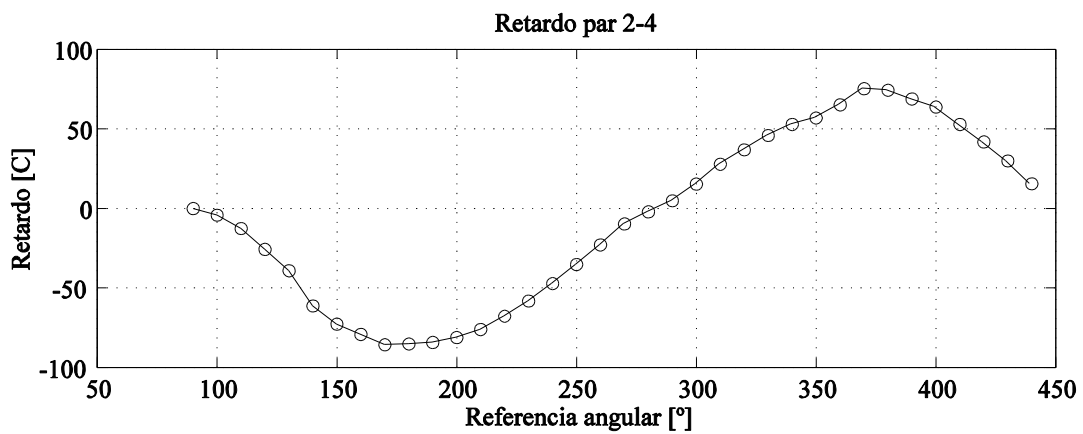


Figura 4.18: Retardo medido en función del ángulo de referencia para el par 2-4.

Se realizaron tres mediciones iniciales a 0°, 90°, y 315° con respecto al par 1-3, para verificar recepción en la PC y convergencia del CI medidor. Una vez verificado esto, se iniciaron las mediciones cada de 10° comenzando desde 0°, según la referencia angular utilizada. Hubo tramos en los que el viento aumentó de intensidad y aproximadamente a un 75% de avance de la medición fue necesario hacer un cambio de batería del amplificador de la fuente sonora, ya que este dejó de funcionar. Los resultados de las mediciones realizadas en el campo se presentan resumidos la Fig. 4.17 y en la Fig. 4.18.

Los datos fueron muestreados con aproximadamente 60 mediciones por ángulo. Se utilizó un filtro de mediana de ventana de 10 para eliminar posibles valores fuera de rango y poco significativos (“outliers”) y el valor promedio se calculó con el estimado de mediana de los datos totales medidos por ángulo. Sin embargo, el desvío estándar es medido antes de ningún filtrado ó selección de datos para tener una idea precisa del ruido del estimador. Exceptuando por la muestra de 10°, es apreciable que la desviación estándar de las muestras rara vez supera las 10 cuentas.

Este caso corresponde a un 5% del rango completo del sensor ( $\pm 127$  cuentas).

Para realizar el cálculo del ángulo de arribo el offset de las curvas es ajustado restando de la medición el valor promedio de cuentas en las posiciones a 90° en cada par (donde teóricamente el desfase es nulo). Una vez ajustado el offset, se obtienen los valores de pico (retardo máximo), para normar los argumentos a utilizar en la obtención de los ángulos, según la ecuación (4.1).

$$\beta = \cos^{-1} \left( \frac{\text{retardo}}{\text{retardo max}} \right) \quad (4.1)$$

La transformación de retardos a ángulos correspondiente al par 1-3 y al par 2-4 se muestra en la Fig. 4.19 y Fig. 4.20, respectivamente. Las barras rojas dividen los cuadrantes en múltiplos de 45°. Las rectas inclinadas indican el valor de conversión teórico. Los puntos con círculo siguen la curva calculada sin ningún ajuste más que el de offset inicial. Es notable una desviación que se aleja mucho de la tendencia del estimado del valor teórico a partir de los 190°, en el sentido del par 1-3, y este efecto se hace presente hasta aproximadamente los 280°.

Esta no linealidad puede deberse, primero a la presencia de viento y, segundo, al cambio de alimentación del amplificador, debido a la falla de la batería. Es posible que en las muestras anteriores al cambio, la intensidad sonora haya bajado lo suficiente para afectar el offset del sistema (que como se vio en las primeras mediciones en el laboratorio, es función también del valor de presión sonora).

Para tratar de comprobar esta última hipótesis, se procedió a reajustar al valor offset en este intervalo zona. Los ángulos para esa zona fueron recalculados reajustando con el cruce por cero del retardo a 180° de la referencia del par 1-3 y a los 270° del par 2-4. Los resultados se muestran en la Fig. 4.19 y en la Fig. 4.20, destacándose con diamantes los valores reajustados.

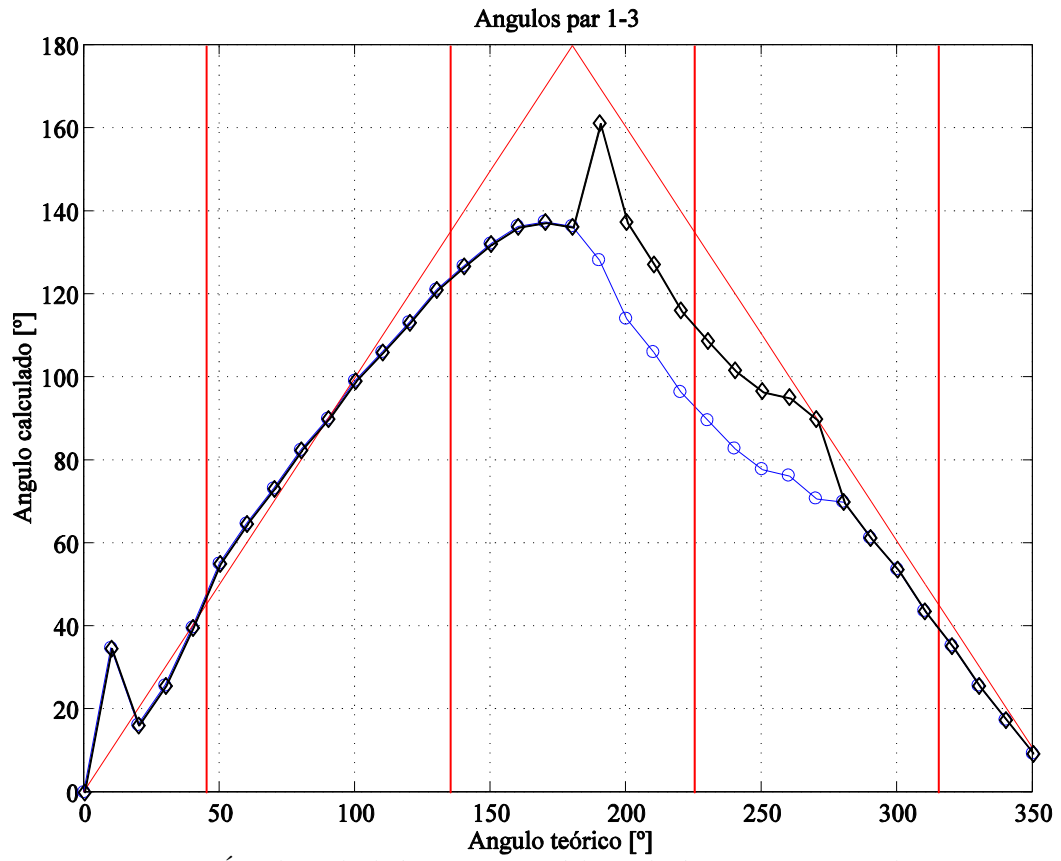


Figura 4.19: Ángulos calculados en función del ángulo de referencia para el par 1-3.

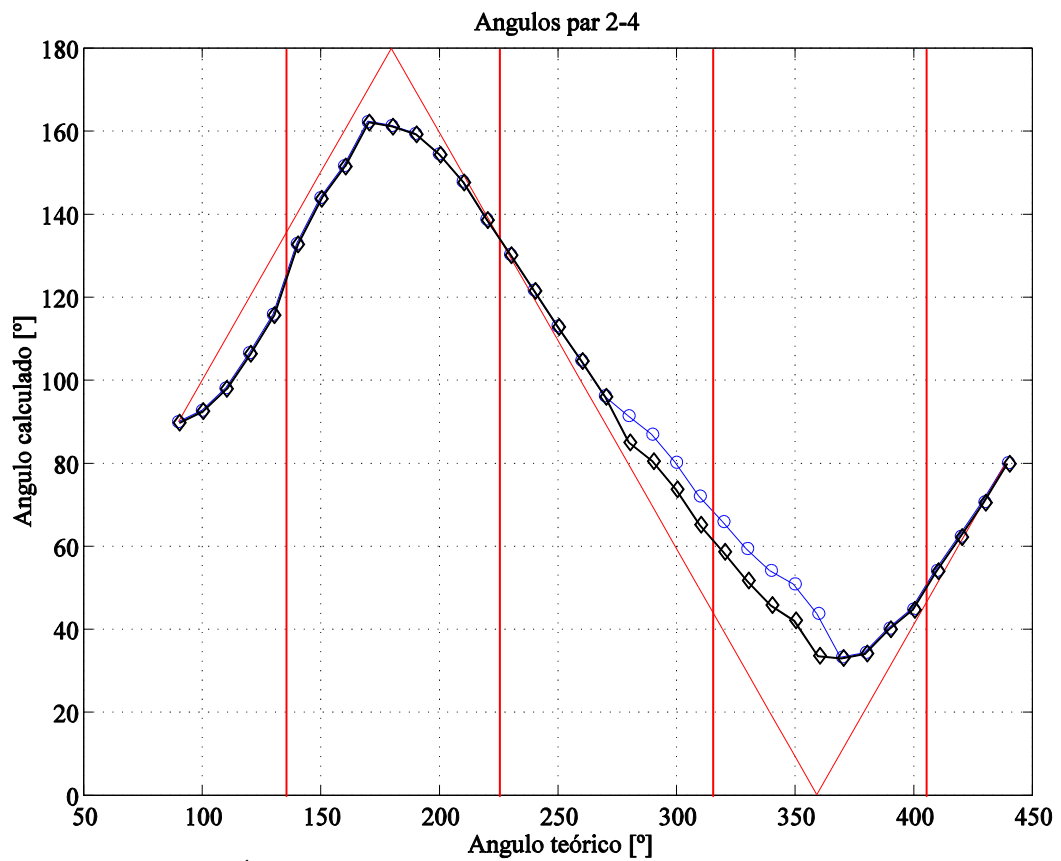


Figura 4.20: Ángulos calculados en función del ángulo referencia para el par 2-4.

En la Fig.4.21 se presentan las curvas de error para cada par de micrófonos. Se aprecia una disminución del error en las zonas válidas de cada par. Estos es el intervalo de  $0^\circ$  a  $100^\circ$  y de  $280^\circ$  a  $360^\circ$  para par 1-3 y el intervalo de  $200^\circ$  a  $320^\circ$  para el otro par. Por lo demás, puede corroborarse que en los cuadrantes donde el error absoluto de un par supera los 20 grados (particularmente en las cercanías del eje  $180^\circ$  de cada combinación, ver [7]), el otro par ofrece un error bajo.

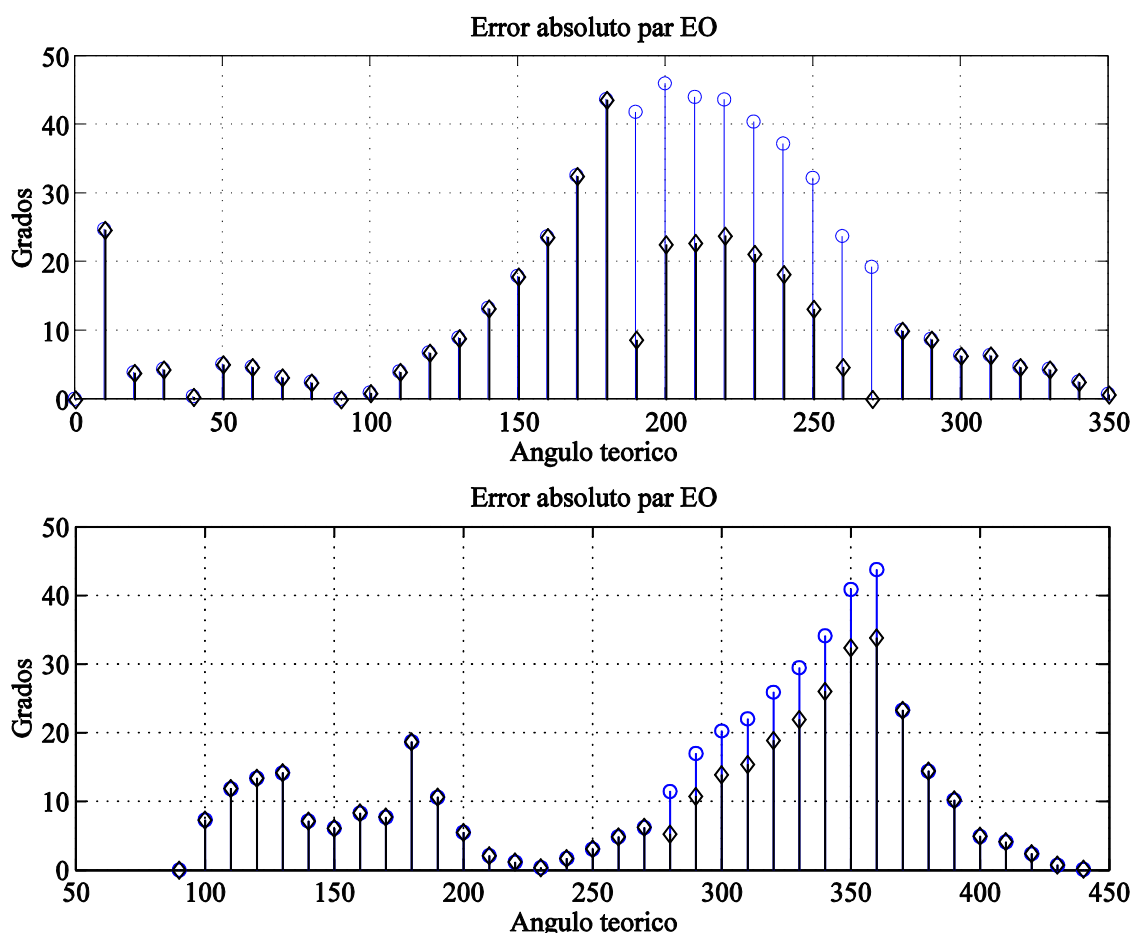


Figura 4.21: Error absoluto en el cálculo de ángulos para ambos pares de micrófonos.

Dado que los resultados de esta primera experiencia reflejaron problemas de linealidad en la estimación del ángulo. Las hipótesis sobre el origen de los errores y no linealidades son básicamente tres:

- A. Variaciones en la fuente sonora y ruido ambiente.
- B. Offset por desapareamiento de los canales (considerando el sistema desde los micrófonos).
- C. Problemas en el sistema de captura y procesamiento de datos.

A partir de esto, se planteo realizar una segunda experiencia una vez que se tuvieran definidas las posibles soluciones.

La segunda experiencia de campo fuera desarrollada el 14 de Julio de 2008 y tuvo como objeto corroborar las presunciones anteriores sobre el problema en la fuente sonora y analizar

la no linealidad angular vista a partir de los 190°. Para ello el ensayo se llevó a cabo en otro lugar y se hizo girar a la UVA en sentido inverso al de la prueba anterior con el objeto de modificar el ruido ambiente (muy dependiente del entorno) y separar los efectos mecánicos de los eléctricos. Además, se tomaron las siguientes precauciones prácticas:

- A. Asegurar señales no distorsionadas en las entradas a los comparadores, usando un osciloscopio.
- B. Señales de acústicas superiores al piso determinado en laboratorio (65dB SPL), para evitar varianza excesiva.
- C. Automatización del proceso para obtener de manera rápida al menos dos juegos de mediciones.

Se modificaron los programas de adquisición de datos en la PC para hacerlos más rápidos y se bajo el tiempo de espera entre toma de muestras de 10ms a 2ms.

En la Fig. 4.22 se presenta un esquema ubicación de los elementos involucrados en la medición. El arco interno de la oreja indica la dirección en que se fue girando la unidad en las mediciones (el sentido es inverso a las mediciones de Abril). Para dar una mayor confiabilidad al ensayo también se tuvo en cuenta comprobar que la presión acústica no cambiase mucho durante el transcurso del ensayo, midiéndola cada 5 mediciones de ángulo; también se ejecutó una medición rápida para detectar que los valores estaban dentro de los esperados.

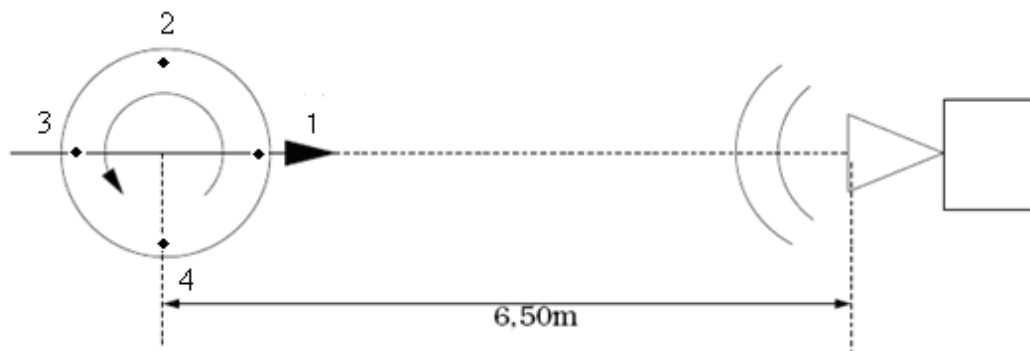
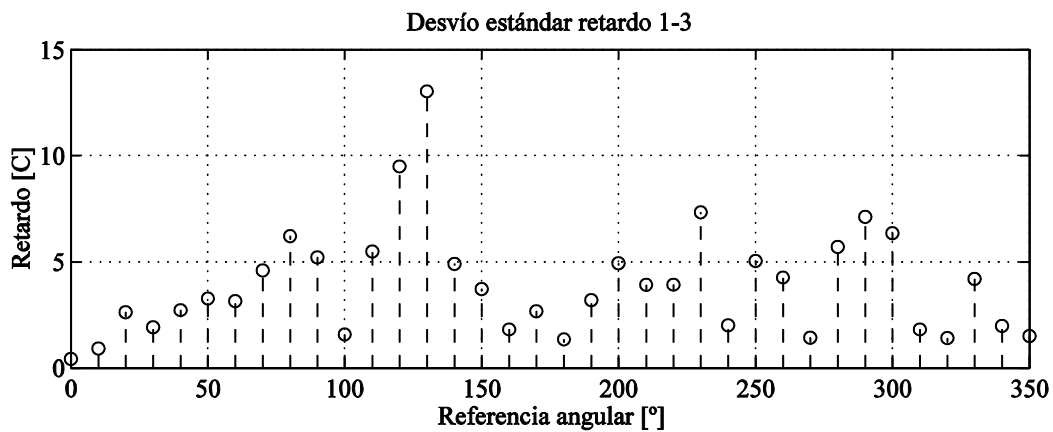
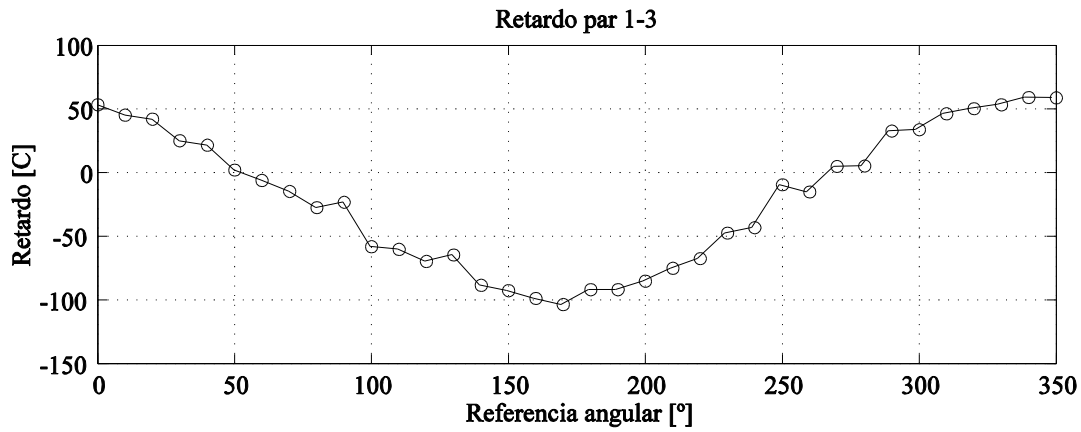


Figura 4.22: Croquis de mediciones, segunda salida al campo.

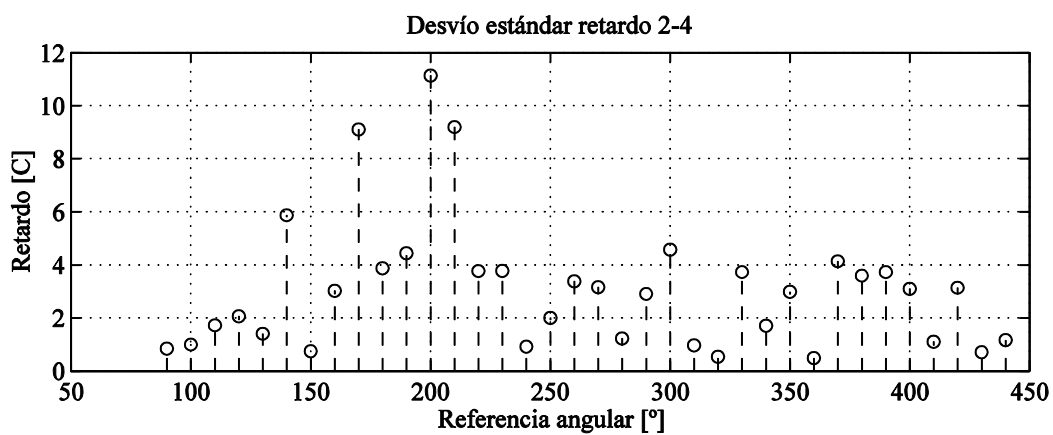
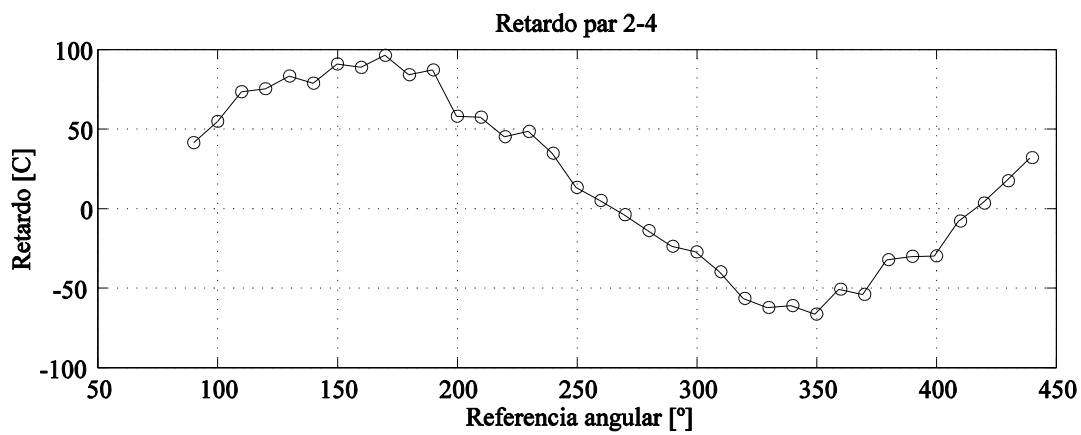
Los resultados de las mediciones del par 1-3 se presentan en la Fig. 4.23.

En el gráfico superior de la Fig. 4.23 se presentan los valores del retardo medido expresado en cuentas (valor decimal). En el gráfico inferior se tienen los valores del desvío estándar de las mediciones. Se aprecia que para todo en rango de medida el desvío estándar no supera las 15 cuentas y mayormente está por debajo de las cinco cuentas. En la Fig. 4.24 se presenta el retardo medido y el desvío estándar para el par de micrófonos 2-4. En este caso, el desvío estándar no supera doce cuentas y mayormente se encuentra por debajo de 4 cuentas.

Queda claro que el sistema tiene una varianza superior a la obtenida en laboratorio, en particular el aumento la varianza es de 4 cuentas para el par 1-3 y de 3 para el par 2-4. Este aumento tiene como causas el ruido ambiente y principalmente la interferencia del viento; pero de todas formas estos valores resultan inferiores a los obtenidos en la primera medición de campo



*Figura 4.23: Retardo Vs. Referencia angular par 1-3, mediciones de campo.*



*Figura 4.24: Retardo Vs. Referencia angular par 2-4, mediciones de campo.*

Con estos valores de retardo se procedió a calcular el ángulo arribo de la fuente sonora. Los valores obtenidos son presentados en la Fig. 4.25 y Fig. 4.26 donde superponen con los valores teóricos como referencia para apreciar cuanto se apartan de la respuesta ideal del sistema.

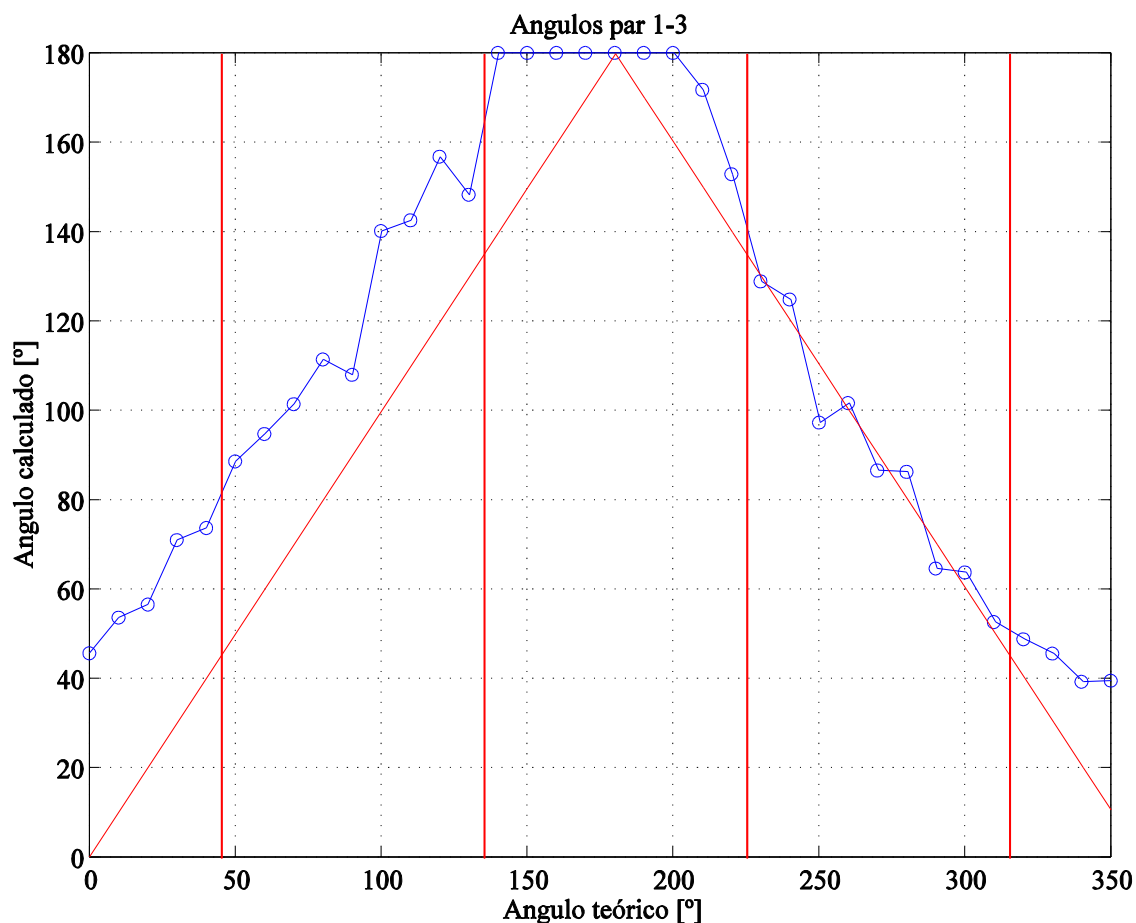


Figura 4.25: Angulo de arribo estimado, par 1-3.

En la Fig. 4.25 se puede ver que se tienen cinco rangos angulares separados por cuatro las barras verticales. Los rangos son  $0^\circ$  a  $45^\circ$ , de  $45^\circ$  a  $135^\circ$ , de  $135^\circ$  a  $225^\circ$ , de  $225^\circ$  a  $315^\circ$  y de  $315^\circ$  a  $360^\circ$ . El primero, el tercero y el quinto rango no se utilizarán para hacer la localización de la fuente sonora dado que este rango se presenta el mayor error en la estimación de la posición (ver [7]). Además, esta aseveración se corresponde con los resultados obtenidos; particularmente en el rango de  $135^\circ$  a  $225^\circ$  donde los valores angulares calculados a partir de los retardos superan los  $180^\circ$ .

En el rango de  $45^\circ$  a  $135^\circ$  los valores presentan un offset de aproximadamente  $30^\circ$ . En el rango de  $225^\circ$  a  $315^\circ$  los ángulos estimados resultaron centrados sobre el valor de referencia.

En la Fig. 4.26 los rangos a considerar están desplazados  $90^\circ$  respecto al par 1-3 para mantener la referencia angular. Estos rangos son:  $90^\circ$  a  $135^\circ$ ,  $135^\circ$  a  $225^\circ$ ,  $225^\circ$  a  $315^\circ$ ,  $405^\circ$  a  $450^\circ$ . Para este par de micrófonos los rangos útiles para realizar la estimación de fuente sonora son de  $90^\circ$  a  $135^\circ$ , de  $225^\circ$  a  $315^\circ$  y de  $405^\circ$  a  $450^\circ$ ; en particular la unión del primer y último rango corresponde al mismo sector angular.

El primer rango tiene un offset de aproximadamente  $30^\circ$  y en el segundo rango los valores estimados están centrados sobre los valores de referencia. De la Fig. 4.26 también se aprecia



que los ángulos estimados presentan una buena linealidad aunque tienen un corrimiento del valor absoluto por offset.

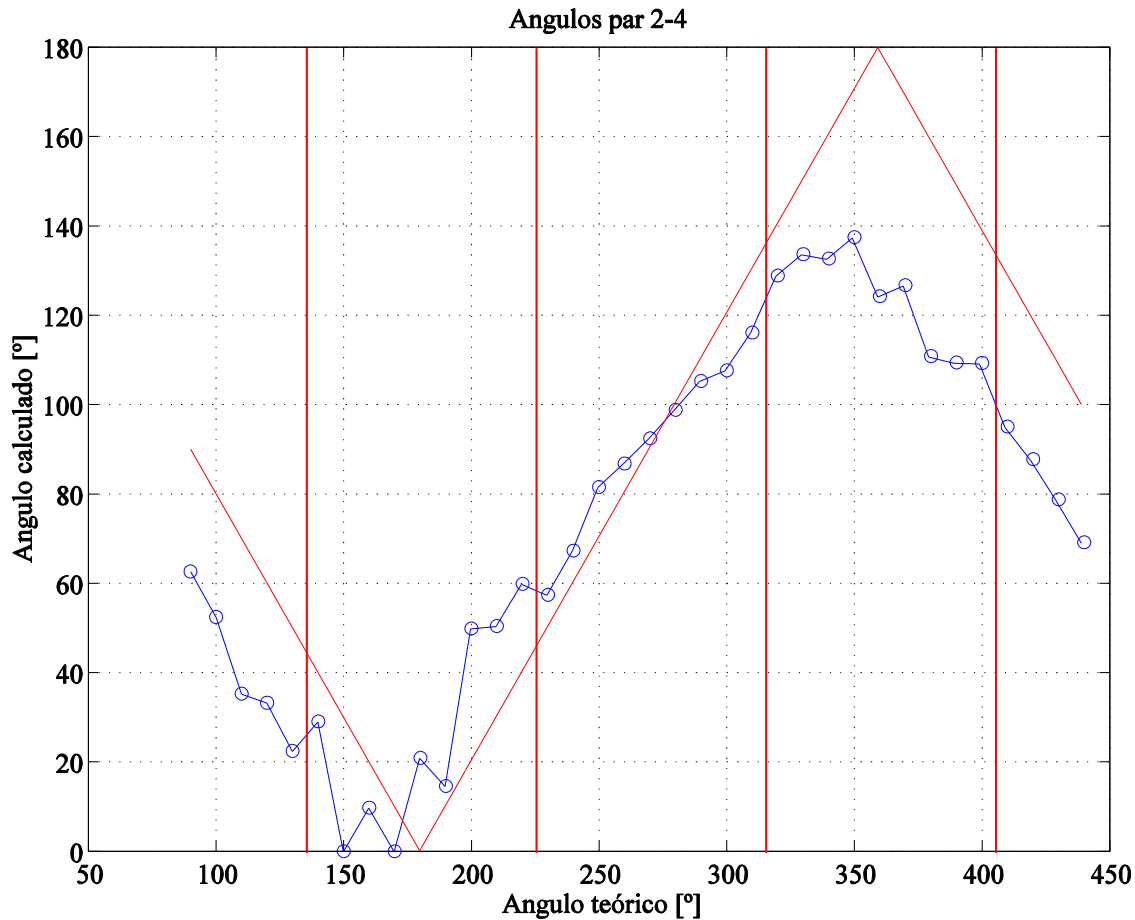


Figura 4.26: Ángulo de arribo estimado, par 2-4.

En la Fig. 4.27 se presentan los errores absolutos en grados para cada par de micrófonos.

Se computó el error de la estimación angular para cada par de micrófonos y se comprobó que cada rango de interés no existen no linealidades (el error es constante dentro del rango) aunque los resultados presentan variaciones y errores absolutos.

Estos datos confirman que la no linealidad observada en las mediciones de campo realizadas en el mes de Abril provenía de la variación de en la potencia de la fuente sonora.

Una de las componentes del offset puede provenir del montaje de conjunto de micrófonos al sistema de rotación de la base (alineación mecánica) ya que el mismo offset se presenta en ambos pares de micrófonos para la misma posición espacial. Esto es el rango de 0° a 150° para el par 1-3 y desde el rango de 90° a 150° unido al rango de 400° a 450° para el par 2-4.

La segunda componente de offset proviene de los sensores primarios, ya que los ajustes que se realizaron sobre los circuitos no los incluyeron. Esto confirma que la calibración del sistema debe ser realizada utilizando una fuente acústica como referencia.

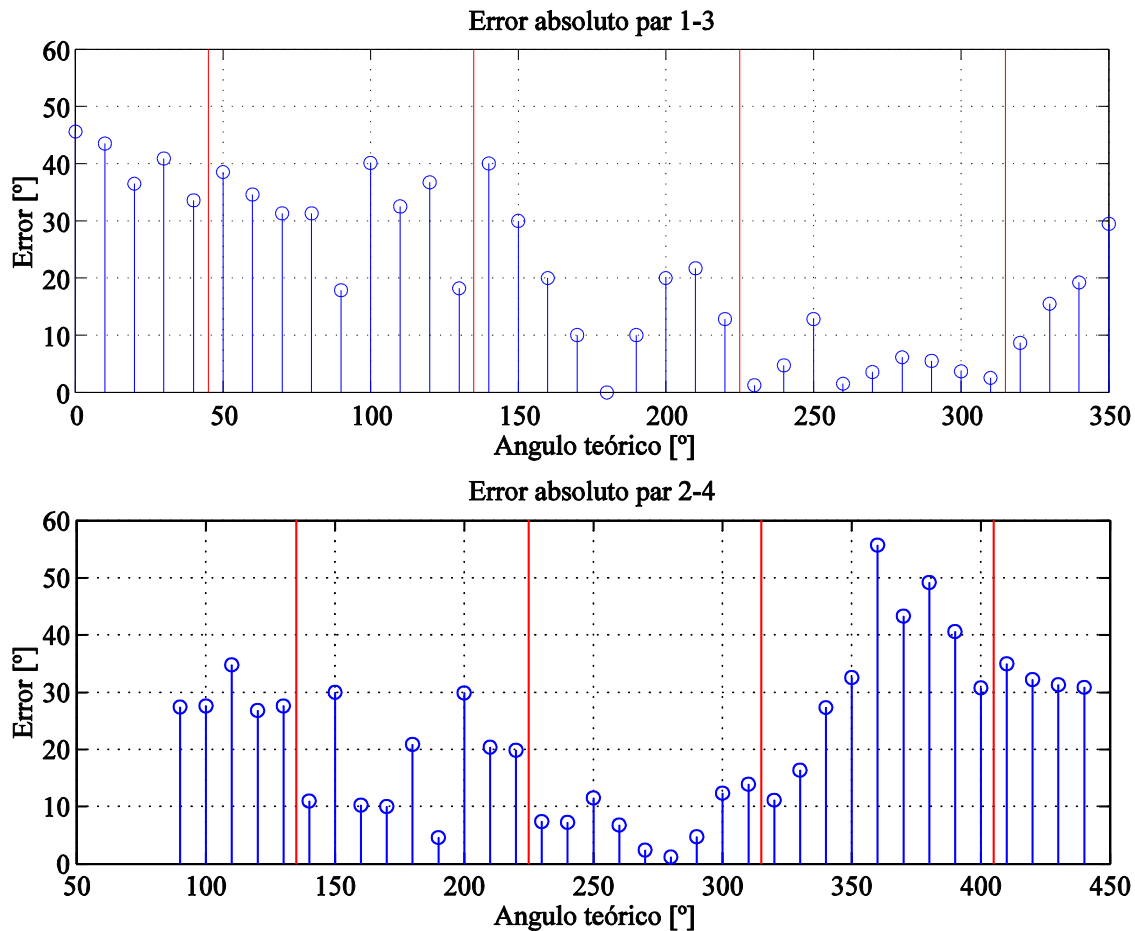


Figura 4.27: Errores absolutos de estimación para cada par de micrófonos.

## Resumen del ensayo de la UVA

Las experiencias de campo fueron realizadas en dos locaciones distintas. En base a los resultados de la primera, se modificó la forma de realizar la experiencia para comprobar si la no linealidad observada era producto del sistema mecánico, del acústico ó del electrónico.

Se pudo comprobar que la distorsión es sistemática y tiene su origen en la etapa acústica y en los micrófonos, por lo que la etapa electrónica debería contar con un sistema de ganancias variables que permitan ecualizar estos desperfectos. Las ganancias variables por pasos propuestas en el rediseño no dieron el resultado esperado por resultar estos, demasiado grandes. Además, se pone en evidencia que la ecualización de ganancias se debe hacer con el sistema acústico (oreja) montado, utilizando una fuente acústica acorde al problema y, una vez que se haya realizado el ajuste de los offset en los conversores A/D.

Como conclusión importante se extrae que el chip medidor converge de forma esperada y que la mayoría de error que este comete es proveniente de la calidad de señales que está recibiendo. El sistema UVA tiene una presión acústica mínima de 68dB SPL a partir de la cual se puede garantizar su correcto funcionamiento. Entonces queda clara la necesidad de acoplar al sistema otro CI que detecte la calidad de la señal (presión adecuada y presencia de fuente) y que este pueda ser usado para validar los datos que se están midiendo. Este circuito puede ser similar al presentado en [9].

Es claro que debe plantearse a futuro una estructura en el sensor que se independice del offset temporal producto de la intensidad de la señal, o que al menos aumente el rango dinámico en

que el efecto del mismo sea mínimo, mediante la utilización de un sistema AGC, de ganancia lineal a tramos o logarítmica. En todo caso, se debe notar que aún en la zona en que se presenta este corrimiento el desvío estándar del estimador sigue siendo inferior a 10 cuentas lo cuál es muy satisfactorio para la aplicación del sistema.

## ***Resumen y comentarios del capítulo***

En este capítulo se han presentado características y resultados de experiencias de campo con una unidad de vigilancia acústica. En base a un exhaustivo análisis de los resultados se han planteado modificaciones sobre la sección de filtrado analógico. Se ha diseñado una interfaz más versátil para el procesamiento de las señales analógicas, y electrónica auxiliar para alojar nuevas versiones de circuitos integrados medidores de retardos.

En base a las conclusiones del estudio estadístico, se construyó una nueva versión de la electrónica de acondicionamiento de las señales analógicas provenientes de los micrófonos. Las principales características del nuevo diseño realizado son las siguientes: un filtro pasa-banda de segundo orden; mayor ganancia por canal; y nuevos conversores A/D.

Es importante destacar la posibilidad de cambiar la frecuencia central de los filtros pasa-banda de manera digital entre ocho posibles frecuencias. La utilización de un filtro a capacitores conmutados en conjunto con un oscilador de frecuencia programable permite lograr esta característica de manera repetible y precisa.

Los resultados del nuevo sistema de UVA se obtuvieron en ensayos de laboratorio y de campo, a través de los cuales se recabaron gran cantidad de datos que sirvieron para caracteriza su desempeño funcionado en condiciones reales. También se detectaron problemas de rango dinámico, ruido y diferencias entre los canales, lo que introdujo errores al sistema. Estos errores no son de gran magnitud pero dejaron a la vista nuevos aspectos que tienen que ser investigados y analizados para lograr un mejor desempeño. El sistema ensayado presenta un error del 5% para una presión acústica mayor a 65dB SLP, lo que resulta satisfactorio para la aplicación de detección de fuente sonora. Si esta unidad se utiliza dentro de una red de sensores la precisión que presenta supera ampliamente los requerimientos.

Desde el punto de viste de sistema, se puede sugerir que hay que desarrollar circuitos de estimación de retardo más rápidos para aumentar el número de muestras disponibles en el tiempo, y con ello, aumentar el rango de velocidad de seguimiento (tracking) para futuras aplicaciones de este sensor.

En lo que refiere a integración del sistema es necesario mejorar la insensibilidad de los circuitos de acondicionamiento al ruido de alta frecuencia inducido por la transmisión de datos de la Mica UNS.

En próximos experimentos sería deseable contemplar la influencia de otros factores como clima, ruido ambiente (en particular el viento), etc., siguiendo la metodología del experimento factorial. Estos factores pueden modificar la respuesta del sistema y hasta ahora no han sido tenidos en cuenta como variables a la hora de diseñar las experiencias de campo.

# Capítulo 5

## Conclusiones

La mayor contribución de la presente radica en la presentación de un algoritmo novedoso para la medición de retardos [21]. Este algoritmo es de bajo consumo desde su concepción, ya que únicamente realiza cálculos cuando las señales cumplen con las condiciones necesarias, disminuyendo de esta forma la actividad total de circuito y por ende el consumo de potencia. Una ventaja adicional del método propuesto es que, a diferencia de enfoques anteriores, puede realizar el seguimiento o “tracking” de una fuente en movimiento dada su característica adaptativa.

La mayor contribución de la presente tesis es el diseño de un CI novedoso para la medición de retardos utilizando un algoritmo de derivada de la correlación.

Otro aporte relevante de esta tesis es la presentación de implementaciones circuitales de este algoritmo. El circuito que implementa el algoritmo fue integrado en dos tecnologías diferentes (AMI 0,5 $\mu\text{m}$  y TSMC 0,35 $\mu\text{m}$ ), y su funcionamiento resultó correcto en ambas. Uno de los circuitos integrados fabricados logró un consumo menor a todos los sistemas reportados en la literatura con exactitud equivalente (resultados parciales han sido publicados en [23]). Para lograr un funcionamiento con bajo consumo se debió prestar mucha atención en la implementación de los registros de memoria, donde se utilizaron elementos dinámicos. Si bien este enfoque no es innovador desde su concepción; en esta tesis se lo presenta por primera vez aplicado a un CI capaz de medir retardos y a través de esto, realizar la ubicación de una fuente sonora. Dado que el algoritmo tiene una implementación puramente digital cuenta con la ventaja de ser directamente escalable, por lo que el consumo de potencia dependerá fuertemente de la tecnología utilizada. Esto deja abierta la posibilidad de su utilización como bloque funcional en otros sistemas más complejos (sistema en Chip).

Un aporte menor de la tesis es la descripción de un ensayo realizado a un CI diseñado previamente por otros autores. El desarrollo de la tesis comienza con esta experiencia para respetar el orden cronológico del trabajo efectuado y porque sirvió como motivador para el desarrollo del nuevo algoritmo. Las mediciones efectuadas sobre este CI arrojan un consumo de 12 $\mu\text{W}$  a la menor tensión posible de funcionamiento (2,0V). En condiciones normales de funcionamiento, que permiten la compatibilidad con otros sistemas, el consumo se eleva a 45 $\mu\text{W}$  para una tensión de 3,3V ([20]), necesitándose que un par ellos para el rango de medida típico de 640 $\mu\text{s}$ .

Teniendo como objetivo la localización de fuentes sonoras se construyó una estación acústica capaz de alojar dos de estos CI con cuatro micrófonos y la electrónica de procesamiento analógico para las señales. Esta estación tiene conectividad con una red de sensores a través de una unidad de radio frecuencia, la cual proporciona las señales de control y temporizado. Se desarrollaron numerosas pruebas de campo en las que se midieron datos, y se comprobó el correcto funcionamiento del sistema[28]. Tomando como base los datos experimentales obtenidos se aplicaron métodos de análisis estadístico de experimentos para estudiar a fondo las implicaciones de variaciones paramétricas en el diseño de una nueva unidad. En base a esta metodología, se concluyó que para mejorar las prestaciones era necesario implementar un filtro pasabanda por cada canal. El mismo se implementó con un arreglo de filtros a capacitores conmutados comerciales.

Como conclusión importante se extrae que el CI medidor converge de forma esperada y que la mayoría de error que este comete es proveniente de la calidad de señales que está recibiendo. El sistema UVA tiene una presión acústica mínima de 68dB SPL a partir de la cual se puede garantizar su correcto funcionamiento con una desviación estándar de la estimación inferior a 10 cuentas. Es claro que debe plantearse a futuro una estructura en el sensor que se independice del offset temporal producto de la intensidad de la señal, o que al menos aumente el rango dinámico en que el efecto del mismo es mínimo, ya sea utilizando un sistema AGC, de ganancia lineal a tramos o logarítmica. Desde el punto de vista de sistema, se puede sugerir que hay que desarrollar circuitos de estimación de retardo más rápidos para aumentar el número de muestras disponibles en el tiempo, y con ello, aumentar el rango de velocidad de seguimiento (tracking) para futuras aplicaciones de este sensor; todo ello sin aumentar el consumo de potencia.

Un tópico pendiente de esta tesis es desarrollo de un estudio teórico sobre la influencia del ruido en el sistema. Existen consideraciones prácticas en la construcción de las unidades que pueden generar acoplamiento entre los micrófonos que implica que el ruido y las señales de cada canal resulten correlacionados. Esto modifica una de las hipótesis básicas del problema. Existen otros problemas relacionados con el ruido en la cuantización de las señales que provocan un aumento en la varianza de la medición del retardo. En particular, queda pendiente el análisis de la influencia del ruido de las señales analógicas en la medición digital del retardo de las señales.

Otro factor pendiente de estudio es la influencia de otras fuentes sonoras en la estimación. Esto puede llevar a considerar la aplicación de procesamiento distribuido en una red de sensores que tengan varios nodos con medidores de retardo u otros sensores acústicos. A través de la estimación distribuida por medio de técnicas de fusión de datos se puede llegar a identificar una fuente, pero el problema de la identificación de varias fuentes resulta aún un tema abierto para esta metodología. En el grupo de investigación GISEE tales técnicas ya están siendo estudiadas, destacándose la técnica de filtro de partículas [31].

Es claro que para la detección de fuentes acústicas dentro de redes de sensores se debe tener como objetivo final la integración de todas las etapas de un nodo en un mismo CI. Para este desarrollo se deben enfrentar problemas de notoria importancia: el apareamiento de filtros analógicos y la integridad de señales en circuitos de señal mixta (analógico, digital y radiofrecuencia), en el marco de sistemas con bajo consumo. Durante las pruebas realizadas en campo se notó una interferencia significativa entre la interfaz de RF a 433Mhz y los circuitos de procesamiento. Un paso siguiente en esta línea es la implementación de un banco de filtros apareados de bajo consumo y con la capacidad de ser sintonizables.

# Apéndice I

## Análisis Estadístico de Resultados Experimentales

A continuación se presenta un análisis estadístico de los resultados experimentales que permite obtener un conocimiento más detallado de la influencia de ciertos parámetros sobre la precisión del sistema. Esta información permite formar un criterio para realizar modificaciones sobre el sistema [29]. Es por ello que resulta crucial utilizar de la mejor forma toda la información obtenida en los ensayos. Hay diferentes metodologías que pueden ser utilizadas para este estudio, en particular, para esta tesis se utilizaron los estudios factoriales y factoriales compuestos (ver [30], Cap. 6, 7 y 10).

Los factores de análisis que se consideraron para el sistema son el filtrado de las señales y el algoritmo de estimación de retardo. Para el análisis, se tomaron muestras equi-espaciadas cada  $10^\circ$  produciendo 19 señales de audio. Cada señal tiene una duración de 30s y se muestreó a 10KHz conteniendo los cuatro canales correspondientes a cada uno de los micrófonos de la UVA. En la Fig. 4.6 del Cap. 4 se muestra el esquema del ensayo realizado.

Por cada señal únicamente se considera un par de canales y se calcula el retardo para bloques de señal de 650ms, obteniéndose así, un total de 40 valores de retardo. Con estos valores se calcula el promedio y el desvío estándar.

Dado que se cuenta con las señales analógicas adquiridas por la UVA, se plantea el estudio de la disminución del desvío estándar (STD) del retardo estimado mediante el filtrado de las señales originales en el rango de 100 a 300 Hz. En particular, se compararon tres tipos de filtros:

- a. PASA-BAJOS 300 Hz
- b. PASA-BANDA 100-300 Hz
- c. PASA-ALTOS 100 Hz

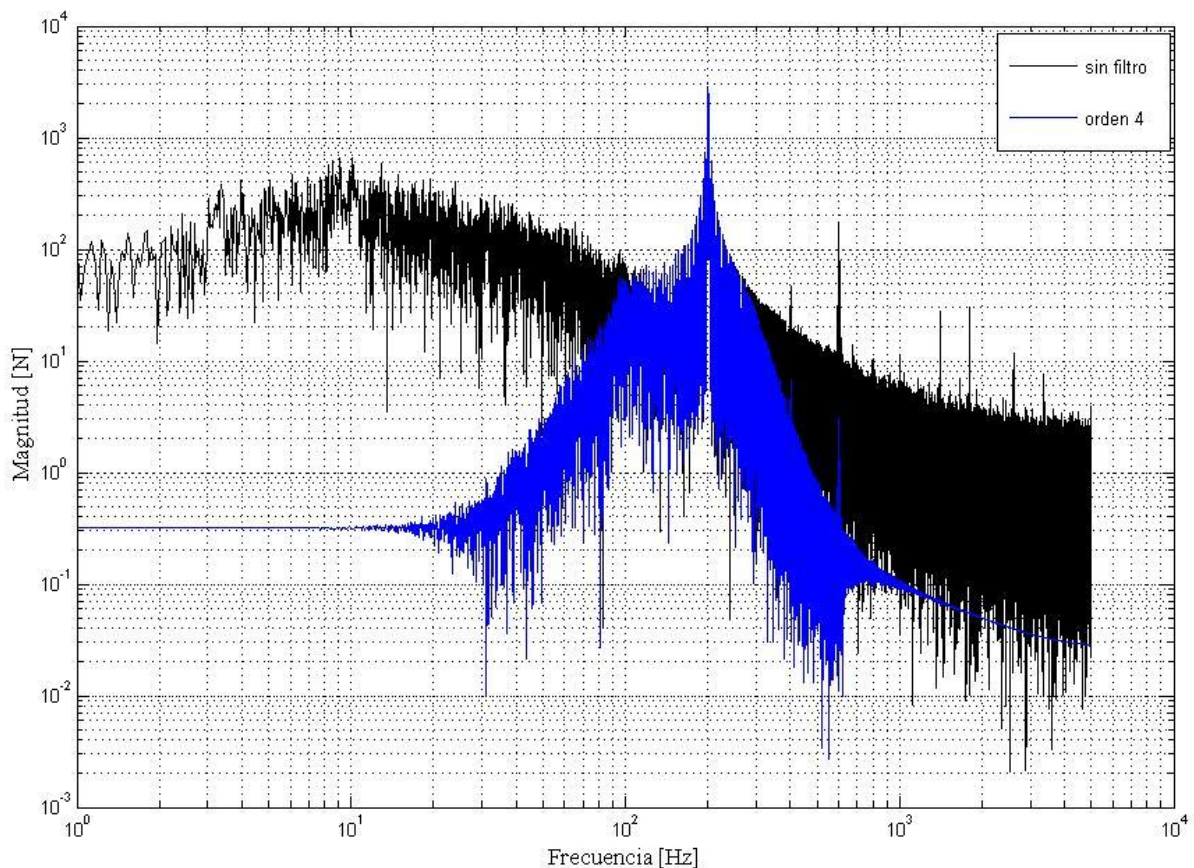
El otro factor estudiado es la modificación del algoritmo utilizado para la estimación del retardo. En este estudio se aplica una leve modificación sobre el algoritmo CCD para hacerlo más preciso en la detección del cruce por cero de la derivada de la correlación. Esta modificación es pequeña pero puede ser causal de una variación en el resultado de la medición del retardo. Dicha modificación solamente se efectúa a nivel del algoritmo

implementado en Matlab, por lo que para una adecuada comparación de resultados se procesan las señales sobre Matlab utilizando ambos algoritmos.

Dado que este análisis se realiza sobre los datos obtenidos en campo, todos los datos fueron procesados fuera de línea.

### Planteo del problema

Para comenzar con el planteo del problema estadístico, se analizaron los espectros de las señales medidas en experiencias de campo buscando la distribución frecuencial del ruido. Las señales originales se filtraron con un pasa-alto, un pasa-banda y un pasa-bajo del mismo orden y se calculó el espectro de cada una de las señales resultantes. Del análisis espectral se aprecia que la mayor concentración de potencia espectral de ruido se encuentra en la banda de baja frecuencia para el espectro de interés. Por ello se descarta la utilización del filtro pasa-bajo, ya que este no modificará el contenido espectral del ruido de manera significativa. Por consiguiente los candidatos para analizar con mayor profundidad son los filtros pasa-alto y pasa-banda. Los espectros de las señales se muestran en la Fig. I.1.



*Figura I.1: Espectros de las señales filtradas.*

Para analizar la influencia del filtrado y del algoritmo de estimación sobre el desvío estándar del retardo, se proponen dos tipos de filtros, de dos ordenes distintos, con dos versiones del algoritmo. Con éstos, se calculan 40 retardos sobre el mismo par de canales para cada una de las diferentes señales, obteniéndose una media y un desvío estándar por cada ángulo del

ensayo. El valor de los retardos está expresado en “cuentas”, que son unidades digitales cuyo valor absoluto depende de la frecuencia de reloj del sistema. La conversión entre las dos representaciones es sólo una constante por lo que para el análisis estadístico resulta indistinto.

Dadas las combinaciones de factores a estudiar, el ensayo se puede describir mediante un experimento factorial  $2^3$  (ver [30], pág. 306). Este planteo permite analizar interacciones entre los factores y determinar cuales son los de mayor influencia sobre el desempeño general del sistema bajo estudio.

La cantidad de muestras por ángulo del ensayo es:

$$n = 40 \Rightarrow \nu = n - 1 \Rightarrow \nu = 39 \quad (I.1)$$

Con este valor se obtiene el desvío estándar porcentual del conjunto de muestras STD%, (estimado de  $\sigma$ ). Este cálculo se muestra en las siguientes ecuaciones:

$$STD\% = \frac{100}{\sqrt{2\nu}} \quad (I.2)$$

$$STD\% = \frac{100}{\sqrt{2\nu}} = \frac{100}{\sqrt{2 \cdot 39}} = 11,32\%$$

De (I.2) se desprende que cada estimación del valor de retardo tiene un desvío estándar de 11,32%, lo cual es aceptable para el tiempo que insume completar las mediciones. Realizar un muestreo más extensivo para llevar el STD al 1% conduciría a un total de 5000 muestras. Como cada muestra insume un tiempo de un segundo, esto sería equivalente a 1 hora 23 minutos para cada referencia angular, resultando en un experimento de campo de más de 24 horas para las 19 referencias desde  $0^\circ$  a  $180^\circ$ .

Para hacer el filtrado y posterior cálculo del retardo se utiliza un muestreo aleatorio sobre el espacio de muestras de las señales, tomándose únicamente 8 señales. Las muestras a utilizar son las correspondientes a los siguientes ángulos:  $30^\circ$ ,  $40^\circ$ ,  $70^\circ$ ,  $80^\circ$ ,  $110^\circ$ ,  $140^\circ$ ,  $150^\circ$ , y  $170^\circ$ .

En la Tabla I.1 se muestran los factores y sus combinaciones aplicados sobre las muestras.

*Tabla I.1: Factores bajo estudio y sus combinaciones.*

Muestra	Filtro	Orden	Algoritmo
$30^\circ$	PASA-ALTO	$2^\circ$	Nº1
$40^\circ$	PASA-BANDA	$2^\circ$	Nº1
$70^\circ$	PASA-ALTO	$4^\circ$	Nº1
$80^\circ$	PASA-BANDA	$4^\circ$	Nº1
$110^\circ$	PASA-ALTO	$2^\circ$	Nº2
$140^\circ$	PASA-BANDA	$2^\circ$	Nº2
$150^\circ$	PASA-ALTO	$4^\circ$	Nº2
$170^\circ$	PASA-BANDA	$4^\circ$	Nº2

Las variables se codifican asignando “+” y “-” para cada uno de los posibles valores de los parámetros a estudiar. En la Tabla I.2 se presentan los datos codificados para que la aplicación del método resulte más sencilla.



Tabla I.2: Datos codificados para el análisis.

Muestra	Filtro	Orden	Algoritmo	Y
30°	+	+	+	1
40°	-	+	+	2
70°	+	-	+	3
80°	-	-	+	4
110°	+	+	-	5
140°	-	+	-	6
150°	+	-	-	7
170°	-	-	-	8

A través del procesamiento de las señales con rutinas de cálculo, se hallaron medias y varianzas de las estimaciones de retardos; estos resultados se resumen en la Tabla I.3:

Tabla I.3: Retardos medios y varianzas de las muestras.

Y	Retardo	Varianza	STD
1	47,9500	1,4846	1,2184
2	53,5500	0,7667	0,8756
3	71,3750	1,3173	1,1477
4	71,7750	1,2045	1,0975
5	68,2750	1,3840	1,1764
6	44,5250	2,9737	1,7244
7	36,0750	17,6609	4,2025
8	16,9250	2,6353	1,6233

Como resultado de cada experimento se toma el valor del desvío estándar y se calculan los efectos principales y secundarios de las variables.

Efectos principales:

$$FILTRO = \frac{Y_2 + Y_4 + Y_6 + Y_8}{4} - \frac{Y_1 + Y_3 + Y_5 + Y_7}{4} = -0,6061 \quad (I.3)$$

$$ORDEN = \frac{Y_3 + Y_4 + Y_7 + Y_8}{4} - \frac{Y_1 + Y_2 + Y_5 + Y_6}{4} = 0,7690 \quad (I.4)$$

$$ALGORITMO = \frac{Y_5 + Y_6 + Y_7 + Y_8}{4} - \frac{Y_1 + Y_2 + Y_3 + Y_4}{4} = 1,0969 \quad (I.5)$$

Efectos secundarios:

$$FILTRO \times ORDEN = \frac{Y_1 + Y_3 + Y_6 + Y_8}{4} - \frac{Y_2 + Y_4 + Y_5 + Y_7}{4} = -0,7086 \quad (I.6)$$

$$FILTRO \times ALGORITMO = \frac{Y_1 + Y_4 + Y_5 + Y_8}{4} - \frac{Y_2 + Y_3 + Y_6 + Y_7}{4} = -0,4095 \quad (I.7)$$

$$ALGORITMO \times ORDEN = \frac{Y_1 + Y_2 + Y_7 + Y_8}{4} - \frac{Y_3 + Y_4 + Y_5 + Y_6}{4} = 0,6934 \quad (I.8)$$

Estos resultados se resumen en la Tabla I.4 y se presentan en la Fig. I.2.

Tabla I.4: Resumen de efectos principales y secundarios.

Efecto	STD
FILTRO	-0,6061
ORDEN	0,7690
ALGORITMO	1,0969
FILTRO x ORDEN	-0,7086
FILTRO x ALGORITMO	-0,4095
ALGORITMO x ORDEN	0,6934

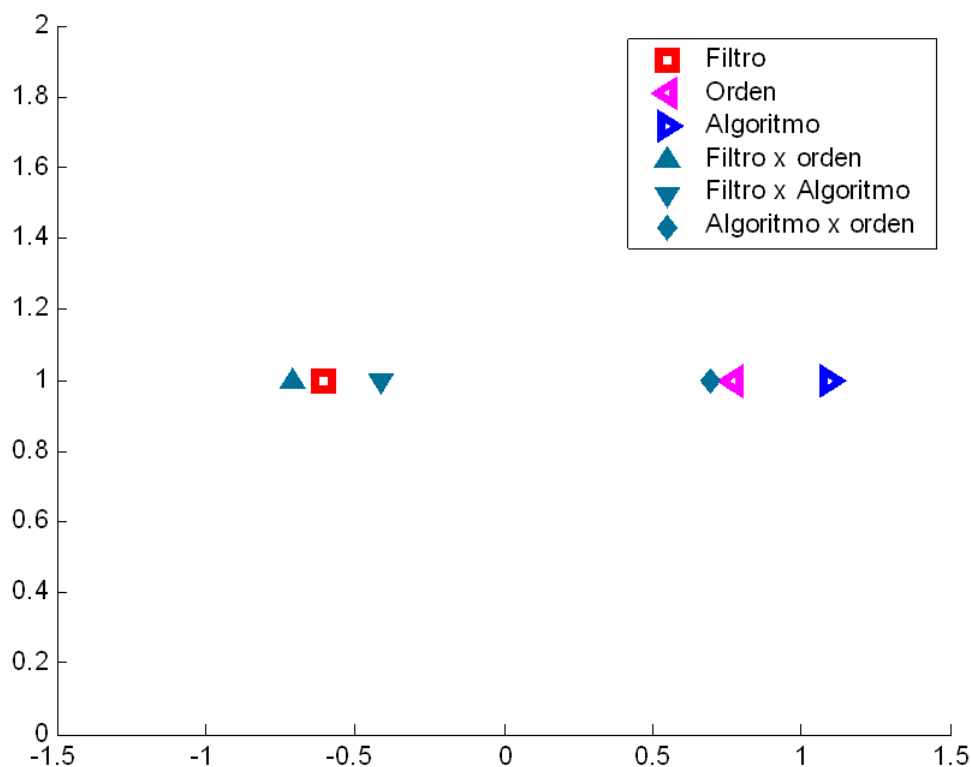


Figura I.2: Efectos principales y secundarios.

Del cálculo de los efectos se puede interpretar que existe una importante interacción entre las variables por lo que cualquier factor principal no puede ser interpretado directamente.

Para analizar estas interacciones, se deben estudiar los cambios producto de los factores relacionados, considerando el promedio de los efectos producto del tercer factor. Por ejemplo, de considerarse la interacción entre filtro y orden, es necesario considerar el promedio de las acciones producto del factor algoritmo. En la Tabla I.5 se muestran los datos seleccionados para realizar el análisis interacción entre filtro y orden. En la Tabla I.6 se presentan los resultados de todas las interacciones cruzadas entre las muestras.

Tabla I.5: Selección de datos para análisis filtro-orden.

Muestra	Filtro	Orden	Algoritmo	Y
30°	+	+	+	1
40°	-	+	+	2
70°	+	-	+	3
80°	-	-	+	4
110°	+	+	-	5
140°	-	+	-	6
150°	+	-	-	7
170°	-	-	-	8

Tabla I.6: Interacciones cruzadas entre filtros y orden.

Muestra	Filtro	Orden	Algoritmo	Y	STD promedio
30° -110°	+	+	+ -	1-5	1,1974
40° -140°	-	+	+ -	2-6	1,3000
70° -150°	+	-	+ -	3-7	2,6751
80° -170°	-	-	+ -	4-8	1,3604

Posteriormente el análisis prosigue con el cálculo de la diferencia entre los parámetros marcados con '+' y '-'. En la Fig. I.3 se presentan las diferencias producto de los factores orden y filtro. Como puede verse, existe una leve diferencia entre cambiar el orden del filtro y la combinación orden '+', filtro '+' es la de menor dispersión; tal combinación es un filtro pasa-alto de orden 2. Esto sugiere que se obtiene una menor dispersión con el filtro más sencillo. Para tener una mayor certeza sobre esta aseveración, se considera otro conjunto de muestras.

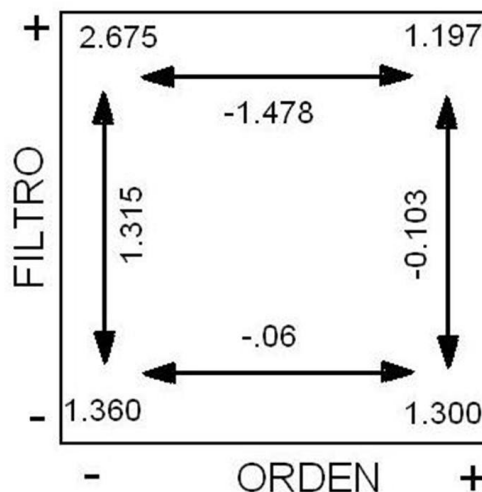


Figura I.3: Interacción Filtro-Orden.

Tomando aleatoriamente otro conjunto de muestras se obtienen los siguientes datos para analizar, que son presentados en la Tabla I.7.

Tabla I.7: Nuevo conjunto de datos a analizar.

Muestra	Y	retardo	Varianza	STD	F O A
30°	1	47,95	1,48	1,22	+++
40°	2	53,55	0,77	0,87	-++
70°	3	71,37	1,32	1,15	+ - +
80°	4	71,77	1,20	1,09	--+
10°	5	26,10	2,81	1,67	+ +-
60°	6	71,75	1,27	1,12	- + -
110°	7	67,40	0,96	0,98	+ - -
120°	8	63,12	2,98	1,73	---

Utilizando las ecuaciones (I.3) a (I.8) se calculan los efectos de los distintos factores. Los resultados se muestran en la Tabla I.8 y en la Fig. I.4.

Tabla I.8: Resumen de efectos principales y secundarios.

Efecto	STD
Filtro	-0,0493
Orden	0,0144
Algoritmo	0,2933
Filtro x orden	0,3970
Filtro x algoritmo	0,1472
Algoritmo x orden	-0,0612

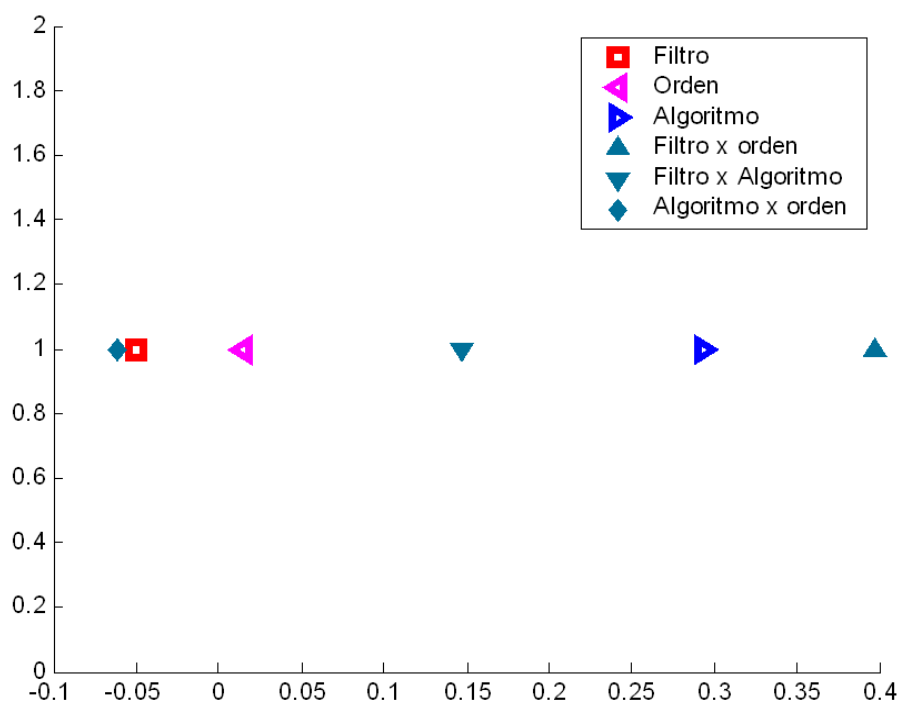


Figura I.4: Efectos principales y secundarios.

Como puede verse en la Fig. I.4, el efecto principal del algoritmo no puede ser considerado ya que sus interacciones con otras variables son por lo menos de la mitad del valor. La presencia del efecto conjunto de tipo de filtro y orden es la más importante, por lo que se procede a recalcular los valores presentados en la Tabla I.6, los cuales se muestran en la Tabla I.9.

Tabla I.9: Interacciones cruzadas entre filtros y orden.

Muestra	Filtro	Orden	Algoritmo	Y	STD promedio
30° -10°	+	+	+ -	1-5	1,4474
40° -60°	-	+	+ -	2-6	1,0011
70° -110°	+	-	+ -	3-7	1,0648
80° -120°	-	-	+ -	4-8	1,4125

La Fig. I.15 muestra las interacciones entre los diferentes factores y los valores numéricos de sus diferencias.

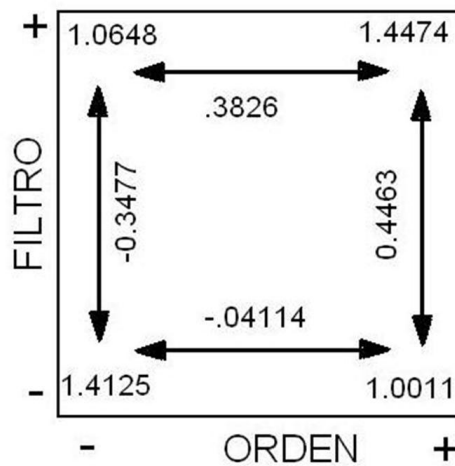


Figura I.5: Interacción Filtro-Orden

Los efectos combinados de filtro-orden que menor desvío estándar tienen son ‘+’ ‘-’ y ‘-’ ‘+’, es decir, la implementación de un filtro pasa-banda de orden 2 y la realización de un filtro pasa-alto de orden 4. De aquí es posible concluir que hay dos posibles soluciones para analizar con más detalle.

Con estos dos filtros se procesan nuevamente las muestras, pero esta vez para un mayor rango angular. En particular, se toman 13 muestras que abarcan el rango de 0° a 120°. Se comparan las varianzas con las provenientes de las señales sin filtrar. También se comparan las varianzas de los dos experimentos. Los datos a analizar se presentan en la Tabla I.10.

Tabla I.10: Desvíos estándar para analizar la influencia del filtrado en la estimación.

		Sin filtrar	Pasa-banda 2°	Pasa-alto 4°
Muestra	Y	STD	STD	STD
0°	1	1,8448	1,0513	1,0328
10°	2	7,6642	1,4480	1,1544
20°	3	2,0057	1,1297	1,3202

		Sin filtrar	Pasa-banda 2°	Pasa-alto 4°
Muestra	Y	STD	STD	STD
30°	4	2,8007	1,0473	1,0619
40°	5	2,2203	0,8756	0,9213
50°	6	3,0181	1,4884	1,1320
60°	7	1,5253	1,0124	0,9055
70°	8	2,3647	1,0178	1,1477
80°	9	2,5795	1,2504	1,0739
90°	10	2,3302	1,3337	1,1323
100°	11	3,7338	1,2558	1,1959
110°	12	1,5960	1,1266	1,1433
120°	13	1,586	1,5852	1,6013
Promedio		2,7131	1,2017	1,1402
Varianza (S <sup>2</sup> )		S <sub>1</sub> <sup>2</sup> =2,6140	S <sub>2</sub> <sup>2</sup> =0,0455	S <sub>3</sub> <sup>2</sup> =0,0311

Dado que se tienen igual cantidad de muestras para todas las experiencias (n=13), los valores de la distribución  $F$  para  $\nu_1 = \nu_2 = \nu_3 = 12$  son los mismos. Tales valores son:

$$\begin{aligned}
 F_{\nu_1\nu_2}(25\%) &= 1,49 \\
 F_{\nu_1\nu_2}(10\%) &= 2,15 \\
 F_{\nu_1\nu_2}(5\%) &= 2,69 \\
 F_{\nu_1\nu_2}(1\%) &= 4,16 \\
 F_{\nu_1\nu_2}(0.1\%) &= 7,0
 \end{aligned}
 \tag{I.9}$$

Primero se compara si la varianza del filtrado 1 (pasa-banda) es la misma que la del sistema sin filtro. La hipótesis de nulidad se plantea según las ecuaciones (I.10.a) y (I.10.b)

$$\sigma_1^2 = \sigma_2^2 \tag{I.10.a}$$

$$\sigma_1^2 > \sigma_2^2 \tag{I.10.b}$$

Relacionando la varianza con su estimado se obtiene la siguiente relación:

$$\frac{S_1^2}{S_2^2} = \frac{\sigma_1^2}{\sigma_2^2} \cdot F_{\nu_1\nu_2} \Rightarrow \frac{S_1^2}{S_2^2} = 57,45 \tag{I.11}$$

Comparando este valor con los de la distribución  $F$ , la hipótesis de nulidad es desacreditada; por lo que las medidas sin filtrar tienen una varianza mayor, o lo que es equivalente, el filtrado introduce una disminución en la varianza de los retardos medidos.

En el segundo caso se supone que la varianza del filtrado 2 (pasa-altos) es igual a la del sistema sin filtrar. Relacionando la varianza con su estimado, se obtiene de forma similar a (I.10.a) y (I.10.b):

$$\sigma_1^2 = \sigma_3^2 \quad (\text{I.12.a})$$

$$\sigma_1^2 > \sigma_3^2 \quad (\text{I.12.b})$$

$$\frac{S_1^2}{S_3^2} = \frac{\sigma_1^2}{\sigma_3^2} \cdot F_{v_1, v_3} \Rightarrow \frac{S_1^2}{S_3^2} = 83,96$$

Nuevamente, la hipótesis de nulidad queda desacreditada y se puede concluir que el filtrado introduce una disminución en la varianza de los retardos medidos.

Como tercera comparación, se supone que:

$$\sigma_2^2 = \sigma_3^2 \quad (\text{I.13.a})$$

$$\sigma_2^2 > \sigma_3^2 \quad (\text{I.13.b})$$

$$\frac{S_2^2}{S_3^2} = \frac{\sigma_2^2}{\sigma_3^2} \cdot F_{v_1, v_3} \Rightarrow \frac{S_2^2}{S_3^2} = 1,46$$

En este caso la hipótesis no puede ser desacreditada con total seguridad por lo que se puede suponer que ambos filtrados introducen una varianza equivalente en la estimación.

### Conclusiones del análisis estadístico.

El experimento factorial ahorra significativamente tiempo de desarrollo y análisis de los experimentos y provee una idea más certera de cómo indagar sobre todas las influencias de los datos. También permite extraer una mayor cantidad de resultados de un mismo conjunto de datos, explorando las relaciones entre las variables analizadas a través de un criterio estadístico confiable.

En base a los datos medidos se concluye que la utilización de un filtro produce una disminución en la varianza de la estimación del retardo y por ende una mejora en la estimación del ángulo de la fuente. El filtro elegido resulta ser el de segundo orden dado que presenta una precisión equivalente a la obtenida con el filtro de cuatro orden, manteniendo a su vez una complejidad circuital menor que se refleja en un consumo de potencia menor.

# Referencias

- [1] J. C. Chen, J. E. L. Yip, H. Wang, D. Maniezzo, R. E. Hudson, K. Yao, D. Estrin, “Coherent acoustic array processing and localization on wireless sensor networks”, *Proc. IEEE*, Vol. 91, No. 8, 1154-1162, Agosto 2003.
- [2] J. C. Chen, K. Yao, R. E. Hudson, “Source localization and beamforming”, *IEEE Signal Processing Mag.*, Vol. 19, No. 2, 30-39, Marzo 2002.
- [3] B. Sadler, “Fundamentals of Energy-Constrained Sensor Network Systems”, *IEEE A&E Systems Mag.*, Vol. 20, No. 8, 17-35, Agosto 2005.
- [4] G. C. Carter, “Coherence and Time Delay Estimation”, *Proc. IEEE*, Vol. 75, No. 2, 236-255, Febrero 1987.
- [5] C. H. Knapp, G. C. Carter, “The generalized correlation method for estimation of time delay”, *IEEE Trans. Acoustics, Speech, Signal Processing*, Vol. 24, No. 4, 320-327, Agosto 1976.
- [6] A. H. Quazi, “An overview on the time delay estimate in active and passive systems for target localization”, *IEEE Trans. Acoustics, Speech, Signal Processing*, Vol. 29, No. 3, 527-533, Junio 1981.
- [7] P. Julián, A. G. Andreou, G. Cauwenberghs, L. Riddle, S. Shamma, “A Comparative Study of Sound Localization Algorithms for Energy Aware Sensor Network Nodes”, *IEEE Trans. Circuits and Systems – I: Regular Papers*, Vol. 51, No. 4, 640-648, Abril 2004.
- [8] J. H. Van Vleck, D. Middleton, “The spectrum of clipped noise”, *Proc. IEEE*, Vol. 54, No. 1, 2-19, Enero 1966.
- [9] D. H. Goldberg, A. G. Andreou, P. Julián, P. O. Pouliquen, L. Riddle, R. Rosasco, “VLSI Implementation of an Energy-Aware Wake-Up Detector for an Acoustic Surveillance Sensor Network”, *ACM Transactions on Sensor Networks*, Vol. 2, No. 4, 594-611, Noviembre 2006.
- [10] P. Julián, A. G. Andreou, P. S. Mandolesi, D. H. Goldberg, “A low power CMOS integrated circuit for bearing estimation”, *IEEE International Symposium on Circuits and Systems (ISCAS'03)*, Bangkok, Tailandia, 305-308, Mayo 2003.
- [11] P. Julián, A. G. Andreou, D. H. Goldberg, “A low power correlation-derivative CMOS VLSI circuit for bearing estimation”, *IEEE Trans. VLSI Systems*, Vol. 14, No. 2, 207-212, Febrero 2006.



- [12] J. Lazzaro, C. A. Mead, “A silicon model of auditory localization”, *Neural Computation*, Vol. 1, No. 1, 47-57, Marzo 1989.
- [13] C. A. Mead, X. Arreguit, J. Lazzaro, “Analog VLSI model of binaural hearing”, *IEEE Trans. Neural Networks*, Vol. 2, No. 2, 230-236, Marzo 1991.
- [14] E. Fragniere, A. Van Schaik, E. Vittoz, “Design of an analogue VLSI model of an active cochlea”, *Analog Integrated Circuits Signal Processing*, Vol. 13, No. 1, 19-35, Junio 1997.
- [15] J. G. Harris, C. J. Pu, J. C. Principe, “A neuromorphic monaural sound localizer”, *Advances in Neural Information Processing Systems*, Vol. 11, 692-698, 1998.
- [16] T. Horiuchi, “An auditory localization and coordinate transform chip”, *Advances in Neural Information Processing Systems*, Vol. 7, 787-794, 1994.
- [17] A. Van Schaik, S. A. Shamma, “A neuromorphic sound localizer for a smart MEMS system”, *Analog Integrated Circuits and Signal Processing*, Vol. 39, No. 3, 267-273, Junio 2004.
- [18] S. A. Shamma, S. Naiming, P. Gopaldaswamy, “Stereausic: binaural processing without neural delays”, *Journal of the Acoustical Society of America*, Vol. 86, 989-1006, 1989.
- [19] M. Stanacevic, G. Cauwenberghs, “Micropower gradient flow acoustic localizer”, *IEEE Trans. Circuits and Systems – I: Regular Papers*, Vol. 52, No. 10, 2148-2156, Octubre 2005.
- [20] P. Julian, F. N. Martin-Pirchio, A. G. Andreou, “Experimental results for cascadable micropower time delay estimator”, *IEEE Electronics Letters*, Vol. 42, No. 21, 1218-1219, Octubre 2006.
- [21] A. Chacón-Rodríguez, F. N. Martin-Pirchio, P. Julián, P. S. Mandolesi, “A Verilog HDL digital architecture for delay calculation”, *Latin American Applied Research*, Vol. 37, No. 1, 41-45, 2007. ISSN: 0327-0793
- [22] F. N. Martin-Pirchio, A. Chacón-Rodríguez, P. Julián, P. S. Mandolesi, “Implementation of an Adaptive Ultra-Low Power Time Delay Measurement ASIC”, *XIII Workshop IBERCHIP*, Lima, Perú, 291-294, Marzo 2007.
- [23] F. N. Martin-Pirchio, A. Chacón-Rodríguez, P. Julián, P. S. Mandolesi, “An Adaptive Cross-Correlation Derivative Algorithm for Ultra-Low Power Time Delay Measurement”, *IEEE International Symposium on Circuits and Systems (ISCAS'07)*, New Orleans, EEUU, 4016-4019, Mayo 2007.
- [24] Y. Suzuki, K. Odagawa, T. Abe, “Clocked CMOS Calculator Circuitry”, *IEEE Journal of Solid-State Circuits*, Vol. 8, No. 6, 462-469, Diciembre 1973.
- [25] J. M. Rabaey, A. Chandrakasan, B. Nikolic, *Digital Integrated Circuits*, Prentice Hall Electronics and VLSI Series, 2003. ISBN: 0-13-597444-5.

- [26] N. Weste, K. Eshraghian, *Principles of CMOS VLSI Design: A System Perspective*, Second edition, Addison Wesley, 1992. ISBN: 0-201-53376-6.
- [27] F. N. Martin-Pirchio, A. Chacón-Rodríguez, P. Julián, P. S. Mandolesi, “A Comparison of low power architectures for digital delay measurements”, *Proc. IEEE Computer Society Annual Symposium on VLSI 2007*, Porto Alegre, Brazil, 488-489, Mayo 2007.
- [28] F. N. Martin-Pirchio, S. Sañudo, H. Gutierrez, P. Julián, “An Acoustic Surveillance Unit for Energy Aware Sensor Networks: Construction and Experimental Results”, *Proc. XII IBERCHIP 2006*, San José, Costa Rica, Vol. 1, 191-194, Marzo 2006.
- [29] F. N. Martín Pirchio, P. Mandolesi, P. Julián, F. Masson, “Análisis de un Prototipo de Nodo de Medición de Ángulo para Redes de Sensores”, *Anales de IV Jornadas Argentinas de Robótica –JAR06*, Córdoba, Argentina, Noviembre 2006.
- [30] G. E. P. Box, W. G. Hunter, J. S. Hunter, *Statistics for Experimenters: An introduction to design, data analysis, and model building*, John Wiley & Sons, 1978, ISBN: 0-471-09315-7.
- [31] S. Sañudo, F. R. Masson, P. Julian, “Bounded state space particle filter for network sensors”, *IEEE International Symposium on Circuits and Systems (ISCAS'07)*, New Orleans, EEUU, 3570-3573, Mayo 2007.